(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3722912号
(P3722912)
(45)発行日　平成17年11月30日(2005.11.30)　(24)登録日　平成17年9月22日(2005.9.22)

(51)Int.Cl.[7]　F I
H01S　5/22　H01S　5/22

請求項の数 1　(全 7 頁)

(21)出願番号　特願平8-169147
(22)出願日　平成8年6月28日(1996.6.28)
(65)公開番号　特開平10-22574
(43)公開日　平成10年1月23日(1998.1.23)
審査請求日　平成15年6月11日(2003.6.11)

(73)特許権者　000005201
富士写真フイルム株式会社
神奈川県南足柄市中沼２１０番地
(74)代理人　100073184
弁理士　柳田　征史
(74)代理人　100090468
弁理士　佐久間　剛
(72)発明者　国安　利明
神奈川県足柄上郡開成町宮台７９８番地
富士写真フイルム株式会社内

審査官　門田　かづよ

最終頁に続く

(54)【発明の名称】半導体レーザの製造方法

(57)【特許請求の範囲】
【請求項１】
片面に第一の電極層を形成された第一導電型基板の他面上に、少なくとも第一導電型クラッド層、活性層および第二導電型クラッド層をこの順に含む複数の半導体層が積層され、該半導体層上に第二の電極層が形成され、該第二の電極層側がヒートシンクに固着される半導体レーザの製造方法において、
前記ヒートシンクに固着される固着面側から少なくとも前記第二導電型クラッド層に達する深さまでの前記半導体層に、互いに間隔をおいて延びる少なくとも一対の切欠部を形成し、
該一対の切欠部の間のリッジ部上に開口を有する絶縁膜を前記切欠部の側面および底面に形成し、
前記開口を覆うようにして前記第二の電極層を形成し、
前記固着面側の露出部の全面にスピン塗布法により金属を塗布し、アニールすることにより、前記切欠部を前記金属によって前記リッジ部の高さと略同じ高さまで埋め込み、前記固着面を平坦化することを特徴とする半導体レーザの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体レーザに関し、特に詳しくは半導体レーザのヒートシンクへの固着に関するものである。

【０００２】
【従来の技術】
高出力半導体レーザを作成する上で、高効率・高品質なレーザ光を得るために例えばインデックスガイド構造のレーザが考えられる。これらの構造のレーザを作成するプロセスは一般的には電流注入領域両側面を活性層近傍深さまでエッチング除去してリッジ形状を形成するリッジストライプ方式とリッジ部周辺に選択的に化合物エピタキシャル膜を形成して埋め込み、平坦化と電流狭窄を行う選択埋込ストライプ方式がある。
【０００３】
これらのプロセスはそれぞれ長所がある反面、問題点も持ち合わせている。図４に従来例を示す。当初のリッジ形成は、製作法が比較的簡単であるということからリッジ部を残し周辺を除去してしまう方法を用いていた。しかし、リッジ部のみ高さが高く突出している為に、冷却板（以降ヒートシンクと称す）へのボンディングの際に、リッジ部とヒートシンクが大きな圧力で直接接触して半導体レーザにダメージを与えてしまったり、リッジ部以外の周辺部には半田材がぬれないといった問題が生じる。
【０００４】
ダメージの改善に関しては、図５に示すようにリッジ側面に溝を形成してその周辺はリッジと同じ高さに成るようにした支持部付きリッジ構造として圧力の集中を緩和した方法もあるが、この場合にも溝の部分を完全に半田材とぬれさせることが困難であるという欠点が残る。半田材とぬれない部分があると、半導体レーザから発せられる熱を十分に逃がすことができず出力の飽和が生じ高出力を得ることが困難となる。また、長時間駆動した場合の寿命も短くなってしまうといった問題点も持ち合わせている。なお、この支持部付きリッジ構造においては、仮に溝に半田材が十分にぬれたときにでも局所的応力が加わり、レーザ素子自身に歪が加わり信頼性を悪化させるおそれがある。
【０００５】
また、図６に示すように図４における半導体レーザのリッジ周辺の除去領域を選択的に埋め込む方法の場合、埋め込み再成長という煩雑なプロセスを行わねばならず、この埋め込みの際の表面状態の安定化には十分注意する必要があり、製造歩留まりや再現性といった点で非常に不利である。また、これと類似した方法で特開平１－201980号に開示されているように、再成長する代わりにリッジ側面にポリイミドを絶縁膜を介して形成し、その上に電極を成膜するといった方法もあるが、高出力のレーザ光を得るために高電流を印加し、素子温度が上昇した場合には、ポリイミドが熱により変質・変形してしまいヒートシンクとの接着が不十分となり素子寿命が短くなるといった問題が生じ、製品として適性がない。
【０００６】
【発明が解決しようとする課題】
上述のように、リッジ型半導体レーザにおいて、リッジ側面に半田材が十分にぬれない場合の熱発散効率の低さ、および／またはヒートシンクとの接着面積が狭いことによるリッジ近辺の半田材による応力等のダメージは、半導体レーザの高出力化、高信頼性の妨げとなっている。
【０００７】
本発明は上記事情に鑑みてなされたものであって、リッジ溝を容易な方法で高温に耐えうる材料で平坦化した、高信頼性、高出力を達成する半導体レーザを提供するものである。
【０００８】
【課題を解決するための手段】
本発明の第一の半導体レーザは、片面に第一の電極層を形成された第一導電型基板上に、少なくとも第一導電型クラッド層、活性層および第二導電型クラッド層をこの順に含む複数の半導体層が積層され、該半導体層上に第二の電極層が形成され、該第二の電極層側がヒートシンクに固着される半導体レーザにおいて、前記ヒートシンクに固着される固着面側から少なくとも前記第二導電型クラッド層に達する深さまでの前記半導体層に、互いに間隔をおいて延びる少なくとも一対の切欠部が形成され、

該一対の切欠部の間のリッジ部上に開口を有する絶縁膜が前記切欠部の側面および底面に形成され、
前記開口を覆うようにして前記第二の電極層が形成され、
前記固着面側の露出部の全面にスピン塗布法により金属が塗布され、アニールされることにより、前記切欠部が前記金属によって前記リッジ部の高さと略同じ高さまで埋め込まれ、前記固着面が平坦化されていることを特徴とするものである。

【０００９】

本発明の第二の半導体レーザは、片面に第一の電極層を形成された第一導電型基板上に、少なくとも第一導電型クラッド層、活性層および第二導電型クラッド層をこの順に含む複数の半導体層が積層され、該半導体層上に第二の電極層が形成され、該第二の電極層側がヒートシンクに固着される半導体レーザにおいて、前記ヒートシンクに固着される固着面側から少なくとも前記第二導電型クラッド層に達する深さまでの前記半導体層に、互いに間隔をおいて延びる少なくとも一対の切欠部が形成され、
該一対の切欠部の間のリッジ部上に開口を有する絶縁膜が前記切欠部の側面および底面に形成され、
前記切欠部にスピン塗布法によりケイ素化合物が塗布され、アニールされることにより、前記切欠部が前記ケイ素化合物によって前記リッジ部の高さと略同じ高さまで埋め込まれ、
前記固着面側の露出部の全面に前記第二の電極層が形成され、前記ヒートシンクに固着される面が平坦化されていることを特徴とするものである。

【００１０】

すなわち、本発明の半導体レーザは、通常リッジ型半導体レーザにおいてヒートシンクとの固着面に形成される凹凸が、スピン塗布およびアニールという簡単な方法を用いて金属またはケイ素化合物により平坦化されたものである。

【００１１】

上記において、切欠部とはリッジ部両側部を切り欠いて形成された部分であってもよいし、リッジ部両側部に形成された溝状の部分であってもよい。

【００１２】

ここで、第一導電型および第二導電型という言葉は伝導機構の異なることを明らかにするために用いており、例えば第一導電型がｎ型に対応する場合は第二導電型はｐ型に対応するものである。

【００１３】

【発明の効果】

本発明の半導体レーザ装置は、リッジ型半導体レーザのリッジ溝をスピン塗布法およびアニールによって、金属またはケイ素化合物で埋め込むという容易な方法で、ヒートシンクとの固着面が平坦化されたものであり、該固着面が平坦化されたことにより、ヒートシンクへの隙間のない接着ができ、局所応力の発生を防止することができる。また、隙間のない接着により、駆動時の熱発散効率も向上することができ、高信頼性、高出力および長寿命化を達成することができる。

【００１４】

【発明の実施の形態】

以下に、本発明の具体的な実施の形態について説明する。

【００１５】

図１に本発明の第一の実施の形態のリッジ型インデックスガイド半導体レーザ断面模式図を示す。n-GaAs基板21（Si=2×$10^{18}$$cm^{-3}$ドープ）上にn-GaAsバッファ層22（Si=1×$10^{18}$$cm^{-3}$ドープ、0.5μｍ）、n-$Al_{0.5}Ga_{0.5}As$クラッド層23（Si=1×$10^{18}$$cm^{-3}$ドープ、2.5μｍ）、アンドープＳＣＨ活性層24、p-$Al_{0.5}Ga_{0.5}As$クラッド層25（Zn=1×$10^{18}$$cm^{-3}$ドープ、2μｍ）、p-GaAsキャップ層26（Zn=5×$10^{18}$$cm^{-3}$ドープ、0.3μｍ）を減圧ＭＯＣＶＤ法により積層する。ＳＣＨ活性層24の層構成はn-GaAs基板21側から$Al_{0.25}Ga_{0.75}As$光ガイド層（アンドープ、0.05μｍ）、$Al_{0.05}Ga_{0.95}As$量子井戸層（アンドープ、8nm）、$Al_{0.25}Ga_{0.75}As$光

ガイド層（アンドープ、0.05μｍ）である。

【００１６】

その後、フォトリソグラフィー法によりレジストマスクを作製し、これをSiO_2マスクに転写してレジストマスク除去した後、硫酸：過酸化水素：水＝10:1:1のエッチング液にて200 μｍ幅のメサ形状でリッジ幅が10μｍとなるようにエッチングを行う。リッジ部では$p\text{-}Al_{0.5}Ga_{0.5}As$クラッド層25の残し厚みが0.2μｍとなるようにエッチングを行いメサ部で等価的な屈折率が高くなるようにして屈折率導波路を形成する。

【００１７】

メサ作製後、プラズマＣＶＤ法でSiO_2膜27を形成し、フォトリソグラフィとエッチングによりメサ上部のSiO_2膜を除去して電極窓30を形成した。ｐ側電極Ti/Pt/Au28を形成し400℃以上でシンターしてオーミック電極とし、塗布型平坦化材、例えば有機溶媒にAu超微粒子（0.01μｍ）を混入した溶剤をスピン塗布31し、250 ℃以上でアニールを行う。その後AuGe/Ni/Auによってｎ側電極29を形成し、350 ℃でシンターしてオーミック電極とした。作製したレーザの前面に反射率10%以下のＬＲコーティング、後面に95%以上のＨＲコーティングを施し、チップはヒートシンク上にｐ側電極29側をボンディングした。

【００１８】

図２は、従来のリッジ型半導体レーザ素子および本発明に係る固着面が平坦化された半導体レーザ素子それぞれのＩ－Ｌ特性を示している。それぞれ、破線および実線で示されている。図２から本発明の半導体レーザ素子は、高電流印加時においても従来の素子と比較して素子の寿命が保たれており、高出力が得られていることが明らかである。

【００１９】

なお、上述の塗布型平坦化材はAu材に限定されるものではなく、電気抵抗率の低い金属であれば使用可能である。

【００２０】

本発明の第二の実施の形態のリッジ型インデックスガイド半導体レーザの断面模式図を図３に示す。n-GaAs基板21（$Si=2\times10^{18}cm^{-3}$ドープ）上にn-GaAsバッファ層22（$Si=1\times10^{18}cm^{-3}$ドープ、0.5μｍ）、$n\text{-}Al_{0.5}Ga_{0.5}As$クラッド層23（$Si=1\times10^{18}cm^{-3}$ドープ、2.5μｍ）、アンドープＳＣＨ活性層24、$p\text{-}Al_{0.5}Ga_{0.5}As$クラッド層25（$Zn=1\times10^{18}cm^{-3}$ドープ、2μｍ）、p-GaAsキャップ層26（$Zn=5\times10^{18}cm^{-3}$ドープ、0.3μｍ）を減圧ＭＯＣＶＤ法により積層する。ＳＣＨ活性層24の層構成はn-GaAs基板21側から$Al_{0.25}Ga_{0.75}As$光ガイド層（アンドープ、0.05μｍ）、$Al_{0.05}Ga_{0.95}As$量子井戸層（アンドープ、8nm）、$Al_{0.25}Ga_{0.75}As$光ガイド層（アンドープ、0.05μｍ）である。

【００２１】

その後、フォトリソグラフィー法によりレジストマスクを作製し、これをSiO_2マスクに転写してレジストマスク除去した後、硫酸：過酸化水素：水＝10:1:1のエッチング液にて200 μｍ 幅のメサ形状でリッジ幅が10μｍ となるようにエッチングを行う。リッジ部では$p\text{-}Al_{0.5}Ga_{0.5}As$クラッド層25の残し厚みが0.2μｍとなるようにエッチングを行いメサ部で等価的な屈折率が高くなるようにして屈折率導波路を形成する。

【００２２】

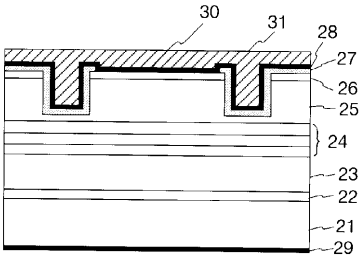
メサ作製後、プラズマＣＶＤ法でSiO_2膜27を形成し、塗布型平坦材をスピン塗布32し、250 ℃以上の温度でアニールする。これによってリッジ溝が埋まり、平坦化が達成される。フォトリソグラフィとエッチングによりメサ上部のSiO_2膜を除去して電極窓30を形成した。ｐ側電極Ti/Pt/Au28を形成し、400 ℃でシンターしてオーミック電極とした後、ｎ側電極AuGe/Ni/Au29を形成し、350 ℃でシンターしてオーミック電極とした。作製したレーザの前面に反射率10%以下のＬＲコーティング、後面に95%以上のＨＲコーティングを施し、チップはヒートシンク上にｐ側電極側をボンディングした。

【００２３】

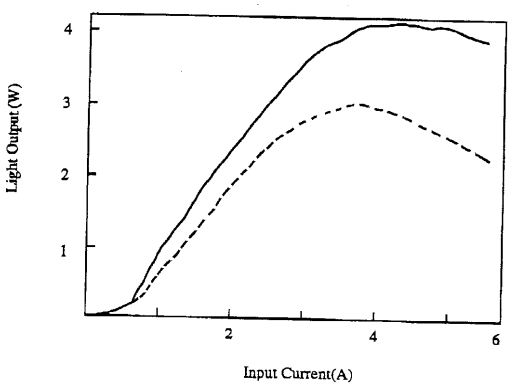
上記のように、本発明の半導体レーザは、リッジ溝に塗布型平坦化材をスピン塗布し、アニールすることによって容易に平坦化が行われた後に、ヒートシンクに半田材を用いてボンディングされるため、隙間のない、局所応力のない接着を得ることができる。

【００２４】
なお、上述の実施の形態においては、AlGaAs系の半導体材料について説明したが、材料はこれに限るものではなく、半導体レーザを構成できるものであれば他の材料であってもよい。
【００２５】
また、メサ幅は200μｍ に限定されず、２μｍ のような狭ストライプから300μｍのような広ストライプであってもよく、さらには、ストライプを複数並べたアレーであってもよい。
【図面の簡単な説明】
【図１】本発明の第一の実施の形態に係る電極平坦化リッジ型インデックスガイド半導体レーザの断面図
【図２】本発明の第一の実施の形態の電極平坦化リッジ型インデックスガイド半導体レーザのＩ－Ｌ特性を示す説明図
【図３】本発明の第二の実施の形態に係る絶縁膜平坦化リッジ型インデックスガイド半導体レーザ断面図
【図４】従来のリッジ型インデックスガイド半導体レーザ断面図
【図５】従来のリッジ型インデックスガイド半導体レーザ断面図
【図６】従来のリッジ型インデックスガイド半導体レーザ断面図
【符号の説明】
21　n-GaAs基板
22　n-GaAsバッファ層
23　n-$Al_{0.5}Ga_{0.5}As$クラッド層
24　アンドープＳＣＨ活性層
25　p-$Al_{0.5}Ga_{0.5}As$クラッド層
26　p-GaAsキャップ層
27　SiO_2膜
28　ｐ型側Ti/Pt/Au電極
29　ｎ型側AuGe/Ni/Au電極
30　電極窓
31，32　スピン塗布部

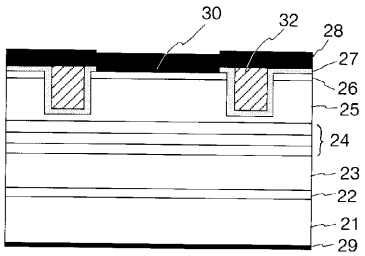
【図１】



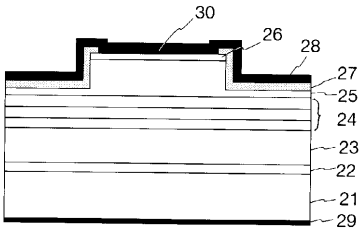
【図２】



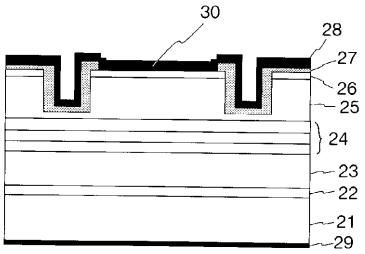
【図３】



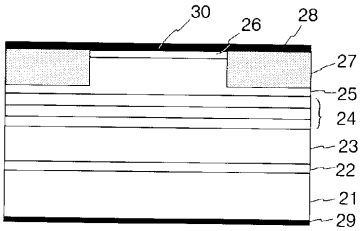
【図４】



【図５】



【図６】



フロントページの続き

(56)参考文献 特開平０１－２５６１８４（ＪＰ，Ａ）
実開昭６３－１１４０６５（ＪＰ，Ｕ）
実開昭５１－１５２９６４（ＪＰ，Ｕ）
特開平５－１３６５２６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01S5/00-5/50