

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年1月18日(18.01.2024)



(10) 国際公開番号

WO 2024/013883 A1

- (51) 国際特許分類:
H03H 11/16 (2006.01)
- (21) 国際出願番号: PCT/JP2022/027567
- (22) 国際出願日: 2022年7月13日(13.07.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 竹谷 勉(TAKEYA, Tsutomu); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 長谷 宗彦

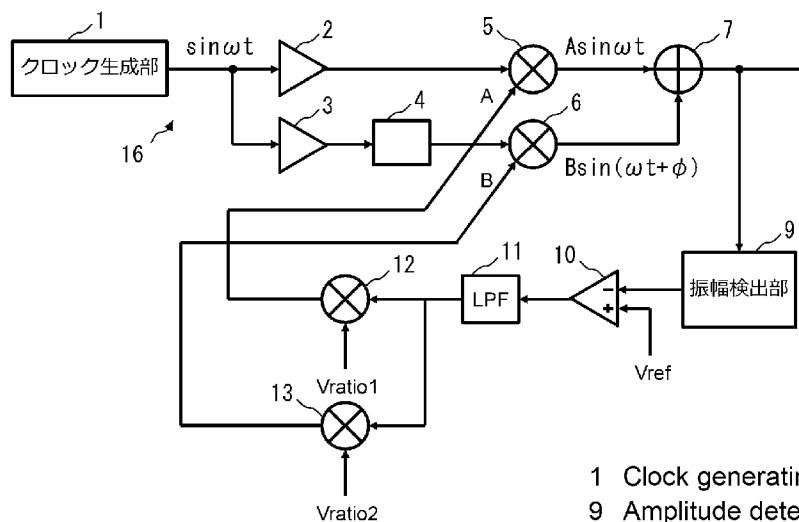
(NAGATANI, Munchiko); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 高橋 宏行(TAKAHASHI, Hiroyuki); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 脇田 斉(WAKITA, Hitoshi); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 徐 照男(JO, Teruo); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).

(74) 代理人: 山川 茂樹, 外(YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町2丁目11番1号 山王パークタワー4階 山川国際特許事務所内 Tokyo (JP).

(54) Title: PHASE ADJUSTMENT CIRCUIT

(54) 発明の名称: 位相調整回路

[図2]



1 Clock generating unit

9 Amplitude detection unit

(57) **Abstract:** In the present invention, a phase adjustment circuit comprises: a sine wave output unit (16) that outputs two sine wave signals with a fixed phase difference; multiplication units (5, 6) that output signals derived by multiplying the amplitude of the two signals outputted from the sine wave output unit (16) by A, B; an amplitude detection unit (9) that detects the output amplitude of an addition unit (7); a differential amplifier unit (10) that subtracts the detection result from the amplitude detection unit (9) from a target amplitude (V_{ref}), and amplifies the result; a multiplication unit (12) that delivers to the multiplication unit (5), as the control signal that determines variable A, a signal derived by multiplying the amplitude of the output signal of an LPF (11) by V_{ratio1} ; and a multiplication unit (13) that delivers to the multiplication unit (6), as the control signal that determines variable B, a signal derived by multiplying the amplitude of the output signal

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

of the LPF (11) by Vratio2.

(57) 要約: 位相調整回路は、固定位相差の2つの正弦波信号を出力する正弦波出力部(16)と、正弦波出力部(16)から出力された2つの信号の振幅をA, B倍した信号を出力する乗算部(5, 6)と、加算部(7)の出力振幅を検出する振幅検出部(9)と、振幅検出部(9)の検出結果を目標振幅(Vref)から減算し増幅する差動増幅部(10)と、LPF(11)の出力信号の振幅をVratio1倍した信号を、変数Aを決定する制御信号として乗算部(5)に与える乗算部(12)と、LPF(11)の出力信号の振幅をVratio2倍した信号を、変数Bを決定する制御信号として乗算部(6)に与える乗算部(13)とを備える。

明 細 書

発明の名称：位相調整回路

技術分野

[0001] 本発明は、正弦波の位相調整回路に関するものである。

背景技術

[0002] 現代において、正弦波は重要な役割を果たしている。通信において、搬送波の生成に正弦波を用いることもあれば、正弦波をクロックとして使用することもある。通信においては、搬送波として用いられるだけでなく、データを判定するタイミング基準としてもクロックが使用される。

[0003] こういったデータ判定のタイミング基準としてクロックを使用する場合、クロックの位相を調整し、適切なタイミングでデータ判定を行うことが必要である。適切なタイミングでデータ判定を行う方法として、クロック・データ・リカバリがある。クロック・データ・リカバリを実現する手段としては、位相比較器と位相調整回路を用いる構成が知られている。この構成では、何らかの手段で位相を比較し、その比較結果に基づき、所望する位相を生成する。

[0004] 従来、位相調整回路として、非特許文献 1 に開示された構成が知られていた。従来の位相調整回路の構成を図 1 4 に示す。図 1 4 の構成では、基準となる正弦波 $\sin \omega t$ と、正弦波 $\sin \omega t$ に対して $\pi/2$ の固定位相差を持つ正弦波 $\cos \omega t$ とを加算器 2 0 3 によって加算することで、任意の中間位相の波形を生成する。正弦波 $\sin \omega t$ 、 $\cos \omega t$ には、それぞれ乗算器 2 0 1、2 0 2 によって定数 A、B が乗算される。三角関数合成の式より、次式が成立する。

[0005] [数1]

$$A \sin \omega t + B \cos \omega t = \sqrt{A^2 + B^2} \sin(\omega t + \alpha) \quad \cdots (1)$$

[0006] 式 (1) における α は以下になる。

[0007]

[数2]

$$\cos \alpha = \frac{A}{\sqrt{A^2+B^2}}, \sin \alpha = \frac{B}{\sqrt{A^2+B^2}} \quad \cdots (2)$$

[0008] 図14の構成では、Quadrature-VCO (Voltage Controlled Oscillator) 200を用いることで、正弦波 $\sin \omega t$, $\cos \omega t$ を生成している。しかしながら、Quadrature-VCO 200は、構造上、発振周波数が低くなるため、デバイスの限界領域で用いることが難しい、という課題があった。また、正弦波から $\pi/2$ の固定位相差を持つ正弦波を作成する方法として、90度ハイブリッドを使用する方法が知られているが、90度ハイブリッドを使用する場合、特定の周波数においてしか動作しない、という課題があった。

先行技術文献

非特許文献

[0009] 非特許文献1: Arun Goyal, et al., “A High-Resolution Digital Phase Interpolator Based CDR with a Half-Rate Hybrid Phase Detector”, 2019 IEEE International Symposium on Circuits and Systems (ISCAS), May 2019

発明の概要

発明が解決しようとする課題

[0010] 本発明は、上記課題を解決するためになされたもので、幅広い周波数で利用が可能な位相調整回路を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の位相調整回路は、固定位相差の2つの正弦波信号を出力するように構成された正弦波出力部と、前記正弦波出力部から出力された第1の正弦波信号の振幅を第1の変数倍した信号を出力するように構成された第1の乗算部と、前記正弦波出力部から出力された第2の正弦波信号の振幅を第2の変数倍した信号を出力するように構成された第2の乗算部と、前記第1の乗算部から出力された信号と前記第2の乗算部から出力された信号とを加算す

るように構成された加算部と、前記加算部の出力信号の振幅を検出するように構成された振幅検出部と、前記振幅検出部によって検出された振幅を目標振幅から減算し増幅するように構成された差動増幅部と、前記差動増幅部の出力結果を平坦化するように構成された第1のローパスフィルタと、前記第1のローパスフィルタから出力された信号の振幅を第1の定数倍した信号を、前記第1の変数を決定する制御信号として前記第1の乗算部に与えるように構成された第3の乗算部と、前記第1のローパスフィルタから出力された信号の振幅を第2の定数倍した信号を、前記第2の変数を決定する制御信号として前記第2の乗算部に与えるように構成された第4の乗算部とを備えることを特徴とするものである。

発明の効果

[0012] 本発明によれば、正弦波出力部と第1、第2の乗算部と加算部とを設けることにより、正弦波信号の基となるクロックの生成部として従来のようなQuadrature-VCOを使う必要がなくなり、クロック生成部として一般的なLC発振器からなるLC-VCOを使用することができる。また、本発明では、クロック生成部として90度ハイブリッドを用いる構成と異なり、幅広い周波数で利用が可能となる。また、本発明では、振幅検出部と差動増幅部と第1のローパスフィルタと第3、第4の乗算部とを設けることにより、加算部の出力振幅を一定にすることができる。

図面の簡単な説明

[0013] [図1]図1は、本発明の基礎となる位相調整回路の構成を示すブロック図である。

[図2]図2は、本発明の第1の実施例に係る位相調整回路の構成を示すブロック図である。

[図3]図3は、本発明の第1の実施例における信号振幅の制御モデルを示す図である。

[図4]図4は、図3の制御モデルの各ノードに雑音が入力されたときの構成を示すブロック図である。

[図5]図5は、図1の位相調整回路のシミュレーション結果を示す図である。

[図6]図6は、本発明の第1の実施例に係る位相調整回路のシミュレーション結果を示す図である。

[図7]図7は、本発明の第2の実施例に係る乗算部の構成を示す回路図である。

[図8]図8は、本発明の第3の実施例に係る加算部の構成を示す回路図である。

[図9]図9は、本発明の第4の実施例に係る振幅検出部の構成を示す回路図である。

[図10]図10は、本発明の第5の実施例に係るローパスフィルタの構成を示す回路図である。

[図11]図11は、本発明の第6の実施例に係る振幅検出部の構成を示す回路図である。

[図12]図12は、本発明の第6の実施例に係る振幅検出部の別の構成を示す回路図である。

[図13]図13は、本発明の第7の実施例に係る乗算部と加算部の構成を示す回路図である。

[図14]図14は、従来の位相調整回路の構成を示すブロック図である。

発明を実施するための形態

[0014] [発明の原理]

最初に、本発明の基礎となる位相調整回路の構成について図1を用いて説明する。本発明では、任意の位相差を持つ2つの正弦波を任意の比率で加算することで、任意の位相に調整する機能を実現する。

[0015] 図1の位相調整回路は、正弦波状のクロック信号を生成するクロック生成部1と、クロック生成部1から出力された信号を入力とするバッファ部2、3と、バッファ部3から出力された信号を遅延させる遅延部4と、バッファ部2から出力された信号の振幅をA倍した信号を出力する乗算部5と、遅延部4から出力された信号の振幅をB倍した信号を出力する乗算部6と、乗算

部5から出力された信号と乗算部6から出力された信号とを加算する加算部7と、加算部7の出力信号の振幅を一定にするAGC (Automatic Gain Control) 部8とを備えている。

[0016] 図1に示した構成においては、基準となる正弦波 $\sin \omega t$ と、 ϕ だけ位相が異なる正弦波 $\sin (\omega t + \phi)$ とを任意倍率で加算することで、任意波形の生成が可能となる。クロック生成部1は、従来のようなQuadrature-VCOを使う必要がなくなり、一般的なLC発振器からなるLC-VCOを使用することができる。また、図1の構成では、クロック生成部1として90度ハイブリッドを用いる構成と異なり、幅広い周波数で利用が可能となる。加算部7の出力信号OUTは、次式のようになる。

[0017] [数3]

$$\begin{aligned} \text{OUT} &= A \sin \omega t + B \sin(\omega t + \phi) = \text{Im}[Ae^{j\omega t} + Be^{j(\omega t + \phi)}] \\ &= \text{Im}[(A + Be^{j\phi})e^{j\omega t}] = \text{Im}[re^{j\rho}e^{j\omega t}] \quad \dots (3) \end{aligned}$$

[0018] 式(3)の $e^{j\omega t}$ は基準となる正弦波を示す。式(3)より、基準周波数の正弦波と任意位相 ϕ だけ異なる正弦波とを加算することで、基準位相から ρ だけ位相の異なる正弦波を生成できることが分かる。ここで、位相角 ρ は式(4)で与えられる。

[0019] [数4]

$$\rho = \arg \left(B \left[\frac{A}{B} + \cos(\phi) + j \sin(\phi) \right] \right) = \arg \left(\frac{A}{B} + \cos(\phi) + j \sin(\phi) \right) \quad \dots (4)$$

[0020] 図1に示した構成においては、加算部7の出力信号OUTの振幅を一定にすることが難しいという問題がある。そこで、その解決策としてAGC部8を追加している。AGC部8は、加算部7の出力信号OUTの振幅を検出し、増幅率を自動的に制御することで出力振幅を調整する。しかし、主信号経路にAGC部8を挿入すると、AGC部8の非線形性に由来する歪みが信号に生じるという問題がある。また、雑音が増加して信号品質が劣化するという問題がある。

本発明では、図 1 に示した構成を基礎としつつ、A G C を使用しない出力振幅調整を実現する。

[0021] [第 1 の実施例]

以下、本発明の実施例について図面を参照して説明する。図 2 は本発明の第 1 の実施例に係る位相調整回路の構成を示すブロック図である。位相調整回路は、正弦波状のクロック信号を生成するクロック生成部 1 と、クロック生成部 1 から出力された信号を入力とするバッファ部 2、3 と、バッファ部 3 から出力された信号を遅延させる遅延部 4 と、バッファ部 2 から出力された信号の振幅を A （第 1 の変数）倍した信号を出力する乗算部 5 と、遅延部 4 から出力された信号の振幅を B （第 2 の変数）倍した信号を出力する乗算部 6 と、乗算部 5 から出力された信号と乗算部 6 から出力された信号とを加算する加算部 7 と、加算部 7 の出力信号の振幅を検出する振幅検出部 9 と、振幅検出部 9 によって検出された振幅を目標振幅 V_{ref} から減算し増幅する差動増幅部 10 と、差動増幅部 10 による出力結果を平坦化するローパスフィルタ（L P F）11 と、L P F 11 から出力された信号の振幅を V_{ratio1} （第 1 の定数）倍した信号を、第 1 の変数を決定する制御信号として乗算部 5 に与える乗算部 12 と、L P F 11 から出力された信号の振幅を V_{ratio2} （第 2 の定数）倍した信号を、第 2 の変数を決定する制御信号として乗算部 6 に与える乗算部 13 とを備えている。

[0022] クロック生成部 1 とバッファ部 2、3 と遅延部 4 は、固定位相差の 2 つの正弦波信号を出力する正弦波出力部 16 を構成している。2 つの正弦波信号の位相差は 90 度に限らず、任意の位相差とすることができる。また、本発明において、正弦波出力部 16 の構成は図 2 以外の構成であってもよい。

V_{ratio1} 、 V_{ratio2} は予め設定される任意の実数である。 A 、 B は乗算部 12、13 から出力される制御信号によって決定される実数である。

[0023] 基準位相（クロック生成部 1 から出力される正弦波 $\sin \omega t$ の位相）に対して付与される位相差が A と B の比率により決定されることは、式（3）

、式（４）から明らかである。本実施例においては、 $A = V_{ratio1}$ 、 $B = V_{ratio2}$ としたときと同じ位相差が設定される。

[0024] 本実施例の構成は、信号振幅を制御するフィードバック回路を含む。フィードバック回路は、乗算部５，６と加算部７と振幅検出部９と差動増幅部１０とＬＰＦ１１と乗算部１２，１３とから構成される。フィードバック回路は、図３に示すような信号振幅の制御モデルと等価である。

[0025] Y は加算部７から出力される信号の振幅を示し、 P は $A = V_{ratio1}$ 、 $B = V_{ratio2}$ とした時に加算部７から出力される信号に基づいて振幅調整した結果である一定振幅を示している。制御モデルは、目標振幅 V_{ref} から振幅 Y を減算する減算部１００と、減算部１００による減算結果を増幅する増幅器１０１と、増幅器１０１の出力のうち低周波成分のみを通過させるＬＰＦ１０２と、一定振幅 P にＬＰＦ１０２の出力を乗算する乗算部１０３とから構成される。

[0026] 上記のとおり、基準位相に対して付与される位相差は A と B の比率によって決まる。この比率は、 $A : B = V_{ratio1} : V_{ratio2}$ のように定まり、 V_{ratio1} 、 V_{ratio2} によって一定値に設定される。

[0027] 図３に示す制御モデルは一般的なフィードバックシステムを示している。システム全体が安定であることを前提として、周波数特性 $H(\omega)$ として低域通過特性を適用することにより、振幅 Y を目標振幅 V_{ref} に近づけることが可能となる。

[0028] 次に、制御モデルの安定性について考える。制御モデルが安定であるためには、図３に示す各ノードに雑音が入力されたときであっても、出力端の信号が安定であることが必要である。各ノードに雑音が入力されたと仮定したときの制御モデルのブロック図を描くと図４のとおりとなる。なお、ここでは V_{ref} を入力、 Y を出力としてブロック図を書き直している。

[0029] ΔE は増幅器１０１に入力される雑音、 ΔK_o はＬＰＦ１０２に入力される雑音、 ΔX は乗算部１０３に入力される雑音、 ΔY は減算部１００に入力される雑音である。増幅器１０１の伝達特性を K とし、図４の構成について

伝達特性を計算すると、式（５）のようになる。

$$\begin{aligned}
 [0030] \quad & \{ \{ \{ V_{ref} - (Y + \Delta Y) + \Delta E \} \times K + \Delta K_o \} \times H + \Delta X \} \times P \\
 & = Y \\
 & \rightarrow \{ \{ \{ V_{ref} - (Y + \Delta Y) + \Delta E \} \times K + \Delta K_o \} \times H + \Delta X \} = \\
 & Y / P \\
 & \rightarrow \{ \{ V_{ref} - (Y + \Delta Y) + \Delta E \} \times K + \Delta K_o \} \times H = Y / P - \Delta X \\
 & \rightarrow \{ V_{ref} - (Y + \Delta Y) + \Delta E \} \times K + \Delta K_o = Y / PH - \Delta X / H \\
 & \rightarrow \{ V_{ref} - (Y + \Delta Y) + \Delta E \} \times K = Y / PH - \Delta X / H - \Delta K_o \\
 & \rightarrow \{ V_{ref} - (Y + \Delta Y) + \Delta E \} = Y / PHK - \Delta X / HK - \Delta K_o / K \\
 & \rightarrow \{ V_{ref} - (\Delta Y) + \Delta E \} + \Delta X / HK + \Delta K_o / K = Y (1 + 1 / PHK) \\
 & \rightarrow Y = [\{ V_{ref} - (\Delta Y) + \Delta E \} + \Delta X / HK + \Delta K_o / K] \\
 & \quad \times PHK / (PHK + 1) \quad \dots (5)
 \end{aligned}$$

[0031] 各雑音成分からの出力振幅Yに対する影響を計算すると、 $PHK / (1 + PHK) \times (\Delta E - \Delta Y)$ の項と、 $P / (1 + PHK) \times (\Delta X)$ の項と、 $PH / (1 + PHK) \times (\Delta K_o)$ の項の重ね合わせとなる。そのため、制御モデルが安定であるためには、以下の（I）～（III）の３つの条件を満たすことが必要になる。

[0032] （I） $PHK / (1 + PHK)$ が安定。

（II） $P / (1 + PHK)$ が安定。

（III） $PH / (1 + PHK)$ が安定。

[0033] なお、振幅Pが定数であることにより、条件（II）を「 $1 / (1 + PHK)$ が安定」としてもよく、この条件（II）の下では、条件（III）を「Hが安定」としてもよいし、同様に条件（I）を「Kが安定」としてもよい。以上により、制御モデルが安定であるための条件を再整理すると、以下の（a）～（c）の３つの条件を満たすことが必要になる。したがって、条件（a）～

(c) を満たすようにフィードバック回路を設計すればよい。

[0034] (a) 増幅器の伝達特性 K が安定であること。

(b) LPF の特性 H が安定であること。

(c) $1 / (1 + PHK)$ が安定であること。

[0035] 図1に示した位相調整回路によって正弦波の位相が変化することを回路シミュレーションによって確認した結果を図5に示し、本実施例の位相調整回路によって正弦波の位相が変化することを回路シミュレーションによって確認した結果を図6に示す。50はクロック生成部1から出力される正弦波を示し、51は図1に示した位相調整回路によって位相を変化させた正弦波（加算部7の出力）を示し、52は本実施例の位相調整回路によって位相を変化させた正弦波を示す。

図1に示した位相調整回路の場合、AGC部を追加しないと入力に対して出力振幅が大きく変動してしまうが、本実施例では、出力振幅を一定にできることが分かる。

[0036] 遅延部4の実現方法は多数あるが、例えば配線の伝搬遅延により遅延部4を実現してもよい。特に高周波に対応するために、遅延部4を実現する配線として、伝送線路を用いてもよい。伝送線路の種類、構造は問わない。伝送線路として、コプレーナ線路を用いてもよいし、マイクロストリップ線路を用いてもよい。

[0037] また、遅延部4として、任意個数の増幅器を縦続接続したものを用いてもよい。さらに、遅延部4を、集中定数素子によって実現してもよい。例えばLCR共振回路によって遅延部4を実現することができる。

また、配線と増幅器と集中定数素子の組み合わせによって遅延部4を実現してもよい。

[0038] [第2の実施例]

本実施例では、第1の実施例の乗算部5、6、12、13の具体例について説明する。乗算部5、6、12、13としては、可変増幅器であるギルバートセルを用いることができる。図7に示すように、乗算部5は、ベースに

制御信号 I_{N1n} （第1の制御信号または第3の制御信号）が入力され、コレクタから正相側の出力信号 O_{UT1p} を出力する NPNバイポーラトランジスタ $Q1$ と、ベースに制御信号 I_{N1p} （第2の制御信号または第4の制御信号）が入力され、コレクタから逆相側の出力信号 O_{UT1n} を出力する NPNバイポーラトランジスタ $Q2$ と、ベースに制御信号 I_{N1n} が入力され、コレクタから逆相側の出力信号 O_{UT1n} を出力する NPNバイポーラトランジスタ $Q3$ と、ベースに制御信号 I_{N1p} が入力され、コレクタから正相側の出力信号 O_{UT1p} を出力する NPNバイポーラトランジスタ $Q4$ と、バッファ部2から出力された差動信号の正相側の信号 I_{N2p} がベースに入力され、コレクタがトランジスタ $Q1$ 、 $Q2$ のエミッタに接続された NPNバイポーラトランジスタ $Q5$ と、バッファ部2から出力された差動信号の逆相側の信号 I_{N2n} がベースに入力され、コレクタがトランジスタ $Q3$ 、 $Q4$ のエミッタに接続された NPNバイポーラトランジスタ $Q6$ と、ベースにバイアス電圧 V_B が与えられた NPNバイポーラトランジスタ $Q7$ と、一端が電源電圧 V_{CC} に接続され、他端がトランジスタ $Q1$ 、 $Q4$ のコレクタに接続された抵抗 $R1$ と、一端が電源電圧 V_{CC} に接続され、他端がトランジスタ $Q2$ 、 $Q3$ のコレクタに接続された抵抗 $R2$ と、一端がトランジスタ $Q5$ のエミッタに接続され、他端がトランジスタ $Q7$ のコレクタに接続された抵抗 $R3$ と、一端がトランジスタ $Q6$ のエミッタに接続され、他端がトランジスタ $Q7$ のコレクタに接続された抵抗 $R4$ と、一端がトランジスタ $Q7$ のエミッタに接続され、他端がグラウンドに接続された抵抗 $R5$ とから構成される。

制御信号 I_{N1p} と I_{N1n} の電圧差によって乗算部5の増幅率（上記の振幅 A ）を制御することができる。

[0039] 乗算部6の構成は乗算部5と同様である。乗算部6の場合には、遅延部4から出力された差動信号 I_{N2p} 、 I_{N2n} がトランジスタ $Q5$ 、 $Q6$ に入力される。制御信号 I_{N1p} と I_{N1n} の電圧差によって乗算部6の増幅率（上記の振幅 B ）を制御することができる。

- [0040] 乗算部 1 2 の構成は乗算部 5 と同様である。乗算部 1 2 の場合には、L P F 1 1 から出力された差動信号 $I N 2 p$, $I N 2 n$ がトランジスタ Q 5 , Q 6 に入力される。制御信号 $I N 1 p$ と $I N 1 n$ の電圧差によって乗算部 1 2 の増幅率（上記の定数 $V r a t i o 1$ ）を一定値に設定することができる。
- [0041] 乗算部 1 3 の構成は乗算部 5 と同様である。乗算部 1 3 の場合には、L P F 1 1 から出力された差動信号 $I N 2 p$, $I N 2 n$ がトランジスタ Q 5 , Q 6 に入力される。制御信号 $I N 1 p$ と $I N 1 n$ の電圧差によって乗算部 1 3 の増幅率（上記の定数 $V r a t i o 2$ ）を一定値に設定することができる。
- [0042] ギルバートセルは構造上、 $(I N 1 p - I N 1 n)$ と $(I N 2 p - I N 2 n)$ とを乗じた $(I N 1 p - I N 1 n) \times (I N 2 p - I N 2 n)$ が出力 ($O U T 1 p - O U T 1 n$) になる。したがって、バッファ部 2、遅延部 4、L P F 1 1 から出力された差動信号を $I N 1 p$, $I N 1 n$ に割り当て、 $I N 2 p$, $I N 2 n$ を制御信号としてもよい。
- [0043] 図 7 の構成では、乗算部 5 , 6 , 1 2 , 1 3 が差動入力、差動出力型の構成となる。図 7 の構成に対応するため、バッファ部 2 , 3 を差動出力型のバッファ部とすればよい。また、遅延部 4 については、2 本の伝送線路からなる差動伝送線路としてもよいし、差動入力、差動出力型の増幅器を縦続接続した構成としてもよい。
- [0044] [第 3 の実施例]

本実施例では、第 1 の実施例の加算部 7 の具体例について説明する。加算部 7 としては、電流加算ベースの C M L (Current Mode Logic) ブロックを用いることができる。図 8 に示すように、加算部 7 は、乗算部 5 から出力された差動信号の逆相側の信号 $I N 5 n$ がベースに入力され、コレクタから正相側の出力信号 $O U T 2 p$ を出力する N P N バイポーラトランジスタ Q 8 と、乗算部 5 から出力された差動信号の正相側の信号 $I N 5 p$ がベースに入力され、コレクタから逆相側の出力信号 $O U T 2 n$ を出力する N P N バイポーラトランジスタ Q 9 と、乗算部 6 から出力された差動信号の正相側の信号 $I N 6 p$ がベースに入力され、コレクタから逆相側の出力信号 $O U T 2 n$ を出

力するNPNバイポーラトランジスタQ10と、乗算部6から出力された差動信号の逆相側の信号IN6nがベースに入力され、コレクタから正相側の出力信号OUT2pを出力するNPNバイポーラトランジスタQ11と、ベースにバイアス電圧Vbが与えられたNPNバイポーラトランジスタQ12, Q13と、一端が電源電圧VCCに接続され、他端がトランジスタQ8, Q11のコレクタに接続された抵抗R6と、一端が電源電圧VCCに接続され、他端がトランジスタQ9, Q10のコレクタに接続された抵抗R7と、一端がトランジスタQ8のエミッタに接続され、他端がトランジスタQ12のコレクタに接続された抵抗R8と、一端がトランジスタQ9のエミッタに接続され、他端がトランジスタQ12のコレクタに接続された抵抗R9と、一端がトランジスタQ10のエミッタに接続され、他端がトランジスタQ13のコレクタに接続された抵抗R10と、一端がトランジスタQ11のエミッタに接続され、他端がトランジスタQ13のコレクタに接続された抵抗R11と、一端がトランジスタQ12のエミッタに接続され、他端がグラウンドに接続された抵抗R12と、一端がトランジスタQ13のエミッタに接続され、他端がグラウンドに接続された抵抗R13とから構成される。

[0045] 図8の構成では、加算部7が差動入力、差動出力型の構成となる。図8の構成に対応するため、図7に示したように乗算部5, 6を差動出力型の構成とすればよい。

[0046] なお、図8の構成を差動増幅部10として用いることも可能である。差動増幅部10に適用する場合には、目標振幅Vrefを示す差動信号の正相側の信号を図8のIN6pとして入力し、目標振幅Vrefを示す差動信号の逆相側の信号をIN6nとして入力すればよい。また、振幅検出部9から出力された差動信号の逆相側の信号を図8のIN5pとして入力し、振幅検出部9から出力された差動信号の正相側の信号をIN5nとして入力すればよい。なお、回路定数の取り方により、利得を持たせることが可能である。また、高速性と利得の両立のために、図8の構成の後段に増幅回路を用意し、多段構成とすることもできる。

[0047] [第4の実施例]

本実施例では、第1の実施例の振幅検出部9の具体例について説明する。

振幅検出部9としては、ギルバートセルをベースにした回路を用いることができる。図9に示すように、振幅検出部9は、加算部7から出力された差動信号の逆相側の信号 I_{N7n} がベースに投入されたNPNバイポーラトランジスタ Q_{14} と、加算部7から出力された差動信号の正相側の信号 I_{N7p} がベースに投入されたNPNバイポーラトランジスタ Q_{15} と、ベースとコレクタとが接続されたNPNバイポーラトランジスタ Q_{16} と、ベースとコレクタとが接続されたNPNバイポーラトランジスタ Q_{17} と、ベースにバイアス電圧 V_B が与えられ、コレクタがトランジスタ Q_{16} のエミッタに接続されたNPNバイポーラトランジスタ Q_{18} と、ベースにバイアス電圧 V_B が与えられ、コレクタがトランジスタ Q_{17} のエミッタに接続されたNPNバイポーラトランジスタ Q_{19} と、加算部7から出力された差動信号の逆相側の信号 I_{N7n} がベースに投入されたNPNバイポーラトランジスタ Q_{20} と、加算部7から出力された差動信号の正相側の信号 I_{N7p} がベースに投入されたNPNバイポーラトランジスタ Q_{21} と、加算部7から出力された差動信号の逆相側の信号 I_{N7n} がベースに投入されたNPNバイポーラトランジスタ Q_{22} と、加算部7から出力された差動信号の正相側の信号 I_{N7p} がベースに投入されたNPNバイポーラトランジスタ Q_{23} と、ベースがトランジスタ Q_{16} のベースおよびコレクタに接続され、コレクタがトランジスタ Q_{20} 、 Q_{21} のエミッタに接続されたNPNバイポーラトランジスタ Q_{24} と、ベースがトランジスタ Q_{17} のベースおよびコレクタに接続され、コレクタがトランジスタ Q_{22} 、 Q_{23} のエミッタに接続されたNPNバイポーラトランジスタ Q_{25} と、ベースにバイアス電圧 V_B が与えられたNPNバイポーラトランジスタ Q_{26} と、一端が電源電圧 V_{CC} に接続され、他端がトランジスタ Q_{14} のコレクタに接続された抵抗 R_{14} と、一端が電源電圧 V_{CC} に接続され、他端がトランジスタ Q_{15} のコレクタに接続された抵抗 R_{15} と、一端がトランジスタ Q_{14} のエミッタに接続され

、他端がトランジスタQ 1 6のベースおよびコレクタに接続された抵抗R 1 6と、一端がトランジスタQ 1 5のエミッタに接続され、他端がトランジスタQ 1 7のベースおよびコレクタに接続された抵抗R 1 7と、一端がトランジスタQ 1 8のエミッタに接続され、他端がグラウンドに接続された抵抗R 1 8と、一端がトランジスタQ 1 9のエミッタに接続され、他端がグラウンドに接続された抵抗R 1 9と、一端が電源電圧V C Cに接続され、他端がトランジスタQ 2 0, Q 2 3のコレクタに接続された抵抗R 2 0と、一端が電源電圧V C Cに接続され、他端がトランジスタQ 2 1, Q 2 2のコレクタに接続された抵抗R 2 1と、一端がトランジスタQ 2 4のエミッタに接続され、他端がトランジスタQ 2 6のコレクタに接続された抵抗R 2 2と、一端がトランジスタQ 2 5のエミッタに接続され、他端がトランジスタQ 2 6のコレクタに接続された抵抗R 2 3と、一端がトランジスタQ 2 6のエミッタに接続され、他端がグラウンドに接続された抵抗R 2 4と、一端がトランジスタQ 2 0, Q 2 3のコレクタに接続され、他端から正相側の出力信号O U T 3 pを出力する抵抗R 2 5と、一端がトランジスタQ 2 1, Q 2 2のコレクタに接続され、他端から逆相側の出力信号O U T 3 nを出力する抵抗R 2 6と、一端がトランジスタQ 2 0, Q 2 3のコレクタに接続され、他端がグラウンドに接続された容量C 1と、一端がトランジスタQ 2 1, Q 2 2のコレクタに接続され、他端がグラウンドに接続された容量C 2と、一端が抵抗R 2 5の他端に接続され、他端がグラウンドに接続された容量C 3と、一端が抵抗R 2 6の他端に接続され、他端がグラウンドに接続された容量C 4とから構成される。

[0048] 図9の回路では、加算部7の出力振幅をトランジスタQ 1 4～Q 2 6と抵抗R 1 4～R 2 4とからなる2乗器によって2乗し、2乗した振幅を抵抗R 2 5, R 2 6と容量C 1～C 4とからなるL P Fによって平坦化することで振幅を検出する。振幅の2乗をギルバートセルで実現するためには、トランジスタQ 2 0～Q 2 3に入力される信号とトランジスタQ 2 4, Q 2 5に入力される信号の同相信号レベルの違いを吸収する必要がある、初段にラン

ジスタQ14～Q19と抵抗R14～R19とからなるエミッタフォロフを挿入して、入力信号の同相レベルを調整している。なお、ダイオード接続のトランジスタQ16、Q17を、抵抗やダイオードに置換することも可能である。

[0049] 図9の構成では、振幅検出部9が差動入力、差動出力型の構成となる。図9の構成に対応するため、図8に示したように加算部7を差動出力型の構成とすればよい。

[0050] [第5の実施例]

本実施例では、第1の実施例のLPF11の具体例について説明する。図10に示すように、LPF11は、一端に差動増幅部10から出力された信号が入力され、他端がLPF11の出力端子に接続された抵抗R27と、一端がLPF11の出力端子に接続され、他端がグラウンドに接続された容量C5とから構成される。抵抗R27の代わりにインダクタを用いることもできるし、抵抗とインダクタを併用してもよい。

[0051] 図10では、パッシブ型のLPFの構成を示したが、アクティブ型のフィルタを用いてもよい。また、アナログフィルタの代わりに、デジタルフィルタを用いてもよい。すなわち、信号をAD (Analog-to-Digital) 変換し、信号をデジタル処理して、DA (Digital-to-Analog) 変換によりデジタル信号をアナログ信号に戻してもよい。

[0052] [第6の実施例]

振幅検出部9の構成は、第4の実施例に記したように、二乗器とLPFで構成してもよいが、図11に示すようにピークディテクターで実現してもよい。図11の例では、振幅検出部9は、加算部7から出力された信号がアノードに入力され、カソードが振幅検出部9の出力端子に接続されたダイオードD1と、一端が振幅検出部9の出力端子に接続され、他端がグラウンドに接続された容量C6とから構成される。

[0053] また、図12に示すように、振幅検出部9を、加算部7から出力された差動信号の正相側の信号IN7pがカソードに入力されたダイオードD2と、

信号 I_{N7p} がアノードに入力されたダイオード $D3$ と、加算部 7 から出力された差動信号の逆相側の信号 I_{N7n} がカソードに入力され、アノードがダイオード $D2$ のアノードに接続されたダイオード $D4$ と、信号 I_{N7n} がアノードに入力され、カソードがダイオード $D3$ のカソードに接続されたダイオード $D5$ と、ダイオード $D2$ のアノードとダイオード $D4$ のアノードの接続点の信号を平坦化する $LPF14$ と、ダイオード $D3$ のカソードとダイオード $D5$ のカソードの接続点の信号を平坦化する $LPF15$ とから構成される。ダイオード $D2 \sim D5$ は非同期検波回路を構成している。

[0054] [第 7 の実施例]

上記のギルバートセルと CML とを組み合わせることにより、乗算部 5, 6 と加算部 7 とを一体にした構成を実現してもよい。この構成は、図 13 に示すように、ベースに制御信号 I_{N1n} (第 1 の制御信号) が入力され、コレクタから正相側の出力信号 $OUT2p$ を出力する NPN バイポーラトランジスタ $Q27$ と、ベースに制御信号 I_{N1p} (第 2 の制御信号) が入力され、コレクタから逆相側の出力信号 $OUT2n$ を出力する NPN バイポーラトランジスタ $Q28$ と、ベースに制御信号 I_{N1n} が入力され、コレクタから逆相側の出力信号 $OUT2n$ を出力する NPN バイポーラトランジスタ $Q29$ と、ベースに制御信号 I_{N1p} が入力され、コレクタから正相側の出力信号 $OUT2p$ を出力する NPN バイポーラトランジスタ $Q30$ と、バッファ部 2 から出力された差動信号の正相側の信号 I_{N2p} がベースに入力され、コレクタがトランジスタ $Q27$, $Q28$ のエミッタに接続された NPN バイポーラトランジスタ $Q31$ と、バッファ部 2 から出力された差動信号の逆相側の信号 I_{N2n} がベースに入力され、コレクタがトランジスタ $Q29$, $Q30$ のエミッタに接続された NPN バイポーラトランジスタ $Q32$ と、ベースにバイアス電圧 V_B が与えられた NPN バイポーラトランジスタ $Q33$ と、ベースに制御信号 I_{N3n} (第 3 の制御信号) が入力され、コレクタから正相側の出力信号 $OUT2p$ を出力する NPN バイポーラトランジスタ $Q34$ と、ベースに制御信号 I_{N3p} (第 4 の制御信号) が入力され、コレクタ

から逆相側の出力信号OUT2nを出力するNPNバイポーラトランジスタQ35と、ベースに制御信号IN3nが入力され、コレクタから逆相側の出力信号OUT2nを出力するNPNバイポーラトランジスタQ36と、ベースに制御信号IN3pが入力され、コレクタから正相側の出力信号OUT2pを出力するNPNバイポーラトランジスタQ37と、遅延部4から出力された差動信号の正相側の信号IN4pがベースに入力され、コレクタがトランジスタQ34, Q35のエミッタに接続されたNPNバイポーラトランジスタQ38と、遅延部4から出力された差動信号の逆相側の信号IN4nがベースに入力され、コレクタがトランジスタQ36, Q37のエミッタに接続されたNPNバイポーラトランジスタQ39と、ベースにバイアス電圧VBが与えられたNPNバイポーラトランジスタQ40と、一端が電源電圧VCCに接続され、他端がトランジスタQ27, Q30, Q34, Q37のコレクタに接続された抵抗R28と、一端が電源電圧VCCに接続され、他端がトランジスタQ28, Q29, Q35, Q36のコレクタに接続された抵抗R29と、一端がトランジスタQ31のエミッタに接続され、他端がトランジスタQ33のコレクタに接続された抵抗R30と、一端がトランジスタQ32のエミッタに接続され、他端がトランジスタQ33のコレクタに接続された抵抗R31と、一端がトランジスタQ33のエミッタに接続され、他端がグラウンドに接続された抵抗R32と、一端がトランジスタQ38のエミッタに接続され、他端がトランジスタQ40のコレクタに接続された抵抗R33と、一端がトランジスタQ39のエミッタに接続され、他端がトランジスタQ40のコレクタに接続された抵抗R34と、一端がトランジスタQ40のエミッタに接続され、他端がグラウンドに接続された抵抗R35とから構成される。

[0055] 制御信号IN1pとIN1nの電圧差によって乗算部5の増幅率（上記の振幅A）を制御することができ、制御信号IN3pとIN3nの電圧差によって乗算部6の増幅率（上記の振幅B）を制御することができる。また、図7で説明したように、バッファ部2から出力された差動信号をIN1p, I

N 1 nに割り当て、遅延部4から出力された差動信号をI N 3 p, I N 3に割り当て、I N 2 p, I N 2 n, I N 4 p, I N 4 nを制御信号としてもよい。

[0056] 図13に示した構成により、 $(I N 1 p - I N 1 n)$ と $(I N 2 p - I N 2 n)$ とを乗じた結果と、 $(I N 3 p - I N 3 n)$ と $(I N 4 p - I N 4 n)$ とを乗じた結果とを加算した出力 $\{(I N 1 p - I N 1 n) \times (I N 2 p - I N 2 n)\} + \{(I N 3 p - I N 3 n) \times (I N 4 p - I N 4 n)\}$ が、 $(O U T 2 p - O U T 2 n)$ になる。

[0057] 図7～図9、図13では、トランジスタQ1～Q40としてバイポーラトランジスタを使用した例を示しているが、MOSトランジスタを使用してもよい。MOSトランジスタを使用する場合には、上記の説明において、ベースをゲートに置き換え、コレクタをドレインに置き換え、エミッタをソースに置き換えるようにすればよい。

[0058] また、トランジスタのエミッタまたはソースに対し、ゲイン調整や周波数応答調整のための抵抗または容量を挿入してもよいし、抵抗と容量の両方を挿入してもよい。また、レベル調整や駆動力調整などのために、必要に応じてエミッタフォロワなどの任意の増幅回路を設けることも可能である。

[0059] 上記の実施例の一部又は全部は、以下の付記のようにも記載されうるが、以下には限られない。

[0060] (付記1) 本発明の位相調整回路は、固定位相差の2つの正弦波信号を出力するように構成された正弦波出力部と、前記正弦波出力部から出力された第1の正弦波信号の振幅を第1の変数倍した信号を出力するように構成された第1の乗算部と、前記正弦波出力部から出力された第2の正弦波信号の振幅を第2の変数倍した信号を出力するように構成された第2の乗算部と、前記第1の乗算部から出力された信号と前記第2の乗算部から出力された信号とを加算するように構成された加算部と、前記加算部の出力信号の振幅を検出するように構成された振幅検出部と、前記振幅検出部によって検出された振幅を目標振幅から減算し増幅するように構成された差動増幅部と、前記差

動増幅部の出力結果を平坦化するように構成された第1のローパスフィルタと、前記第1のローパスフィルタから出力された信号の振幅を第1の定数倍した信号を、前記第1の変数を決定する制御信号として前記第1の乗算部に与えるように構成された第3の乗算部と、前記第1のローパスフィルタから出力された信号の振幅を第2の定数倍した信号を、前記第2の変数を決定する制御信号として前記第2の乗算部に与えるように構成された第4の乗算部とを備える。

[0061] (付記2) 付記1記載の位相調整回路において、前記第1の乗算部は、ベースまたはゲートに第1の制御信号または差動形式の前記第1の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第1のトランジスタと、ベースまたはゲートに第2の制御信号または前記第1の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第2のトランジスタと、ベースまたはゲートに前記第1の制御信号または前記第1の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第3のトランジスタと、ベースまたはゲートに前記第2の制御信号または前記第1の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第4のトランジスタと、ベースまたはゲートに前記第1の正弦波信号の正相側の信号または前記第2の制御信号が入力され、コレクタまたはドレインが前記第1、第2のトランジスタのエミッタまたはソースに接続された第5のトランジスタと、ベースまたはゲートに前記第1の正弦波信号の逆相側の信号または前記第1の制御信号が入力され、コレクタまたはドレインが前記第3、第4のトランジスタのエミッタまたはソースに接続された第6のトランジスタと、ベースまたはゲートにバイアス電圧が与えられた第7のトランジスタと、一端が電源電圧に接続され、他端が前記第1、第4のトランジスタのコレクタまたはドレインに接続された第1の抵抗と、一端が前記電源電圧に接続され、他端が前記第2、第3のトランジスタのコレクタまたはドレインに接続された第2の抵抗と、一端が前記第5のトランジスタのエミ

ッタまたはソースに接続され、他端が前記第 7 のトランジスタのコレクタまたはドレインに接続された第 3 の抵抗と、一端が前記第 6 のトランジスタのエミッタまたはソースに接続され、他端が前記第 7 のトランジスタのコレクタまたはドレインに接続された第 4 の抵抗と、一端が前記第 7 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 5 の抵抗とから構成され、前記第 2 の乗算部は、ベースまたはゲートに第 3 の制御信号または差動形式の前記第 2 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 8 のトランジスタと、ベースまたはゲートに第 4 の制御信号または前記第 2 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 9 のトランジスタと、ベースまたはゲートに前記第 3 の制御信号または前記第 2 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 10 のトランジスタと、ベースまたはゲートに前記第 4 の制御信号または前記第 2 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 11 のトランジスタと、ベースまたはゲートに前記第 2 の正弦波信号の正相側の信号または前記第 4 の制御信号が入力され、コレクタまたはドレインが前記第 8、第 9 のトランジスタのエミッタまたはソースに接続された第 12 のトランジスタと、ベースまたはゲートに前記第 2 の正弦波信号の逆相側の信号または前記第 3 の制御信号が入力され、コレクタまたはドレインが前記第 10、第 11 のトランジスタのエミッタまたはソースに接続された第 13 のトランジスタと、ベースまたはゲートにバイアス電圧が与えられた第 14 のトランジスタと、一端が電源電圧に接続され、他端が前記第 8、第 11 のトランジスタのコレクタまたはドレインに接続された第 6 の抵抗と、一端が前記電源電圧に接続され、他端が前記第 9、第 10 のトランジスタのコレクタまたはドレインに接続された第 7 の抵抗と、一端が前記第 12 のトランジスタのエミッタまたはソースに接続され、他端が前記第 14 のトランジスタのコレクタまたはドレインに接続された第 8 の抵抗と、一端が前記第 13 のトランジスタの

エミッタまたはソースに接続され、他端が前記第 14 のトランジスタのコレクタまたはドレインに接続された第 9 の抵抗と、一端が前記第 14 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 10 の抵抗とから構成される。

[0062] (付記 3) 付記 1 記載の位相調整回路において、前記加算部は、ベースまたはゲートに前記第 1 の乗算部から出力された差動信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 1 のトランジスタと、ベースまたはゲートに前記第 1 の乗算部から出力された差動信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 2 のトランジスタと、ベースまたはゲートに前記第 2 の乗算部から出力された差動信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 3 のトランジスタと、ベースまたはゲートに前記第 2 の乗算部から出力された差動信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 4 のトランジスタと、ベースまたはゲートにバイアス電圧が与えられた第 5、第 6 のトランジスタと、一端が電源電圧に接続され、他端が前記第 1、第 4 のトランジスタのコレクタまたはドレインに接続された第 1 の抵抗と、一端が前記電源電圧に接続され、他端が前記第 2、第 3 のトランジスタのコレクタまたはドレインに接続された第 2 の抵抗と、一端が前記第 1 のトランジスタのエミッタまたはソースに接続され、他端が前記第 5 のトランジスタのコレクタまたはドレインに接続された第 3 の抵抗と、一端が前記第 2 のトランジスタのエミッタまたはソースに接続され、他端が前記第 5 のトランジスタのコレクタまたはドレインに接続された第 4 の抵抗と、一端が前記第 3 のトランジスタのエミッタまたはソースに接続され、他端が前記第 6 のトランジスタのコレクタまたはドレインに接続された第 5 の抵抗と、一端が前記第 4 のトランジスタのエミッタまたはソースに接続され、他端が前記第 6 のトランジスタのコレクタまたはドレインに接続された第 6 の抵抗と、一端が前記第 5 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 7 の抵抗

と、一端が前記第6のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第8の抵抗とから構成される。

[0063] (付記4) 付記1記載の位相調整回路において、前記振幅検出部は、前記加算部の出力振幅を2乗するように構成された2乗器と、前記2乗器によって2乗された振幅を平坦化するように構成された第2のローパスフィルタとから構成される。

[0064] (付記5) 付記4記載の位相調整回路において、前記2乗器は、前記加算部から出力された差動信号の逆相側の信号がベースに入力された第1のトランジスタと、前記加算部から出力された差動信号の正相側の信号がベースに入力された第2のトランジスタと、ベースとコレクタとが接続された第3のトランジスタと、ベースとコレクタとが接続された第4のトランジスタと、ベースにバイアス電圧が与えられ、コレクタが前記第3のトランジスタのエミッタに接続された第5のトランジスタと、ベースにバイアス電圧が与えられ、コレクタが前記第4のトランジスタのエミッタに接続された第6のトランジスタと、前記加算部から出力された差動信号の逆相側の信号がベースに入力された第7のトランジスタと、前記加算部から出力された差動信号の正相側の信号がベースに入力された第8のトランジスタと、前記加算部から出力された差動信号の逆相側の信号がベースに入力された第9のトランジスタと、前記加算部から出力された差動信号の正相側の信号がベースに入力された第10のトランジスタと、ベースが前記第3のトランジスタのベースおよびコレクタに接続され、コレクタが前記第7、第8のトランジスタのエミッタに接続された第11のトランジスタと、ベースが前記第4のトランジスタのベースおよびコレクタに接続され、コレクタが前記第9、第10のトランジスタのエミッタに接続された第12のトランジスタと、ベースにバイアス電圧が与えられた第13のトランジスタと、一端が電源電圧に接続され、他端が前記第1のトランジスタのコレクタに接続された第1の抵抗と、一端が前記電源電圧に接続され、他端が前記第2のトランジスタのコレクタに接続された第2の抵抗と、一端が前記第1のトランジスタのエミッタに接続され

、他端が前記第3のトランジスタのベースおよびコレクタに接続された第3の抵抗と、一端が前記第2のトランジスタのエミッタに接続され、他端が前記第4のトランジスタのベースおよびコレクタに接続された第4の抵抗と、一端が前記第5のトランジスタのエミッタに接続され、他端がグラウンドに接続された第5の抵抗と、一端が前記第6のトランジスタのエミッタに接続され、他端がグラウンドに接続された第6の抵抗と、一端が前記電源電圧に接続され、他端が前記第7、第10のトランジスタのコレクタに接続された第7の抵抗と、一端が前記電源電圧に接続され、他端が前記第8、第9のトランジスタのコレクタに接続された第8の抵抗と、一端が前記第11のトランジスタのエミッタに接続され、他端が前記第13のトランジスタのコレクタに接続された第9の抵抗と、一端が前記第12のトランジスタのエミッタに接続され、他端が前記第13のトランジスタのコレクタに接続された第10の抵抗と、一端が前記第13のトランジスタのエミッタに接続され、他端がグラウンドに接続された第11の抵抗とから構成され、前記第2のローパスフィルタは、一端が前記第7、第10のトランジスタのコレクタに接続され、他端から正相側の出力信号を出力する第12の抵抗と、一端が前記第8、第9のトランジスタのコレクタに接続され、他端から逆相側の出力信号を出力する第13の抵抗と、一端が前記第7、第10のトランジスタのコレクタに接続され、他端がグラウンドに接続された第1の容量と、一端が前記第8、第9のトランジスタのコレクタに接続され、他端がグラウンドに接続された第2の容量と、一端が前記第12の抵抗の他端に接続され、他端がグラウンドに接続された第3の容量と、一端が前記第13の抵抗の他端に接続され、他端がグラウンドに接続された第4の容量とから構成される。

[0065] (付記6) 付記1記載の位相調整回路において、前記振幅検出部は、前記加算部から出力された差動信号の正相側の信号がカソードに入力された第1のダイオードと、前記加算部から出力された差動信号の正相側の信号がアノードに入力された第2のダイオードと、前記加算部から出力された差動信号の逆相側の信号がカソードに入力され、アノードが前記第1のダイオードの

アノードに接続された第3のダイオードと、前記加算部から出力された差動信号の逆相側の信号がアノードに入力され、カソードが前記第2のダイオードのカソードに接続された第4のダイオードと、前記第1のダイオードのアノードと前記第3のダイオードのアノードの接続点の信号を平坦化するように構成された第2のローパスフィルタと、前記第2のダイオードのカソードと前記第4のダイオードのカソードの接続点の信号を平坦化するように構成された第3のローパスフィルタとから構成される。

[0066] (付記7) 付記1記載の位相調整回路において、前記差動増幅部は、ベースまたはゲートに前記振幅検出部から出力された差動信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第1のトランジスタと、ベースまたはゲートに前記振幅検出部から出力された差動信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第2のトランジスタと、ベースまたはゲートに前記目標振幅を示す差動信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第3のトランジスタと、ベースまたはゲートに前記目標振幅を示す差動信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第4のトランジスタと、ベースまたはゲートにバイアス電圧が与えられた第5、第6のトランジスタと、一端が電源電圧に接続され、他端が前記第1、第4のトランジスタのコレクタまたはドレインに接続された第1の抵抗と、一端が前記電源電圧に接続され、他端が前記第2、第3のトランジスタのコレクタまたはドレインに接続された第2の抵抗と、一端が前記第1のトランジスタのエミッタまたはソースに接続され、他端が前記第5のトランジスタのコレクタまたはドレインに接続された第3の抵抗と、一端が前記第2のトランジスタのエミッタまたはソースに接続され、他端が前記第5のトランジスタのコレクタまたはドレインに接続された第4の抵抗と、一端が前記第3のトランジスタのエミッタまたはソースに接続され、他端が前記第6のトランジスタのコレクタまたはドレインに接続された第5の抵抗と、一端が前記第4のトランジスタのエミッタまたはソースに接続され

、他端が前記第6のトランジスタのコレクタまたはドレインに接続された第6の抵抗と、一端が前記第5のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第7の抵抗と、一端が前記第6のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第8の抵抗とから構成される。

[0067] (付記8) 付記1記載の位相調整回路において、前記第1、第2の乗算部と前記加算部とは、ベースまたはゲートに第1の制御信号または差動形式の前記第1の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第1のトランジスタと、ベースまたはゲートに第2の制御信号または前記第1の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第2のトランジスタと、ベースまたはゲートに前記第1の制御信号または前記第1の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第3のトランジスタと、ベースまたはゲートに前記第2の制御信号または前記第1の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第4のトランジスタと、ベースまたはゲートに前記第1の正弦波信号の正相側の信号または前記第2の制御信号が入力され、コレクタまたはドレインが前記第1、第2のトランジスタのエミッタまたはソースに接続された第5のトランジスタと、ベースまたはゲートに前記第1の正弦波信号の逆相側の信号または前記第1の制御信号が入力され、コレクタまたはドレインが前記第3、第4のトランジスタのエミッタまたはソースに接続された第6のトランジスタと、ベースまたはゲートにバイアス電圧が与えられた第7のトランジスタと、ベースまたはゲートに第3の制御信号または差動形式の前記第2の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第8のトランジスタと、ベースまたはゲートに第4の制御信号または前記第2の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第9のトランジスタと、ベースまたはゲートに前記第3の制御信号または前記第2

の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第10のトランジスタと、ベースまたはゲートに前記第4の制御信号または前記第2の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第11のトランジスタと、ベースまたはゲートに前記第2の正弦波信号の正相側の信号または前記第4の制御信号が入力され、コレクタまたはドレインが前記第8、第9のトランジスタのエミッタまたはソースに接続された第12のトランジスタと、ベースまたはゲートに前記第2の正弦波信号の逆相側の信号または前記第3の制御信号が入力され、コレクタまたはドレインが前記第10、第11のトランジスタのエミッタまたはソースに接続された第13のトランジスタと、ベースまたはゲートにバイアス電圧が与えられた第14のトランジスタと、一端が電源電圧に接続され、他端が前記第1、第4、第8、第11のトランジスタのコレクタまたはドレインに接続された第1の抵抗と、一端が前記電源電圧に接続され、他端が前記第2、第3、第9、第10のトランジスタのコレクタまたはドレインに接続された第2の抵抗と、一端が前記第5のトランジスタのエミッタまたはソースに接続され、他端が前記第7のトランジスタのコレクタまたはドレインに接続された第3の抵抗と、一端が前記第6のトランジスタのエミッタまたはソースに接続され、他端が前記第7のトランジスタのコレクタまたはドレインに接続された第4の抵抗と、一端が前記第7のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第5の抵抗と、一端が前記第12のトランジスタのエミッタまたはソースに接続され、他端が前記第14のトランジスタのコレクタまたはドレインに接続された第6の抵抗と、一端が前記第13のトランジスタのエミッタまたはソースに接続され、他端が前記第14のトランジスタのコレクタまたはドレインに接続された第7の抵抗と、一端が前記第14のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第8の抵抗とから構成される。

産業上の利用可能性

[0068] 本発明は、正弦波の位相を調整する技術に適用することができる。

符号の説明

[0069] 1…クロック生成部、2, 3…バッファ部、4…遅延部、5, 6, 12, 13…乗算部、7…加算部、9…振幅検出部、10…差動増幅部、11, 14, 15…ローパスフィルタ、16…正弦波出力部、Q1～Q40…トランジスタ、D1～D5…ダイオード、R1～R35…抵抗、C1～C6…容量。

請求の範囲

- [請求項1] 固定位相差の2つの正弦波信号を出力するように構成された正弦波出力部と、
- 前記正弦波出力部から出力された第1の正弦波信号の振幅を第1の変数倍した信号を出力するように構成された第1の乗算部と、
- 前記正弦波出力部から出力された第2の正弦波信号の振幅を第2の変数倍した信号を出力するように構成された第2の乗算部と、
- 前記第1の乗算部から出力された信号と前記第2の乗算部から出力された信号とを加算するように構成された加算部と、
- 前記加算部の出力信号の振幅を検出するように構成された振幅検出部と、
- 前記振幅検出部によって検出された振幅を目標振幅から減算し増幅するように構成された差動増幅部と、
- 前記差動増幅部の出力結果を平坦化するように構成された第1のローパスフィルタと、
- 前記第1のローパスフィルタから出力された信号の振幅を第1の定数倍した信号を、前記第1の変数を決定する制御信号として前記第1の乗算部に与えるように構成された第3の乗算部と、
- 前記第1のローパスフィルタから出力された信号の振幅を第2の定数倍した信号を、前記第2の変数を決定する制御信号として前記第2の乗算部に与えるように構成された第4の乗算部とを備えることを特徴とする位相調整回路。
- [請求項2] 請求項1記載の位相調整回路において、
- 前記第1の乗算部は、
- ベースまたはゲートに第1の制御信号または差動形式の前記第1の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第1のトランジスタと、
- ベースまたはゲートに第2の制御信号または前記第1の正弦波信号

の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第2のトランジスタと、

ベースまたはゲートに前記第1の制御信号または前記第1の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第3のトランジスタと、

ベースまたはゲートに前記第2の制御信号または前記第1の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第4のトランジスタと、

ベースまたはゲートに前記第1の正弦波信号の正相側の信号または前記第2の制御信号が入力され、コレクタまたはドレインが前記第1、第2のトランジスタのエミッタまたはソースに接続された第5のトランジスタと、

ベースまたはゲートに前記第1の正弦波信号の逆相側の信号または前記第1の制御信号が入力され、コレクタまたはドレインが前記第3、第4のトランジスタのエミッタまたはソースに接続された第6のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第7のトランジスタと、

一端が電源電圧に接続され、他端が前記第1、第4のトランジスタのコレクタまたはドレインに接続された第1の抵抗と、

一端が前記電源電圧に接続され、他端が前記第2、第3のトランジスタのコレクタまたはドレインに接続された第2の抵抗と、

一端が前記第5のトランジスタのエミッタまたはソースに接続され、他端が前記第7のトランジスタのコレクタまたはドレインに接続された第3の抵抗と、

一端が前記第6のトランジスタのエミッタまたはソースに接続され、他端が前記第7のトランジスタのコレクタまたはドレインに接続された第4の抵抗と、

一端が前記第 7 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 5 の抵抗とから構成され、

前記第 2 の乗算部は、

ベースまたはゲートに第 3 の制御信号または差動形式の前記第 2 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 8 のトランジスタと、

ベースまたはゲートに第 4 の制御信号または前記第 2 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 9 のトランジスタと、

ベースまたはゲートに前記第 3 の制御信号または前記第 2 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 10 のトランジスタと、

ベースまたはゲートに前記第 4 の制御信号または前記第 2 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 11 のトランジスタと、

ベースまたはゲートに前記第 2 の正弦波信号の正相側の信号または前記第 4 の制御信号が入力され、コレクタまたはドレインが前記第 8、第 9 のトランジスタのエミッタまたはソースに接続された第 12 のトランジスタと、

ベースまたはゲートに前記第 2 の正弦波信号の逆相側の信号または前記第 3 の制御信号が入力され、コレクタまたはドレインが前記第 10、第 11 のトランジスタのエミッタまたはソースに接続された第 13 のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第 14 のトランジスタと、

一端が電源電圧に接続され、他端が前記第 8、第 11 のトランジスタのコレクタまたはドレインに接続された第 6 の抵抗と、

一端が前記電源電圧に接続され、他端が前記第 9、第 10 のトラン

ジスタのコレクタまたはドレインに接続された第7の抵抗と、

一端が前記第12のトランジスタのエミッタまたはソースに接続され、他端が前記第14のトランジスタのコレクタまたはドレインに接続された第8の抵抗と、

一端が前記第13のトランジスタのエミッタまたはソースに接続され、他端が前記第14のトランジスタのコレクタまたはドレインに接続された第9の抵抗と、

一端が前記第14のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第10の抵抗とから構成されることを特徴とする位相調整回路。

[請求項3]

請求項1記載の位相調整回路において、

前記加算部は、

ベースまたはゲートに前記第1の乗算部から出力された差動信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第1のトランジスタと、

ベースまたはゲートに前記第1の乗算部から出力された差動信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第2のトランジスタと、

ベースまたはゲートに前記第2の乗算部から出力された差動信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第3のトランジスタと、

ベースまたはゲートに前記第2の乗算部から出力された差動信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第4のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第5、第6のトランジスタと、

一端が電源電圧に接続され、他端が前記第1、第4のトランジスタのコレクタまたはドレインに接続された第1の抵抗と、

一端が前記電源電圧に接続され、他端が前記第2、第3のトランジスタのコレクタまたはドレインに接続された第2の抵抗と、

一端が前記第1のトランジスタのエミッタまたはソースに接続され、他端が前記第5のトランジスタのコレクタまたはドレインに接続された第3の抵抗と、

一端が前記第2のトランジスタのエミッタまたはソースに接続され、他端が前記第5のトランジスタのコレクタまたはドレインに接続された第4の抵抗と、

一端が前記第3のトランジスタのエミッタまたはソースに接続され、他端が前記第6のトランジスタのコレクタまたはドレインに接続された第5の抵抗と、

一端が前記第4のトランジスタのエミッタまたはソースに接続され、他端が前記第6のトランジスタのコレクタまたはドレインに接続された第6の抵抗と、

一端が前記第5のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第7の抵抗と、

一端が前記第6のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第8の抵抗とから構成されることを特徴とする位相調整回路。

[請求項4] 請求項1記載の位相調整回路において、

前記振幅検出部は、

前記加算部の出力振幅を2乗するように構成された2乗器と、

前記2乗器によって2乗された振幅を平坦化するように構成された第2のローパスフィルタとから構成されることを特徴とする位相調整回路。

[請求項5] 請求項4記載の位相調整回路において、

前記2乗器は、

前記加算部から出力された差動信号の逆相側の信号がベースに入力

された第1のトランジスタと、

前記加算部から出力された差動信号の正相側の信号がベースに入力された第2のトランジスタと、

ベースとコレクタとが接続された第3のトランジスタと、

ベースとコレクタとが接続された第4のトランジスタと、

ベースにバイアス電圧が与えられ、コレクタが前記第3のトランジスタのエミッタに接続された第5のトランジスタと、

ベースにバイアス電圧が与えられ、コレクタが前記第4のトランジスタのエミッタに接続された第6のトランジスタと、

前記加算部から出力された差動信号の逆相側の信号がベースに入力された第7のトランジスタと、

前記加算部から出力された差動信号の正相側の信号がベースに入力された第8のトランジスタと、

前記加算部から出力された差動信号の逆相側の信号がベースに入力された第9のトランジスタと、

前記加算部から出力された差動信号の正相側の信号がベースに入力された第10のトランジスタと、

ベースが前記第3のトランジスタのベースおよびコレクタに接続され、コレクタが前記第7、第8のトランジスタのエミッタに接続された第11のトランジスタと、

ベースが前記第4のトランジスタのベースおよびコレクタに接続され、コレクタが前記第9、第10のトランジスタのエミッタに接続された第12のトランジスタと、

ベースにバイアス電圧が与えられた第13のトランジスタと、

一端が電源電圧に接続され、他端が前記第1のトランジスタのコレクタに接続された第1の抵抗と、

一端が前記電源電圧に接続され、他端が前記第2のトランジスタのコレクタに接続された第2の抵抗と、

一端が前記第1のトランジスタのエミッタに接続され、他端が前記第3のトランジスタのベースおよびコレクタに接続された第3の抵抗と、

一端が前記第2のトランジスタのエミッタに接続され、他端が前記第4のトランジスタのベースおよびコレクタに接続された第4の抵抗と、

一端が前記第5のトランジスタのエミッタに接続され、他端がグラウンドに接続された第5の抵抗と、

一端が前記第6のトランジスタのエミッタに接続され、他端がグラウンドに接続された第6の抵抗と、

一端が前記電源電圧に接続され、他端が前記第7、第10のトランジスタのコレクタに接続された第7の抵抗と、

一端が前記電源電圧に接続され、他端が前記第8、第9のトランジスタのコレクタに接続された第8の抵抗と、

一端が前記第11のトランジスタのエミッタに接続され、他端が前記第13のトランジスタのコレクタに接続された第9の抵抗と、

一端が前記第12のトランジスタのエミッタに接続され、他端が前記第13のトランジスタのコレクタに接続された第10の抵抗と、

一端が前記第13のトランジスタのエミッタに接続され、他端がグラウンドに接続された第11の抵抗とから構成され、

前記第2のローパスフィルタは、

一端が前記第7、第10のトランジスタのコレクタに接続され、他端から正相側の出力信号を出力する第12の抵抗と、

一端が前記第8、第9のトランジスタのコレクタに接続され、他端から逆相側の出力信号を出力する第13の抵抗と、

一端が前記第7、第10のトランジスタのコレクタに接続され、他端がグラウンドに接続された第1の容量と、

一端が前記第8、第9のトランジスタのコレクタに接続され、他端

がグラウンドに接続された第2の容量と、

一端が前記第12の抵抗の他端に接続され、他端がグラウンドに接続された第3の容量と、

一端が前記第13の抵抗の他端に接続され、他端がグラウンドに接続された第4の容量とから構成されることを特徴とする位相調整回路

。

[請求項6]

請求項1記載の位相調整回路において、

前記振幅検出部は、

前記加算部から出力された差動信号の正相側の信号がカソードに入力された第1のダイオードと、

前記加算部から出力された差動信号の正相側の信号がアノードに入力された第2のダイオードと、

前記加算部から出力された差動信号の逆相側の信号がカソードに入力され、アノードが前記第1のダイオードのアノードに接続された第3のダイオードと、

前記加算部から出力された差動信号の逆相側の信号がアノードに入力され、カソードが前記第2のダイオードのカソードに接続された第4のダイオードと、

前記第1のダイオードのアノードと前記第3のダイオードのアノードの接続点の信号を平坦化するように構成された第2のローパスフィルタと、

前記第2のダイオードのカソードと前記第4のダイオードのカソードの接続点の信号を平坦化するように構成された第3のローパスフィルタとから構成されることを特徴とする位相調整回路。

[請求項7]

請求項1記載の位相調整回路において、

前記差動増幅部は、

ベースまたはゲートに前記振幅検出部から出力された差動信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を

出力する第1のトランジスタと、

ベースまたはゲートに前記振幅検出部から出力された差動信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第2のトランジスタと、

ベースまたはゲートに前記目標振幅を示す差動信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第3のトランジスタと、

ベースまたはゲートに前記目標振幅を示す差動信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第4のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第5、第6のトランジスタと、

一端が電源電圧に接続され、他端が前記第1、第4のトランジスタのコレクタまたはドレインに接続された第1の抵抗と、

一端が前記電源電圧に接続され、他端が前記第2、第3のトランジスタのコレクタまたはドレインに接続された第2の抵抗と、

一端が前記第1のトランジスタのエミッタまたはソースに接続され、他端が前記第5のトランジスタのコレクタまたはドレインに接続された第3の抵抗と、

一端が前記第2のトランジスタのエミッタまたはソースに接続され、他端が前記第5のトランジスタのコレクタまたはドレインに接続された第4の抵抗と、

一端が前記第3のトランジスタのエミッタまたはソースに接続され、他端が前記第6のトランジスタのコレクタまたはドレインに接続された第5の抵抗と、

一端が前記第4のトランジスタのエミッタまたはソースに接続され、他端が前記第6のトランジスタのコレクタまたはドレインに接続された第6の抵抗と、

一端が前記第5のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第7の抵抗と、

一端が前記第6のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第8の抵抗とから構成されることを特徴とする位相調整回路。

[請求項8]

請求項1記載の位相調整回路において、

前記第1、第2の乗算部と前記加算部とは、

ベースまたはゲートに第1の制御信号または差動形式の前記第1の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第1のトランジスタと、

ベースまたはゲートに第2の制御信号または前記第1の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第2のトランジスタと、

ベースまたはゲートに前記第1の制御信号または前記第1の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第3のトランジスタと、

ベースまたはゲートに前記第2の制御信号または前記第1の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第4のトランジスタと、

ベースまたはゲートに前記第1の正弦波信号の正相側の信号または前記第2の制御信号が入力され、コレクタまたはドレインが前記第1、第2のトランジスタのエミッタまたはソースに接続された第5のトランジスタと、

ベースまたはゲートに前記第1の正弦波信号の逆相側の信号または前記第1の制御信号が入力され、コレクタまたはドレインが前記第3、第4のトランジスタのエミッタまたはソースに接続された第6のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第7のトランジス

タと、

ベースまたはゲートに第3の制御信号または差動形式の前記第2の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第8のトランジスタと、

ベースまたはゲートに第4の制御信号または前記第2の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第9のトランジスタと、

ベースまたはゲートに前記第3の制御信号または前記第2の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第10のトランジスタと、

ベースまたはゲートに前記第4の制御信号または前記第2の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第11のトランジスタと、

ベースまたはゲートに前記第2の正弦波信号の正相側の信号または前記第4の制御信号が入力され、コレクタまたはドレインが前記第8、第9のトランジスタのエミッタまたはソースに接続された第12のトランジスタと、

ベースまたはゲートに前記第2の正弦波信号の逆相側の信号または前記第3の制御信号が入力され、コレクタまたはドレインが前記第10、第11のトランジスタのエミッタまたはソースに接続された第13のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第14のトランジスタと、

一端が電源電圧に接続され、他端が前記第1、第4、第8、第11のトランジスタのコレクタまたはドレインに接続された第1の抵抗と、

一端が前記電源電圧に接続され、他端が前記第2、第3、第9、第10のトランジスタのコレクタまたはドレインに接続された第2の抵

抗と、

一端が前記第5のトランジスタのエミッタまたはソースに接続され、他端が前記第7のトランジスタのコレクタまたはドレインに接続された第3の抵抗と、

一端が前記第6のトランジスタのエミッタまたはソースに接続され、他端が前記第7のトランジスタのコレクタまたはドレインに接続された第4の抵抗と、

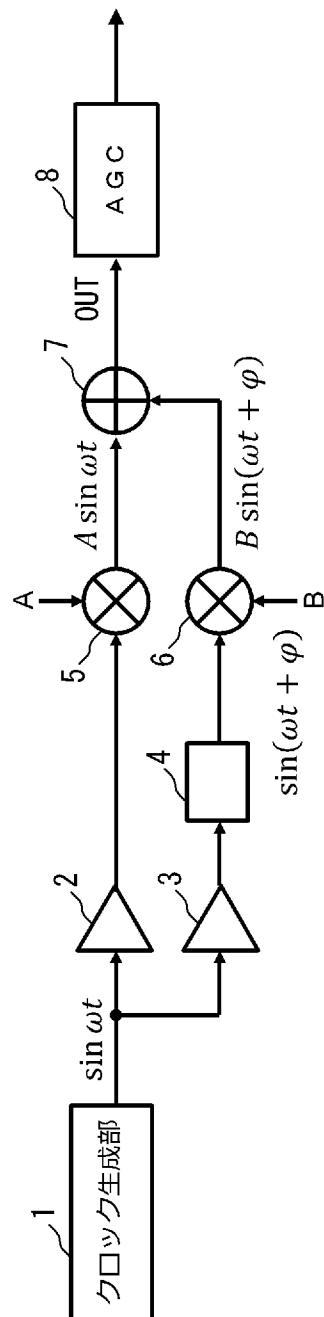
一端が前記第7のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第5の抵抗と、

一端が前記第12のトランジスタのエミッタまたはソースに接続され、他端が前記第14のトランジスタのコレクタまたはドレインに接続された第6の抵抗と、

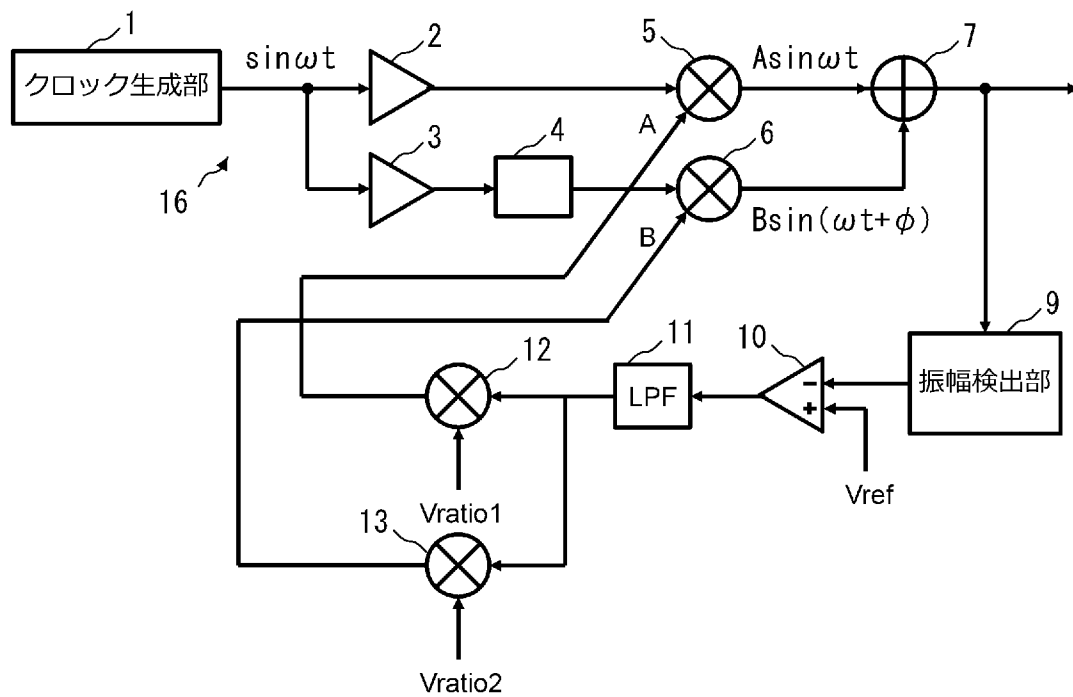
一端が前記第13のトランジスタのエミッタまたはソースに接続され、他端が前記第14のトランジスタのコレクタまたはドレインに接続された第7の抵抗と、

一端が前記第14のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第8の抵抗とから構成されることを特徴とする位相調整回路。

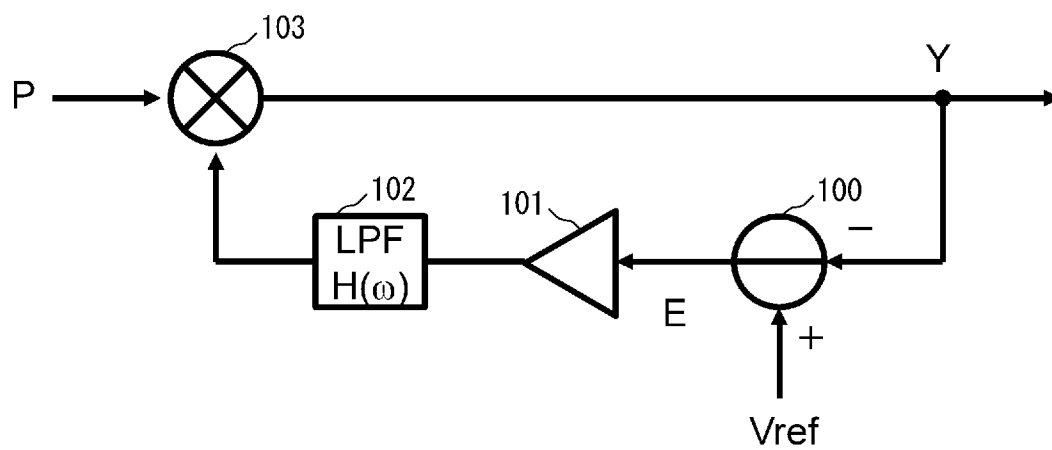
[図1]



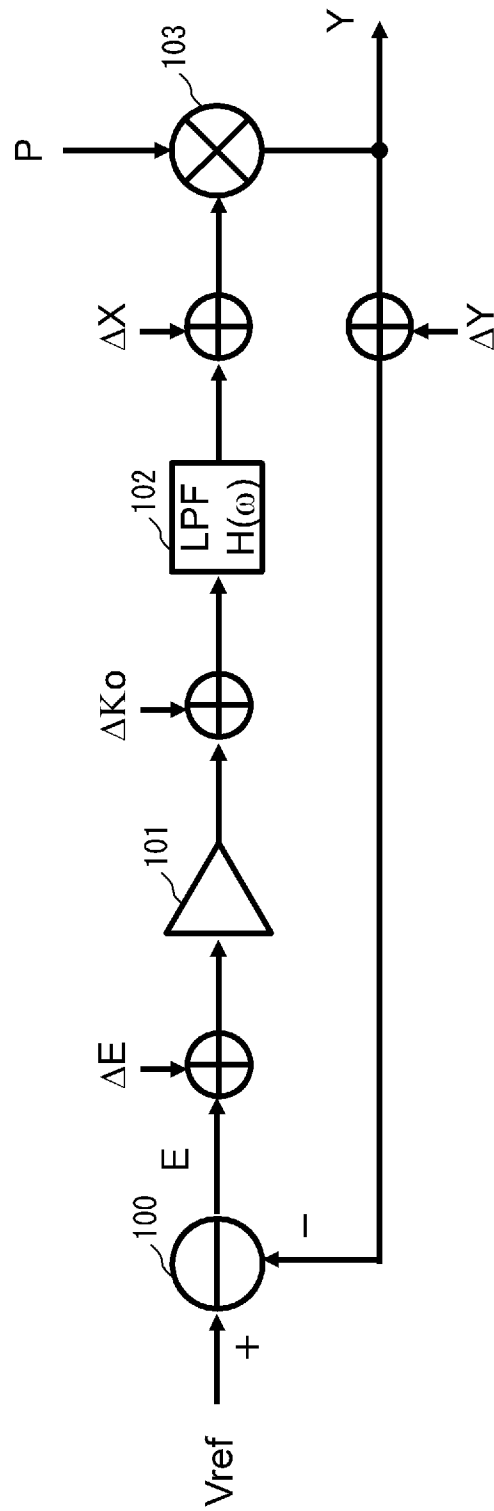
[図2]



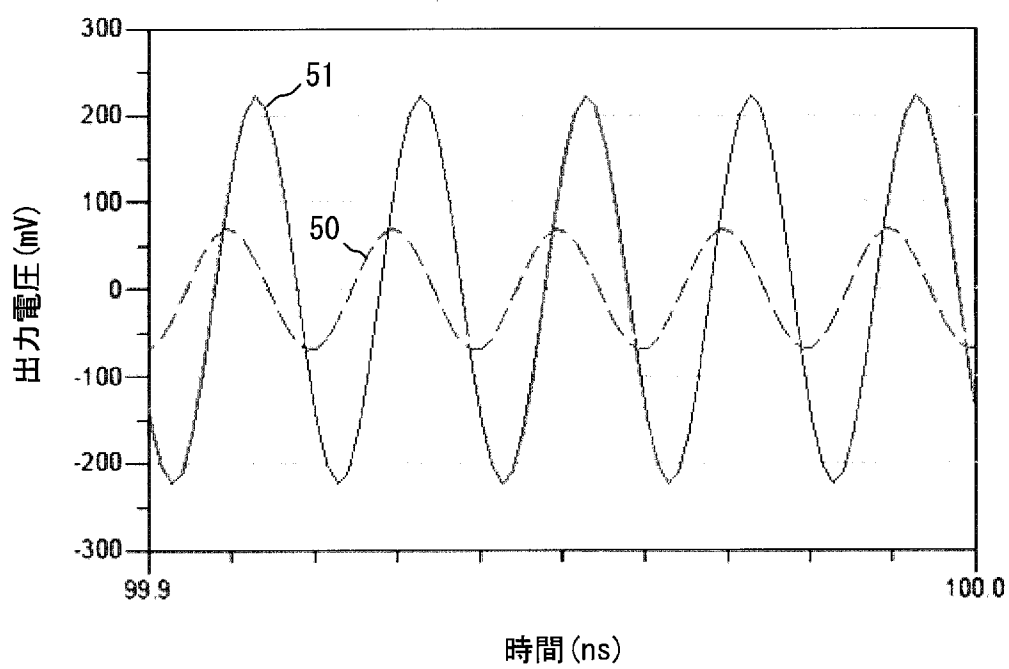
[図3]



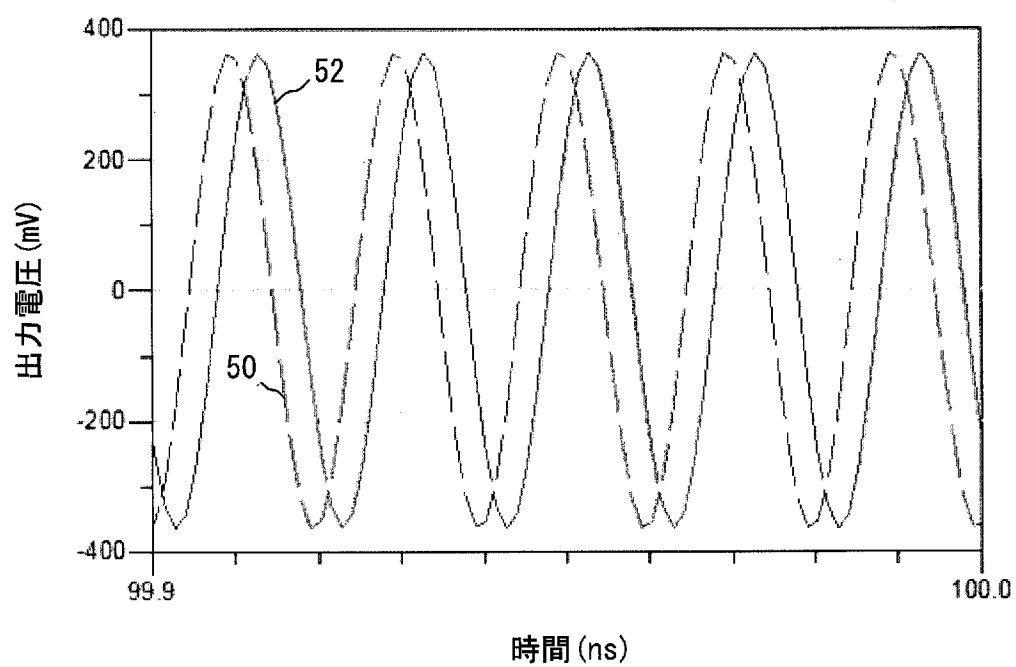
[図4]



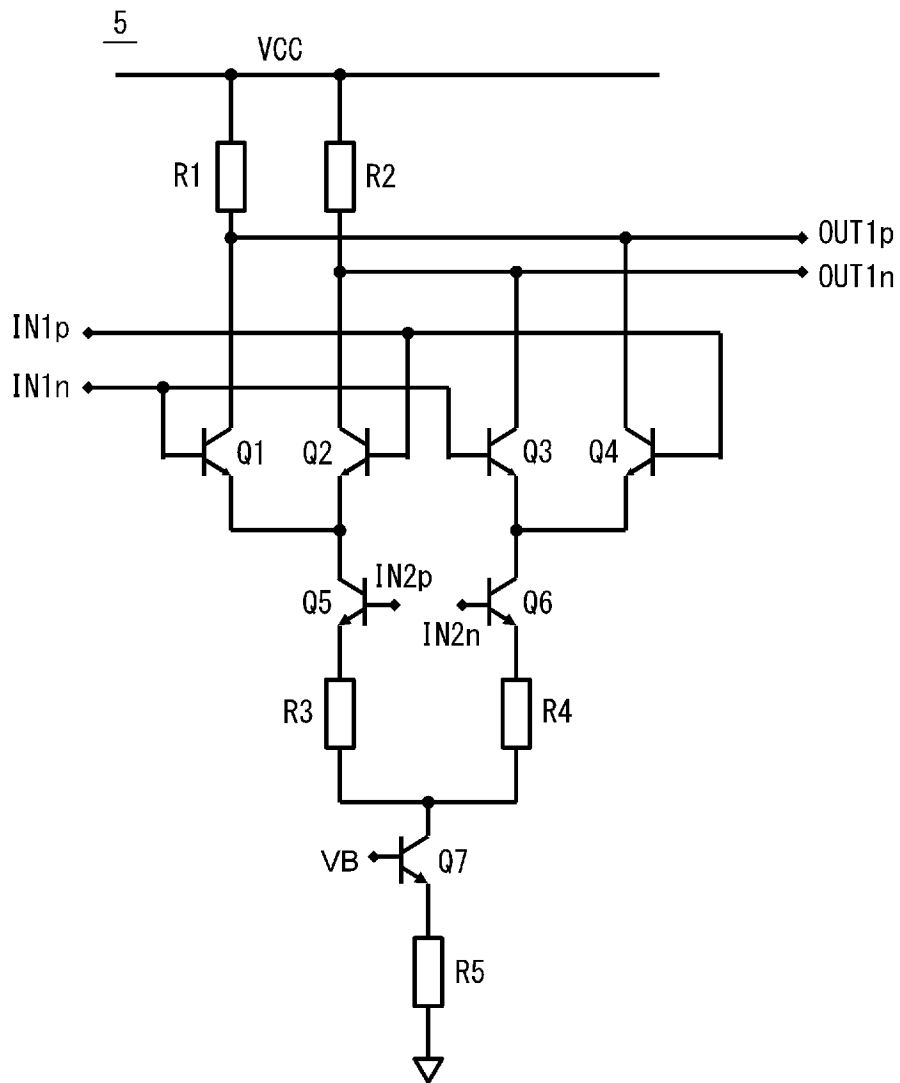
[図5]



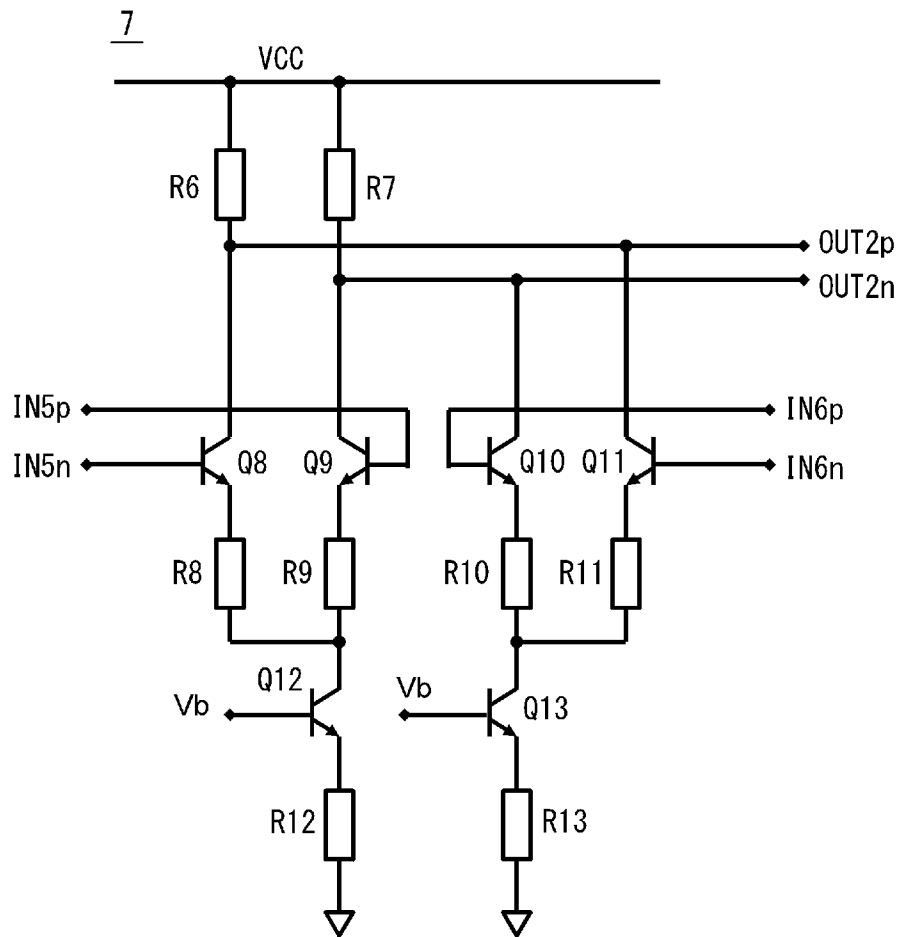
[図6]



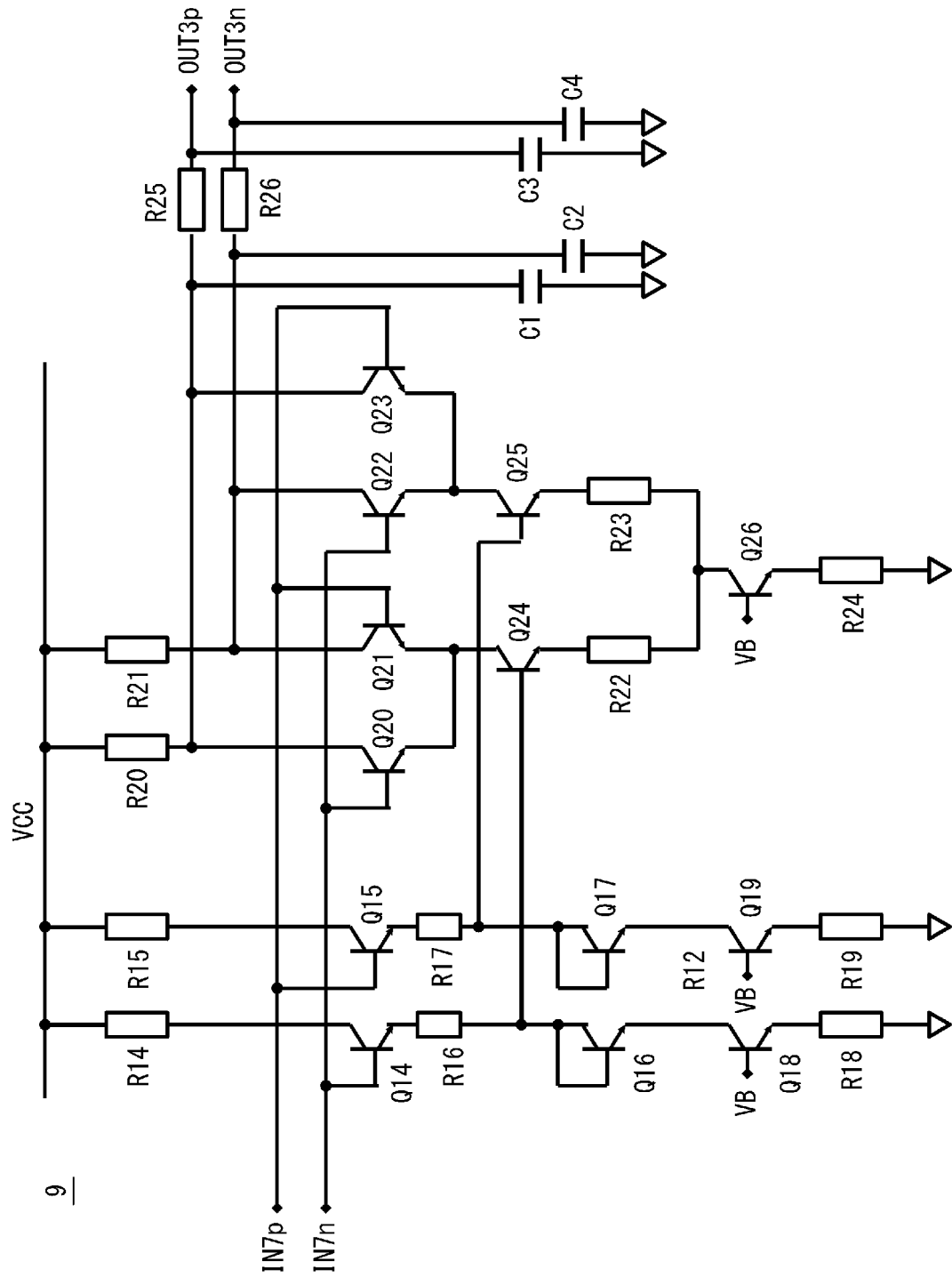
[図7]



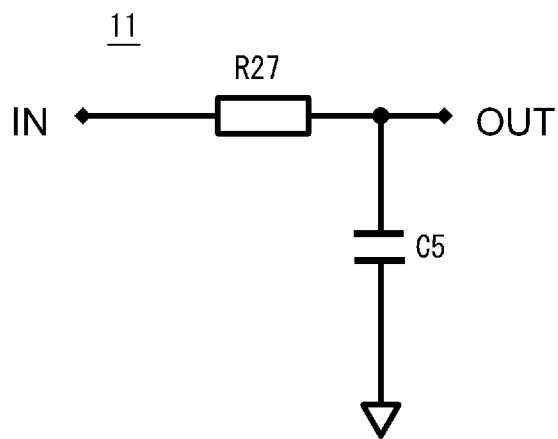
[図8]



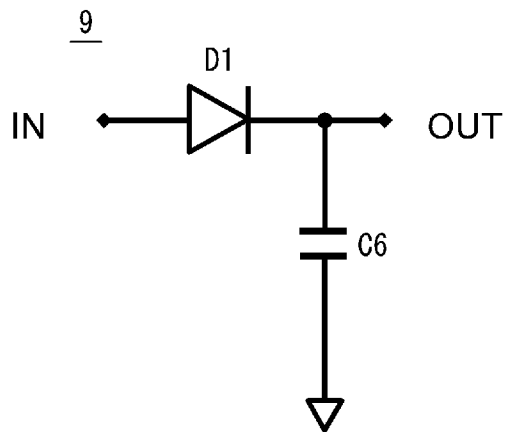
[図9]



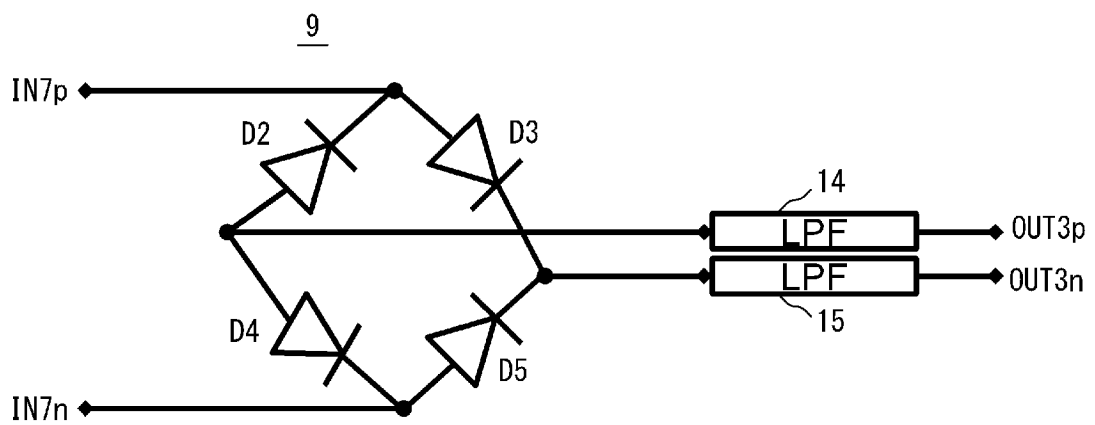
[図10]



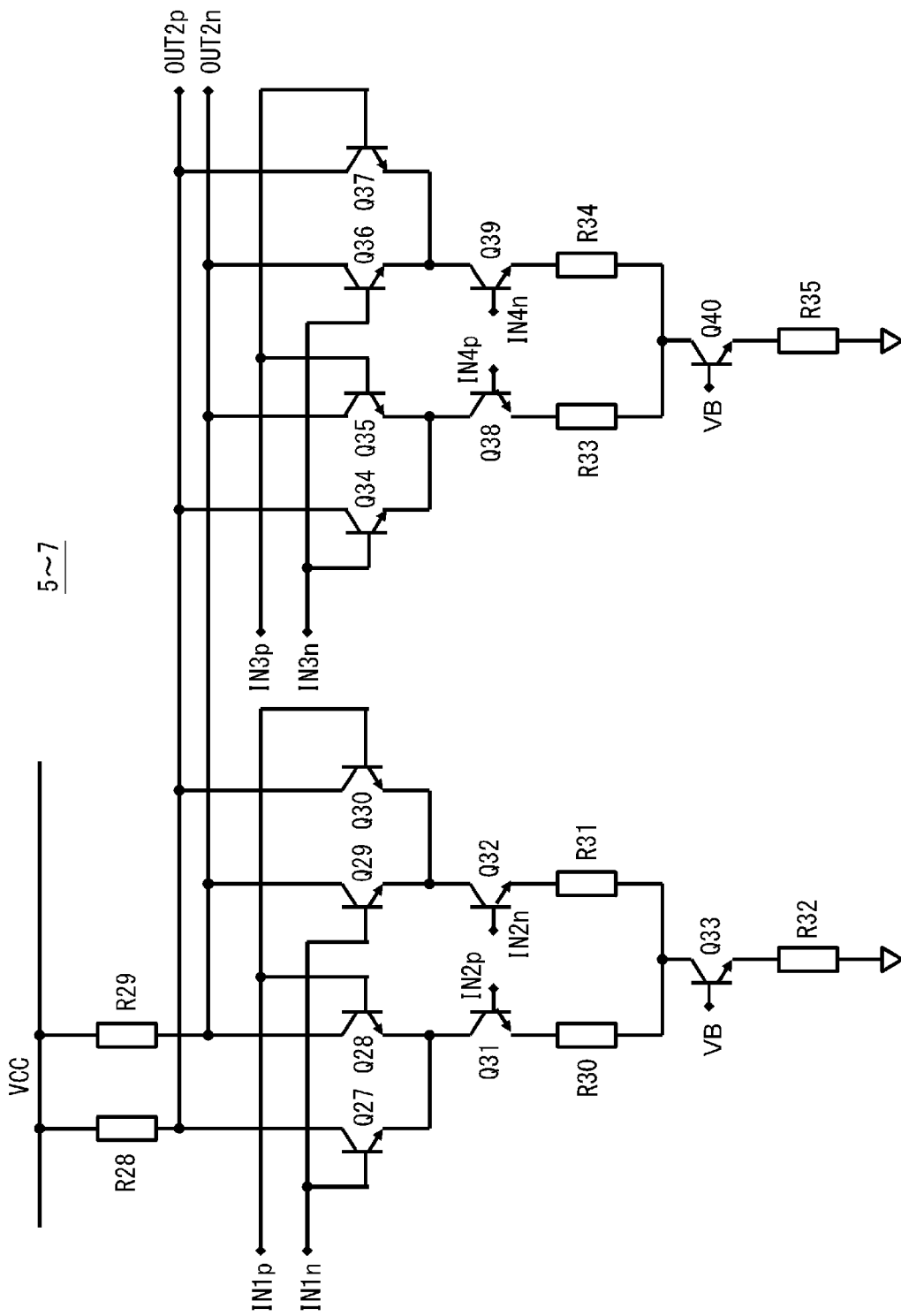
[図11]



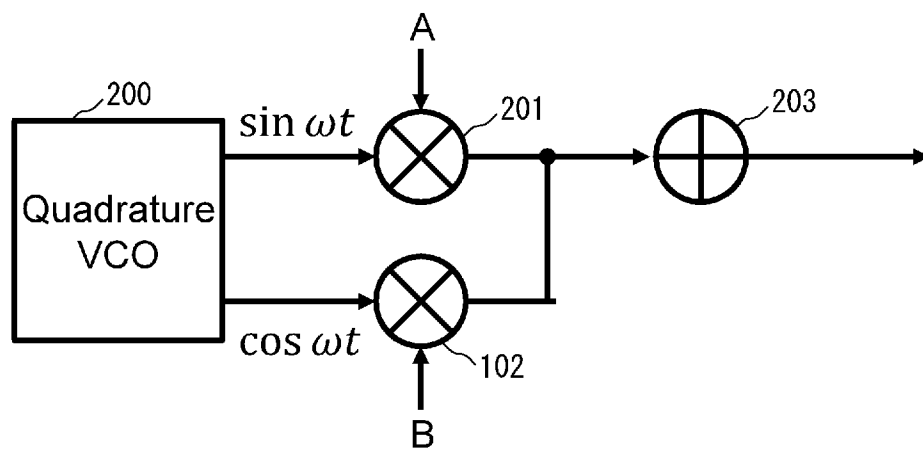
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/027567

A. CLASSIFICATION OF SUBJECT MATTER**H03H 11/16**(2006.01)i

FI: H03H11/16 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H11/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-118555 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 13 June 2013 (2013-06-13) paragraphs [0030]-[0078], fig. 1-13	1-8
A	JP 2008-028681 A (SONY CORP.) 07 February 2008 (2008-02-07) paragraphs [0028]-[0119], fig. 1-6	1-8
A	JP 2008-017219 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 24 January 2008 (2008-01-24) paragraphs [0007]-[0058], fig. 1-9	1-8
A	WO 2017/149699 A1 (MITSUBISHI ELECTRIC CORP.) 08 September 2017 (2017-09-08) paragraphs [0013]-[0061], fig. 1-5	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

28 September 2022

Date of mailing of the international search report

11 October 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/027567

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-118555	A	13 June 2013	(Family: none)	
JP	2008-028681	A	07 February 2008	US 2008/0074163 A1 paragraphs [0038]-[0124], fig. 1-6	
				CN 101110490 A	
JP	2008-017219	A	24 January 2008	(Family: none)	
WO	2017/149699	A1	08 September 2017	US 2018/0323771 A1 paragraphs [0024]-[0177], fig. 1-5	
				EP 3422572 A1	
				CN 108702142 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03H 11/16(2006.01)i FI: H03H11/16 Z										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03H11/16 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2022年									
日本国実用新案登録公報	1996 - 2022年									
日本国登録実用新案公報	1994 - 2022年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2013-118555 A（日本電信電話株式会社）13.06.2013（2013 - 06 - 13） 段落[0030]-[0078], [図1]-[図13]	1-8								
A	JP 2008-028681 A（ソニー株式会社）07.02.2008（2008 - 02 - 07） 段落[0028]-[0119], [図1]-[図6]	1-8								
A	JP 2008-017219 A（松下電器産業株式会社）24.01.2008（2008 - 01 - 24） 段落[0007]-[0058], [図1]-[図9]	1-8								
A	WO 2017/149699 A1（三菱電機株式会社）08.09.2017（2017 - 09 - 08） 段落[0013]-[0061], [図1]-[図5]	1-8								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 28.09.2022		国際調査報告の発送日 11.10.2022								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 石田 昌敏 5W 4181 電話番号 03-3581-1101 内線 3576								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/027567

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-118555	A	13.06.2013	(ファミリーなし)	
JP	2008-028681	A	07.02.2008	US 2008/0074163 A1 段落[0038]-[0124], [図1]- [図6] CN 101110490 A	
JP	2008-017219	A	24.01.2008	(ファミリーなし)	
WO	2017/149699	A1	08.09.2017	US 2018/0323771 A1 段落[0024]-[0177], [図1]- [図5] EP 3422572 A1 CN 108702142 A	