

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 20 日(20.10.2016)

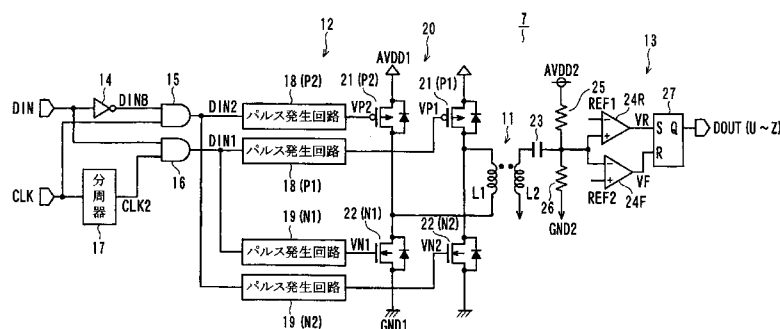


(10) 国際公開番号
WO 2016/166941 A1

- (51) 国際特許分類:
H03K 17/16 (2006.01) *H02M 1/08* (2006.01)
- (21) 国際出願番号: PCT/JP2016/001754
- (22) 国際出願日: 2016 年 3 月 25 日(25.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-083318 2015 年 4 月 15 日(15.04.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者: 池川 幸平(IKEGAWA, Kohei); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 岡田 俊太郎(OKADA, Shuntaro); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SIGNAL TRANSMISSION CIRCUIT AND DRIVING FOR DEVICE SWITCHING ELEMENT

(54) 発明の名称: 信号伝達回路及びスイッチング素子の駆動装置



17 Divider
18, 19 Pulse generation circuit

(57) Abstract: A signal transmission circuit, provided with: a transformer (11); a primary-side circuit (12) for generating, during a period of time in which an input signal varying at binary levels indicates a first level, a pulse signal for causing a unidirectional current to flow in the primary-side coil (L1) of the transformer, the pulse signal being generated at a period quicker than the variation period of the input signal, and generating, during a period of time in which the input signal indicates a second level, a pulse signal for causing a current of the opposite direction to the aforementioned direction to flow in the primary-side coil, the pulse signal being generated at a period quicker than the variation cycle of the input signal; and a secondary-side circuit (13) for distinguishing between the first and the second levels in accordance with voltages having different polarities generated in the secondary-side coil (L2) of the transformer, and thereby regenerating the input signal.

(57) 要約:

[続葉有]

WO 2016/166941 A1



信号伝達回路は、トランス（１１）と、二値レベルで変化する入力信号が第１レベルを示す期間に、前記トランスの１次側コイル（Ｌ１）に一方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させ、前記入力信号が第２レベルを示す期間に、前記１次側コイルに前記方向とは逆方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させる１次側回路（１２）と、前記トランスの２次側コイル（Ｌ２）に発生する極性が異なる電圧に応じて前記第１及び第２レベルを判別することで、前記入力信号を再生する２次側回路（１３）とを備える。

明 細 書

発明の名称： 信号伝達回路及びスイッチング素子の駆動装置

関連出願の相互参照

[0001] 本出願は、2015年4月15日に提出された日本特許出願番号2015-83318号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、トランスの1次側に入力される信号を2次側に伝達する信号伝達回路、及びその信号伝達回路を備えるスイッチング素子の駆動装置に関するものである。

背景技術

[0003] 例えばモータを駆動するインバータ回路のような駆動回路では、駆動信号をスイッチング素子に絶縁した状態で伝達するため、オンチップトランスフォーマを備えて小型で遅延時間が短い信号伝達回路を用いる場合がある（例えば特許文献1，2参照）。また、上記のような駆動回路については、上下アームの短絡によって過電流が流れ、スイッチング素子等が破壊されることを防止するため、ノイズが印加された場合でも誤動作しないことが要求されている。

[0004] 特許文献1に開示がある構成ではノイズ耐性は確保されているが、フィードバックトランスが必要であるため回路規模が大きくなってしまふ。また、特許文献2では、コモンモード電圧に起因するノイズ電圧の発生を抑制可能な構成を、比較的小規模な回路により実現している。しかしながら、定常動作時においてノイズが印加されると伝達した信号のレベルが反転する可能性があり、ノイズ耐性が不十分である。

先行技術文献

特許文献

[0005] 特許文献1：特表2011-055611号公報

特許文献2：特表2011-092864号公報

発明の概要

- [0006] 本開示は、ノイズ耐性を確保しつつ小さい回路規模で、入力信号を絶縁して伝達可能な信号伝達回路、及びその信号伝達回路を備えるスイッチング素子の駆動装置を提供することを目的とする。
- [0007] 本開示の第一の態様において、信号伝達回路は、トランスと、二値レベルで変化する入力信号が第1レベルを示す期間に、前記トランスの1次側コイルに一方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させ、前記入力信号が第2レベルを示す期間に、前記1次側コイルに前記方向とは逆方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させる1次側回路と、前記トランスの2次側コイルに発生する極性が異なる電圧に応じて前記第1及び第2レベルを判別することで、前記入力信号を再生する2次側回路とを備える。
- [0008] 上記の信号伝達回路によれば、入力信号が第1又は第2レベルを示している期間にノイズの影響により前記レベルが反転した場合でも、トランスの2次側コイルには、1次側回路が前記第1又は第2レベルに応じて発生させたより速い周期のパルス信号に基づく電流が繰り返し流れ、その電流に応じた極性の電圧が発生する。
- [0009] そして、2次側回路は、前記電圧の極性に応じて入力信号を再生するので、反転したレベルを短時間内に本来の第1又は第2レベルに復帰させる。したがって、トランスを用いて1次側、2次側間の電氣的絶縁を図りつつ、ノイズによりレベルが反転したことに伴う影響を低減して、入力信号を用いた制御を本来の状態により早く復帰させることが可能になる。
- [0010] 本開示の第二の態様において、信号伝達回路は、トランスと、二値レベルで変化する入力信号が第1レベルを示す際に、前記トランスの1次側コイルに一方向の電流を流すようにパルス信号を発生させ、前記入力信号が第2レベルを示す期間に、前記1次側コイルに前記方向とは逆方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させる1次側回路と、前記トランスの2次側コイルに発生する極性が異なる電圧に応じて前

記第1及び第2レベルを判別することで、前記入力信号を再生する2次側回路とを備える。

[0011] 上記の信号伝達回路において、ノイズ耐性を確保しつつ小さい回路規模で、入力信号を絶縁して伝達可能となる。

[0012] 本開示の第三の態様において、スイッチング素子の駆動装置は、第一または第二の態様に記載の信号伝達回路を備える。この信号伝達回路の2次側回路により再生された入力信号により、スイッチング素子を駆動制御する。

[0013] 上記のスイッチング素子の駆動装置において、ノイズ耐性を確保しつつ小さい回路規模で、入力信号を絶縁して伝達可能となる。

図面の簡単な説明

[0014] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、第1実施形態であり、信号伝達回路の電氣的構成を示す図であり、

[図2]図2は、信号伝達回路を含むモータ駆動回路の構成を概略的に示す図であり、

[図3]図3は、信号伝達回路の動作を示す詳細なタイミングチャートであり、

[図4]図4は、信号伝達回路の動作を示す概略的なタイミングチャートであり、

[図5]図5は、従来技術である信号伝達回路の電氣的構成を示す図であり、

[図6]図6は、従来技術の動作を示す各波形のシミュレーション結果を示す図であり、

[図7]図7は、第1実施形態について、入力信号DINがハイレベルを示す期間に出力するパルス周期を0.5 μ 秒とした場合の各信号波形のシミュレーション結果を示す図であり、

[図8]図8は、同パルス周期を1.0 μ 秒とした場合の各信号波形のシミュレーション結果を示す図であり、

[図9]図9は、同パルス周期を2.0 μ 秒とした場合の各信号波形のシミュレ

ーション結果を示す図であり、

[図10]図10は、従来技術と、図7から図9に示す場合との消費電流を比較した図であり、

[図11]図11は、第2実施形態であり、信号伝達回路の電氣的構成を示す図であり、

[図12]図12は、信号伝達回路の動作を示す詳細なタイミングチャートである。

発明を実施するための形態

[0015] (第1実施形態)

図2に示すように、インバータ回路1は、6個のIGBT2U, 2V, 2W, 2X, 2Y, 2Z（スイッチング素子）を3相ブリッジ接続して構成されている。各IGBT2（U～Z）のコレクタ，エミッタ間には、フリーホイールダイオード3（U～Z）がそれぞれ接続されている。インバータ回路1の直流母線4+、4-間には、平滑コンデンサ5が接続されており、図示しない直流電源より供給される直流電圧が印加されている。インバータ回路1の各相出力端子は、3相モータ6の図示しない各相固定子コイルにそれぞれ接続されている。そして、各IGBT2（U～Z）のゲートには、信号伝達回路7（U～Z）を介してゲート信号DOU T（U～Z）が入力されている。

[0016] 図1に示すように、信号伝達回路7（駆動装置）は、トランス11と、このトランス11の1次側コイルL1に接続される1次側回路12と、同2次側コイルL2に接続される2次側回路13とを備えている。1次側回路12において、入力信号D I Nは、NOTゲート14（第2論理回路）を介してANDゲート15（第2論理回路）の入力端子の一方に入力されていると共に、もう1つのANDゲート16（第1論理回路）の入力端子の一方に直接入力されている。入力信号D I Nは、所定の周波数でハイ，ローの二値レベルに変化する信号であり、ここでハイレベルを「第1レベル」とすれば、ローレベルが「第2レベル」となる。

- [0017] 図示しない発振回路より供給されるクロック信号CLK（第1クロック信号）は、ANDゲート15の入力端子の他方に入力されていると共に、分周器17を介してANDゲート16の入力端子の他方に入力されている。尚、クロック信号CLKの周波数は、入力信号DINの周波数（例えばkHzオーダー）よりも十分高く設定されている（例えばMHzオーダー）。
- [0018] ANDゲート15の出力端子は、パルス発生回路18（P2）及び19（N2）（第2オン信号出力回路）の各入力端子に接続されており、ANDゲート16の出力端子は、パルス発生回路18（P1）及び19（N1）（第1オン信号出力回路）の各入力端子に接続されている。パルス発生回路18は、入力される信号の立上りエッジ（変化エッジ）をトリガとしてローレベルパルスをワンショットで出力する。また、パルス発生回路19は、同じく入力信号の立上りエッジをトリガとして、ハイレベルパルスをワンショットで出力する。そして、前者のローレベルパルス幅は、後者のハイレベルパルス幅よりも狭くなるように設定されている。
- [0019] Hブリッジ回路20は、PチャネルMOSFET21（P1）及び21（P2）（スイッチング素子）と、NチャネルMOSFET22（N1）及び22（N2）（スイッチング素子）とで構成されている。これらのFET21及び22のドレイン、ソース間には寄生ダイオードが接続されている。電源AVDD1とグラウンドGND1との間には、FET21（P1）及び22（N2）の直列回路と、FET21（P2）及び22（N1）の直列回路とが接続されている。そして、これらの直列回路の共通接続点、すなわちHブリッジ回路20の各出力端子は、トランス11の1次側コイルL1の両端に接続されている。
- [0020] トランス11の2次側コイルL2は、1次側コイルL1と同相である。2次側コイルL2の一端はグラウンドGND2に接続され、他端はコンデンサ23を介してコンパレータ24R（セット信号発生回路）の非反転入力端子及びコンパレータ24F（リセット信号発生回路）の反転入力端子に接続されている。電源AVDD2とグラウンドGND2との間には、抵抗素子25及び

26の直列回路が接続されており、これらの共通接続点は、コンパレータ24R及び24Fの前記入力端子に接続されている。

[0021] コンパレータ24Rの反転入力端子には参照電圧REF1が与えられており、コンパレータ24Fの非反転入力端子には参照電圧REF2が与えられている。コンパレータ24R、24Fの出力端子は、RSフリップフロップ27のセット端子S、リセット端子Rにそれぞれ接続されている。そして、RSフリップフロップ27の出力端子Qより、ゲート信号DOUTが出力される。

[0022] 次に、本実施形態の作用について説明する。図3に示すように、分周器17を介して出力されるクロック信号CLK2（第2クロック信号）は2分周されている。ANDゲート16は、入力信号DINがハイレベルを示す期間に、クロック信号CLK2を信号DIN1として出力する（ゲート制御）。一方、ANDゲート15は、入力信号DINがローレベルを示す期間に、クロック信号CLKを信号DIN2として出力する。

[0023] パルス発生回路18（P1）、19（N1）は、入力信号DINがハイレベルを示す期間に、信号DIN1の立上リエッジをトリガとしてそれぞれローレベルパルスVP1、ハイレベルパルスVN1（第1オン信号）を出力する。これらのパルスは、FET21（P1）、22（N1）のゲート信号となるので、トランス11の1次側コイルL1には、両者が同時にオンしている期間に一方向、例えば正極性の電流が流れる。それに伴い、2次側コイルL2には同相の電流が誘起され、コンパレータ24Rの非反転入力端子の電位が参照電圧REF1を超えると、コンパレータ24Rはパルス状のセット信号VRを、クロック信号CLK2の周期で複数回出力する（図4参照）。これにより、RFフリップフロップ27は間欠的且つ連続的にセット状態となり、その間に、出力信号DOUTはハイレベルを示し続ける。

[0024] 一方、パルス発生回路18（P2）、19（N2）は、入力信号DINがローレベルを示す期間に、信号DIN2の立上リエッジをトリガとしてそれぞれローレベルパルスVP2、ハイレベルパルスVN2（第2オン信号）を

出力する。これらのパルスは、FET 21 (P2), 22 (N2) のゲート信号となるので、トランス 11 の 1 次側コイル L1 には、両者が同時にオンしている期間に逆方向、すなわち負極性の電流が流れる。それに伴い、2 次側コイル L2 には同相の電流が誘起され、コンパレータ 24 F の反転入力端子の電位が参照電圧 REF 2 を下回ると、コンパレータ 24 F はパルス状のリセット信号 VF を、クロック信号 CLK 1 の周期で複数回出力する (図 4 参照)。これにより、RF フリップフロップ 27 は間欠的且つ連続的にリセット状態となり、その間に、出力信号 DOUT はローレベルを示し続ける。

[0025] 上述した回路動作の結果として、出力信号 DOUT は、図 4 に示すように入力信号 DIN と同相の信号になる。また、同図では、1 次側コイル L1 に流れる電流 IL1 を、流れる方向に応じて正負の両極性パルスで示している。

[0026] ここで、同図に示すように、電流 IL1 に対して逆極性となるノイズパルスが印加された場合を想定する。電流 IL1 が負の場合に正のノイズが印加されると、それに伴い、リセット信号 VF が連続して出力されている期間内にセット信号 VR が出力されて RS フリップフロップ 27 がセットされ、出力信号 DOUT はローレベルから反転してハイレベルを示す。しかし、リセット信号 VF が連続して出力されているので、RS フリップフロップ 27 はその直後にリセットされる。したがって、出力信号 DOUT は直ちにローレベルに復帰する。

[0027] また、電流 IL1 が正の場合に負のノイズが印加されると、それに伴い、セット信号 VR が連続して出力されている期間内にリセット信号 VF が出力されて RS フリップフロップ 27 がリセットされ、出力信号 DOUT はハイレベルから反転してローレベルを示す。この場合も、セット信号 VR が連続して出力されているので、RS フリップフロップ 27 はその直後にセットされ、出力信号 DOUT は直ちにハイレベルに復帰する。

[0028] ここで、IGBT 2 は、ゲートに印加される信号がハイレベルの場合にオンし、ローレベルの場合にオフする。そのため、出力信号 DOUT がハイレ

ベルを示しており I G B T 2 がオンしている状態でノイズの印加によりターンオフする事象よりも、出力信号 D O U T がローレベルを示しており、 I G B T 2 がオフしている状態でノイズの印加によりターンオンする事象を回避する方がより安全である、と評価できる。

[0029] そこで本実施形態では、リセット信号 V F をセット信号 V R よりも速い周期で繰り返し出力することで、 R S フリップフロップ 2 7 がノイズの影響によりセットされても、より速くりセット状態に復帰させるようにしている。また、対応の緊急性が低いセット信号 V R 側の周期を遅くすることで、信号伝達回路 7 の消費電力を低減する効果がある。

[0030] 図 5 は、特許文献 2 に開示されている構成を、本実施形態の図 1 に相当するレベルで示したもので、クロック信号 C L K を用いることなく、本実施形態の構成より A N D ゲート 1 5 及び 1 6 , 分周器 1 7 を削除した構成である。この構成によれば、図 6 に示すように、一旦逆極性のノイズが印加されると、次に正式な信号の変化エッジが入力されるまでの間、出力信号 D O U T は反転したレベルを維持し続けることになる。したがって、例えば上アーム側の I G B T 2 U がオフ、下アーム側の I G B T 2 X がオンしている状態で、上アーム側の I G B T 2 U がノイズの影響を受けてターンオンした場合には、その間に短絡電流が流れ続けることになる。そして、短絡電流が流れる状態がそのまま継続すれば、 I G B T 2 U 及び 2 X が破壊に至るおそれがある。

[0031] 図 7 から図 9 は、入力信号 D I N がローレベルを示す期間に出力するパルス周期は 0. 5 μ 秒に固定し、ハイレベルを示す期間に出力するパルス周期を 0. 5 μ 秒, 1. 0 μ 秒, 2. 0 μ 秒に変化させた場合の各信号波形をシミュレーションしたものである。すると、図 1 0 に示すように、従来技術の信号伝達回路の消費電流と、本実施形態の信号伝達回路 7 の消費電流とを比較すると、 2 次側回路 1 3 の構成は同一であるから 2 次側の消費電流は略同一である。これに対して、信号伝達回路 7 は、 1 次側回路 1 2 がクロック信号 C L K に基づくパルスを発生させるので、その分だけ消費電流が増加して

いる。しかし、同図に示すように、入力信号D I Nがハイレベルを示す期間に出力するパルス信号の周期をより長くすることで、1次側の消費電流を低減できる。

[0032] 以上のように本実施形態によれば、信号伝達回路7を構成する1次側回路12は、入力信号D I Nがハイレベルを示す期間に、トランス11の1次側コイルL1に一方方向の電流を流すパルス信号を入力信号の変化周期よりも速い周期で発生させる。また、入力信号D I Nがローレベルを示す期間に、1次側コイルL1に前記方向とは逆方向の電流を流すパルス信号を、同じく入力信号D I Nの変化周期よりも速い周期で発生させる。そして、2次側回路13は、トランス11の2次側コイルL2に発生する極性が異なる電圧に応じてハイ及びローレベルを判別することで、入力信号を再生する。

[0033] このように構成すれば、入力信号D I Nがハイ又はローレベルを示している期間にノイズの影響により前記レベルが反転した場合でも、2次側コイルL2には、1次側回路12が二値レベルに応じて発生させたより速い周期のパルス信号に基づく電流が繰り返し流れ、その電流に応じた極性の電圧が発生する。そして、2次側回路は13、前記電圧の極性に応じて入力信号D I Nを再生するので、入力信号D I Nが反転したレベルを短時間内に本来のレベルに復帰させる。例えば、入力信号D I Nがデューティ50%のPWM信号であれば、遅くともキャリア周期の1/2未満の時間内に本来のレベルに復帰できる。したがって、トランス11を用いて1次側、2次側間の電氣的絶縁を図りつつ、レベルが反転したことに伴う影響を低減して、入力信号D I Nを用いた制御を本来の状態により早く復帰させることが可能になる。

[0034] また、1次側回路12は、入力信号D I Nがハイレベルを示す期間とローレベルを示す期間とで、パルス信号を発生させる周期を変化させる。これにより、IGBT2がターンオンするハイレベルについて発生させるパルス信号の周期を相対的に速くして、入力信号D I Nを本来のレベルに直ちに復帰させ、IGBT2がターンオフするローレベルについて発生させるパルス信号の周期を相対的に遅くして、消費電力を低減することができる。

[0035] そして、１次側回路１２を、クロック信号ＣＬＫを分周してクロック信号ＣＬＫ２を出力する分周器１７，入力信号ＤＩＮがハイレベルを示す期間にクロック信号ＣＬＫ２を出力させるＡＮＤゲート１６，ローレベルを示す期間にクロック信号ＣＬＫを出力させるＮＯＴゲート１４及びＡＮＤゲート１５，各出力端子が１次側コイルＬ１の両端に接続されるＨブリッジ回路２０，ＡＮＤゲート１６を介して出力されるクロック信号ＣＬＫ２の立上リエッジに同期してＦＥＴ２１（Ｐ１）及び２２（Ｎ１）にパルス信号ＶＰ１及びＶＮ１を出力するパルス発生回路１８（Ｐ１）及び１９（Ｎ１），ＡＮＤゲート１５を介して出力されるクロック信号ＣＬＫの立上リエッジに同期して、ＦＥＴ２１（Ｐ２）及び２２（Ｎ２）にパルス信号ＶＰ２及びＶＮ２を出力するパルス発生回路１８（Ｐ２）及び１９（Ｎ２）を備えて構成した。

[0036] このように構成すれば、パルス信号ＶＰ１及びＶＮ１の出力周期を、分周器１７に設定する分周比に応じて変化させることができ、オンしている状態のＩＧＢＴ２がノイズの影響を受けてターンオフした場合に、オン状態に復帰させる時間の速さと消費電力の削減量とを調整できる。

[0037] また、２次側回路１３を、２次側コイルＬ２に発生する電圧が一方の極性を示す際にセット信号ＶＲを発生させるコンパレータ２４Ｒ，前記電圧が他方の極性を示す際にリセット信号ＶＦを発生させるコンパレータ２４Ｆ，セット信号ＶＲ及びリセット信号ＶＦが入力されるＲＳフリップフロップ２７を備えて構成した。このように構成すれば、ＲＳフリップフロップ２７は、１次側回路１２がパルス信号ＶＰ１及びＶＮ１を発生させる毎にセットされて出力信号ＤＯＵＴをハイレベルにし、パルス信号ＶＰ２及びＶＮ２を発生させる毎にリセットされて同信号をローレベルにする。したがって、２次側回路１３を簡単に構成できる。

[0038] 加えて、信号伝達回路７が出力するゲート信号ＤＯＵＴにより、インバータ回路１を構成するＩＧＢＴ２を駆動するようにした。したがって、例えば上アームのＩＧＢＴ２Ｕがオフ，下アームのＩＧＢＴ２Ｘがオンしている状態でＩＧＢＴ２Ｕがノイズの影響を受けてターンオンした場合に、ＩＧＢＴ

2 U 及び 2 X に短絡電流が流れる事態を短時間内に解消できる。

[0039] (第2実施形態)

以下、第1実施形態と同一部分には同一符号を付して説明を省略し、異なる部分についてのみ説明する。図11に示すように、第2実施形態の信号伝達回路31は、1次側回路12を1次側回路32に置き換えたもので、第1実施形態の構成より、ANDゲート16及び分周器17を削除している。そして、パルス発生回路18(P1)及び19(N1)には、入力信号DINを直接入力している。

[0040] 次に、第2実施形態の作用について説明する。図12に示すように、入力信号DINがローレベルを示す期間に出力されるローレベルパルスVP2及びハイレベルパルスVN2は、第1実施形態と同様である。

[0041] 一方、入力信号DINがハイレベルを示す期間において、パルス発生回路18(P1)、19(N1)は、入力信号DINの立上リエッジをトリガとして、それぞれローレベルパルスVP1、ハイレベルパルスVN1を1回のみ出力する。したがって、前記期間内に逆極性のノイズが印加されると、従来技術と同様に、次回に入力信号DINの立上リエッジが到来するまで、出力信号DOU Tはハイレベルにはならない。このように第2実施形態では、対応の緊急性が低いセット信号VR側については、ノイズ印加時の復帰効果を付与することなく、信号伝達回路31の消費電力低減効果を最大化している。

[0042] 以上のように第2実施形態によれば、信号伝達回路31は、第1実施形態の構成よりANDゲート16及び分周器17を削除して、1次側回路12を1次側回路32に置き換え、パルス発生回路18(P1)及び19(N1)に入力信号DINを直接入力する構成とした。これにより、IGBT2がオンしている期間の入力信号DINは1次側回路32により変調されず、その期間内にノイズの影響を受けて信号レベルが反転すると、IGBT2はターンオフして、入力信号DINが次にハイレベルを示すまでターンオンしない。したがって、消費電力を低減する効果を第1実施形態よりも向上させるこ

とができ、入力信号D I Nがローレベルを示す期間については第1実施形態と同様の効果が得られる。

[0043] 本開示は上記した、又は図面に記載した実施形態にのみ限定されるものではなく、以下のような変形又は拡張が可能である。

[0044] 第1、第2レベルは何れか一方をハイレベル、他方をローレベルとすれば良い。

[0045] 変化エッジは、立下りエッジでも良い。

[0046] 分周器17における分周比は、「3」以上でも良い。

[0047] また、第1実施形態において、分周器17を削除しても良い。

[0048] 信号伝達回路を介して駆動信号を入力するスイッチング素子は、I G B Tに限ることなく、M O S F E Tやバイポーラトランジスタなどでも良い。

[0049] 必要であれば、信号伝達回路にプリドライバを加えて駆動装置を構成しても良い。

[0050] 出力信号D O U Tにより駆動されるスイッチング素子は、インバータ回路1を構成するものに限らず、ハーフブリッジ回路やHブリッジ回路を構成するものでも良い。また、単一のスイッチング素子を駆動対象としても良い。

[0051] スwitchング素子の駆動装置に適用するものに限ることなく、二値レベルで変化する入力信号を電氣的に絶縁して伝達する必要があるものに適用が可能である。

[0052] 図面中、1はインバータ回路、2はI G B T（スイッチング素子）、7は信号伝達回路（駆動装置）、11はトランス、L1は1次側コイル、L2は2次側コイル、12は1次側回路、13は2次側回路、14はNOTゲート（第2論理回路）、15はANDゲート（第2論理回路）、16はANDゲート（第1論理回路）、17は分周器、18（P1）及び19（N1）はパルス発生回路（第1オン信号出力回路）、18（P2）及び19（N2）はパルス発生回路（第2オン信号出力回路）、20はHブリッジ回路、21（P1）及び21（P2）はPチャネルM O S F E T（スイッチング素子）、22（N1）及び22（N2）はNチャネルM O S F E T（スイッチング素

子)、24Rはコンパレータ(セット信号発生回路)、24Fはコンパレータ(リセット信号発生回路)、27はRSフリップフロップを示す。

[0053] 上記の開示は、下記の態様を含む。

[0054] 本開示の第一の態様において、信号伝達回路は、トランスと、二値レベルで変化する入力信号が第1レベルを示す期間に、前記トランスの1次側コイルに一方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させ、前記入力信号が第2レベルを示す期間に、前記1次側コイルに前記方向とは逆方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させる1次側回路と、前記トランスの2次側コイルに発生する極性が異なる電圧に応じて前記第1及び第2レベルを判別することで、前記入力信号を再生する2次側回路とを備える。

[0055] 上記の信号伝達回路によれば、入力信号が第1又は第2レベルを示している期間にノイズの影響により前記レベルが反転した場合でも、トランスの2次側コイルには、1次側回路が前記第1又は第2レベルに応じて発生させたより速い周期のパルス信号に基づく電流が繰り返し流れ、その電流に応じた極性の電圧が発生する。

[0056] そして、2次側回路は、前記電圧の極性に応じて入力信号を再生するので、反転したレベルを短時間内に本来の第1又は第2レベルに復帰させる。したがって、トランスを用いて1次側、2次側間の電氣的絶縁を図りつつ、ノイズによりレベルが反転したことに伴う影響を低減して、入力信号を用いた制御を本来の状態により早く復帰させることが可能になる。

[0057] 代案として、前記1次側回路は、前記入力信号が第1レベルを示す期間と第2レベルを示す期間とで、前記パルス信号を発生させる周期を変化させてもよい。

[0058] 例えば、2次側回路により再生された入力信号を用いてスイッチング素子のオンオフ制御を行うことを想定する。この場合、スイッチング素子は、入力信号が示す二値レベルの何れか一方でオンし、他方でオフする。そして、一般に、(1) オン状態のスイッチング素子がノイズの影響を受けてターン

オフする方が、（２）オフ状態のスイッチング素子がターンオンするケースよりも安全性が高いと言える。例えば、２つのスイッチング素子が直列に接続されている場合、（２）のケースでは短絡電流が流れる可能性が有るからである。

[0059] したがって、（２）のケースに対応するレベルについて発生させるパルス信号の周期は相対的に速くすることで、入力信号を本来のレベルに迅速に復帰させ、（１）のケースに対応するレベルについて発生させるパルス信号の周期は相対的に遅くすることで、消費電力を低減できる。

[0060] 本開示の第二の態様において、信号伝達回路は、トランスと、二値レベルで変化する入力信号が第１レベルを示す際に、前記トランスの１次側コイルに一方向の電流を流すようにパルス信号を発生させ、前記入力信号が第２レベルを示す期間に、前記１次側コイルに前記方向とは逆方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させる１次側回路と、前記トランスの２次側コイルに発生する極性が異なる電圧に応じて前記第１及び第２レベルを判別することで、前記入力信号を再生する２次側回路とを備える。

[0061] 上記の信号伝達回路において、ノイズ耐性を確保しつつ小さい回路規模で、入力信号を絶縁して伝達可能となる。

[0062] ここで、上記の代案について説明のため用いた例示を第二の態様の信号伝達回路に適用した場合は、第１レベルでスイッチング素子をオンさせ、第２レベルでスイッチング素子をオフさせるようにする。これにより、スイッチング素子がオンしている期間の入力信号は１次側回路により変調されないもので、その期間内にノイズの影響を受けて信号レベルが反転するとスイッチング素子はターンオフして、入力信号が次に第１レベルを示すまでターンオンしない。この状態を許容できる場合は、消費電力を低減する効果を上記の代案以上に得ることができる。そして、信号が第２レベルを示す期間については、上記の代案と同様の効果が得られる。

[0063] 本開示の第三の態様において、スイッチング素子の駆動装置は、第一また

は第二の態様に記載の信号伝達回路を備える。この信号伝達回路の2次側回路により再生された入力信号により、スイッチング素子を駆動制御する。

[0064] 上記のスイッチング素子の駆動装置において、ノイズ耐性を確保しつつ小さい回路規模で、入力信号を絶縁して伝達可能となる。

[0065] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1]

トランス（11）と、

二値レベルで変化する入力信号が第1レベルを示す期間に、前記トランスの1次側コイル（L1）に一方方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させ、

前記入力信号が第2レベルを示す期間に、前記1次側コイルに前記方向とは逆方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させる1次側回路（12）と、

前記トランスの2次側コイル（L2）に発生する極性が異なる電圧に応じて前記第1及び第2レベルを判別することで、前記入力信号を再生する2次側回路（13）とを備える信号伝達回路。

[請求項2]

前記1次側回路は、前記入力信号が第1レベルを示す期間と第2レベルを示す期間とで、前記パルス信号を発生させる周期を変化させる請求項1記載の信号伝達回路。

[請求項3]

前記1次側回路は、前記入力信号の変化周期よりも速い周期の第1クロック信号を出力する発振回路と、

前記第1クロック信号を分周して第2クロック信号を出力する分周器（17）と、

前記入力信号が第1レベルを示す期間だけ、前記第1又は第2クロック信号の一方を出力させるようにゲート制御する第1論理回路（14及び15、16）と、

前記入力信号が第2レベルを示す期間だけ、前記第1又は第2クロック信号の他方を出力させるようにゲート制御する第2論理回路（16、14及び15）と、

各出力端子が前記1次側コイルの両端に接続されるHブリッジ回路（20）と、

前記第1論理回路を介して出力されるクロック信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記

一方向の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子（21, 22）に第1オン信号を出力する第1オン信号出力回路（18（P1）-19（N1）, 18（P2）-19（N2））と、

前記第2論理回路を介して出力されるクロック信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記逆方向の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子に第2オン信号を出力する第2オン信号出力回路（18（P2）-19（N2）, 18（P1）-19（N1））とを備える請求項2記載の信号伝達回路。

[請求項4]

トランス（11）と、

二値レベルで変化する入力信号が第1レベルを示す際に、前記トランスの1次側コイル（L1）に一方向の電流を流すようにパルス信号を発生させ、

前記入力信号が第2レベルを示す期間に、前記1次側コイルに前記方向とは逆方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させる1次側回路（32）と、

前記トランスの2次側コイルに発生する極性が異なる電圧に応じて前記第1及び第2レベルを判別することで、前記入力信号を再生する2次側回路（13）とを備える信号伝達回路。

[請求項5]

前記1次側回路は、前記入力信号の変化周期よりも速い周期のクロック信号を出力する発振回路と、

前記入力信号のレベルを反転させた反転信号を出力する反転信号出力回路（14）と、

前記入力信号が第2レベルを示す期間だけ、前記クロック信号を出力させるようにゲート制御する論理回路（15）と、

各出力端子が前記1次側コイルの両端に接続されるHブリッジ回路（20）と、

前記入力信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記一方向の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子(21, 22)に第1オン信号を出力する第1オン信号出力回路(18(P1) - 19(N1))と、

前記論理回路を介して出力されるクロック信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記逆方向の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子に第2オン信号を出力する第2オン信号出力回路(18(P2) - 19(N2))とを備える請求項4記載の信号伝達回路。

[請求項6] 前記2次側回路は、前記2次側コイルに発生する電圧が一方の極性を示す際に、セット信号を発生させるセット信号発生回路(24R)と、

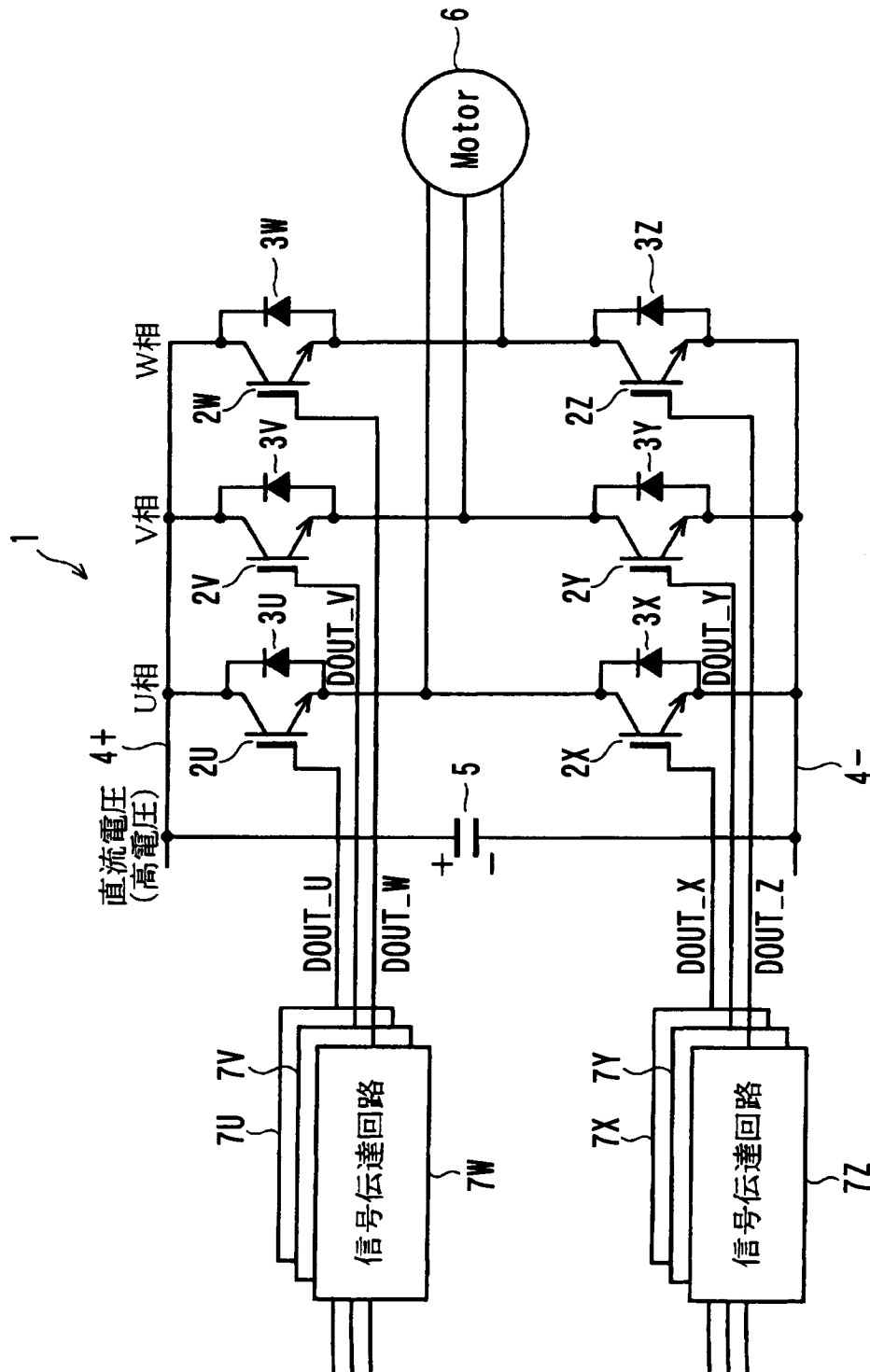
前記2次側コイルに発生する電圧が他方の極性を示す際に、リセット信号を発生させるリセット信号発生回路(24F)と、

前記セット信号及び前記リセット信号が入力されるRSフリップフロップ(27)とを備える請求項1から5の何れか一項に記載の信号伝達回路。

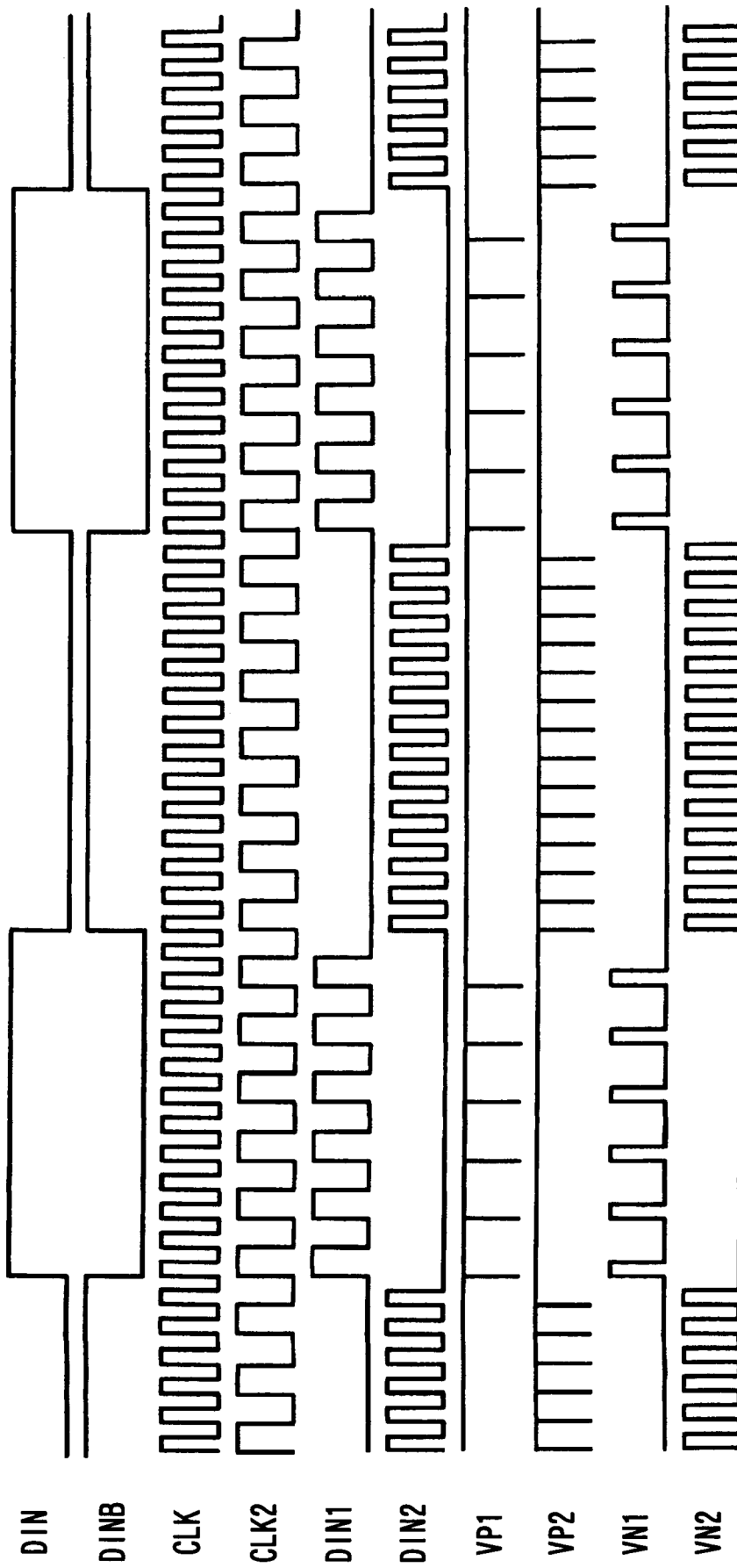
[請求項7] 請求項1から6の何れか一項に記載の信号伝達回路を備え、

この信号伝達回路の2次側回路により再生された入力信号により、スイッチング素子(3)を駆動制御するスイッチング素子の駆動装置。

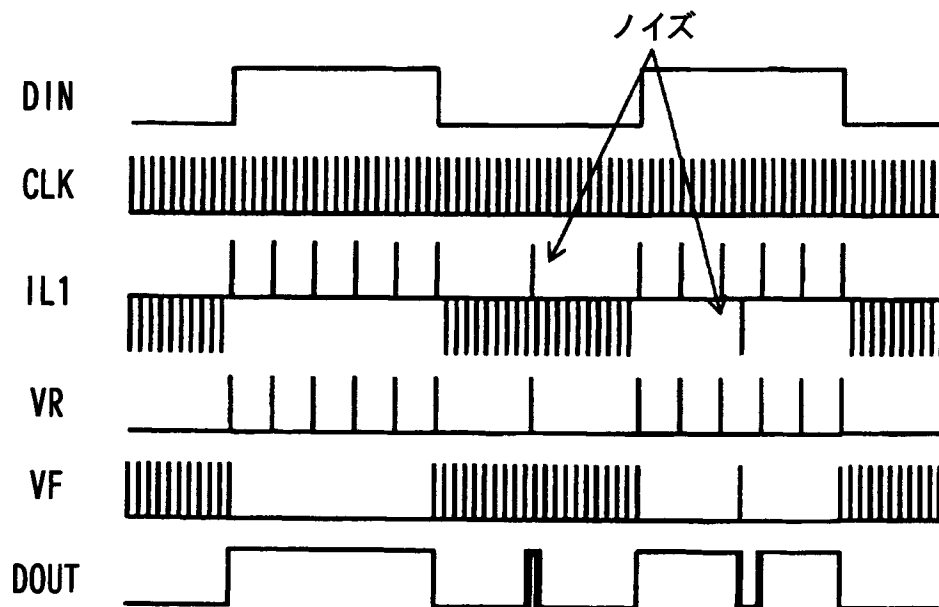
[図2]



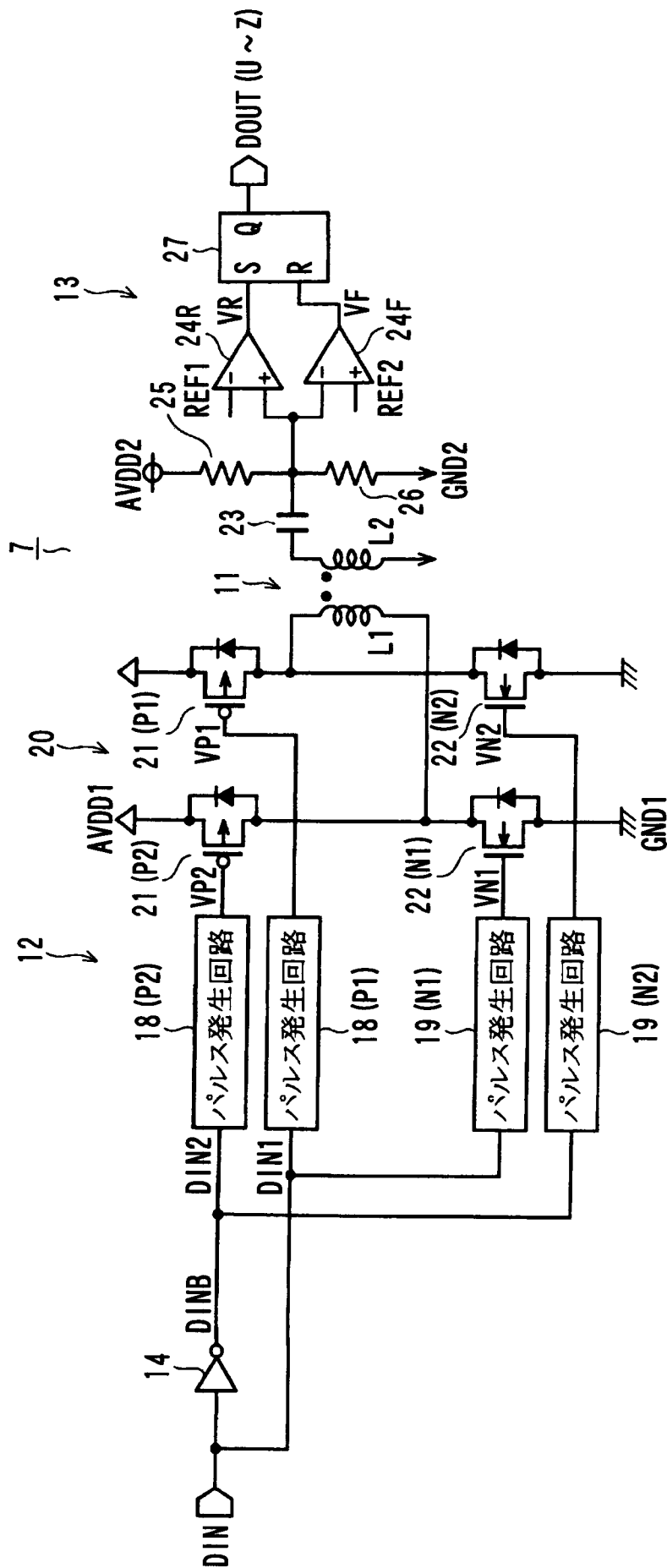
[図3]



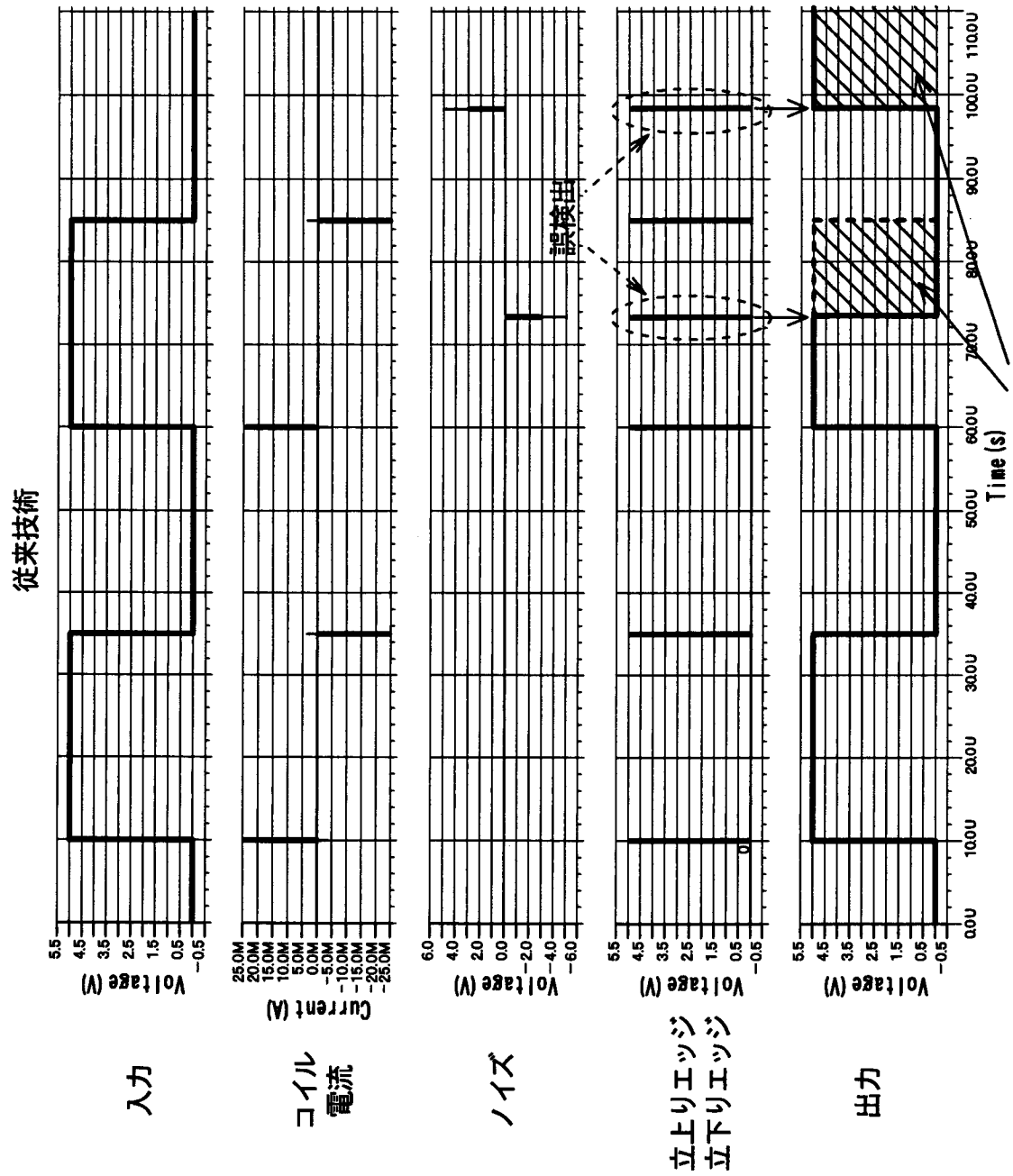
[図4]



[図5]

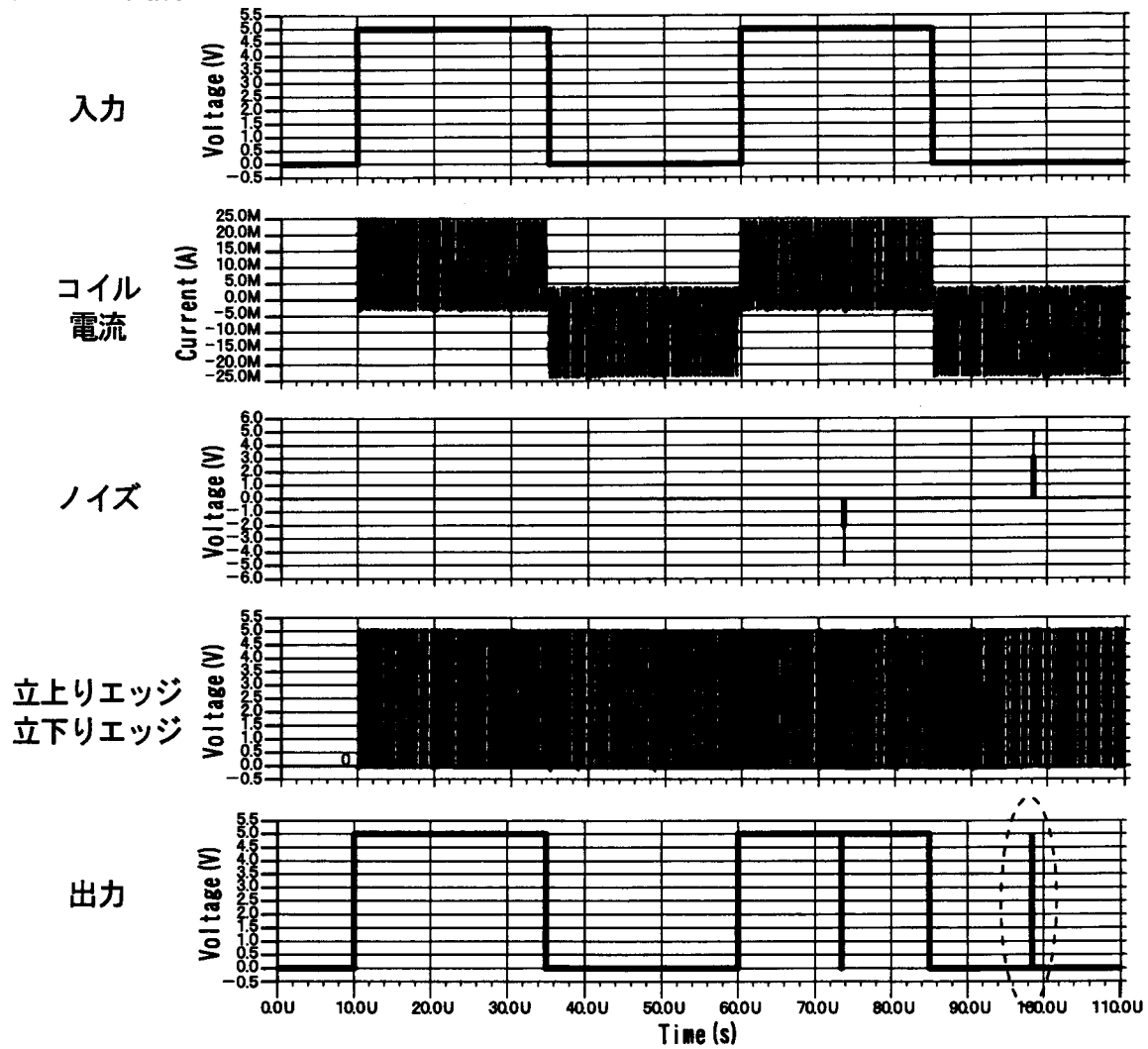


[図6]



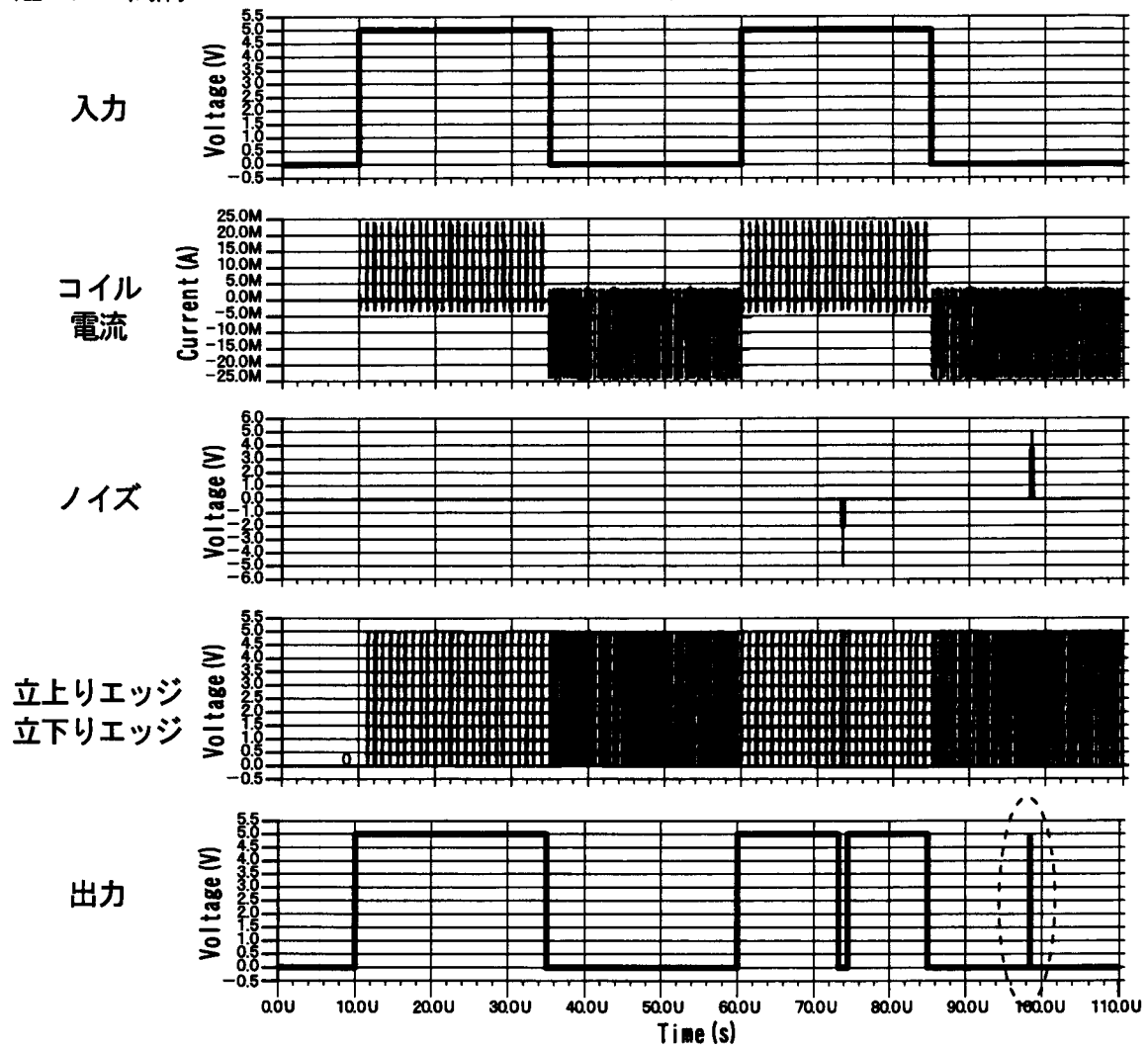
[図7]

短パルス間隔

ハイレベル : $0.5\mu\text{s}$ 、ローレベル : $0.5\mu\text{s}$ 

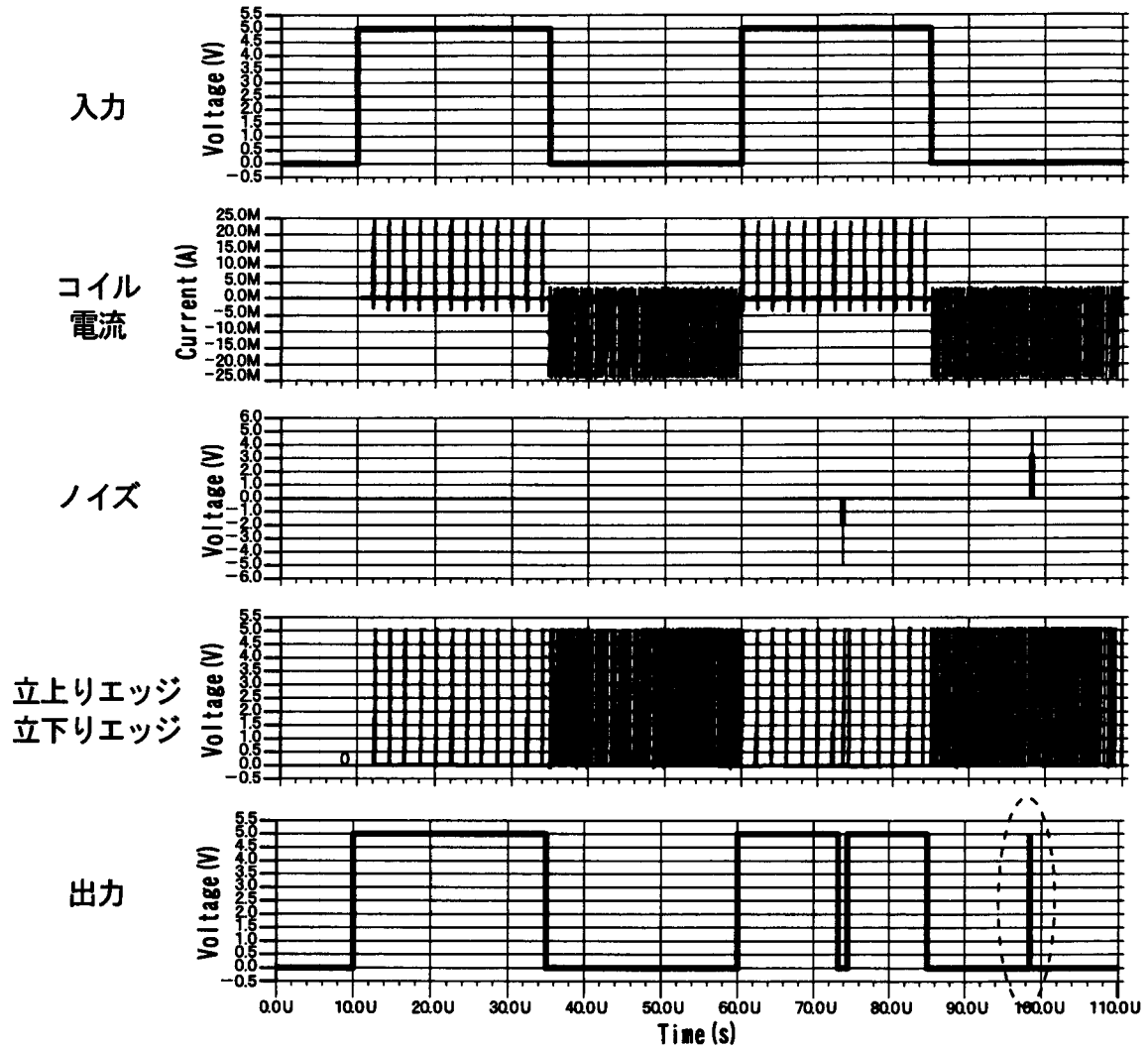
[図8]

短パルス間隔

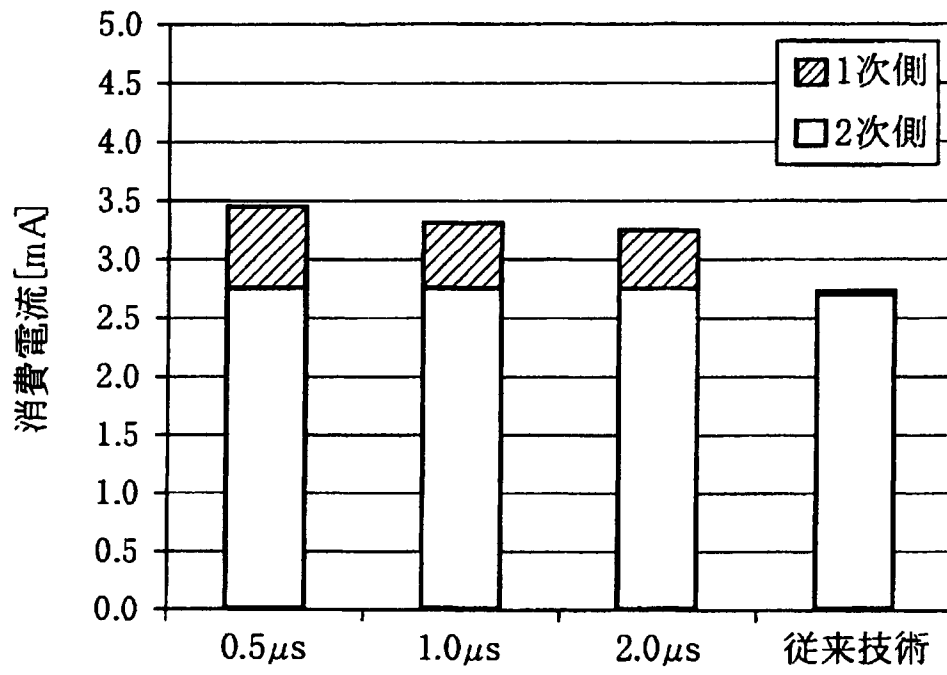
ハイレベル: $1.0\ \mu\text{s}$ 、ローレベル: $0.5\ \mu\text{s}$ 

[図9]

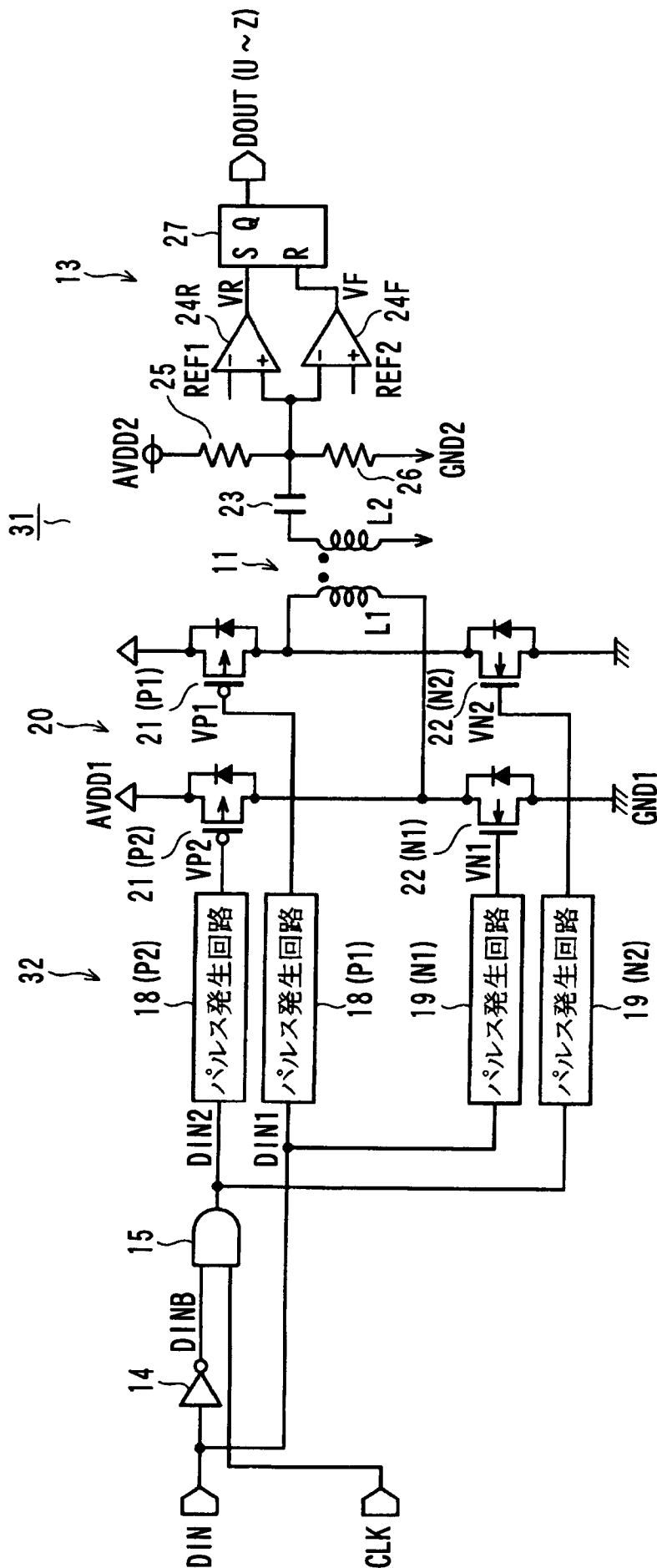
短パルス間隔

ハイレベル : $2.0\mu\text{s}$ 、ローレベル : $0.5\mu\text{s}$ 

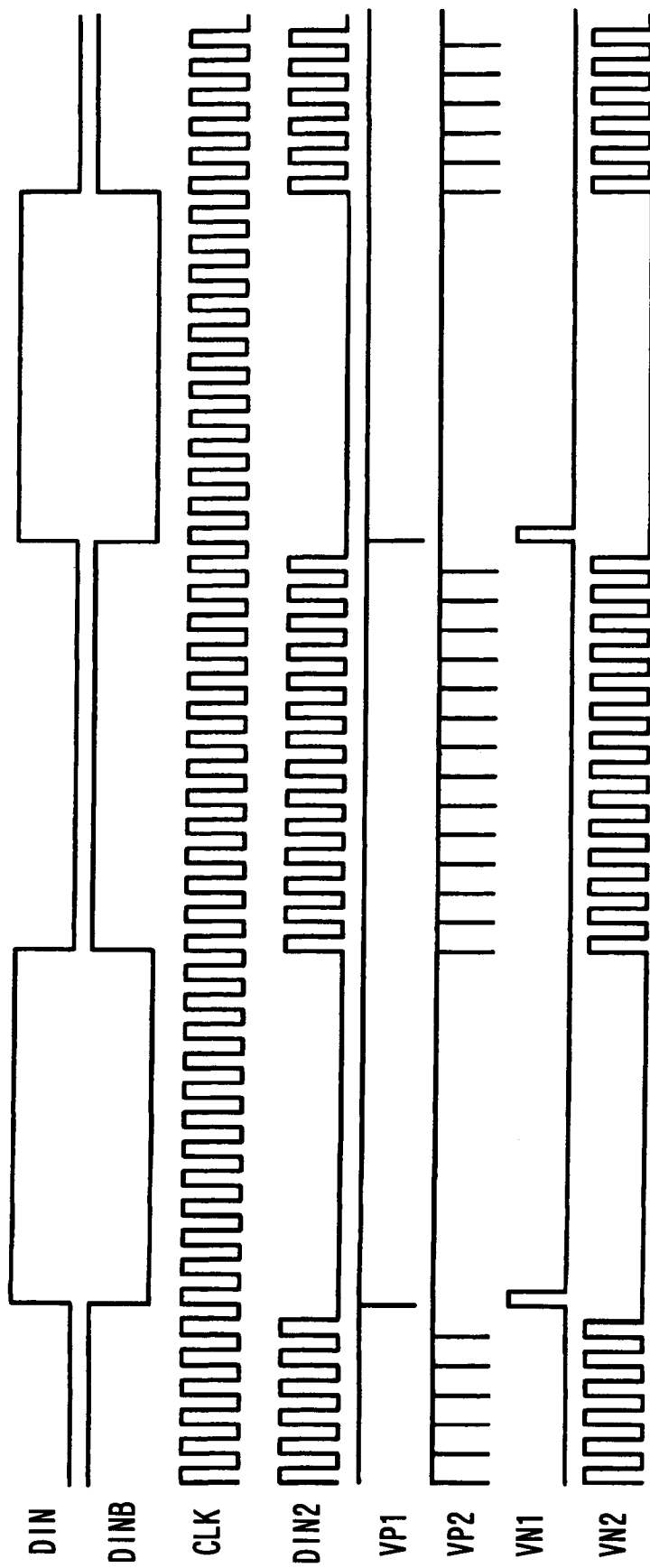
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/001754

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/16(2006.01) i, H02M1/08(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/16, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 5-252730 A (ABB Stromberg Drives Oy), 28 September 1993 (28.09.1993), paragraphs [0004] to [0009]; fig. 1 to 2 & US 5301085 A column 1, line 49 to column 5, line 11 & GB 2262673 A & DE 4241237 A & FR 2684819 A	1, 4, 6-7 2-3, 5
A	JP 2001-267905 A (Nihon Kohden Corp.), 28 September 2001 (28.09.2001), paragraphs [0002] to [0008]; fig. 1 to 2 & EP 1143619 A2 paragraphs [0024] to [0016]; fig. 1 to 2 & US 2001/0044640 A1	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 June 2016 (06.06.16)

Date of mailing of the international search report
14 June 2016 (14.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/001754

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-87963 A (Nihon Inter Electronics Corp.), 28 March 1990 (28.03.1990), page 2, lower right column, line 13 to page 6, upper right column, line 13; fig. 1 to 2 (Family: none)	1-7
A	JP 7-15949 A (Fuji Electric Co., Ltd.), 17 January 1995 (17.01.1995), paragraphs [0024] to [0033]; fig. 1 to 3 (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K17/16(2006.01)i, H02M1/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K17/16, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 5-252730 A（エイビービー ストロームベルグ ドライブズ オイ）1993.09.28, 段落[0004]-[0009], 図1-2 & US 5301085 A col.1, l.49- col.5, l.11 & GB 2262673 A & DE 4241237 A & FR 2684819 A	1, 4, 6-7 2-3, 5
A	JP 2001-267905 A（日本光電工業株式会社）2001.09.28, 段落 [0002]- [0008], 図1-2 & EP 1143619 A2 段落[0024]- [0016], FIG. 1-2 & US 2001/0044640 A1	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.06.2016

国際調査報告の発送日

14.06.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

緒方 寿彦

5W

8321

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2-87963 A (日本インター株式会社) 1990. 03. 28, 第 2 頁右下欄 第 13 行ー第 6 頁右上欄第 13 行, 図 1-2 (ファミリーなし)	1-7
A	JP 7-15949 A (富士電機株式会社) 1995. 01. 17, 段落[0024]-[0033], 図 1-3 (ファミリーなし)	1-7