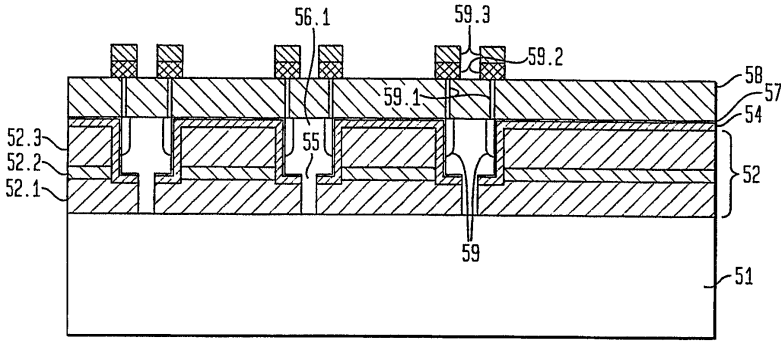


대표도



명세서

기술분야

본 발명은 활성 영역 결함이 감소된 반도체 장치 및 고유 콘택트 기법을 갖는 반도체 장치에 관한 것이다.

배경기술

광통신 시스템은 약 800nm에서 1600nm 범위의 파장으로 인접 적외선(IR) 복사를 이용한다. 특히, 중요한 통신 밴드로는 단거리 광섬유 통신 링크용의 약 850nm와 장거리 광섬유 통신 링크용의 약 1310nm 및 1550nm가 있다.

최근 III-IV 그룹의 복합 반도체 광-검출기(PD)는 GaAs-기반 및 InP-기반 물질이 우수한 인접 IR 흡수체이므로 광통신 수신기용 광검출기로 선택된다. 이들 검출기는 800nm에서 1600nm인 파장 밴드에 대해 약 1 μ m 이하의 흡수 길이(L_{abs})를 갖는다.

III-IV 그룹의 몇몇 바람직한 특성에도 불구하고, 2개의 이유, 비용과 기능성을 위해 Si-기반 시스템에서 PD를 제조하는 것이 이로울 것이다. 그룹 III-IV-기반 프로세싱이 저생산 고비용적인 반면, Si-기반 프로세싱은 유비쿼터스(ubiquitous)적이며 저비용적이다. Si의 높은 장치 수율로 인해, Si는 복잡한 전자 기능성을 실현하기 위해 선택되는 물질이다. 저비용 광-전자 서브시스템은 Si로 가능해진다.

불행히도, Si는 실용적 관심대상의 IR 범위(예: 1100-1600nm)에서 불충분한 흡수체이다. 통신용 Si IR 검출기는 850nm 부근에서만 사용될 수 있지만, 거기서도 Si의 흡수 파장(L_{abs})은 상대적으로 커서, 20 μ m보다 크다. 흡수 길이는 2개의 중요한 PD 특성, 양자 수율 및 주파수 응답에 영향을 미친다. 양자 수율(QY)은 검출기에 의해 흡수되는 입사 광전력의 비율이다. 빛이 주어진 L_{abs} 를 갖는 두께(T)의 물질을 통과함에 따라, 흡수된 빛의 양은 $\exp(-T/L_{abs})$ 이다. 높은 QY를 달성하기 위해, PD 흡수 영역의 두께는 특정 시스템 동작 파장에서 L_{abs} 이상이 되는 것이 바람직하다.

주파수 응답은 3dB 주파수(f_3)에 의해 측정된다. QY 및 f_3 은 PD가 정확히 검출할 수 있는 최대 데이터 레이트를 결정한다. 최저 50%의 QY이 바람직하며, f_3 은 그 데이터 레이트의 절반보다 커야 한다. 상업적 IR 통신 채널용으로 중요한 데이터 레이트는 2.5Gbit/s, 10Gbit/s 및 40Gbit/s이다. 그러므로, 이들 상대적으로 고속인 시스템을 위해 최소 $f_3=2.5$ Gbit/s가 요구된다. 한편, 저속 검출기는 IR 카메라 및 무선 IR 시스템과 같이 속도를 덜 요구하는 애플리케이션에 유용하다.

Si의 불충분한 IR특성을 해결하기 위해 채택되는 종래의 한 방법은 이를 높은 IR 흡수를 갖는 물질과 모노리식으로(monolithically) 집적하는 것이다. 이러한 집적을 위한 물질로는 $Si_{1-x}Ge_x$, Si에서 x의 Ge 농도(몰 분율)를 갖는 Si와 Ge의 합금이 선택된다. 중요하게는, $Si_{1-x}Ge_x$ 프로세싱은 Si 프로세싱과 비교 가능하다.

도 1a는 순수 Ge($Si_{1-x}Ge_x$ 이며 x=1)의 흡수 길이와 PD에서 사용되는 표준 III-IV 그룹 복합 반도체인 Si 및 InGaAsP의 흡수 길이를 비교하고 있다. Ge의 L_{abs} 는 관심 대상(예: 1300-1600nm)인 전체 파장 길이에 대해 2 μ m 이하이다. $Si_{1-x}Ge_x$ 의 Ge 농도가 $0 < x < 1$ 인 경우, 흡수는 Si와 Ge의 중간이다. 더 긴 파장인 1310nm에서 1550nm로 도달하기 위해, x가 거의 1과

등가인 거의 순수 Ge가 이상적이다(예: $x \sim 0.8-0.9$). 그러나, 단일 결정 Si 기판 또는 Si 에피택셜층 상에서 성장될 수 있는 고품질(낮은 결함 밀도) 단일 결정 $Si_{1-x}Ge_x$ 층의 두께는 Si와 Ge 사이의 4% 격자 상수 불일치에 의해 제한된다. (Ge 농도에 대한 함수로서 곡선이 임계층을 표시하고 있는 도 1을 참조하자.) 보다 큰 Ge 농도를 갖는 $Si_{1-x}Ge_x$ 층은 보다 작은 임계 두께를 갖는다. 임계 두께 위에서 성장되는 층은 평형 성장 조건 하에서 잘못된 위치를 포함하는 경향이 있지만, 그 아래에서 성장되는 층은 그렇지 않다. 이들 결함은 검출기의 잡음을 증가시켜서 그 전체 감도를 제한하는 외부 누설 전류(암전류(dark current))의 원인이 된다.

암전류는 광신호가 존재하지 않는 검출기에서 흐르는 전류이다. 결함의 존재에 있어서, 이는 결함 밀도에 비례한다. 또한 결함은 QY를 감소시키는 재결합 중심을 형성한다. 결함이 존재하지 않는 경우, 고유 암전류는 $\exp[-EG(x)/kT]$ 인데, $EG(x)$ 는 흡수층의 밴드갭이며, x 는 $Si_{1-x}Ge_x$ 에서의 Ge의 몰 분율이고, k 는 볼츠만 상수, T 는 격자 온도이다. $EG(x)$ 는 모노토닉(monotonically)으로 감소하는 x 에 대한 함수이고, x 의 매우 큰 값은 보다 큰 고유 암전류를 유도한다. 850nm 부근의 단파장에서의 소정 애플리케이션에 있어서, L_{abs} 는 충분히 짧으며 고유 암전류는 낮을 것이므로 $x < 1$ 인 $Si_{1-x}Ge_x$ 반도체가 바람직하다. 장파장에서의 애플리케이션은 1과 거의 동일한 값(거의 순수한 Ge; 예를 들어, $x \sim 0.8-0.9$)을 요구한다. 그러나, 관심 대상인 임의의 IR 통신 파장에 있어서, 우수한 인접 IR 흡수체가 되기에 충분한 Ge를 갖는 임의의 $Si_{1-x}Ge_x$ 반도체의 임계 두께는 이들 물질의 흡수 길이보다 훨씬 작다. 결과적으로, 충분한 성능을 갖는 인접 IR $Si_{1-x}Ge_x$ PD는 직접적으로 $Si_{1-x}Ge_x$ 을 Si 상에서 성장시키는 종래 기술을 이용한다면 이루어질 수 없다.

임계층 두께 문제를 해결하기 위한 여러 접근 기법이 제안되었지만, 이들은 모두 복잡한 성장 기법을 이용한다. 예를 들어, Si 상에서 형성되는 Ge PD가 보고되었는데, 이 문헌에서는 (1) 구배형 버퍼(graded buffer)(GB) 방법 및 (2) Si/Ge 이종 접합(heterojunction)(SGH)으로 알려진 상이한 2개의 접근 기법을 이용한다.

구배형 버퍼(GB) 방법: 도 2a에 도시된 바와 같이, GB 방법은 단일 결정 Si 기판 상에 $Si_{1-x}Ge_x$ 구배형 다층 버퍼 영역을 성장시키고 어닐링(annealing)하는 단계를 포함한다. [예를 들어, 본 명세서에 참조 문헌으로 인용된 M.T. Currie 등이 저술한 Appl. Phys. Lett. Vol/72, No.14, P.1718(1998년도) 참조]. 버퍼 영역(층 2-4)에서의 Ge 농도는 Si 기판(1)을 갖는 인터페이스에서의 0%로부터 Ge 장치 활성(흡수)층(6)의 100%로 모노토닉적으로 변한다. 버퍼층(2-4)이 상부 Ge 흡수층보다 낮은 Ge 농도를 가지므로, 거의 모든 빛이 Ge층(6)에서 흡수될 것이다. 그러나, 전체 층 구조는 층 스택이 매우 두꺼워 질 수 있고 포함되는 어닐링 단계가 매우 높은 온도를 요구하기 때문에 종래의 CMOS 프로세싱과 집적되기 어렵다. 또한, 표면층의 품질에 대한 데이터로의 가장 우수한 결과는 비교적 큰 밀도($\sim 10^5 \text{cm}^{-2}$)의 결함(7)을 포함하는데, 이는 편의상 구조의 우측편에만 개략적으로 도시되어 있다. 실제로, 결함은 구배형 영역 전체에 걸쳐 존재한다.

Si/Ge 이종 접합(SGH) 방법: 도 2b에 도시된 바와 같이, SGH 방법은 고온의 복잡한 시퀀스, Ge층에서의 잘못된 위치(결함) 밀도를 감소시키기 위한 주기적 어닐링 단계가 후속되는 단결정 Si 기판(8) 상의 순수 Ge층(9)의 직접 성장을 포함한다[예를 들어, 본 명세서에 참조 문헌으로 인용된 G.Masini 등이 저술한 Electronics Letters, Vol.35, No.17, p.1467(1999) 및 H-C Luan 등이 저술한 Appl.Phys.Lett. Vol.75, No.19, p.2909(1999) 참조]. GB 프로세스에서와 같이, 이 프로세스는 요구되는 고온(900C) 어닐링으로 인해 CMOS 집적화를 시도한다[본 명세서에 참조 문헌으로 인용된 L.Colace 등이 저술한 Phys.Lette., Vol.76, No.10, p1231(2000) 참조]. 그러나, 이 기술에 의해 얻어지는 가장 우수한 물질은 비교적 높은 결함 밀도인 $2 \times 10^6 \text{cm}^{-2}$ 를 갖는다.

장치 제조용의 낮은-결함 밀도(중중 무결함(defect-free)으로 지칭함) 물질은 PD에서의 잡음을 줄이고 감도를 증가시키기 위해 중요하다. 그러나, 종래 기술에서는 Si 상에서 낮은-결함-밀도 Ge를 발생시킬 수 없다. 또한, 어떤 결함은 전기 컨택트 영역과 같은 고도로 도핑된 영역에 위치되며, 이는 전계에 의해 공핍되지 않는다. 결함 영역에서의 고도 도핑은 이들 영역이 모든 바이어스 조건 하에서 전기적으로 중성으로 유지되게 한다. 그렇지 않으면, 발생-재결합 전류(generation-recombination current)는 큰 역 누설 전류(reverse leakage current)(암 전류)를 유발한다.

도 2b의 인터페이스 영역(10) 부근의 영역과 도 2a의 구배형 버퍼 영역(2-4)이 가장 많은 결함을 포함하는데, 이는 본 명세서에 참조 문헌으로 인용된 G.Masini 등이 저술한 IEEE Trans on Elec.Dev., Vol.48, No.6, p.1092(2001)에 지적되어 있다. 이들 영역이 고도로 도핑되는 것이 필수적이지만, 고도 도핑에 의해 모든 결함-유도 암전류를 제거할 수는 없는데, 이는 입사 광신호를 흡수하기 위해 소정의 낮은-도핑 Ge 영역이 요구되기 때문이다. 흡수 영역에서의 낮은 도핑은 캐리어 운송이 저속 확산 프로세스가 아닌 고속 표류 메커니즘에 의해 지배되도록 보장한다.

GB 및 SGH 방법은 모두 PD의 2개의 공통 타입, 종형 PIN PD(도 3a) 및 금속-반도체-금속(MSM) PD(도 3b)를 형성하는데 사용되어 왔다. 이러한 PD는 모두 신호광이 검출기 상부(또는 하부) 표면에 충돌하고 필수적으로 장치의 주요층에 수직인 표면-조명 검출기용으로 설계되어 왔다. 그러나, 이들 PD를 신호광이 장치의 에지에 충돌하고 장치의 주요층에 필수적으로 평행한 방향으로 진행되는 에지-조명 장치로서 이용할 수 있다.

본 명세서에서 설명되는 주요한 결론은 종형 PIN 및 MSM IR 종래 검출기 모두에 관한 것이다. 이들 장치는 2개의 중요한 단점을 가지는데, (1) 종래의 CMOS 프로세스와 호환성 없는 프로세스 및 (2) 본질적으로 불충분한 성능이 그것이다. 또한, 이들 제한은 종래 방법에서 고유하다는 것이 미리 인식되지 않았다.

따라서, 높은 속도 및 높은 QY 모두를 제시하는 Si-기반 인접 IR PD에 대한 종래 기술에서의 필요가 남는다.

종래 기술의 제한을 분명히 하기 위해, PIN 및 MSM 장치의 구현 기법이 분석되어 왔다. 도 3a에 도시된 종형 PIN 구조에서, 기관층(14)은 단일 결정 Si 기관이거나 이러한 Si 기관 상의 $Si_{1-x}Ge_x$ 버퍼이다. 이는 1200-1600nm 대역에서 비-흡수적이다. 신호광 흡수가 의도되는 활성 장치층(12)은 Ge로 도핑되지 않는다. 또한, 상부, 고도로 도핑된 컨택트층(11)은 Ge이다. 종래 GB 방법에서, 하부, 고도로 도핑된 컨택트층(13)도 Ge이지만 종래 SGH 방법에서는 Si이다. 신호광(19)은 상부 표면(18) 상에 입사된다. 이 빛은 장치층을 관통하며 Ge 활성층(12)에서 흡수된다. 전자-홀 쌍은 그들이 전기장에 의해 분리되는 GB 방법의 Ge층(11-13) 및 SGH 방법의 층(11,12)에서 발생된다. 후자는 전압 소스(도시 생략)를 금속 컨택트(15,16)를 가로지르는 입사 극성과 접속시킴으로써 발생된다. 검출기 광전류는 컨택트(15,16)에 접속되는 검출 회로(도시 생략)를 통해 흐른다.

이들 장치 모두에서, 흡수층(12)의 두께(T_{12})는 약 $1\mu m$ 보다 크며, 이는 1310nm와 1550nm 사이의 빛에 대한 흡수 길이이며, QY는 $\exp(-T_{12}/L_{abs})$ 에 의해 주어진다. 잘 설계된 장치에서, 주파수 응답은 광-발생 전자 및 홀의 운송 시간에 의해 제한된다. 2개의 상이한 시간, 높은 필드(도핑되지 않은 활성 영역(12))의 표류 시간(τ_d) 및 낮은 필드(높게 도핑된 컨택트 영역(11,13))에서 발생된 캐리어의 확산 시간(τ_{diff})은 종형 PIN 구조에서 중요하다. Ge층 전체에 걸쳐 캐리어가 발생되므로, 운송 시간의 분배가 존재한다. 정확한 주파수 응답의 계산은 복잡하지만, 시뮬레이션을 통해 쉽게 수행된다. 그러나, f_3 에 대한 우수한 감도가 최장 운송 시간을 조사함으로써 얻어질 수 있으며, 이는 주파수 응답을 제한한다. 최장 표류 시간은 $\sim T_{12}/v_d$ 인데, v_d 는 층(12)의 전기 필드에서의 캐리어 평균 표류 속도이다. 최장 확산 시간은 도핑된 컨택트층(11) 두께(W)의 제곱에 비례한다. 전체 운송 시간(τ)은 $\tau_d + \tau_{diff}$ 에 의해 대략 주어지며, f_3 은 약 $1/(2\pi\tau)$ 이다. 약 $0.2\mu m$ 의 W에서도, 확산 시간은 전체 주파수 응답을 지배할 수 있다.

도 3b에 도시된 MSM 구조는 전기 표류 필드가 상부 표면(28)에 평행하다는 점에서 PIN과 상이한 반면, 도 3a의 PIN 구조에서 이는 표면(18)에 수직이다. 다시, 기관(24)은 SGH 방법에서는 단일 결정 Si 기관이며 GB 방법에서는 구배형 버퍼층이다. 신호광의 흡수는 Ge 활성층(23)에서 일어난다. 이 경우, 인터-디지털화된(inter-digitated) 쇼트키(Schottky) 장벽 전극(21,22)이 Ge 상부 표면(28) 상에 직접 배치되며 이로부터 검출기 광전류가 흐른다. 이 장치에서, 통상적인 입사광은 Ge층(23)을 관통하고 전자-홀 쌍을 발생시키며 그곳에서 흡수된다. 종형 PIN 구조에서와 같이, QY는 Ge층 두께(T_{23})에 의해 결정된다. MSM 구조에서의 관련 운송 시간은 $\tau_d \sim (T_{23} + D)/v_d$ 에 의해 대략 주어지는데, D는 인접 전극들간의 거리이다. PIN 구조와는 달리, MSM 장치는 캐리어가 광-발생될 수 있는 높게 도핑된 낮은 필드 영역이므로 캐리어 확산 시간 문제를 갖지 않는다.

PIN 구조는 MSM 구조보다 바람직한데, 이는 높은 결합적 계면 영역(25)이 높게 도핑되지 않으므로, MSM이 비교적 큰 암전류를 갖기 때문이다. 같은 이유로, GB 방법을 이용하여 설명한 장치에서와 같이, 결합 인터페이스(17)가 높게 도핑되는 것을 보장하기 위해, PIN 구조에서 Ge 하부 컨택트층(13)을 구성하는 것이 바람직하다. 종래 SGH 방법은 하부 컨택트층(13)과 기관(14) 사이의 Si/Ge 이중 접합의 형성을 제안하지는 않지만, 이론상으로 수행 불가능하다는 이유는 없다. 결과 구조는 GB 방법을 사용하여 형성되는 PIN과 전기적으로 동일할 것이며 결국 동일한 성능을 가질 것이다. 그러므로, 후술하는 바에 있어서 비교를 위해, 이들 종래 장치, 하부 컨택트층이 Ge인 GB 또는 SGH 방법을 이용하여 형성되는 PIN 구조(도 3a) 중 가장 우수한 것의 제한만을 고려하면 된다.

전술한 PIN 구조의 이상적 장치 속도에 도달하기 위해 장치 시뮬레이션을 수행하였으며 이들 장치의 주파수 응답은 운송 시간 고려사항에 의해 고유하게 제한된다는 것을 발견하였다. 이 결과는 아래의 표 1에 나타나 있다.

표 1.

도 3a PIN 검출기의 흡수 영역	W (μm)	T ₁₂ (μm)	f ₃ (GHz)
영역 11, 12, 13			
제 1 시뮬레이션 세트	0.2	2.0	7.0
제 1 시뮬레이션 세트	0.2	1.5	8.0
제 1 시뮬레이션 세트	0.2	1.0	8.5
제 1 시뮬레이션 세트	0.2	0.5	6.5
제 1 시뮬레이션 세트	0.2	0.3	5.2
제 1 시뮬레이션 세트	0.2	0.2	4.6
제 2 시뮬레이션 세트	0.2	1.0	8.5
제 2 시뮬레이션 세트	0.4	1.0	2.4
제 2 시뮬레이션 세트	0.6	1.0	1.0
영역(12)만 해당			
제 3 시뮬레이션 세트	0.2	2.0	8.9
제 3 시뮬레이션 세트	0.2	1.5	11.0
제 3 시뮬레이션 세트	0.2	1.0	18.0
제 3 시뮬레이션 세트	0.2	0.5	36.0
제 3 시뮬레이션 세트	0.2	0.3	61.0
제 3 시뮬레이션 세트	0.2	0.2	92.0

도 3a에 도시된 바와 같이 활성 영역(12)의 포화 표류 속도를 유도하기에 충분히 큰 콘택트(15,16) 상의 전압을 갖는 이상화된 PIN 구조의 시뮬레이션이 수행되었다. 결과물의 제 1 세트는 모든 Ge 영역의 광-발생을 포함하며, 이는 자연스럽게 일어날 것이다. 이 시뮬레이션에서, W는 0.2μm(우수한 콘택트를 위한 전형적 수치)에 고정되었으며, 높은 필드 영역 두께(T₁₂)가 변하였다. 검출기를 빠르게 하기 위해, T₁₂는 감소되어야 하지만, 위의 표로부터 명백한 바와 같이, T₁₂에 대한 W의 비율이 증가함에 따라 f₃은 감소한다. T₁₂와 f₃의 이 관계는 광전류 응답에서의 다수의 캐리어가 τ_d가 아닌 τ_{diff}에 의해 제한되기 때문에 일어난다. 시뮬레이션의 제 2 세트는 W를 변화시키지만, T₁₂를 적합한 QY를 제공하기에 요구되는 값인 1μm에 고정시킨다. 다시, T₁₂에 대한 W의 비율이 증가함에 따라, f₃은 감소되며, 이 때 약 1/W² 의존성을 가지며, 이는 확산-제한 캐리어 운송으로부터 예상된다. 시뮬레이션의 제 3 세트는 이들 n-타입 및 p-타입 콘택트층의 흡수 효과를 증명하기 위해 콘택트 영역(11,13)의 광-발생을 인위적으로 제거한다. 이 경우, f₃은 활성 영역(12)의 캐리어 운송 시간에 의해 제한되며 예상한 바와 같이 1/T₁₂에 따라 선형적으로 증가한다. 이 구조에서 W를 무한정 감소시킬 수 없다는 것을 유의해야 한다. W는 우수하며 낮은 누설의 콘택트를 위해 충분히 두꺼울 필요가 있으며 Ge와 Si 사이의 인터페이스(17)에 존재하는 모든 결함이 높은 도핑에 의해 완전히 덮이는 것을 보장하기 위해 충분히 두꺼울 필요가 있다. 이 인터페이스 영역의 자유 캐리어가 고갈되는 경우, 과도한 대량의 암전류가 잡음 성능에 부정적인 영향을 끼치며 흐르게 될 것이다. 이러한 종래의 장치에서 고유한 문제점은 불충분한 주파수 응답이다. 암전류가 제어되면, 높게 도핑된 콘택트 영역이 Ge에서 형성될 것이다. 그러나, 이 설계는 주파수 응답이 확산 시간(τ_{diff})에 의해 제한되게 한다. 결국, 종래의 장치에서, 고속 시스템의 원하는 데이터 레이트를 만족시키기 위해 충분히 높은 f₃을 얻는 것이 매우 어렵다.

발명의 상세한 설명

본 발명의 일 측면에 따르면, 활성 영역 등과 같이 감소된 결함 밀도(defect density)를 갖는 사전 결정된 에피택셜 영역(epitaxial region)을 구비하는 반도체 장치를 제조하는 방법이 제시되는데, 이러한 방법은 (a) 제 1 재료로 이루어진 단결정 본체(single crystal body)의 주 표면 위에 유전체 클래딩 영역(dielectric cladding region)을 형성하는 단계와, (b) 클래딩 영역 내부로 제 1 깊이만큼 연장되는 제 1 개구(opening)를 형성하는 단계와, (c) 제 1 개구 내에서 제 1 깊이보다 더 큰 제 2 깊이만큼 연장되고, 단결정 본체의 주 표면의 하부 부분을 노출시키며, 제 1 개구보다 더 작은 제 2 개구를 형성하는 단계와, (d) 각각의 개구 내부 및 클래딩 영역의 상부에 제 2 반도체 재료 영역을 에피택셜 성장(epitaxially growing)시키는 단계와, (e) 결함들이 제 2 개구 내에서 성장된 에피택셜 영역(epitaxial stem region) 및 클래딩 영역 상부의 에피택셜 영역으로 한정되게 하여, 제 1 사전 결정된 영역이 제 1 개구 내에 위치되고, 본질적으로 무결함(free of defects) 상태

(대략 10^3cm^{-3})가 되도록 제 2 개구의 크기를 제어하는 단계와, (f) 장치의 상부를 평탄화(planarizing)하여 클래딩층의 상부에서 연장되는 모든 에피택셜 영역을 제거함으로써, 제 2 개구 내에서 성장된 제 1 사전 결정된 영역의 상부가 본질적으로 클래딩 영역의 상부와 동일 높이가 되게 하는 단계와, (g) 장치의 제조를 완료하기 위한 추가 단계를 실행하는 단계를 포함한다.

본 발명의 여러 실시예에 따르면, 제 1 재료는 Si이고, 제 2 재료는 $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$) 또는 GaN이다.

본 발명의 다른 여러 실시예에 따르면 이러한 장치는 광전자 장치(optoelectronic) 또는 전자 장치(electronic)일 수 있다. 광전자 공학 분야의 경우에, 이러한 장치는 광검출기(photodetector)가 되고, 이 때 제 1 사전 결정된 영역은 검출된 광이 흡수되는 활성 영역이고, 제 2 사전 결정된 영역은 활성 영역으로 신호 광(signal light)을 전달하는 도파관(waveguide)이다. 바람직한 실시예에서, 이러한 광검출기는 Si 기판 위에 형성된 SiGe 활성 영역을 갖고, 그에 따라 Si IC 공정과 호환 가능하기 때문에, 높은 속도 및 높은 QX를 갖는다. 광검출기는 표면 조명 어레이(surface illuminated array) 또는 에지 조명 장치(edge illuminated device)로서, 여기에서 광은 적절한 도파관(waveguide)에 의해 활성 영역으로 전달된다. 전자 분야에서, 이러한 장치는 예시적으로 MOSFET일 수 있고, 여기에서 제 1 사전 결정된 영역은 채널, 소스 및 드레인을 포함한다.

본 발명의 다른 측면에 따르면, 반도체 장치는 (a) 제 1 재료로 이루어진 단결정 본체와, (b) 본체의 주 표면 위에 배치된 유전체 클래딩 영역을 포함하고, 클래딩 영역은 그 내부로 제 1 깊이만큼 연장되는 제 1 개구와, 제 1 개구 내에서 제 1 깊이보다 더 큰 제 2 깊이만큼 연장되고, 본체의 하부 부분을 노출시키며, 제 1 개구보다 더 작은 제 2 개구를 갖고, (c) 각각의 개구 및 클래딩 영역의 상부를 충전하는 제 2 반도체 재료의 제 1 영역 및 제 2 영역-제 1 영역의 상부는 클래딩 영역의 상부와 실질적으로 동일 높이가 되어, 제 1 개구 내에 활성 영역을 형성하고, 제 2 개구 내에 제 1 스템 영역을 형성함을 포함하고, (d) 제 2 개구의 크기는 결합이 스템 영역 내로 한정되게 하여, 제 1 영역이 본질적으로 무결합 상태가 되도록 선택된다.

본 발명의 이러한 측면의 일실시예에 따라서, 이 장치를 표면 조명 PD로서 이용하면, 이 장치는 다수의 활성 영역 및 스템 영역을 포함하고, 신호 광은 활성 영역 내에서 흡수되어 광전류를 형성하며, 적어도 하나의 전극이 활성 영역 상에 분포되어 신호 광의 임의의 상당한 부분이 대응하는 스템 영역 내에 흡수되는 것을 방지하는 것을 특징으로 한다.

본 발명의 이러한 측면의 다른 실시예에 따라서, 이 장치를 표면 조명 PD로서 이용하면, 이러한 장치는 다수의 활성 영역 및 스템 영역을 포함하고, 신호 광은 활성 영역 내에서 흡수되어 광전류를 형성하며, 각각의 활성 영역이 도핑된 컨택트 영역을 포함하고, 금속 차단층(metallic blocking layer)은 적어도 하나의 컨택트 영역 위에 배치되어 적어도 하나의 컨택트 영역에 의해 흡수되는 신호 광의 양을 감소시킨다는 것을 특징으로 한다. 이 실시예의 바람직한 설계에서, 금속 차단층은 적어도 하나의 컨택트 영역의 표면 면적 중 대략 30% 이상을 피복한다. 이 실시예의 또 다른 바람직한 설계에서, 흡수층은 completely covers 적어도 하나의 컨택트 영역을 완전히 피복하고, 대응하는 활성 영역의 표면 면적에서 적어도 대략 20%를 피복한다. 이 실시예의 또 다른 바람직한 설계에서, 도핑된 컨택트 영역의 부피는 대응하는 활성 영역의 부피에 대해 대략 25% 미만이다. 이 실시예의 보다 바람직한 설계에서, 각각의 제 2 영역의 부피는 대응하는 활성 영역의 부피에 대해 대략 25% 미만이다.

본 발명의 이러한 측면의 다른 실시예에 따라서, 이 장치를 에지 조명 PD로서 이용하면, 스템 영역의 폭(광 전파 방향에 대해 횡단하여 측정됨)은 신호 광의 파장(스템 영역의 반도체 재료 내에 측정됨)에 대해 1/2 미만이고, 이는 그 내부에 대한 신호 광의 침투를 감소시키는 역할을 한다.

본 발명의 이러한 측면의 다른 실시예에 따라서, 이 장치를 에지 조명 PD로서 이용하면, 활성 영역은 신호 광을 활성 영역으로 전송하는 도파관 영역에 광학적으로 결합되고, 도파관 영역의 폭이 활성 영역의 폭보다 작고, 도파관 영역의 중심이 활성 영역의 중심과 일직선으로 일치되는 것을 특징으로 한다. 이러한 실시예의 바람직한 설계에서, 도파관 영역의 폭은 활성 영역의 내부 에지와 스템 영역 사이의 거리보다 더 작고, 도파관 영역의 중심은 활성 영역의 내부 에지와 그의 스템 영역 사이에서 일직선으로 맞춰진다.

본 발명의 이러한 측면의 다른 실시예에 따라서, 이 장치를 표면 조명 PD 또는 에지 조명 PD로서 이용하면, 활성 영역은 도핑되지 않지만 스템 영역은 도핑되어, 암전류(dark current)가 감소된다.

본 발명은, 그 여러 피처 및 이점과 함께 첨부된 도면과 이하의 보다 상세한 설명으로부터 용이하게 이해될 수 있을 것이다.

도면의 간단한 설명

- 도 1a는 Si, Ge 및 InGaAsP의 광 흡수 길이를 파장의 함수로서 도시한 그래프.
- 도 1b는 SiGe 층의 임계 두께를 Ge의 몰 분율의 함수로 도시하는 그래프.
- 도 2a는 GB 방법에 의해 제조된 종래 기술의 PD를 도시하는 개략적인 단면도.
- 도 2b는 SGH 방법에 의해 제조된 종래 기술의 PD를 도시하는 개략적인 단면도.
- 도 3a는 종래 기술의 중형 PIN PD를 도시하는 개략적인 단면도.
- 도 3b는 종래 기술의 중형 MSM PD를 도시하는 개략적인 단면도.
- 도 4a 내지 도 4d는 예시적인 종래의 ELO 기술의 중요한 처리 단계를 설명하는 데 이용되는 개략적인 단면도.
- 도 5a 내지 도 5f는 본 발명의 예시적인 실시예의 중요한 처리 단계를 설명하는 데 이용되는 개략적인 단면도.
- 도 5g는 본 발명의 예시적인 실시예에 따른 반도체 장치를 도시하는 개략적인 단면도.
- 도 6a는 본 발명의 일 실시예에 따른 장치의 어레이를 도시하는 개략적인 평면도.
- 도 6b는 본 발명의 다른 실시예에 따라서 집적된 도파관(WG)에 결합된 에지 조명 PD를 광학 서브시스템의 일부로서 도시하는 개략적인 단면도
- 도 6c는 본 발명의 다른 실시예에 따른 MOSFET를 도시하는 개략적인 단면도.
- 도 7a는 도 6a에 도시된 타입의 장치의 어레이를 제조하는 데 이용되는 마스크의 세트를 도시하는 개략적인 평면도.
- 도 7b는 도 6b에 도시된 타입의 에지 조명 PD 및 집적 WG를 제조하는 데 이용되는 마스크의 세트를 도시하는 개략적인 평면도.
- 도 8a는 본 발명의 또 다른 실시예에 따른 MSM PD를 위한 콘택트 기법을 도시하는 개략적인 단면도.
- 도 8b는 본 발명의 또 다른 실시예에 따른 횡형 PIN PD를 콘택트 기법을 도시하는 개략적인 단면도.
- 도 9a는 본 발명의 다른 실시예에 따라 성능을 강화하기 위한 여러 기법을 나타내는 표면 조명 PD의 여러 마스크 세트를 도시하는 개략적인 평면도.
- 도 9b는 본 발명의 또 다른 실시예에 따라 성능을 강화하기 위한 여러 기법을 나타내는 에지 조명 PD의 여러 마스크 세트를 도시하는 개략적인 평면도.
- 도 10a는 본 발명의 다른 실시예에 따라서 인시튜 성장 차단 접합(in situ grown blocking junction)을 갖는 횡형 PIN PD를 도시하는 개략적인 단면도.
- 도 10b는 본 발명의 또 다른 실시예에 따라서 주입 차단 접합(implanted blocking junction)을 갖는 횡형 PIN PD를 도시하는 개략적인 단면도.

실시예

본 발명의 일 측면에 따른 개선된 처리를 사용해서 구현될 수 있는 다양한 장치 설계를 상세하게 설명하기 전에, 이 처리를 우선 PD 및 MOSFET와 같은 장치의 비교적 결함이 없는 반도체 활성 영역을 제조하는 일반적인 방식으로 설명한다. 그러나, 본 발명의 기본 애플리케이션 중 하나의 실시 목적으로 및 반영으로서 약 800-1600nm의 IR 파장에서 동작하는 SiGe PD의 저-결함-밀도 흡수 영역의 제조시의 노출에 대해 집중한다.

종래의 PD의 관한 논의로부터 대부분이 도핑되지 않거나 공핍되지 않는 고품질의 Ge에서 광 흡수가 발생하는 장치를 원한다는 것이 분명해졌다.

본 발명은 ELO(epitaxial lateral overgrowth) 기법을 사용해서 Si 기판 상에 형성된 절연체 구조에 매립된 고품질 Ge를 형성한다. ELO는 물질을 Si 상의 GaN[예컨대, O.Nam등의 Appl. Phys. Lett, Vol. 71, No.18, p.2638(1997) 및 S. Nakamura등의, Jap. J. Appl. Phys., Vol.36, No.12A, Part 2, p.L1568(1997)을 참조한다. 모두 여기에 참조 문서로서 포함된다] 및 Si 상에 Ge과 같은 다른 격자 상수를 가진 물질을 모놀리식으로 집적하는 데 사용된다. Si 상에 Ge에 대한 ELO의 처리는 도 4a-4c에 상세하게 도시되어 있다. 여기서 박형 절연체(예컨대, 산화물) 층(42)을 단결정 Si 기판(41) 상에 형성한다. 시드 윈도우(43)를 산화물에 리소그래픽식으로 형성하고, Si 방향으로 하향 에칭시켜서 개구를 형성한다. 노출된 Si 표면은 Ge 성장을 위해 세척한다. 이후에 노출된 Si 상에만 Ge(43)를 사용해서 선택 CVD 성장시킨다(도 4b). 이 성장은 Ge가 시드 윈도우를 과도 성장할 때까지 계속하다가, 이웃하는 시드 윈도우로부터의 성장 전면부(47)가 합쳐져서 연속하는 막을 형성한다(도 4c). 큰 결함 밀도(Large defect density)는 최종 Ge 막의 2 부분에만 발견되며, 도 4c에 도시된 바와 같이 결함(46)은 시드 윈도우의 바닥부의 Si 계면으로부터 시드 윈도우 상의 막의 상부까지 스레딩하고, 결함(45)은 2개의 성장 전면부가 만나는 영역에서 형성된다. 도 4c에서 48로 도시된 바와 같이 산화물 마스크 상에 있는 Ge 층의 대부분은 실질적으로 결함이 없다.

이러한 처리는 시드 윈도우의 종횡비(높이/폭)를 도 4d에 도시된 바와 같이 1:1 이상으로 설정함으로써 개선되었다 [T.Langdo 등의 Appl. Phys. Lett., Vol.76, No.25, p.3700(2000) 참조. 이는 여기에 참조 문서로서 포함됨]. 이 경우 스레딩 부정합 전위(misfit dislocations) 또는 적층 결함이 시드 윈도우 상에서 및 그 위의 박 내에서 나타나지 않으며, 대신에 결함(46)이 산화물 층(42)의 최상부 아래의 시드 윈도우 영역으로 한정된다. 그러나 대 결함 밀도가 영역(45)에서 여전히 발견되며(도 4d) 여기서 다른 시드 윈도우의 성장 전면부와 만난다. 시드 윈도우들 사이의 거리가 증가하면, 더 많은 Ge 막 영역의 부분에 결함이 없게 된다. 그러나, 이는 매우 긴 성장 시간 및 두꺼운 막을 의미한다(즉부 성장 거리가 증가하면 막 두께도 증가한다). 두꺼운 막은 전이 시간을 길게 한다.

본 발명의 일 측면은 수정된 ELO를 사용해서 고품질의 Ge 성분 $Si_{1-x}Ge_x$ 영역을 형성해서 PD 소자의 역할을 수행하며, 여기서 고농도 도핑된 영역에서의 캐리어 흡수의 감소를 통해서 결함 유도 암전류가 억제되고, 캐리어 천이 시간이 제한된다. 특히 본 발명의 이러한 측면은 가능한 결함 $Si_{1-x}Ge_x$ 의 체적이 최소화되도록, 그리고 $Si_{1-x}Ge_x$ 가 기본적으로 결함이 없도록 Si 상에 위치된 절연 클래딩 영역 내에 높은 Ge 성분 $Si_{1-x}Ge_x$ 영역(이하 픽셀이라고 함)을 형성하는 방법이다. 상세하게는, 본 발명은 기본적으로 모든 결함이 절연 층(42)의 최상부 아래의 시드 윈도우 영역으로 제한되도록 $Si_{1-x}Ge_x$ 의 ELO를 사용해서 도 4d의 절연층(42) 상에 픽셀을 형성한다.

종래의 기술과는 다르게 본 발명에서는 결함이 성장 전면부의 교차점에 형성되지 않는다. 과도 성장된 클래딩 영역 상의 성장 전면부는 클래딩(예컨대 실리콘 이산화물) 측벽에 의해 제한되어서, 합쳐져서 높은 결함 영역을 형성하는 일이 없다. 이러한 중요한 결과는 고농도 Ge 성분 $Si_{1-x}Ge_x$ ELO와 다마신 평탄화(ELO-D)를 결합해서 달성된다. 일반적으로 다마신은 웨이퍼 상의 절연층에 윈도우를 형성하는 단계와, 이 윈도우를 웨이퍼와는 다른 물질(예컨대 반도체 또는 금속)로 충전하는 단계와, 절연층의 상부 표면을 중첩하는 단계와, 중첩 부분을 평탄화 해서(예컨대, 화학 기계 연마), 윈도우 내의 물질이 기본적으로 절연층의 상부 표면과 같은 높이가 되게 하는 단계를 포함한다.

이 처리에서, 고농도 Ge 성분 $Si_{1-x}Ge_x$ 은 약 800-1600nm의 IR 파장의 PD의 대부분의 애플리케이션에 대해서 약 0.8-0.9 이상이 바람직한 Ge 농도 또는 몰분율(mole fraction) x를 가진 $Si_{1-x}Ge_x$ 이다. 그러나 일부 애플리케이션에서 x는 0.5보다 낮을 수도 있지만, 50% 미만의 Ge 성분을 가진 $Si_{1-x}Ge_x$ 는 원하는 파장에 대한 충분한 광 흡수를 제공하지 않는다. 한편으로는 다른 비 광 장치에서 0.1 이하의 x를 가지는 것도 가능하다.

표면 조사된 PD를 위해서 이러한 목적을 달성하는데 사용되는 한 세트의 처리 단계가 도 5a-5g를 참조하면서 설명될 것이다.

우선, 절연 클래딩 영역(52)이 도 5a에 도시된 바와 같이 Si 기판(51)의 상부 표면 상에 형성된다. 도시된 바와 같이 클래딩 영역(52)은 기판 상에 형성된 다수의 절연층(이하 클래딩 층이라 함)을 포함한다. 우선 스템 클래딩 층(52.1)[예컨대 1 μm 의 실리콘 이산화물]을 기판(51)의 상부 주요면에 증착한다. 이후에 에칭 차단 층(52.2)(예컨대 40nm의 실리콘 질화물)을 클래딩 층(52) 상에 증착한다. 마지막으로 픽셀 클래딩 층(52.3)(예컨대 1 μm 의 실리콘 이산화물)을 에칭 차단 층 상에 증착한다. 클래딩 층(52.1, 52.3)이 각각 다수의 층을 포함할 수도 있고, 이들이 하나의 층을 포함할 수도 있고, 이들의 두께는 서로 다르며, 이들의 조성은 서로 다르다. 다른 방안으로 클래딩 층은 실리콘 질화물 또는 실리콘 산화 질화물(oxy-nitride)과 같은 다른 유전체 물질을 포함할 수 있다.

일 실시예에서, 에칭 차단층(52.2) 및 픽셀 클래딩 층(52.3)은 서로 다른 조성을 가지며, 에칭 차단 층(52.2)의 에칭율은 픽셀 클래딩 층(52.3)의 에칭율보다 낮아야 한다. 다른 실시예에서, 층(52.2)의 에칭율이 층(52.3)의 에칭율과 실질적으로 다르지 않은 경우에도, 기존의 광 계측 기법을 사용해서 에칭 과정의 확산을 식별하고, 에칭 층의 화학적 조성의 차에 기초해서 적절한 시간에 에칭을 차단할 수 있다.

다음으로(도 5b), $\text{Si}_{1-x}\text{Ge}_x$ 활성 영역(픽셀) 웰(53)을 픽셀 클래딩 층(52.3) 상에 리소그래피 방식으로 형성하고, 표준 에칭 화학물(예컨대, CHF_3 , C_2F_6 , CO 및 Ar의 혼합물)이 사용되어서 픽셀 클래딩 층(52.3)의 물질을 선택적으로 에칭한다. 에칭은 본질적으로 에칭 차단층(52.2)의 재료에서 차단된다. 다음으로, 다른 화학물(예컨대 60초 동안의 고온 인산)로 전환해서 에칭 차단 층(52.2)을 에칭함으로써 스템 클래딩 층(52.1) 상에서 종료한다.

도 5c에 도시된 바와 같이, 컨포멀 유전층(54)(예컨대 200nm의 플라즈마 TEOS 산화물)을 구조체 상에 증착해서 픽셀 클래딩 층(52.3), 에칭 차단 층(52.2) 및 스템 클래딩 층(52.1)의 노출된 표면을 덮는다. 컨포멀 유전층(54)은 후속하는 선택 에피택셜 성장(SEG) 과정 동안 그 표면에서의 $\text{Si}_{1-x}\text{Ge}_x$ 물질의 핵형성을 저항해야 한다.

제 2 리소그래피 단계에서 더 작은 시드(스템) 윈도우(55)를 도 5d-1에 도시된 바와 같이 활성 영역 윈도우(53) 내에 형성한다.

컨포멀 유전 층(54) 및 스템 클래딩 층(52.1)을 이후에 도 5d-1에 도시된 바와 같이 선택적으로 Si 기판(51)까지 에칭한다. 이 제 2 리소그래피 및 에칭 단계는 ELO 성장을 위한 시드 윈도우(55)를 형성한다. ELO를 사용해서 시드 윈도우 및 활성 영역 웰을 에피택셜 $\text{Si}_{1-x}\text{Ge}_x$ 로 충전한다.

픽셀의 형상은(도 6a에 도시된 바와 같이 위에서 보았을 때) 대칭인 것이 바람직하며(예컨대 정사각형, 직사각형 또는 원), 이는 과도 성장 과정(이하 설명됨)이 시드 윈도우로부터 불규칙하게 진행하기 때문이다. 유사한 형상이 스템 영역에 사용될 수 있다. 그러나, 원형상으로 표면을 타일식 배치(tile)하는 것이 어렵기 때문에, 원형상 단면의 픽셀 및 스템 영역을 사용하는 것은 바람직하지 않다.

성장 동안의 고유한 페이스(facet) 형성으로 인해서, 이 구조는 웰 영역의 완전한 충진을 확실하게 하기 위해서 약간 과도 성장되어야 한다(활성 영역 윈도우의 단면이 정사각형이면, 과도 성장은 도 5d에서 56으로 표시된 바와 같이 피라미드 형상이 된다). 에피택셜 층의 페이스 정도는 SEG 동안 노출된 유전체 물질 표면에 의해 크게 영향을 받는 성장 상태에 크게 좌우된다. 이 경우, 노출된 유전체는 컨포멀 유전층(54) 및 스템 클래딩 층(52.1)이다. 층(54)의 유전 물질(SEG 동안 $\text{Si}_{1-x}\text{Ge}_x$ 의 핵형성을 차단하는 면에서) 클래딩 구조체(52)에 사용되는 다른 유전체보다 우수하다면, 컨포멀 유전층 물질의 추가 증착 및 후속하는 시드 윈도우의 컨포멀 이후의 이방성 에칭에 의해, 도 5d-2에 도시된 바와 같이 스템 윈도우의 측벽에는 컨포멀 유전층(54.1)을 남기고, 그 바닥부에는 남기지 않음으로써 성장 과정의 최적화가 가능하다. 이방성 에칭 이후에, 노출된 유전체는 층(54/54.1) 물질만으로, 성장 상태는 원래의 클래딩 층(52)의 물질에 관계없이 최적화된다. 본 발명의 실시예는 주어진 CMOS 과정에서, 중간 레벨 유전체(ILD)로 사용되는 물질이 $\text{Si}_{1-x}\text{Ge}_x$ 로 하여금 에피택셜 단계 동안 ILD 상에 핵을 형성하게 할 수 있기 때문에 중요하다.

변형된 $\text{Si}_{1-x}\text{Ge}_x$ 성장으로부터 발생하는 부정합 전위는 주로 60° 타입이기 때문에, 스템 클래딩 층(52) 상에 결함이 침투하는 것을 방지하기 위해서 시드 윈도우의 종횡비가 1.7 이상인 것이 바람직하다(층의 면에 대한 수직 단면 모두). Ge 몰분율(x)이 PD 픽셀에서 1에 가까우면(예컨대 $x \approx 0.8-0.9$), 그 종횡비는 검출기에서 결함 없는 물질을 획득하는데 특히 중요하다. 다른 종횡비가 다른 물질 시스템에 적용될 수 있고(예컨대 Si 상에 성장된 GaN), 이는 당업자에 의해 쉽게 결정될 수 있다.

도 5e는 화학 기계 연마(CMP)와 같은 기법을 사용해서, 도 5d에 도시된 성장된 물질(56)의 다마신 평탄화 이후의 구조를 도시하고 있다. 한가지 결과는 활성 영역(56.1)의 상부의 높이가 클래딩 영역(52)의 상부와 실질적으로 같다는 것으로, 본 실시예에서 이는 컨포멀 층(54)을 포함한다. 이에 대해서, 층(54)의 조성은 $Si_{1-x}Ge_x$ 연마에 대해서 양호하게 CMP를 차단해야 한다.

이에 대해서, 몇가지 체적 파라미터를 정의한다. 활성 영역 또는 픽셀(56.1)의 체적은 제 1 개구부에서 성장하는 에피택셜 물질의 체적이고(컨포멀 유전체가 증착된 이후에), 스템 영역의 체적은, 선택된 설계 또는 사용된 제조 과정에 따라서 여기에 증착된 컨포멀 유전체가 없거나(도 5d-1) 혹은 이렇게 증착된 컨포멀 유전체가 있는(도 5d-2) 제 2 개구부 내에 성장된 에피택셜 물질의 체적이다.

이 과정은 도 5e의 기본 구조를 도 5f에 도시된 바와 같이 표면 조명 PD로서 기능하는 픽셀 영역(56.1)의 어레이로 변환하는 일련의 종래의 단계를 사용해서 계속된다. 예컨대, 주입 스크린 산화 층(57)(예컨대 80nm의 플라즈마 TEOS) 전체 구조체에 증착하고, 이온 주입을 사용해서 반대 도전형(p형 및 n형)의 컨택트 영역(59)을 형성한다. 예컨대 각각의 주입은 다음과 같은 에너지/선량의 3개의 서로 다른 일련의 주입을 포함할 수 있다. n형 영역의 경우에, P를 $60KeV/1 \times 10^{15}cm^{-2}$, $170KeV/2 \times 10^{15}cm^{-2}$ 및 $320KeV/4 \times 10^{14}cm^{-2}$ 로 주입하고, p-형 영역의 경우에 B를 $20KeV/1 \times 10^{15}cm^{-2}$, $60KeV/2 \times 10^{15}cm^{-2}$, 및 $140KeV/4 \times 10^{15}cm^{-2}$ 로 주입한다. 노(furnace) 어닐링(예컨대, 400C에서 30minutes) 또는 고속 열 어닐링(예컨대, 600-650C에서 20-30초)을 통해서 결정 격자에 대한 주입 손상을 제거하고, 동시에 주입된 도펀트를 활성화시킨다. 활성 영역 자체는 바람직하게는 i형으로, 즉 도핑되지 않거나 비의도적으로 도핑된 것이다(비의도적으로 도핑되었다는 의미는 활성 영역에 존재하는 임의의 도핑이 매우 낮은 레벨이어서, 이 영역을 형성하는데 사용되는 에피택셜 성장 챔버의 기본적인 오염으로 인해 발생한다는 뜻이다).

마지막으로, 중간 레벨 유전체(ILD) 층(58)을 구조체에 증착시키고, 컨택트 윈도우를 패터닝하고, 게르마늄을 선택적으로 에칭하지 않는 에칭 화학물을 사용해서 에칭시키며(예컨대, CH_4 , CH_3 및 아르곤의 혼합물), 컨택트 금속을 증착하고, 패터닝한 하드 유전체(59.3)를 사용해서 전극(59.2)(예컨대 Ti/TiN/Al)을 표면 상에 형성하고 p형 및 n형 영역(59)으로 전극을 접속시키는 플러그(59.1)(예컨대, Al)를 형성한다.

지금까지 표면 조명 PD의 제조를 설명했지만, 도 5e 또는 5g에 도시된 타입의 구조체를 생성하는 기본 처리 과정은 기본 과정 단계는 에지 조명 PD로 신호 광을 전달하는 반도체 도파관(WG)과 같은 다른 장치를 제조하는 데도 사용될 수 있다. 상세하게는, WG는 활성 영역 또는 픽셀(56.1)과 같은 방식으로 형성할 수 있지만, WG 및 활성 영역이 도 6b 및 7b에 도시된 바와 같이 병렬 배치되어서 신호 광이 예컨대 광섬유(86)로부터 예컨대, 단면(89)(도 6b)으로 결합될 수 있다. 도 6b는 인접한 픽셀에 전달된다(예컨대 81, 도 6b).

제조 과정에서, 신호 광을 픽셀의 활성 영역에 공급하도록 WG가 가로 방향 및 세로 방향으로 모두 픽셀과 정렬되어야 한다는 점에 주의해야 한다. 광 신호가 PD의 스템 영역에 공급될 필요는 없다.

또한, 픽셀이 필요한 과장 대역의 광을 흡수하고 WG는 흡수하지 않도록 WG 물질은 픽셀보다 더 낮은 Ge 성분을 가져야 한다.

WG 구조가 광 투과 축에 따라서 연장되기 때문에, WG 시드 윈도우의 종횡비(층의 평면에 따른 단면 및 수직인 단면)를 큰 Ge 성분의 결합 형성 억제에 필요한 1.7보다 크게 만들 필요는 없다. 다행히 WG의 결합은 픽셀만큼 중요하지 않은데, 이는 WG가 전기적으로 활성화되지 않기 때문이다. 그러나, WG의 결합이 산란을 통해서 광손실을 유발한다. 따라서, 저손실 도파관이 필요한 장치에서 WG의 Ge 성분이 제한되어서 저 결합 밀도를 보장한다. 전형적으로 20%의 Ge 성분이면, 최저 결합 형성으로 제한하는 데 충분하다.

유사한 방식으로, 도 5e 또는 5g에 도시된 타입의 구조를 생성하는 기본 과정 단계가 Si 상에 SiGe를 제조하거나 도 6c에 도시된 타입의 Si MOSFET 상에 GaN을 제조하는 데도 사용될 수 있다. 이 경우, 당업자에게 알려진 기존의 표준 처리 단계를 사용해서 활성 영역(56.1)(도 5e)은 트랜지스터의 소스, 드레인 및 게이트 영역의 형성을 위한 영역의 역할을 한다.

기본 장치 구조

실례로, 본 발명의 다양한 실시예에 따른 반도체 장치는 예를 들어 표면 조명 PD(예를 들면, 도 5f 및 6a), 통합된 WG(예를 들면, 도 6b)를 구비한 에지 조명 PD 또는 MOSFET(예를 들면, 도 6c)과 같은 다수의 상이한 장치로서 기능하도록 설계될 수도 있다.

본 발명의 일측면에 따르면, 이러한 반도체 장치의 기본 구조는 제 1 재료(예를 들어, Si)를 포함하는 단결정 기판(251)과 유전체 재료(예를 들어, SiO₂)를 포함하는 절연 클래딩 영역(252)을 포함한다. 클래딩 영역에는, 제 2의 상이한 반도체 재료(예를 들어, GaN 또는 Si_{1-x}Ge_x, 0<x≤1; 이하에서는 간략화를 위해 SiGe라고 함)를 각각 포함하는 스템 영역(255)과 활성 영역(256)(예를 들면, PD의 흡수 영역, 즉 소스, 드레인 및 MOSFET의 채널 영역)의 단결정 영역 쌍이 매립된다. 스템 영역(255)은 기판을 활성 영역에 접속시키며, 이 활성 영역은 일반적으로 상부 표면(253)과 그 높이가 같다. 중요한 것은 결합이 스템 영역에 한정되도록 스템 영역이 설계된다는 것으로, 즉 활성 영역(256)은 일반적으로 무결합 상태가 된다는 것이다. 환언하면, 활성 영역(257)은 존재할 수 있는 어떠한 결합도 장치의 성능에 별다른 영향을 미치지 않을 정도로 극히 낮은 결합 밀도(즉, 약 10³ cm⁻³ 미만)를 갖는다. 이 목적을 위해, 스템 영역의 종횡비(즉, 층에 평행한 평면 내의 정사각형 또는 직사각형 단면의 경우에 그 깊이대 양 폭의 크기의 비)는 결합을 충분히 제한하도록 설계된다. 예를 들면, 기판이 Si이고 픽셀 및 스템 영역이 SiGe인 경우에, 스템 영역의 종횡비는 약 1.7보다 더 커야 한다.

이론적으로는, 클래딩 영역(52)은 단일 층일 수도 있지만, 실제로는 예를 들어 하위 유전체층(52.1)과 상위 유전체층(52.3) 사이에 배치된 예칭 차단층(52.2)을 포함하는 다중층이 바람직하다. 후자는 통상 산화물이지만, 두 층이 반드시 동일 재료일 필요는 없으며 동일한 두께를 가질 필요는 없다. 기판(51)이 Si이고 픽셀이 SiGe인 경우에, 예칭 차단층(52.2)은 예컨대 Si₃N₄이고 상위 및 하위 유전체층(52.1, 52.3)은 예컨대 실리콘 이산화물이다. 이들 클래딩 영역의 재료는 기판이 Si이고 픽셀 및 스템 영역이 GaN인 장치를 제조하는데 사용될 수도 있다.

표면 조명 광검출기(PD)

기본적인 장치 구조는, 표면 조명 PIN PD 또는 이러한 PD의 어레이(60)로서 기능하도록 도 6a의 평면도에 도시된 바와 같이 설계된다. 각각의 PD는 단결정 스템 영역(55)(도 5f 참조)을 포함하며, 단결정 스템 영역은 제 1 재료를 포함하고 결합을 이 영역으로 한정하도록 설계된다. 스템 영역(55)은 여러 재료를 포함하는 단결정 기판(51)을 에피택셜 방식으로 픽셀(56.1)에 접속시킨다. 앞의 제조 섹션에서 설명한 바와 같이, 스템 영역은 영역(55, 56.1)의 에피택셜 성장 동안에 노출된 기판 표면에서의 응집이 이루어질 수 있게 한다. 각 PD는 또한 일반적으로 무결합 i 형의, 신호광이 흡수되는 동일 재료의 단결정 활성 영역(또는 픽셀)(56.1)을 포함한다. 도 5f에 도시된 바와 같이, 각 픽셀(56.1)의 상부는 일반적으로 유전체 클래딩 영역(52)의 상부와 높이가 같고, 이 유전체 클래딩 영역은 본 실시예에서 컨포멀 유전체층(54)을 포함한다.

PIN 디자인은 픽셀(56.1)에 형성된 반대 도전형(하나는 p형이고 다른 하나는 n형)의 접촉 영역(59)에 의해 완성된다. 층간 유전체(ILD) 영역(58)은 클래딩 영역과 픽셀의 상부 표면 상에 증착된다. 전극(59.2, 59.3)으로부터 ILD(58)를 통해 연장되는 전도성(예를 들면, 금속) 플러그(59.1)에 의해 접촉 영역(59)에 전기 접촉부가 형성된다. 이 PD 설계는, 실리콘 기판 상에 저 결합 밀도의 Si_{1-x}Ge_x 픽셀을 사용하여 제조되는 경우에, 800 nm 내지 1600 nm 범위의 동작 파장에서 비교적 고속(예를 들면, 2.5 Gb/s 이상) 통신 애플리케이션에 특히 적합하다. 그러나, 본 발명은 Ge 함유량이 이렇게 높은 애플리케이션에 한정되는 것은 아니다. 사실은, 본 발명은 동작 파장(PD의 경우에) 또는 장치 기능(MOSFET 또는 기타 전자 장치의 경우)에 따라서 예를 들어 x≥0.1의 상당히 적은 Ge를 갖는 픽셀 또는 활성 영역의 경우에 유익할 수도 있다. 예를 들면, 본 발명의 저 결합 밀도의 픽셀은 IR 또는 가시 파장 카메라 또는 IR 무선 로컬 영역 네트워크(WLAN)를 포함하는 것과 같은 PD 애플리케이션에 유용한데, 이것은 종래기술의 Si 픽셀을 사용하여 얻을 수 있는 것보다 더 높은 픽셀의 광 흡수 때문에 유익하다.

표면 조명 PD에서, 각 픽셀(56.1)(도 5f 참조)의 상부 또는 하부 표면(또는 둘 모두)에 유전체 미러를 형성하면 성능이 향상된다.

각 픽셀의 하부의 미러는 픽셀의 하부에 도달하는 흡수되지 않은 광을 픽셀로 다시 반사시킴으로써 장치의 QY를 증가시킨다. 하부 미러는 보다 두꺼운 픽셀을 요구하지 않고 광학 경로 길이를 뚜렷이 증가시킨다. 일실시예에서, 스템 영역에 인접한 클래딩 영역(52(도 5f), 252(도 5g))의 부분은 상이한 굴절률을 갖는 교호적인 층 세트를 포함한다. 미러 층의 두께는 픽셀의 하부와 클래딩 영역(52.1(도 5f), 252(도 5g)) 사이에 원하는 반사율(동작 파장에서)을 생성하도록 선택된다.

다른 실시예에서는, 유전체 미러(259)(도 5g 참조)가 각 픽셀(56.1(도 5f), 256(도 5g))의 상부 표면 상에 형성된다. 픽셀의 상부 표면과 하부 표면 상에서 적절한 반사율을 갖도록 유전체 미러를 설계함으로써 픽셀 내에 공진 캐비티가 형성된다.

픽셀 ILD 인터페이스로부터의 반사를 줄이기 위해, 반사 방지(AR) 코팅이 픽셀(56.1)과 ILD(58) 사이에 삽입될 수도 있다. 당업자라면 이러한 AR 코팅을 형성하는 여러 기술에 익숙할 것이다.

본 발명의 다른 측면에 따르면, 도 7a는 표면 조명 PD 내에 픽셀을 생성하는데 사용된 두 개의 관련 리소그래피 레벨의 평면도이다. 예컨대 3차원 원통 형상을 갖는 픽셀은 정방형 단면을 갖는 것으로 도시되었지만, 물론 당업자라면 전술한 바와 같이 직사각형 또는 원과 같은 다른 기하학적 단면이 이용될 수도 있음을 쉽게 알 수 있을 것이다. 또한, 일례로서 네 개의 픽셀로 이루어진 어레이를 도시하였다. 당업자라면, 표면 조명 PD가 통상보다 큰 픽셀 세트에 의해 타일형으로 될 수도 있으며, 반면에 전체 영역이 하나의 큰 픽셀을 포함할 수 있음을 알 수 있을 것이다. 그러나, 후자의 경우는 통상 광학 스폿 사이즈(예를 들면 $15\mu\text{m} \times 15\mu\text{m}$)에 대해 매우 긴 성장 시간을 요구할 것이다. 픽셀의 상부 표면 영역은 픽셀 마스크(92)에 의해 규정되고, 스템 영역의 대응 영역은 픽셀 스템 마스크(91)에 의해 규정된다. 스템 마스크의 영역은 픽셀 마스크의 영역의 내부에 온전히 위치한다. 픽셀들 사이의 영역은 클래딩 영역(93)의 노출된 부분(도 5f의 컨포멀 유전체층(54)에 도시된 바와 같은)을 포함한다.

또한, 픽셀 그 자체(92)의 면적에 대한 클래딩 영역(93)의 노출된 면적에 대응하는 픽셀 외부의 면적의 비는 신호 광의 최대량이 표면 조명 장치 내에 캡처되도록 최소화되어야 한다. 이상적으로는, 스템 영역의 면적이 픽셀의 면적보다 훨씬 더 작고, 픽셀들 사이의 면적이 픽셀들 그 자체의 면적에 비해 작다. 이 디자인은, 보다 더 많은 광이 픽셀에 입사되고(따라서 QY가 보다 높아지고), 광이, 결함이 있으며 이로부터 탈출을 위한 통과 시간이 긴 스템으로의 경로를 거의 찾을 수 없다는 것을 보장한다. 앞에서 지적한 바와 같이, 스템 영역에 대한 결함의 형성을 제한하고 이들이 픽셀로 침투하지 않도록 하기 위해, 스템 영역의 높이는 스템 영역의 어느 한 면의 폭보다 크거나 같은 것(바람직하게는 Si 기판 상에서 성장한 SiGe 스템 영역에 대해 1.7 배보다 더 큼)이 바람직하다. 일실시예에서, 스템의 높이는 증착된 스템 클래딩 층(52.1)의 두께와 도 5f의 컨포멀 유전체층(54)의 두께의 합에 의해 주어진다.

에지 조명 PD

본 발명의 다른 실시예에 따르면, PD는 표면 조명형이라기보다는 에지 조명형이다. 이 경우에, 도 6b에 도시된 바와 같이, 검출될 신호 광이 반도체 도파관(83)에 의해 픽셀(81)로 전달된다. 픽셀(81) 및 도파관(83)은 유사한 공정을 이용하지만 상이한 마스크를 사용하는 스템 영역(82, 84)을 각각 갖는다. 또한, 단지 예시를 위해 픽셀 스템 영역(82)의 단면이 정방형으로 도시되어 있지만, 도파관의 단면은 직사각형으로 도시되어 있다(예를 들어 갈라진 표면(89)에 의해 그 외부 단부에서 끝나는 도파관(83)의 긴 형상에 의해 도파관 및 그 스템이 모두 직사각으로 설계된다).

통상, 픽셀 및 도파관은 약 800 내지 1600 nm 범위의 중심 주파수에서 출력 신호(88.1)를 생성하는 반도체 레이저(88)(예를 들면, InP/InGaAsP 레이저)를 포함하는 서브시스템(80)에 포함된다. 통신 애플리케이션에서, 후자는 직접(도시되지 않은 외부 변조기에 의해) 또는 간접적으로(도시되지 않은 회로를 사용하여 레이저에 인가된 구동 전류를 변조시킴으로써) 변조된다. 신호 광은 적절한 제 1 렌즈 시스템(87)에 의해 광 파이버(86)에 결합되고(또는 레이저(88) 및 파이버(86)가 서로 결합될 수도 있다), 파이버의 출력이 적절한 제 2 렌즈 시스템(85)에 의해 (바람직하게는 스템 영역이 아닌) 도파관(83)에 결합된다(또는 파이버(86) 및 도파관(83)이 서로 결합될 수도 있다). 도파관(83)은 변조된 신호 광(88.2)을 (바람직하게는 스템 영역(82)이 아닌) 픽셀(81)로 전달한다. 픽셀에 흡수된 신호 광은 광 전류로 변환되며, 이 광 전류는 검출 회로(도시되지 않음)로 흐른다.

본 발명의 다른 측면에 따르면, 도 7b는 에지 조명 PD 내에 픽셀 및 WG를 생성하는데 사용된 적절한 리소그래피 레벨의 평면도를 나타낸다. 이 구조에서의 광 전파 방향은 화살표(106)로 표시된다. 픽셀은 도 7a의 표면 조명 PD를 제조하는데 사용된 방법과 유사한 픽셀 마스크(102) 및 스템 영역 마스크(101)에 의해 형성된다. WG는 픽셀과 동일한 클래딩 영역(103)에 형성된다.

픽셀 마스크(102)의 에지(102.1)와 WG 마스크(104)의 에지(104.1) 사이의 갭 공간(108)의 길이는 바람직하게는 픽셀과 WG 사이의 갭 내의 클래딩 영역(103)에 의해 부과된 굴절률 불연속으로 인한 산란 손실을 감소시키도록 최적화된다. 갭 공간의 길이가 클래딩 영역의 재료 내에서 측정된 반 파장의 짝수 배와 같으면 최대 광량이 WG로부터 픽셀로 전달된다. 이 디자인에서 갭은 공진 캐비티를 구성한다.

또한, 도 7b의 에지 검출기의 속도는 WG로부터 픽셀의 중간 부분으로만 신호 광을 주입시킴으로써 증가한다. 이 목적을 위해, WG의 폭(W_{wg})은 픽셀의 폭(W_p)보다 더 작게 형성되어야 하고, WG의 중심은 픽셀의 중심(따라서 그 스템 영역 위에서)과 정렬되어야 한다. 이 경우에, 캐리어의 광 생성은 주로 픽셀의 중간에서 이루어지며, 따라서 에지로의 최대 캐리어 운반 시간이 픽셀이 균일하게 조명되는 경우에 비해 감소한다. 픽셀이 WG 개구의 종단으로부터 회절되는 보다 많은 광을 캡처할 수 있기 때문에, WG 및 픽셀 섹션의 이 디자인은 또한 QY를 증가시킨다.

MOSFET

본 발명의 다른 실시예에 따르면, 도 6b에 도시된 바와 같이, MOSFET는 단결정 기판(71), 결합이 스템 영역으로 제한되도록 기판 상에 형성된 스템 영역(75)을 포함하며, 스템 영역 상에 형성된 비교적 결합이 없는 활성 영역(76)을 포함한다. 스템 및 활성 영역은 유전체 클래딩 영역(72)에 매립되고, 활성 영역의 최상부는 일반적으로 클래딩 영역의 최상부와 높이가 같다. 별개의 소스 영역 및 드레인 영역이 활성 영역 내에 형성되고(예를 들면 이온 주입에 의해), 게이트 구조물이 이들 사이에 형성된다. 게이트 구조물은 게이트 유전체(예를 들면, ALD에 의해 성장한 Hf_2O_3 또는 Al_2O_3 과 같은 고 k(high-k) 유전체) 및 공지되어 있는 게이트 스택(예를 들면, 하나 이상의 폴리실리콘층을 포함함)을 포함한다. 채널(도시되지 않음)은 게이트 유전체(74) 아래 소스 영역과 드레인 영역(73) 사이에서 연장된다. ILD(78)가 클래딩 및 활성 영역의 최상부 위에 형성되고, 원도우가 그 내부에 형성되어 소스, 드레인 및 게이트 전극(75, 76, 77)이 대응하는 소스 영역 및 드레인 영역과 게이트 구조물에 전기 접속할 수 있게 한다.

바람직하게는, 활성 영역(76)은 전술한 제조 기법에 의해 Si 기판 상에 비교적 결합이 없는 $Si_{1-x}Ge_x$ 를 포함한다. Ge 및 Ge을 다량 함유한 SiGe는 Si보다 더 높은 전자 및 정공 이동도를 갖고 있기 때문에, 이 MOSFET는 종래기술의 Si MOSFET보다 더 높은 성능을 가질 수 있다. 그러나, Ge MOSFET를 통합하기 위해서는 통합된 Ge를 다량 함유한 SiGe PD와 동일한 문제를 해결해야 한다. 즉, 종래기술에서의 Si와 Ge 간의 격자 상수의 부정합으로 인해 벌크 성장된 Ge 필름에서 결합 밀도가 비교적 높게 되고, 적절한 결합 밀도를 갖는 Ge를 성장시키기 위해 종래기술에 의해 사용된 두꺼운 처리 스택 및 높은 어닐링 온도가 종래의 Si 프로세싱에 적합하지 않게 된다는 문제를 해결해야 한다. 따라서, 본 발명의 다른 측면에서는, MOSFET 구조물이 본 발명에 따른 ELO-D 프로세스에 의해 Ge를 다량 함유한 SiGe 활성 영역에 형성된다.

이 방법은 고품질의 Ge MOSFET를 Si 집적 회로에 통합시킬 수 있을 뿐만 아니라, 기생 캐패시턴스를 통해 종래의 벌크 MOSFET보다 더 양호한 성능과 보다 양호한 쇼트 채널 제어를 제공하는 SOI(silicon-on-insulator) Ge MOSFET을 실현시킬 수 있게 한다.

당업자라면, 픽셀 클래딩층의 두께(주어진 채널 도핑 수준에 대해)가 이들 장치를 부분적으로 공핍시킬지 또는 완전히 공핍시킬지의 여부를 결정한다는 것을 알 수 있을 것이다.

PD 컨택트 구성:동작 속도

본 발명의 다른 측면은 통과 시간(transit time)이 긴 확산 시간(τ_{diff})이 아닌 짧은 드리프트 시간에 의해 제한되는 것을 보장하는 PD 컨택트 구성에 관한 것이다. 이러한 설계는 도 8 및 도 9에 도시되며, PD의 동작 속도를 개선하며, 특히 고속(가령, 2.5Gb/s 초과) 통신 시스템의 동작에 잘 적응된다.

이러한 목적 달성을 위해, 도 8a에 도시된 본 발명의 다른 실시예에서 τ_{diff} 제한이 없는 MSM 타입 컨택트 구조가 이용되지만, 픽셀들은 전술한 ELO-D 기술을 사용하여 형성된다. 특히, 반대 극성의 전압($V+$ 및 $V-$)은 각각의 픽셀(115)에 대한 교번하는 금속 컨택트(117)에 인가된다. 주어진 픽셀 내에서, 두 개의 인접한 금속 컨택트는 동일한 극성을 갖지 않는다. 이러한 설계는 드리프트 통과 시간이 최소화되도록 생성된 광 캐리어를 가속시키는 고 전계가 존재할 것을 보장한다. 예시적으로, 컨택트(117)는 SiGe 상에 쇼트키 장벽을 형성하는 금속(가령, 은)으로 만들어진다.

도 8의 장치는 표면 조명 PD 혹은 에지 조명 장치로서 사용될 수 있다. 표면 조명 PD로서 사용될 때, 컨택트(117.1)는 각각의 픽셀에서 하부의 스템 영역(116.1)을 완전히 피복하도록 위치하며, 그에 따라 상부 표면 상에 입사하는 신호 광은 스템 영역으로 투과하는 것이 차단된다. 한편, 에지 조명 장치로서 사용될 때, 중요한 것은 (광 전파 방향에 대해 가로지르는 방향으로 측정되는) 스템 영역의 폭은 광의 투과를 차단하도록 그 스템 영역의 재료(가령, SiGe) 내의 광 파장의 절반보다 작아야 한다는 것이다.

그러나, 종래의 Si-CMOS 처리와 조합하여 진정한 MSM 컨택팅 구조물을 사용하는 것은 실용적일 수 없다. 쇼트키 장벽 컨택트는 종래의 Si IC 처리의 일부가 아니며, CMOS 장치를 오염시킬 수 있다. 게다가, 우수한 저 누설 컨택트의 형성은 곤란하며, 쇼트키 장벽 금속은 전형적으로 낮은 용융점을 가지는데, 이는 표준 IC 금속화 체계에 통상적으로 사용되는 온도와는 호환될 수 없다.

따라서, 본 발명의 다른 실시예는 도 8b에 도시된 바와 같은 MSM 형 컨택팅 체계이며, 이는 쇼트키 컨택트를 사용하는 것의 단점으로부터의 장애는 없다. 이러한 방안은 수평 PIN 컨택트 장치와 ELO-D 프로세스를 조합한다. 특히, PIN 광다이오드는 광검출기의 표면 상에서 제각기 n+ 타입 및 p+ 타입 컨택트 영역의 주입에 의해 수평 방향으로 형성되며, I 타입 픽셀(125)은 도핑되지 않거나 의도적이지 않게 도핑된다(즉, 그 픽셀은 완전히 공핍될 수 있도록 충분히 낮은 도핑을 갖는다). 바람직하게도 픽셀은 SiGe이며 진성이거나 낮은 도핑 농도(즉, 10^{17}cm^{-3} 미만)를 가지며, 도핑된 컨택트 영역은 보다 높은 도핑 농도(가령, 대략 10^{18}cm^{-3} 초과)를 갖는다. 이러한 도핑 영역은 ILD(131) 내에 매립되어 연장되는 금속 플러그(127)에 의해 컨택트된다. 금속 라인(즉, 전극들)(130)은 ILD 위의 플러그와 컨택트한다. 플러그, ILD 및 금속 라인은 모두 Si IC 처리의 공통 소자들이다. 도 8a의 PD와 마찬가지로, 도 8b의 실시예에서 금속 라인(130) 및 플러그(127.1)는 상부 표면 상에 입사하는 신호 광이 스템 영역으로 투과하는 것을 차단한다.

금속 라인(130)은 검출 회로(도시안됨)로부터 각각 포지티브(132) 및 네가티브(133) 전원 V+ 및 V-에 접속된다. 이러한 설계는 PIN 다이오드가 n+ 타입 영역(128)으로부터 픽셀(125) 내지 p+ 타입 영역(129)으로 역 바이어스될 것을 보장한다.

주어진 픽셀 내에서 두 개의 인접한 도핑 컨택트 영역은 동일한 도전성 타입을 가지지 않거나 도 8a의 실시예에서와 같이 동일한 극성을 갖는 전기적 컨택트에 접속되지 않는다는 것이 본 발명의 또 다른 측면이 된다. 또한, 도핑 컨택트 영역(128, 129)은 플러그(127)로부터 누설 컨택트가 작아질 것을 보장할 정도로 충분히 깊어야 한다. 이러한 컨택트 영역의 깊이를 대략 $0.2 \mu\text{m}$ 로 하는 것은 SiGe 픽셀에서는 충분하다.

PD 컨택트 구성 : 압전류

도 9a는 표면 조명 픽셀 어레이에 대한 이용 가능한 수 개의 컨택트 장치를 구현하는데 사용되는 마스크 피쳐(masking feature)의 평면도를 도시한다. 하나 이상의 타입의 컨택트 장치는 단지 예시의 목적으로 동일 PD 상에 도시된다. 실제로, 단지 하나의 컨택트 장치만이 특정의 PD 상에 사용될 것이다.

다수의 PD 픽셀은 광 검출 표면(가령, 전면 조명 PD의 상부면과 후면 조명 PD의 하부 표면)을 타일링(tiles)한다. 네 개의 픽셀(141a-141d)은 단지 예시를 위해 도시된다. 각각의 픽셀은 도핑된 n+ 타입 및 p+ 타입 컨택트 영역(142)을 포함한다. 이러한 도핑된 영역은 ILD(148) 하부의 금속 라인에 전기적으로 접속된 금속 플러그(143)에 의해 컨택트된다. 픽셀 스템 영역은 146으로 라벨링된다. 긴 확산 통과 시간으로 인해, 도핑 컨택트 영역(142) 내에 흡수되는 신호 광의 양을 제한하는 것이 중요하다.

본 발명의 일 실시예에 따라, 도핑 영역 내의 확산 통과 시간은 신호 광이 도핑 컨택트 영역들 모두 혹은 일부에 도달되는(그리고 흡수되는) 것을 차단하는 광 흡수(가령, 금속) 마스크에 의해 감소된다. 종래 기술에서 PD 속도에 대한 영향이 인식되지 않았기 때문에 약 도핑된 컨택트 영역에서 광 생성을 차단하기 위한 조치는 취해지지 않는다. 사실상, 종래 기술의 장치는 PD의 QY를 감소시키기 때문에 금속 커버리지의 양을 최소화한다. 그러나, 보다 고속의 PD를 달성하기 위해, 본 발명의 실시예는 도핑 컨택트 영역 내로의 광 투과를 제한함으로써 속도에서의 커다란 개선을 가져오는 대신 QY에서의 약간의 감소를 감수한다.

특히, 본 발명의 실시예는 상당한 부분의 신호 광이 도핑 영역에 도달하는 것을 차단하도록 도핑 컨택트 영역의 전체 표면 영역의 대략 30% 이상 위의 금속을 사용한다. 가령, 픽셀(141a)의 좌측 n+ 타입 컨택트 영역(142a)은 상기 표면으로부터 입사하는 광으로부터 완전히 폐쇄되는 반면, 픽셀(141a)의 중앙의 p+ 컨택트 영역은 단지 부분적으로만 폐쇄된다.

또 다른 컨택트 체계는 금속에 의해 피복되는 픽셀 표면 영역의 양을 제한하면서 컨택트 영역 내에 광 흡수가 존재하지 않도록 배열될 수 있다. 이러한 장치는 도 9a에서 픽셀(141d)로 도시된다. 도핑된 n+ 및 p+ 컨택트 영역(142a)은 픽셀의 코너에 배열된다. 금속은 도핑 컨택트 영역을 피복하지만, 컨택트 영역이 픽셀의 한 측면에서 다른 측면으로(도 9a의 다른 픽셀과 대비하여) 연장되는 대신 코너 내에 존재하기 때문에 그 컨택트 영역을 통해 픽셀의 표면 영역의 보다 큰 부분은 광을 흡수할 수 있다. 픽셀(141d)과 같은 장치를 사용할 때, 중요한 것은 고전계가 픽셀의 볼륨 전체에 걸쳐 존재하도록 도핑

컨택트 영역이 가능한 픽셀 내로 깊이 연장된다는 것이다. 당업자에게 분명한 것은 n+ 및 p+ 컨택트 영역(142d)을 픽셀 전체에 고전계가 유지되는 한 픽셀의 다른 영역에 배치할 수가 있으며 그리고 그 컨택트 영역이 금속으로 피복된다는 것이다.

표면 조명 PD의 속도는 신호 광을 픽셀의 중앙의 부분으로만, 즉 도 9a의 픽셀(141c)에 도시된 바와 같이, 도핑된 컨택트 영역들 사이에 존재하는 부분으로 지향시킴으로써 증가될 수 있다. 이러한 경우, 캐리어의 광 생성은 단지 픽셀의 상부 부분 내에서만 발생하며, 따라서 도핑 컨택트 영역으로의 최대 캐리어 통과 시간은 (픽셀이 균일하게 조명되는 경우와 비교하여) 감소된다. 이러한 목적 달성을 위해, 도핑 컨택트 영역의 상부 표면 영역의 적어도 30%는 금속에 의해 피복되어야 한다. 픽셀(141a, 141b)은 컨택트 영역의 부분적인 커버리지를 도시하지만, 픽셀(141c)은 선회되는 완전한 (100%) 커버리지를 도시한다. 또한, 각각의 경우 금속의 폭은 도핑 컨택트 영역을 피복할 뿐만 아니라 도핑 컨택트 영역들 간의 픽셀의 진성 흡수 영역의 상부 표면의 새도우 부분(가령, 적어도 20%)을 피복한다. 분명하게도, 픽셀의 금속 커버리지에 대한 상한은 100%가 아니라 QY(커버리지가 낮아지게 함)와 속도(커버리지가 높아지게 함) 간의 트레이드 오프(절충)에 의해 결정되는 조금 줄어든 양이 된다. 또한 이러한 기준은 금속이 도핑 컨택트 영역의 상부 표면의 적어도 30%와 도핑 컨택트 영역들 간의 픽셀의 도핑되지 않은 흡수 영역의 상부 표면의 대략 20% 초과 부분을 피복하는 본 발명의 다른 실시예를 규정하고 있다.

당업자는 금속에 의해 도핑 컨택트 영역을 피복하는 본 발명의 이러한 실시예가 임의의 타입의 표면 조명 수평 PIN PD의 PD 속도를 개선시킬 수 있다는 것을 이해할 것이다.

진술한 타입의 금속 마스크가 존재하지 않을 시에, 도핑 컨택트 영역에 대한 긴 확산 통과 시간을 제한하는 다른 방법은 픽셀의 볼륨과 비교해서 도핑 영역의 볼륨을 제한하는 것으로, 이는 실제로 (i) SiGe 픽셀 내에서 주입부의 깊이를 대략 2 μm 로 제한하는 것과, (ii) 픽셀의 폭에 비해 도핑 컨택트 스트라이프의 폭을 작게 만드는 것을 의미한다. 본 발명의 다른 실시예에 따르면, 특정 픽셀 내의 도핑 컨택트 영역의 볼륨은 그 픽셀의 볼륨의 대략 25% 미만인 것이다.

본 발명의 또 다른 실시예에 따른 캐리어 통과 시간을 제한하는 또 다른 기법은 금속을 사용하여 픽셀 스템 영역을 피복하는 것이다. 이러한 장치의 예는 도 9a의 픽셀(141b)에 도시된다. 여기서 금속(147)은 스템 영역(146)을 완전히 피복한다. 상부 조명 PD에 대해, 이 설계는 스템 영역 내로의 신호 광 투과를 제거하여 캐리어가 생성되지 않도록 한다. 스템 영역에서 생성되는 캐리어는 컨택트에 대한 긴 통과 시간을 가질 것이다. 또한, 픽셀 스템 영역 위에 피복하는 금속을 가지면 가지지 않던, 스템 영역의 볼륨은 픽셀의 볼륨에 비해 최소화되어야 한다. 픽셀 스템 영역은 광 흡수용으로는 사용되지 않는다. 그것은 암전류를 생성하는 결함을 포함할 수 있다. 따라서, 본 발명의 이 실시예의 한 특징은 픽셀 스템 영역의 볼륨이 픽셀의 볼륨의 대략 25%보다 적어야 한다는 것이다.

예지 조명 PD의 속도를 고려하여, 도 9b는 동작 속도를 향상시키기 위한 이용가능한 수개의 컨택트 장치의 평면도를 도시한다. 이전에 기술된 표면 조명 PD와는 달리, 도핑 컨택트 영역이나 픽셀 스템 영역을 금속으로 피복할 필요는 없는데, 왜냐하면 입력 신호 광은 WG에 의해 원하는 픽셀 영역으로(컨택트 영역으로부터는 멀리) 지향되기 때문이다.

두 개의 상이한 WG 픽셀 조합은 도 9b에 도시된다. 예지 조명 PD의 속도는 검출기의 중앙부로부터 광을 주입함으로써 증가된다. 이러한 결과를 달성하기 위해, WG 섹션의 폭 W_{1a} (W_{1b})는 픽셀(152a)의 도핑 컨택트 영역(157a, 158a)(픽셀(152b)의 157b, 158b)의 내부 예지들간의 거리 W_{2a} (W_{2b})보다 작게 만들어지며, WG의 전과 축은 도핑 컨택트 영역들 간에 존재하는 픽셀 부분의 중심에 정렬된다. 이러한 경우, 캐리어의 광 생성은 단지 도핑 컨택트 영역들 간의 픽셀의 부분에서만 발생하며, 따라서 예지에 대한 최대 캐리어 통과 시간은 픽셀이 균일하게 조명되는 케이스와 비교하여 감소된다. 또한, 이러한 타입의 정렬은 광이 약 도핑된 컨택트 영역의 외부에 유지되도록 하며, 여기서 확산 시간은 길어질 것이다. 이러한 WG 및 픽셀의 설계는 QY를 증가시키는데, 그 이유는 픽셀이 WG 개구부의 단부로부터 회절하는 보다 많은 신호광을 포착할 수 있기 때문이다. 또한, 스템 영역(151a)을 피복하는 p+ 타입 컨택트 영역을 갖는 픽셀(142a)의 오프셋 설계는, 광학적 손실을 발생시키는 경향을 갖는 스템 영역(151a)에 상당한 양의 주입 신호 광이 흡수되지 않도록 보장한다. 그러나, 만약(광 전파의 방향을 가로질러 측정되는) 스템 영역의 폭이 스템 영역 물질 내의 광의 파장의 절반보다 작게 만들어지면, 광은 스템 영역을 거의 통과하지 못할 것이다. 이러한 경우, 스템 영역은 오프셋될 필요는 없으며, 신호 광(156b)이 흡수되는 픽셀 영역의 임의의 곳(가령, 픽셀(152b)의 스템 영역(151b)에 의해 도시되는 바와 같이, 픽셀의 중심)에 배치될 수 있다. 따라서, 본 발명의 실시예의 추가적인 특징은 스템 영역의 폭이 스템 영역의 물질 내의 신호 광의 파장의 절반보다 작다는 것이다.

픽셀(152a)을 이용하는 본 발명의 실시예의 다른 특징은 WG의 폭 W_{1a} 이 픽셀의 폭 W_{2a} 보다 작아야하며, WG의 전파가 픽셀의 중심에 정렬되어야 한다는 것이다. 픽셀(152a)에서 WG(154)의 전파 측은 픽셀의 에지와 스템 영역 사이에(즉, n+ 타입의 컨택트 영역(157a)의 내부 에지와 스템 영역(151a) 사이에)정렬된다. 이러한 특징에 의하면 스템 영역(151a)에는 상당한 양의 광이 흡수되지 않는다.

PD 컨택트 구성 : 암전류 제한

본 발명의 다른 측면은 암전류를 감소시키는 PD 컨택트 구성에 관한 것이다. 이러한 설계는 도 10에 도시된다.

픽셀 스템 영역에서의 고도핑은 결합 생성 암전류를 억제한다. 따라서, 본 발명의 다른 실시예에 따른 픽셀 스템 영역은 n 타입 혹은 p 타입 도펀트로 도핑되어 암전류 생성을 억제한다. 이러한 도핑은 픽셀(가령, SiGe) 성장 동안 도 10a에 도시된 바와 같이 스템 영역(188a) 내에 도입될 수 있다. 여기서, 스템 영역(188a)은 인시튜 도핑된 n 타입이며, 픽셀은 도핑되지 않거나 낮게 도핑된 것이다. 이러한 도핑의 차이는 가령 에피택셜 성장 동안 도펀트 가스 흐름을 변경함으로써 달성된다.

또 다른 도핑 문제는 기판의 도펀트 타입의 함수이다. 도 10a를 참조할 때, 기판(171)이 컨택트되고 p 타입(n 타입)으로 도핑된다면, 그 기판 컨택트로부터 픽셀 내의 p+ 타입 컨택트 영역(179)(n+ 타입 컨택트 영역(178))으로 커다란 누설 전류가 흐르게 된다. 이러한 이유로, 중요한 것은 역 바이어스된 PN 접합이 기판과 픽셀 사이에 배치된다는 것이다. 이러한 접합은 두 개의 방식으로 달성될 수 있다. 먼저, 도 10b에 도시된 바와 같이, PN 접합 차단 영역(189b)은 스템 클래딩 영역(188b)의 증착 이전에 이온 주입을 사용하여 기판(171) 내와 픽셀(175) 아래에 형성된다. 만약 기판 농도가 p 타입(n 타입)이라면, 얇은 n 타입(p 타입) 영역(189b)이 기판과 픽셀 영역(188b) 사이에 도입되어야 한다. 이러한 경우, 차단 PN 접합은 주입된 영역(189b)과 Si 기판(171) 사이의 인터페이스(190b)에 의해 규정된다. 둘째, 도 10a에 도시된 바와 같이, 차단 PN 접합은 픽셀(175)과 스템 영역(188a)의 인시튜 도핑을 통해 형성된다. 이러한 경우, 차단 접합은 n 타입 스템 영역(188a)과 p 타입 기판(171) 사이의 인터페이스(190a)에 형성된다. 이러한 설계는 또한 발생가능한 암전류를 감소시키는 이점을 갖는다. 따라서, 본 발명의 일 측면은 PN 접합이 기판과 픽셀의 낮은 도핑 본체 사이에 배치된다는 것이다.

전술한 장치는 본 발명의 원리의 애플리케이션을 나타내도록 개정될 수 있는 많은 특정 실시예들을 예시하는 것으로만 이해되어야 한다. 다른 수많은 장치들이 본 발명의 사상과 영역 내에서 당업자에 의해 이러한 원리에 따라 개정될 수 있다. 특히, 본 발명의 표면 조명 실시예는 전술한 바와 같이 전면(상부) 조명일 수 있거나, 후면(하부) 조명일 수 있다. 후자의 경우, 신호 광은 금속에 의해 도핑 컨택트 영역으로 진입되는 것이 차단될 수 없으며, 따라서 확산 시간 한계를 제거하기 위해 도핑 컨택트 영역의 볼륨은 작아야 하며, 가령 픽셀의 볼륨의 대략 25% 미만이다. 또한, 금속 전극이 전면에 위치하는 후면 조명 PD에서, 광이 스템 영역으로 진입하는 것을 차단하는 금속 라인은 존재하지 않는다. 따라서, 스템 영역의 볼륨은 비교적 작게 유지되어야 하며, 가령 픽셀의 볼륨의 대략 25% 미만으로 유지되어야 한다.

(57) 청구의 범위

청구항 1.

감소된 결함 밀도(defect density)를 갖는 적어도 하나의 사전 결정된 에피택셜 영역(epitaxial region)을 구비하는 반도체 장치를 제조하는 방법으로서,

(a) 제 1 재료로 이루어진 단결정 본체(single crystal body)의 주 표면 위에 유전체 클래딩 영역(dielectric cladding region)을 형성하는 단계와,

(b) 상기 클래딩 영역 내부로 제 1 깊이만큼 연장되는 제 1 개구(opening)를 형성하는 단계와,

(c) 상기 제 1 개구 내에서 상기 제 1 깊이보다 더 큰 제 2 깊이만큼 연장되고, 상기 단결정 본체의 상기 주 표면의 하부부분을 노출시키며, 상기 제 1 개구보다 더 작은 제 2 개구를 형성하는 단계와,

(d) 각각의 상기 개구 내부 및 상기 클래딩 영역의 상부에 제 2 반도체 재료 영역을 에피택셜 성장(epitaxially growing)시키는 단계와,

(e) 결함들이 상기 제 2 개구 내에서 성장된 제 1 에피택셜 스템 영역(epitaxial stem region) 및 상기 클래딩 영역 상부에 과도 성장(overgrown)된 에피택셜 영역으로 한정되게 하여, 제 1 사전 결정된 영역이 상기 제 1 개구 내에 위치되고, 본질적으로 무결함(free of defects) 상태가 되도록 상기 제 2 개구의 크기를 제어하는 단계와,

(f) 상기 장치의 상부를 평탄화(planarizing)하여 상기 클래딩층의 상부에서 연장되는 모든 에피택셜 과도 성장 영역을 제거함으로써, 상기 제 2 개구 내에서 성장된 상기 제 1 사전 결정된 영역의 상부가 본질적으로 상기 클래딩 영역의 상부와 동일 높이가 되게 하는 단계와,

(g) 상기 장치의 제조를 완료하기 위한 추가 단계를 실행하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 제 1 재료는 Si를 포함하고, 상기 단계(d)는 상기 제 2 재료를 $Si_{1-x}Ge_x$ ($0 < x < 1$)로서 성장시키는 반도체 장치의 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 사전 결정된 영역은 상기 장치의 활성 영역으로서 형성되는 반도체 장치의 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 단계(f) 이전에,

(h) 상기 클래딩 영역 내부로 제 3 깊이만큼 연장되는 좁고 긴 형태의 제 3 개구를 형성하는 단계와,

(i) 상기 제 3 개구 내에서 상기 제 3 깊이보다 더 큰 제 4 깊이만큼 연장되고, 상기 단결정 본체의 상기 주 표면의 하부 부분을 노출시키며, 상기 제 3 개구보다 더 작은 제 4 개구를 형성하는 단계와,

(j) 각각의 상기 개구 내부 및 상기 클래딩 영역의 상부에 제 3 반도체 재료 영역을 에피택셜 성장시키는 단계와,

(k) 결함들이 상기 제 4 개구 내부 및 상기 클래딩 영역 상부에서 성장된 제 2 에피택셜 스템 영역으로 한정되게 하여, 제 2 사전 결정된 영역이 상기 제 3 개구 내에 위치되고, 본질적으로 무결함 상태가 되도록 상기 제 4 개구의 크기를 제어하는 단계

를 더 포함하는 반도체 장치의 제조 방법.

청구항 5.

제 4 항에 있어서,

상기 장치가 에지 조명 광검출기(edge-illuminated photodetector)로서 형성되면, 상기 제 1 사전 결정된 영역은 검출된 광이 흡수되는 활성 영역이고, 상기 제 2 사전 결정된 영역은 전파축(propagation axis)을 따라 상기 활성 영역으로 검출된 광을 전달하는 도파관 영역(waveguide region)인

반도체 장치의 제조 방법.

청구항 6.

제 5 항에 있어서,

에지 조명 광검출기를 제조하는 데 있어서, 상기 활성 영역 및 상기 도파관 영역은 $Si_{1-x}Ge_x$ 영역($0 < x < 1$)으로 형성되고, 상기 도파관 영역 내에서의 Ge의 몰 분율(mole fraction)은 상기 활성 영역 내에서의 Ge의 몰 분율보다 더 낮게 형성되는 반도체 장치의 제조 방법.

청구항 7.

제 5 항에 있어서,

에지 조명 광검출기를 제조하는 데 있어서, 상기 활성 영역 및 상기 도파관 영역은 갭(gap)에 의해 서로에 대해 분리되도록 형성되고, 상기 갭의 길이는 상기 갭의 재료에서 측정할 때 광검출기에 의해 검출된 광의 파장에 대해 1/2 파장의 짝수 배와 거의 동일한 반도체 장치의 제조 방법.

청구항 8.

제 1 항에 있어서,

상기 장치는 광검출기로서 형성되고,

상기 제 1 사전 결정된 영역은 검출된 광이 흡수되는 활성 영역인 반도체 장치의 제조 방법.

청구항 9.

제 1 항에 있어서,

상기 단계(a)는 상기 주 표면 위의 제 1 클래딩층과, 상기 제 1 층 위의 에칭 차단층(stop etch layer)과, 상기 에칭 차단층 위의 제 2 클래딩층을 포함하는 적어도 3개의 절연층으로 이루어지는 스택(stack)을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 형성 단계(c)와 상기 성장 단계(d) 사이에, 상기 클래딩 영역의 상부 및 상기 개구의 벽(wall)과 바닥(bottom)에 콘포멀 유전체층(conformal dielectric layer)을 형성하는 단계와, 상기 제 2 개구의 상기 바닥에서 상기 콘포멀 층의 일부분을 이방성 에칭(anisotropically etching)하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 11.

제 1 항에 있어서,

상기 기판과 상기 활성 영역 사이에 차단성 p-n 접합(blocking p-n junction)을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 12.

제 1 항에 있어서,

상기 장치는 상기 사전 결정된 영역 내에 위치한 소스, 드레인 및 채널 영역을 갖는 MOSFET으로서 형성되는 반도체 장치의 제조 방법.

청구항 13.

표면 조명 광검출기(surface-illuminated photodetector)를 제조하는 방법으로서,

(a) 활성 영역 반도체 픽셀(active region semiconductor pixels)의 어레이를 형성하는 단계와,

(b) 각각의 상기 픽셀 내에, 분리된 반대 도전 타입의 콘택트 영역을 형성하는 단계와,

(c) 상기 콘택트 영역에 대한 금속 콘택트를 형성하여 각각의 픽셀 내에서 상기 금속 콘택트가 상기 콘택트 영역의 집합(aggregate)의 상부 표면 면적 중 적어도 대략 30%를 피복하게 하는 단계

를 포함하는 표면 조명 광검출기의 제조 방법.

청구항 14.

반도체 장치로서,

제 1 재료로 이루어진 단결정 반도체 본체와,

상기 본체의 주 표면 위에 배치된 유전체 클래딩 영역-상기 클래딩 영역은 그 내부로 제 1 깊이만큼 연장되는 제 1 개구와, 상기 제 1 개구 내에서 상기 제 1 깊이보다 더 큰 제 2 깊이만큼 연장되고, 상기 본체의 하부 부분을 노출시키며, 상기 제 1 개구보다 더 작은 제 2 개구를 구비함-과,

상기 제 1 개구 내의 활성 영역 및 상기 제 2 개구 내의 제 1 스템 영역을 형성하고, 상기 활성 영역의 상부가 본질적으로 상기 클래딩 영역의 상부와 동일 높이가 되도록 각각의 상기 개구를 충전하고 상기 클래딩 영역 상부에 존재하는 제 2 반도체 재료-상기 제 2 개구의 크기는 결함이 상기 스템 영역 내로 한정되게 하여, 상기 활성 영역에 본질적으로 무결함 상태가 되도록 선택됨-

를 포함하는 반도체 장치.

청구항 15.

제 14 항에 있어서,

상기 제 1 재료는 Si를 포함하고, 상기 제 2 재료는 $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$)를 포함하는 반도체 장치.

청구항 16.

제 14 항에 있어서,

상기 클래딩 영역은 그 내부로 제 3 깊이만큼 연장되는 가늘고 긴 제 3 개구를 구비하고,

상기 클래딩 영역은 상기 제 3 개구 내에서 상기 제 3 깊이보다 더 큰 제 4 깊이만큼 연장되고, 상기 본체의 하부 부분을 노출시키며, 상기 제 3 개구보다 작은 제 4 개구를 갖고,

각각의 상기 개구를 충전하고, 상기 클래딩 영역의 상부와 동일 높이가 되어 상기 제 3 개구 내에 제 2 사전 결정된 영역을 형성하고, 제 2 스템 영역에 상기 제 4 개구를 제공하는 제 3 반도체 재료-상기 제 4 개구의 크기는 결합이 상기 제 2 스템 영역으로 한정되게 하여, 상기 제 2 사전 결정된 영역이 비교적 낮은 결합 밀도를 갖도록 선택됨-

를 더 포함하는 반도체 장치.

청구항 17.

제 16 항에 있어서,

상기 장치를 에지 조명 광검출기로서 이용하면, 상기 제 1 사전 결정된 영역은 검출된 광이 흡수되는 활성 영역이고, 상기 제 2 사전 결정된 영역은 전파축을 따라 상기 활성 영역으로 검출된 광을 전달하는 도파관 영역인 반도체 장치.

청구항 18.

제 17 항에 있어서,

상기 장치를 에지 조명 광검출기로서 이용하면, 상기 활성 영역 및 상기 도파관 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 영역 ($0 < x < 1$)으로 형성되고, 상기 도파관 영역 내에서의 Ge의 몰 분율은 상기 활성 영역 내에서의 Ge의 몰 분율보다 더 낮게 형성되는 반도체 장치.

청구항 19.

제 17 항에 있어서,

상기 장치를 에지 조명 광검출기로서 이용하면, 상기 활성 영역 및 상기 도파관 영역은 겹에 의해 서로에 대해 분리되고, 상기 겹의 길이는 상기 겹의 재료에서 측정할 때 검출된 광의 파장에 대해 1/2 파장의 짝수 배와 거의 동일한 반도체 장치.

청구항 20.

제 14 항에 있어서,

상기 장치를 광검출기로서 이용하면, 상기 제 1 사전 결정된 영역은 검출된 광이 흡수되는 활성 영역인 반도체 장치.

청구항 21.

제 20 항에 있어서,

상기 장치를 표면 조명 광검출기로서 이용하면, 상기 활성 영역의 어레이를 포함하는 반도체 장치.

청구항 22.

제 14 항에 있어서,

상기 클래딩 영역은 상기 주 표면 위의 제 1 클래딩층과, 상기 제 1 층 위의 에칭 차단층과, 상기 에칭 차단층 위의 제 2 클래딩층을 포함하는 절연층으로 이루어지는 스택을 포함하는 반도체 장치.

청구항 23.

제 14 항에 있어서,

상기 기관과 상기 활성 영역 사이에 배치된 차단성 p-n 접합을 포함하는 반도체 장치.

청구항 24.

제 14 항에 있어서,

상기 사전 결정된 영역 내에 위치한 소스, 드레인 및 채널을 포함하는 MOSFET로서 이용되는 반도체 장치.

청구항 25.

표면 조명 광검출기로서,

(a) 활성 영역 반도체 픽셀의 어레이와,

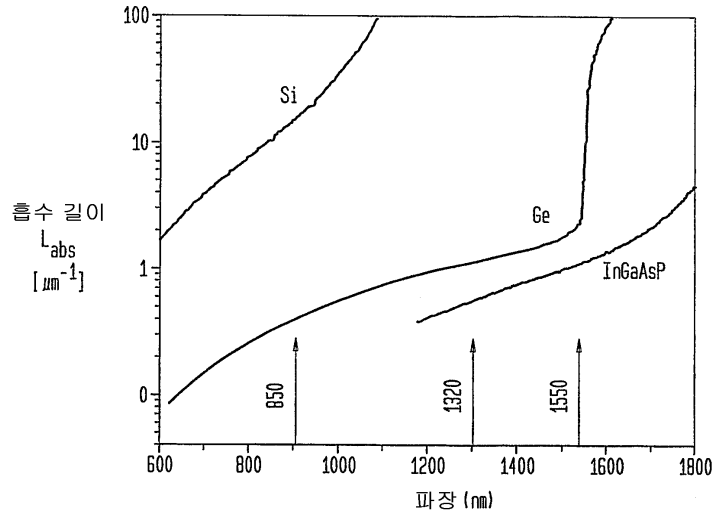
(b) 각각의 상기 픽셀 내에 있는 분리된 반대 도전 타입의 컨택트 영역과,

(c) 각각의 픽셀 내에서 상기 컨택트 영역의 집합의 상부 표면 면적 중 적어도 대략 30%를 피복하는 상기 컨택트 영역에 대한 금속 컨택트

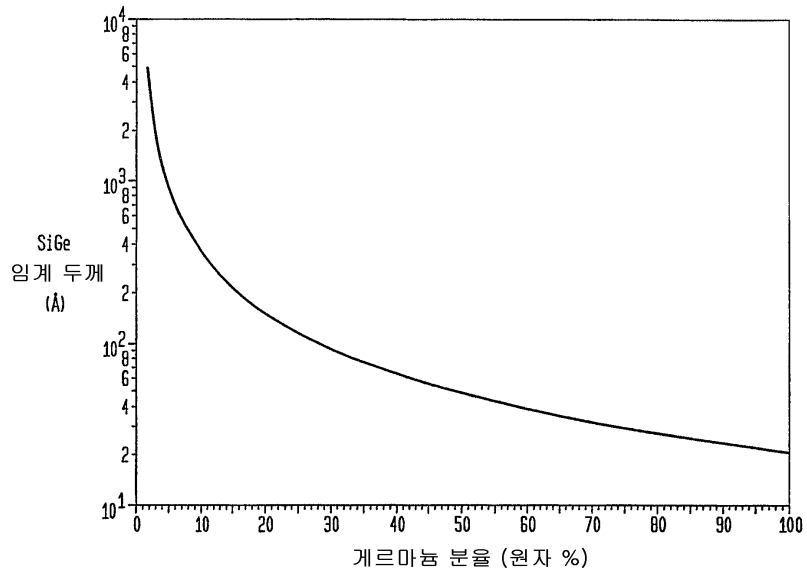
를 포함하는 표면 조명 광검출기.

도면

도면1a

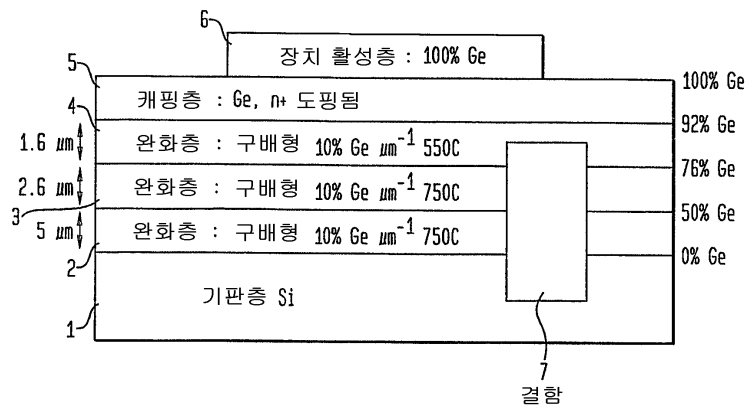


도면1b



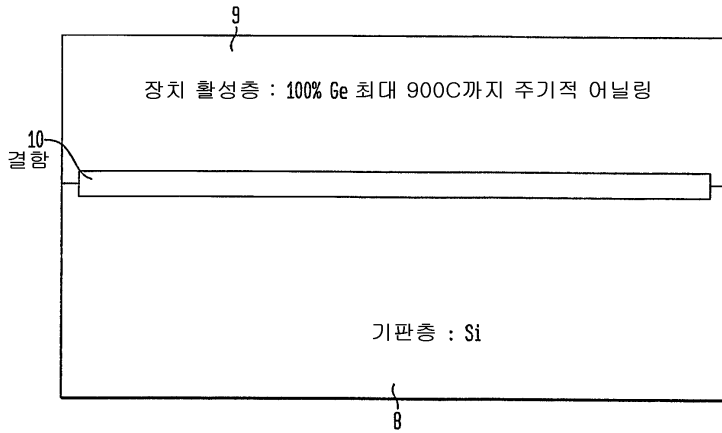
도면2a

(종래기술)



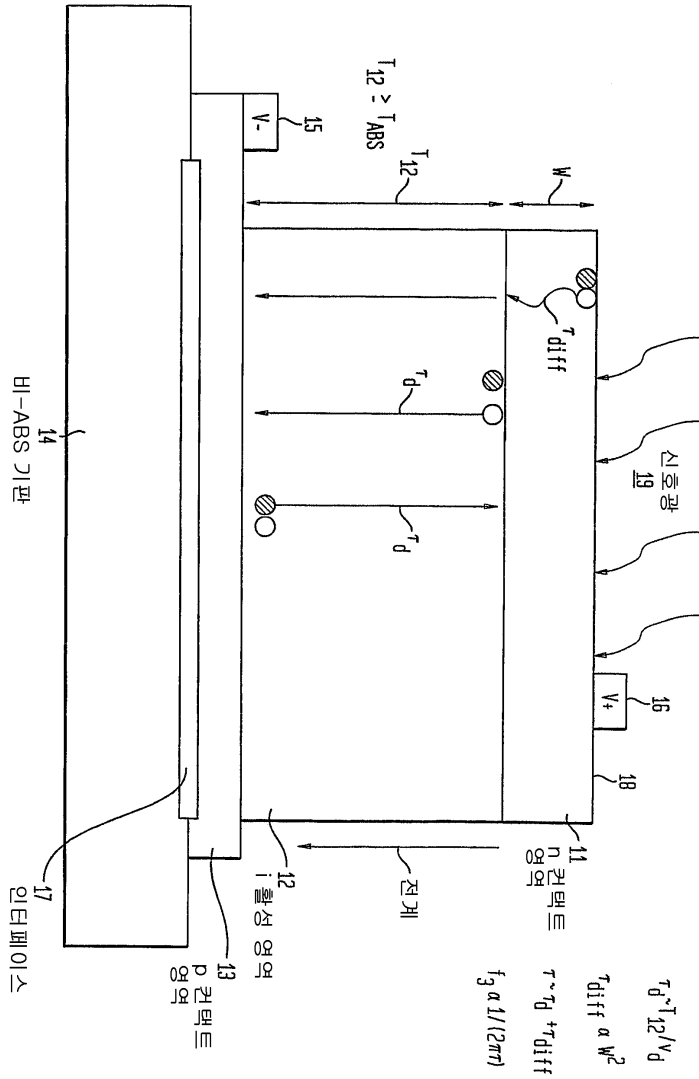
도면2b

(종래기술)



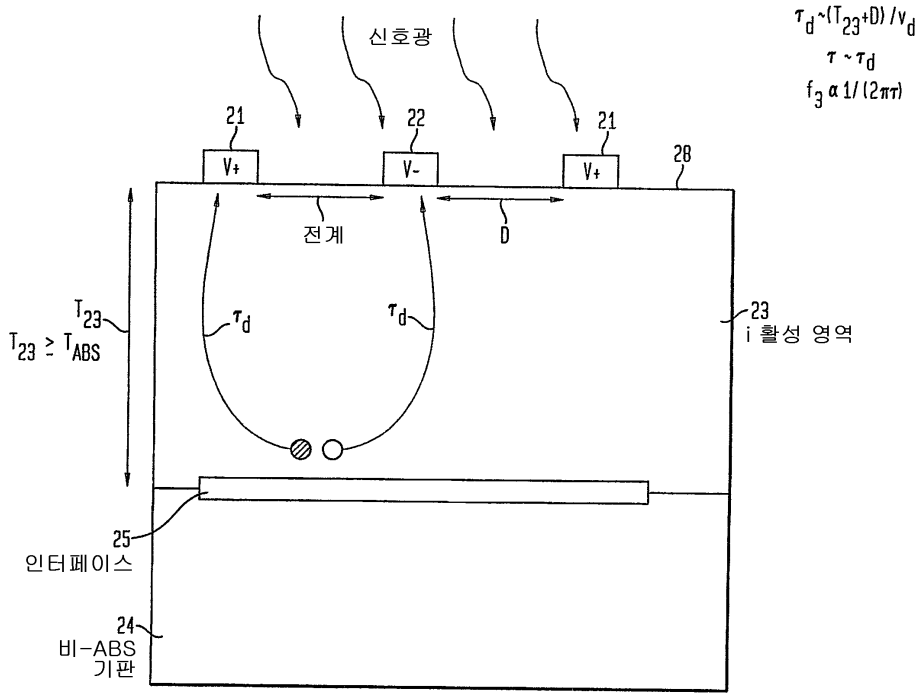
도면3a

(종래기술)



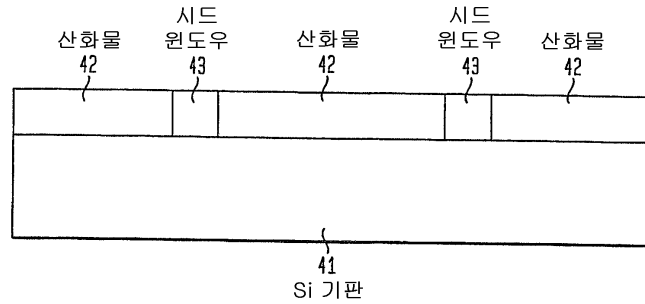
도면3b

(종래기술)



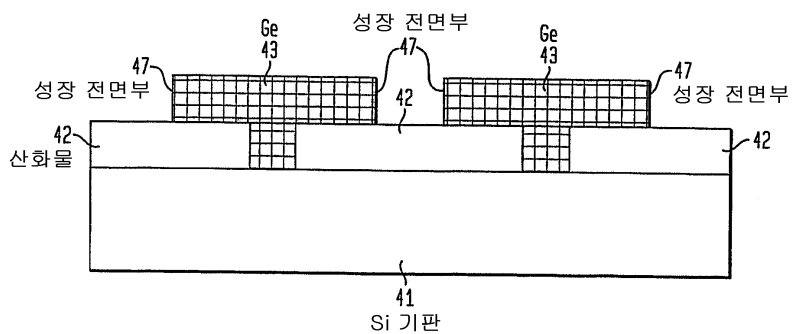
도면4a

(종래기술)



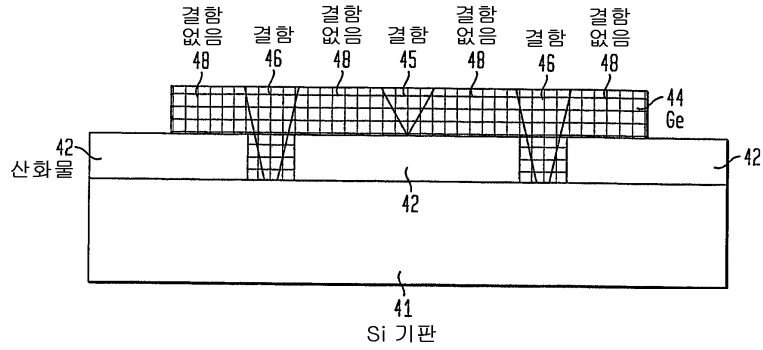
도면4b

(종래기술)



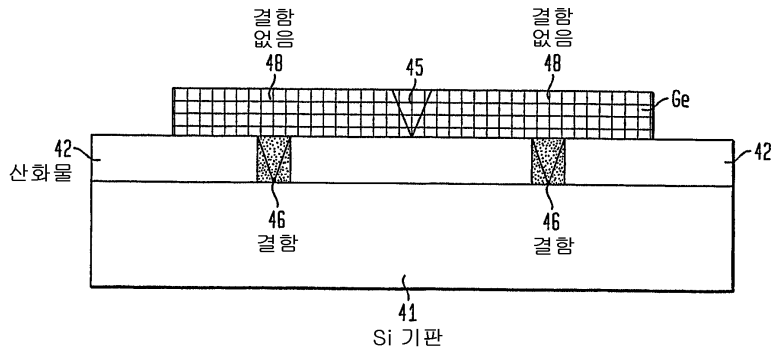
도면4c

(종래기술)

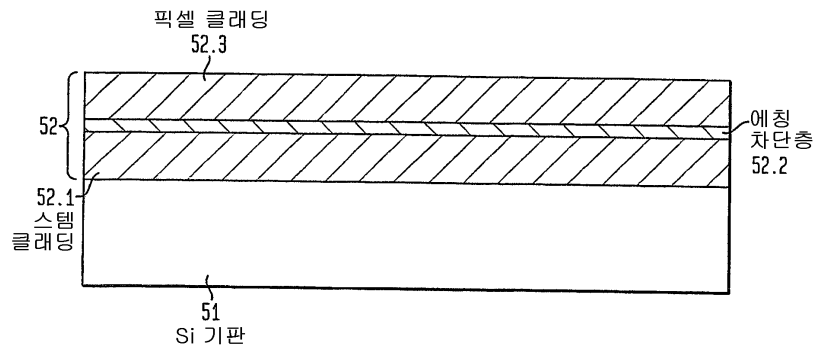


도면4d

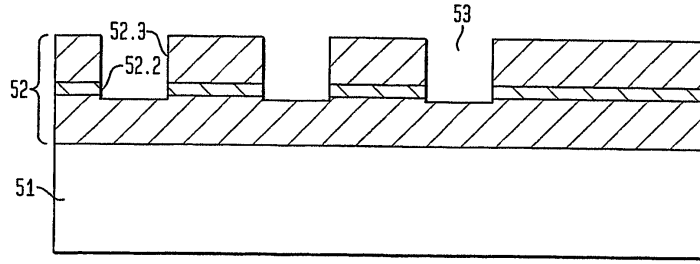
(종래기술)



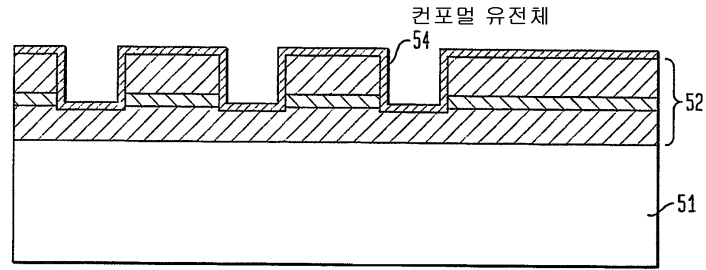
도면5a



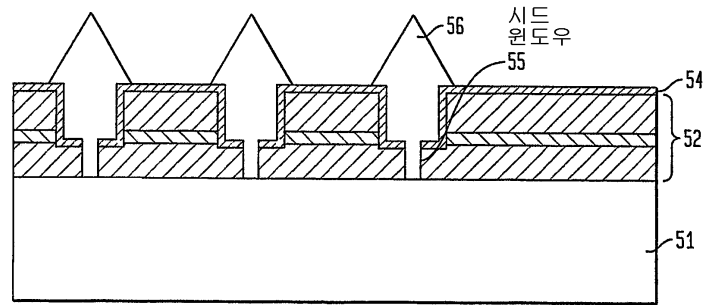
도면5b



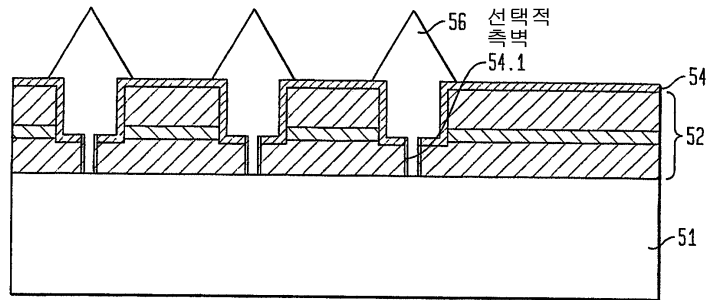
도면5c



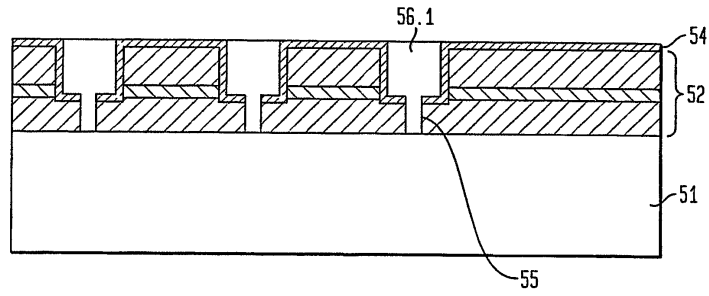
도면5d-1



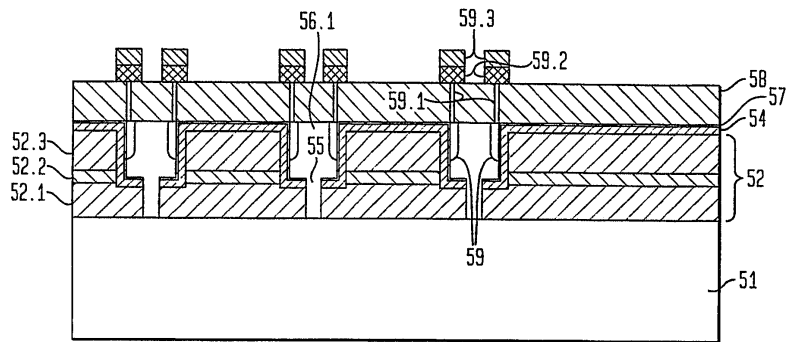
도면5d-2



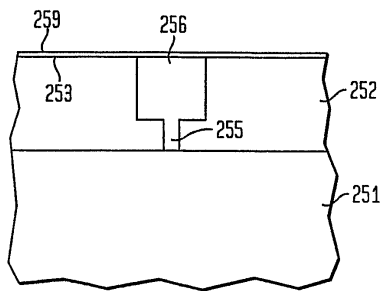
도면5e



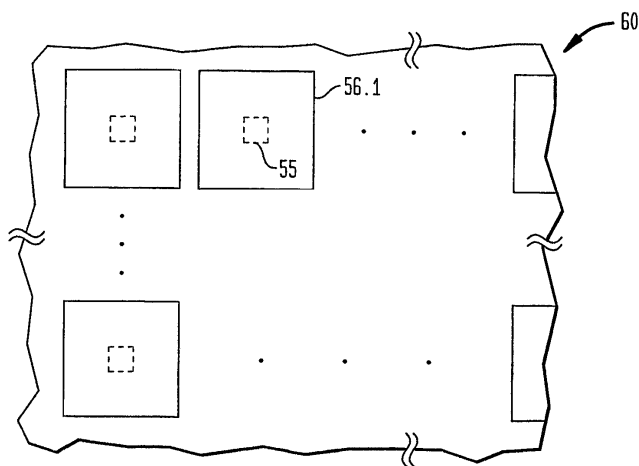
도면5f



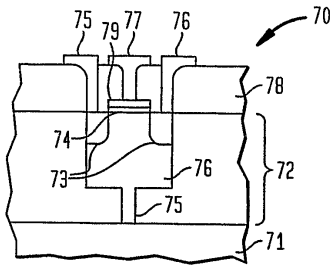
도면5g



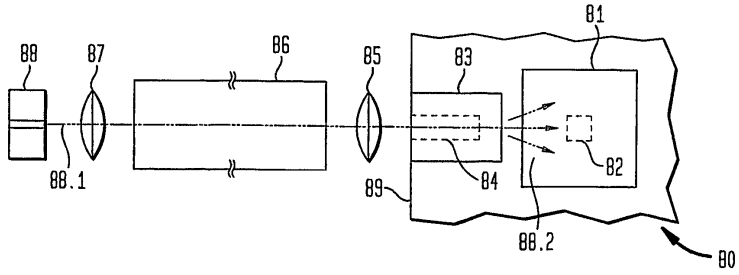
도면6a



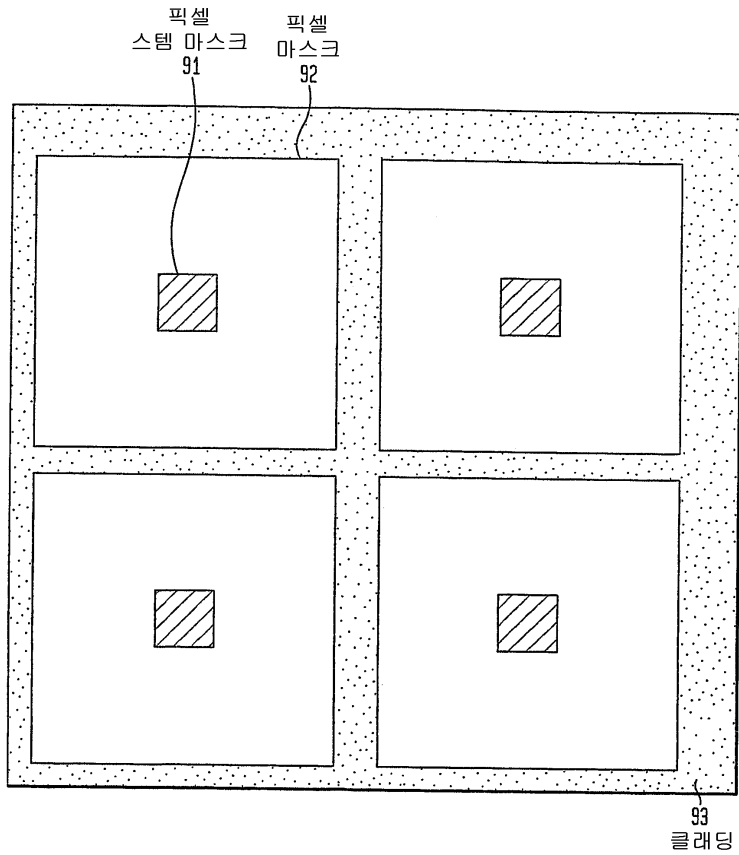
도면6b



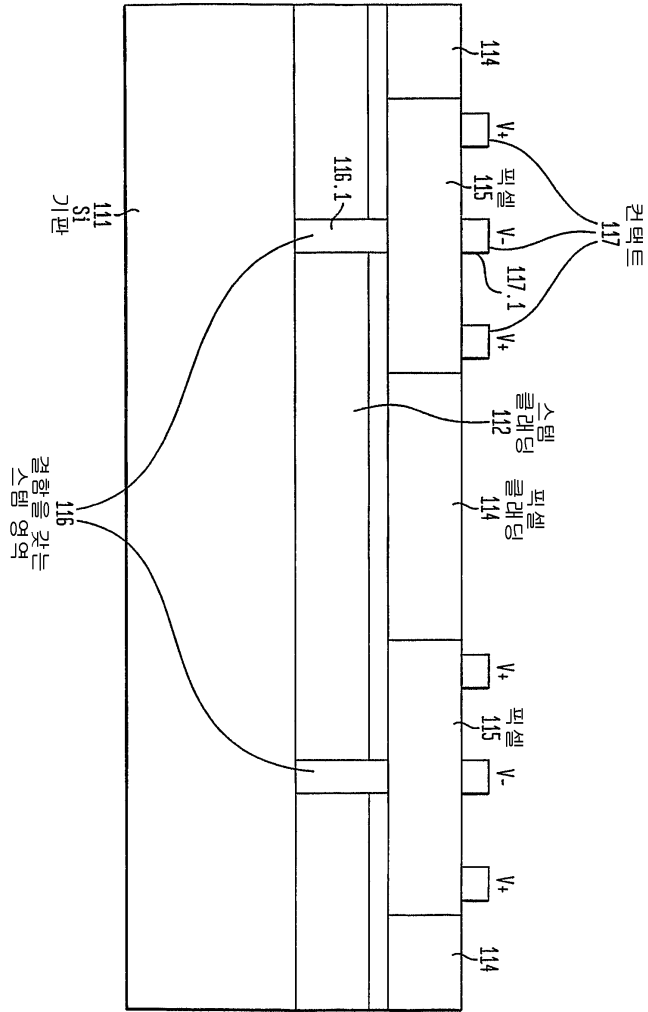
도면6c



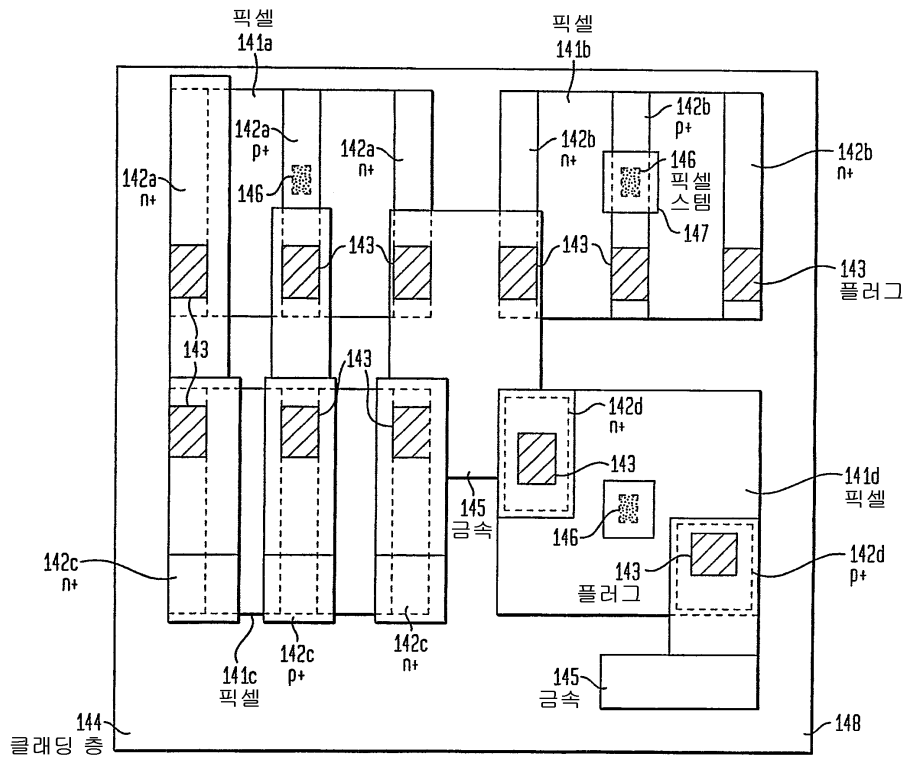
도면7a



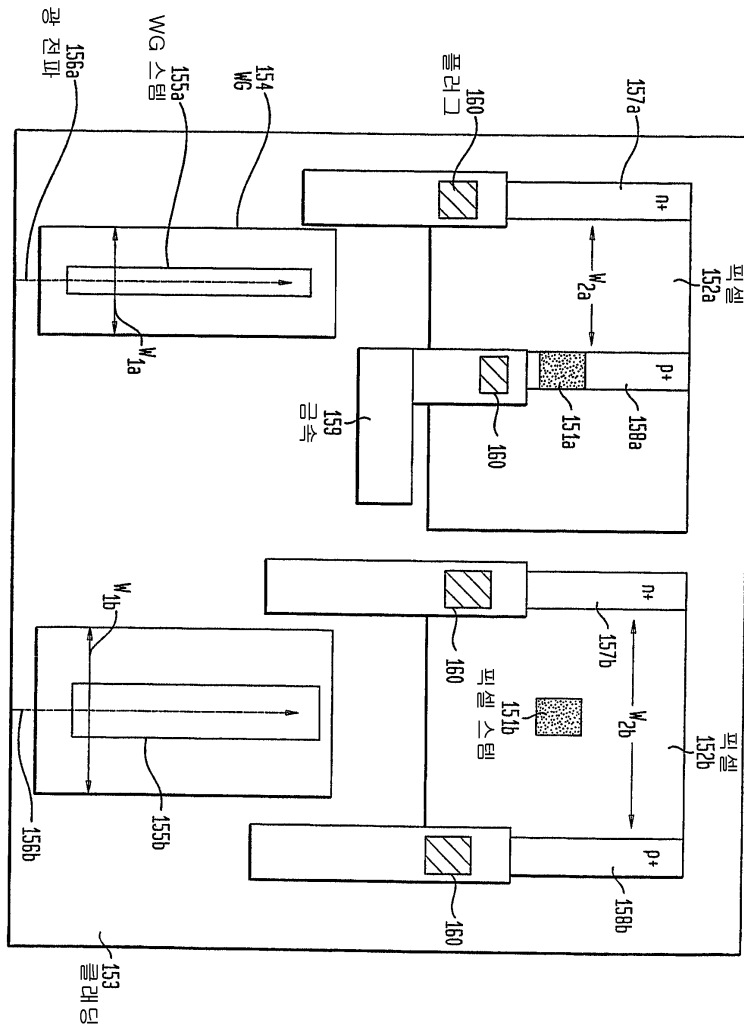
도면8a



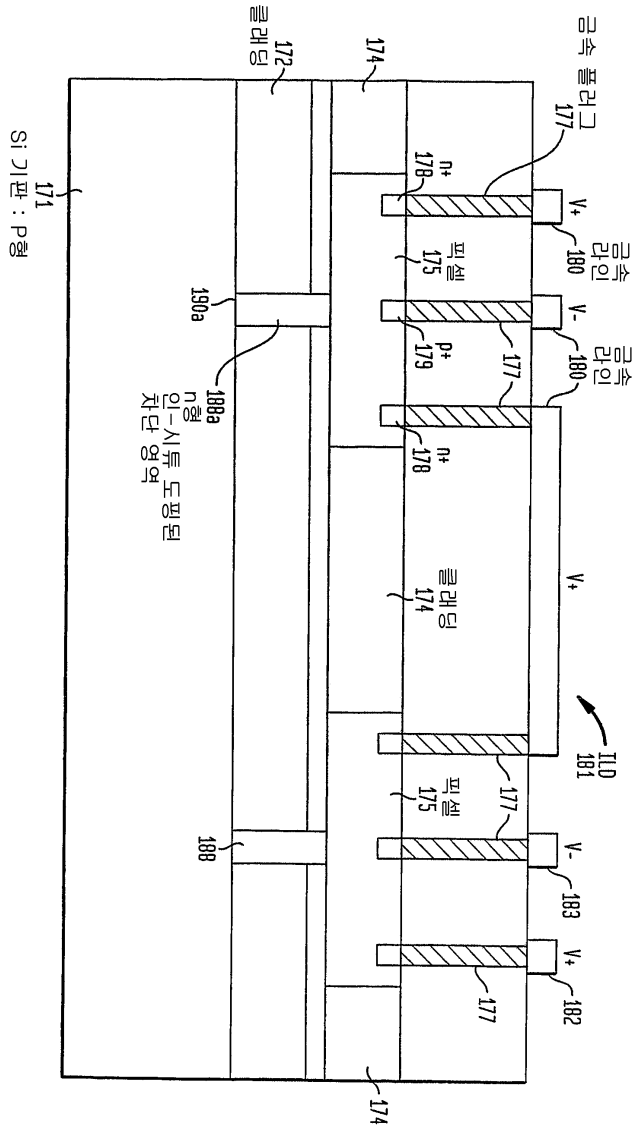
도면9a



도면9b



도면10a



도면10b

