



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월18일
(11) 등록번호 10-0869142
(24) 등록일자 2008년11월11일

(51) Int. Cl.

H01L 33/00 (2006.01)

(21) 출원번호 10-2007-0062196

(22) 출원일자 2007년06월25일

심사청구일자 2007년06월25일

(56) 선행기술조사문헌

KR1020000074844 A

(73) 특허권자

서울옵토디바이스주식회사

경기도 안산시 원시동 727-5(1-36)

(72) 발명자

김화목

서울 서대문구 홍은2동 극동아파트 101동 803호

오덕환

경기 수원시 영통구 영통동 황골마을1단지아파트 107-1005

(뒷면에 계속)

(74) 대리인

남승희

전체 청구항 수 : 총 10 항

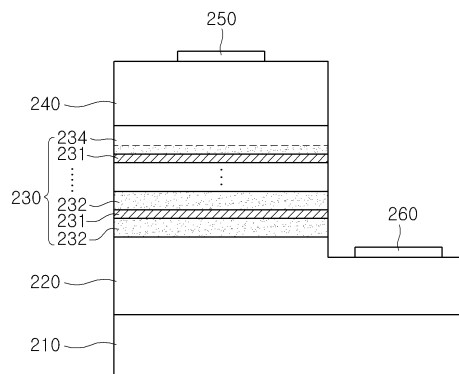
심사관 : 박혜련

(54) 발광 다이오드 및 그 제조방법

(57) 요약

본 발명은 발광 다이오드 및 그 제조방법에 관한 것으로, n형 반도체층; 웰층과 배리어층이 적어도 2번 이상 교대로 적층되어 형성된 활성층; 및 p형 반도체층을 포함하며, 배리어층 두께는 웰층 두께의 적어도 2배 이상인 발광 다이오드 및 그 제조방법이 제공된다.

대표도 - 도4a



(72) 발명자

김대원

서울 성북구 길음동 1280-2 길음 뉴타운 303동 80
2호

갈대성

경기 성남시 분당구 정자동 정든마을 우성아파트
615-1403

특허청구의 범위

청구항 1

n형 반도체층;

웰층과 배리어층이 적어도 2번 이상 교대로 적층되어 형성된 활성층; 및

p형 반도체층을 포함하며,

상기 배리어층 두께는 상기 웰층 두께의 10배 내지 15배인 것을 특징으로 하는 발광 다이오드.

청구항 2

삭제

청구항 3

n형 반도체층;

웰층과 배리어층이 적어도 2번 이상 교대로 적층되어 형성된 활성층; 및

p형 반도체층을 포함하며,

상기 배리어층은 상기 p형 반도체층과 인접하여 형성되는 제1 배리어층과, 상기 제1 배리어층을 제외한 나머지 배리어층인 제2 배리어층으로 구성되며,

상기 제1 배리어층의 제1 영역은 n형 불순물로 도핑되며, 제2 영역은 언도핑되며, 상기 제2 배리어층중 적어도 하나가 n형 불순물로 도핑되는 것을 특징으로 하는 발광 다이오드.

청구항 4

제3항에 있어서,

상기 제1 배리어층의 제1 영역은 상기 웰층과 인접한 영역이며, 상기 제2 영역은 상기 p형 반도체층과 인접한 영역인 것을 특징으로 하는 발광 다이오드.

청구항 5

제4항에 있어서,

상기 제2 영역 두께는 상기 제1 영역 두께의 적어도 1.5배 이상인 것을 특징으로 하는 발광 다이오드.

청구항 6

제4항에 있어서,

상기 제1 영역은 상기 제2 영역으로 근접할수록 상기 n형 불순물의 농도가 감소되게 도핑되는 것을 특징으로 하는 발광 다이오드.

청구항 7

기관 상에 n형 반도체층을 형성하는 단계;

웰층과 배리어층이 적어도 2번 이상 교대로 적층하여 활성층을 형성하는 단계; 및

상기 활성층 상에 p형 반도체층을 형성하는 단계를 포함하며,

상기 활성층을 형성하는 단계는 상기 배리어층 두께를 상기 웰층 두께의 10배 내지 15배가 되도록 형성하는 단계를 포함하는 것을 특징으로 하는 발광 다이오드 제조방법.

청구항 8

삭제

청구항 9

기판 상에 n형 반도체층을 형성하는 단계;

웰층과 배리어층이 적어도 2번 이상 교대로 적층하여 활성층을 형성하는 단계; 및

상기 활성층 상에 p형 반도체층을 형성하는 단계를 포함하며,

상기 활성층을 형성하는 단계는,

상기 p형 반도체층과 인접하는 제1 배리어층은 적어도 일부를 n형 불순물로 도핑하며, 상기 제1 배리어층을 제외한 나머지 배리어층인 제2 배리어층의 적어도 하나를 n형 불순물로 도핑하는 단계를 포함하는 것을 특징으로 하는 발광 다이오드 제조방법.

청구항 10

제9항에 있어서,

상기 제1 배리어층의 적어도 일부를 n형 불순물로 도핑하는 단계는,

상기 제1 배리어층이 상기 웰층과 인접하는 제1 영역은 n형 불순물로 도핑하며, 상기 제1 배리어층이 상기 p형 반도체층과 인접하는 제2 영역은 언도핑하는 단계를 포함하는 것을 특징으로 하는 발광 다이오드 제조방법.

청구항 11

제10항에 있어서,

상기 제1 배리어층의 적어도 일부를 n형 불순물로 도핑하는 단계는,

상기 제2 영역 두께를 상기 제1 영역 두께의 적어도 1.5배 이상으로 형성하는 단계를 포함하는 것을 특징으로 하는 발광 다이오드 제조방법.

청구항 12

제10항에 있어서,

상기 제1 배리어층의 적어도 일부를 n형 불순물로 도핑하는 단계는,

상기 제1 영역을 상기 제2 영역으로 근접할수록 상기 n형 불순물의 농도가 감소되게 도핑하는 단계를 포함하는 것을 특징으로 하는 발광 다이오드 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 발광 다이오드 및 그 제조방법에 관한 것으로, 보다 상세하게는 내부 양자효율을 증가시켜서 발광 효율이 개선된 발광 다이오드 및 그 제조방법에 관한 것이다.
- <15> 발광다이오드는 III족 또는 V족의 화합물 반도체를 웨이퍼 상에 P/N 접합을 형성하여 순방향 전류를 인가하여 가시광선 또는 근적외선 및 적외선 파장대의 발광을 유도하여 표시, 통신, 계측, 제어, 조명 및 다양한 분야에 응용되고 있다.
- <16> 도 1은 종래 기술에 따른 발광 다이오드의 단면도이다. 도 1을 참조하면, 발광 다이오드는 기판(10), n형 반도체층(20), 활성층(30), p형 반도체층(40), p 전극(50) 및 n 전극(60)을 포함한다.
- <17> 기판(10) 상에는 n형 반도체층(20), 활성층(30) 및 p형 반도체층(40)이 순차적으로 형성되며, p 전극(50)은 p형 반도체층(40) 상에 형성되고, n 전극(60)은 소정 영역이 노출된 n형 반도체층(20) 상에 형성된다. 활성층(30)은 에너지 밴드갭이 작은 웰층(well)(31)과 웰층(31) 보다 에너지 밴드갭이 큰 배리어층(barrier)(32)이 교대로 적층되어 형성된 양자 우물(Quantum Well) 구조로 형성된다. 이때, 활성층(30)은 웰층(31)과 배리어층(32)이 한

번 또는 여러 번 교대로 적층 형성되어, 단일 양자 우물구조 또는 다중 양자 우물구조로 형성된다.

<18> 이와 같이 양자 우물구조를 갖는 활성층을 구비한 발광 다이오드의 내부 양자 효율을 향상시키기 위한 연구는 지속적으로 수행되고 있으며, 다양한 방식 예를 들면, 활성층의 재료, 활성층 수를 변화시키는 방식이 연구되었거나, 연구 진행 중에 있다.

발명이 이루고자 하는 기술적 과제

<19> 본 발명은 내부 양자효율을 증가시켜서 발광 효율이 개선된 발광 다이오드 및 그 제조방법을 제공하기 위한 것이다.

발명의 구성 및 작용

<20> 본 발명의 일 측면에 따르면, n형 반도체층; 웰층과 배리어층이 적어도 2번 이상 교대로 적층되어 형성된 활성층; 및 p형 반도체층을 포함하며, 상기 배리어층 두께는 상기 웰층 두께의 적어도 2배 이상인 발광 다이오드가 제공된다.

<21> 상기 상기 배리어층 두께는 상기 웰층 두께의 10배 내지 15배인 것을 특징으로 한다.

<22> 상기 배리어층은 상기 p형 반도체층과 인접하여 형성되는 제1 배리어층과, 상기 제1 배리어층을 제외한 나머지 배리어층인 제2 배리어층으로 구성되며, 상기 제1 배리어층의 제1 영역은 n형 불순물로 도핑되며, 제2 영역은 언도핑되며, 상기 제2 배리어층중 적어도 하나가 n형 불순물로 도핑된다.

<23> 상기 제1 배리어층의 제1 영역은 상기 웰층과 인접한 영역이며, 상기 제2 영역은 상기 p형 반도체층과 인접한 영역인 것을 특징으로 한다.

<24> 상기 제2 영역 두께는 상기 제1 영역 두께의 적어도 1.5배 이상인 것을 특징으로 한다.

<25> 상기 제1 영역은 상기 제2 영역으로 근접할수록 상기 n형 불순물의 농도가 감소되게 도핑된다.

<26> 본 발명의 다른 측면에 따르면, 기판 상에 n형 반도체층을 형성하는 단계; 웰층과 배리어층이 적어도 2번 이상 교대로 적층하여 활성층을 형성하는 단계; 및 상기 활성층 상에 p형 반도체층을 형성하는 단계를 포함하며, 상기 활성층을 형성하는 단계는 상기 배리어층 두께를 상기 웰층 두께의 적어도 2배 이상이 되도록 형성하는 단계를 포함하는 발광 다이오드 제조방법이 제공된다.

<27> 상기 활성층을 형성하는 단계는 상기 배리어층 두께를 상기 웰층 두께의 10배 내지 15배가 되도록 형성하는 단계를 포함한다.

<28> 상기 활성층을 형성하는 단계는 상기 p형 반도체층과 인접하는 제1 배리어층은 적어도 일부를 n형 불순물로 도핑하며, 상기 제1 배리어층을 제외한 나머지 배리어층인 제2 배리어층의 적어도 하나를 n형 불순물로 도핑하는 단계를 포함한다.

<29> 상기 제1 배리어층의 적어도 일부를 n형 불순물로 도핑하는 단계는 상기 제1 배리어층이 상기 웰층과 인접하는 제1 영역은 n형 불순물로 도핑하며, 상기 제1 배리어층이 상기 p형 반도체층과 인접하는 제2 영역은 언도핑하는 단계를 포함한다.

<30> 상기 제1 배리어층의 적어도 일부를 n형 불순물로 도핑하는 단계는 상기 제2 영역 두께를 상기 제1 영역 두께의 적어도 1.5배 이상으로 형성하는 단계를 포함한다.

<31> 상기 제1 배리어층의 적어도 일부를 n형 불순물로 도핑하는 단계는 상기 제1 영역을 상기 제2 영역으로 근접할수록 상기 n형 불순물의 농도가 감소되게 도핑하는 단계를 포함한다.

<32> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

<33> 도 2a는 본 발명의 제1 실시예에 따른 발광 다이오드의 단면도이며, 도 2b는 활성층의 확대 단면도이며, 도 3은 배리어층의 두께 변화에 따른 발광 다이오드의 밴드갭 변화를 개략적으로 설명한 도이다.

<34> 도 2a 및 도 2b를 참조하면, 발광 다이오드는 기판(110), n형 반도체층(120), 활성층(130), p형 반도체층(140), p 전극(150) 및 n 전극(160)을 포함한다.

<35> 기판(110)상에는 n형 반도체층(120), 활성층(130) 및 p형 반도체층(140)이 순차적으로 적층되어 형성된다. 그리고, p 전극(150)은 p형 반도체층(140) 상에 형성되며, n 전극(160)은 식각을 통하여 n형 반도체층(120)의 소정

영역을 노출시킨 후, 노출된 n형 반도체층(120) 상에 형성된다.

- <36> 활성층(130)은 에너지 밴드갭이 작은 웰층(well)(131)과 웰층(131) 보다 에너지 밴드갭이 큰 배리어층(barrier)(132)이 교대로 적층되어 형성된 양자 우물(Quantum Well) 구조로 형성된다. 이때, 활성층(130)은 웰층(131)과 배리어층(132)이 적어도 2번 이상 교대로 적층된 다중 양자 우물구조로 형성된다.
- <37> 본 실시예의 경우, 활성층(130)은 5개의 웰층(131)과, 6개 배리어층(132)이 교대로 적층되어 형성되나, 웰층과 배리어층의 개수 및 순서가 이에 한정되는 것은 아니며, 다양하게 변화될 수 있다. 웰층(131)으로는 InGaN이 사용될 수 있으며, 웰층(131)의 In의 조성에 따라서 밴드갭 에너지가 결정되어 자외선에서 적색까지의 다양한 파장을 얻을 수 있다. 배리어층(132)으로는 GaN이 사용될 수 있다. 그러나, 웰층(131)과 배리어층(132)의 재료가 이에 한정되는 것은 아니며, 다양하게 변화될 수 있다.
- <38> 배리어층(132) 두께는 웰층(131) 두께의 적어도 2배 이상으로 형성될 수 있다. 바람직하게는, 배리어층(132) 두께는 웰층(131) 두께의 10배 내지 15배로 형성될 수 있다.
- <39> 본 실시예의 경우, 웰층(131)을 25Å으로 형성하며, 배리어층(132)을 100 Å으로 형성하여, 웰층(131) 대비 배리어층(132)의 두께 비율을 1:4로 형성한다.
- <40> 한편, 웰층(131)의 두께는 그대로 유지하고, 배리어층(132)의 두께를 더욱 증가시켜서, 예를 들면, 배리어층(132)을 300Å으로 형성하여, 상기 웰층 대비 상기 배리어층의 두께 비율은 1:12로 형성할 수도 있다.
- <41> 상기에 살펴본 바와 같이, 배리어층의 두께를 웰층 보다 소정 비율 이상으로 두껍게 형성하면, 도 3에 도시된 바와 같이, 발광 다이오드 에너지 밴드갭의 구조가 변화하게 된다. 즉, 배리어층의 두께가 두꺼워지면, 발광 다이오드의 활성층에 인가되는 전기장의 길이가 그 만큼 증가하게 되어, 밴드 벤딩 각도(θ_x)가 커지게 된다. 그 결과, n형 반도체층에서 공급된 전자가 전도대(conduction band)로 이동하기가 용이해지기 때문에, 활성층으로 공급되는 전자의 양이 증가하게 되어 내부 양자 효율이 향상된다. 따라서, 발광 다이오드의 발광 효율이 향상된다.
- <42> 도 4a는 본 발명의 제2 실시예에 따른 발광 다이오드의 단면도이며, 도 4b는 활성층의 확대 단면도이며, 도 5는 본 발명의 제2 실시예에 따른 발광 다이오드의 제1 배리어층과 제2 배리어층의 도핑 상태를 도시한 도이다.
- <43> 도 4a 내지 도 5를 참조하면, 기판(210)상에는 n형 반도체층(220), 활성층(230) 및 p형 반도체층(240)이 순차적으로 적층되어 형성된다. 그리고, p 전극(250)은 p형 반도체층(240) 상에 형성되며, n 전극(260)은 식각을 통하여 n형 반도체층(220)의 소정 영역을 노출시킨 후, 노출된 n형 반도체층(220) 상에 형성된다.
- <44> 활성층(230)은 에너지 밴드갭이 작은 웰층(well)(231)과 웰층(231) 보다 에너지 밴드갭이 큰 배리어층(barrier)(232, 234)이 교대로 적층되어 형성된 양자 우물(Quantum Well) 구조로 형성된다. 이때, 활성층(230)은 웰층(231)과 배리어층(232, 234)이 적어도 2번 이상 교대로 적층된 다중 양자 우물구조로 형성된다.
- <45> 또한, 활성층(130)의 배리어층은 p형 반도체층(140)과 인접하여 형성되는 제1 배리어층(234)과, 제1 배리어층(234)을 제외한 나머지 배리어층인 제2 배리어층(232)으로 구성된다.
- <46> 본 실시예의 경우, 활성층(230)은 5개의 웰층(231)과, 5개의 제2 배리어층(232) 및 최외각에 형성되어 p형 반도체층(240)과 인접하는 1개의 제1 배리어층(234)으로 구성된다. 그러나, 활성층을 구성하는 웰층과 배리어층의 개수 및 위치가 이에 한정되는 것은 아니며, 다양하게 변화될 수 있다.
- <47> 이때, 제1 배리어층(234)은 일부 영역만이 n형 불순물로 도핑되고, 제2 배리어층(232)중 적어도 하나는 각 층 전체가 n형 불순물로 도핑된다. 제1 배리어층(234)의 제1 영역(234a) 즉, 웰층(231)과 인접한 영역은 n형 불순물로 도핑되며, 제1 배리어층(234)의 제2 영역(234b) 즉, p형 반도체층(240)과 인접한 영역은 인도핑된다. 제2 영역(234b) 두께는 제1 영역(234a) 두께의 적어도 1.5배 이상으로 형성될 수 있다. 본 실시예에서, 제2 영역(234b) 두께는 제1 영역(234a) 두께의 2배로 형성되나, 이러한 두께 비율은 변화될 수 있다. 본 실시예에서 n형 불순물로는 Si를 포함하는 SiH_4 또는 SiH_6 등을 사용하나, 이외에도 Ge, Sn, Te, S 등을 포함하는 재료를 사용할 수도 있다.
- <48> 또한, n형 불순물이 도핑되는 제1 영역(234a)은 전체가 균일하게 도핑될수도 있으며, 이와는 달리 비대칭 도핑될 수도 있다. 즉, 제1 영역(234a)은 제2 영역(234b)으로 근접할수록 n형 불순물의 농도가 감소되게 도핑될 수도 있다.

- <49> 그리고, 배리어층(232, 234) 두께는 웰층(231) 두께의 적어도 2배 이상으로 형성될 수 있다. 바람직하게는, 배리어층 두께는 웰층 두께의 10배 내지 15배로 형성될 수 있다.
- <50> 상기에서 살펴본 바와 같이, p형 반도체층과 인접한 최종 배리어층은 일부만 n형 불순물로 도핑하고, 나머지 배리어층들은 각 층 전체를 n형 불순물로 도핑하게 되면, 내부 양자 효율이 개선되어, 발광 다이오드의 발광 효율을 향상시킬 수 있게 된다.
- <51> 도 6a 내지 도 6e는 본 발명에 따른 발광 다이오드의 제조 공정 단면도이다. 도 6a 내지 도 6e를 참조하여, 본 발명의 제2 실시예에 따른 발광 다이오드의 제조방법을 살펴본다.
- <52> 도 6a를 참조하면, 우선 기판(210)을 준비하며, 기판(210) 상에 n형 반도체층(220)을 형성한다. 기판의 재료(210)로는 사파이어나 실리콘 카바이드(SiC) 등 다양한 물질이 사용될 수 있다.
- <53> 본 실시예에서 n형 반도체층(220)으로 n형 GaN을 사용하나, 이에 한정되는 것은 아니며, 여러 가지 조성의 질화물계 화합물이 사용될 수 있으며, n형 불순물로는 Si를 사용하나, 이에 한정되는 것은 아니며 Ge, Sn, Te, S 등을 포함하는 재료가 사용될 수 있다.
- <54> 도 6b 및 도 6c를 참조하면, n형 반도체층(220) 상에 활성층(230)을 형성한다. 활성층(230)은 웰층(231)과 배리어층(제1 및 제2 배리어층(232, 234)을 포함함)이 적어도 2번 이상 교대로 적층된 다중 양자 우물 구조로 형성한다.
- <55> 웰층(231)과 제2 배리어층(232)을 교대로 적층한 후, 활성층(130)의 최외각에는 p형 반도체층(240)과 인접하는 제1 배리어층(234)을 형성한다.
- <56> 이때, 제2 배리어층(232)중 적어도 하나는 각 층 전체가 n형 불순물로 도핑하며, 제1 배리어층(234)은 적어도 일부 영역만을 n형 불순물로 도핑한다. 즉, 제1 배리어층(234)의 제1 영역(234a)은 n형 불순물로 도핑하며, 제1 배리어층(234)의 제2 영역(234b)은 언도핑한다.
- <57> 도 6d 및 도 6e를 참조하면, 활성층(230) 상에 p형 반도체층(240)을 형성한다. 본 실시예의 경우, p형 반도체층(240)으로 p형 GaN을 사용하고 있으나, 이에 한정되는 것은 아니며, 여러 가지 조성의 질화물계 화합물이 사용될 수 있으며, p형 불순물로는 Zn, Cd, Be, Mg, Ca, Sr, Ba 등이 사용될 수 있으나, 이에 한정되는 것은 아니다.
- <58> 그리고 나서, p형 반도체층(240)에서부터 n형 반도체층(220)의 일부분까지 건식 식각 등의 에칭방법을 사용하여 식각한 후, p형 반도체층(240) 상에는 p 전극(250)을 형성하며, 소정 영역이 노출된 n형 반도체층(220) 상에는 n 전극(260)을 형성한다.
- <59> 도 7a 내지 도 7c는 본 발명의 제3 실시예에 따른 수직형 발광 다이오드의 제조 공정 단면도이다.
- <60> 도 7a를 참조하면, 기판(310) 상에 버퍼층(320), n형 반도체층(330), 활성층(340), p형 반도체층(350) 및 p 전극(360)을 순차적으로 형성한다.
- <61> 활성층(340)은 웰층(341)과, 제2 배리어층(342)을 교대로 적층한 후, 활성층(330)의 최외각에는 p형 반도체층(350)과 인접하는 제1 배리어층(342)을 형성한다. 이때, 제2 배리어층(342)은 각 층 전체를 n형 불순물로 도핑하며, 제1 배리어층(344)은 일부 영역(344a)만을 n형 불순물로 도핑하며, 나머지 영역(344b)은 언도핑한다.
- <62> 도 7b를 참조하면, 레이저 리프트 오프 공정을 통하여 기판(310)과 버퍼층(320)을 순차적으로 제거하여, n형 반도체층(330)을 노출시킨다.
- <63> 도 7c를 참조하면, 노출된 n형 반도체층(330) 상에 n 전극(370)을 형성함으로써, 수직형 발광 다이오드를 형성하게 된다.
- <64> 이상에서 설명한 것은 본 발명에 따른 발광 다이오드 및 그 제조방법의 예시적인 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이, 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

발명의 효과

- <65> 전술한 바와 같이 본 발명에 따르면, 활성층 형성 시, 웰층 대비 배리어층의 두께 비율을 크게 함으로써, 활성

층의 내부 양자효율을 개선시킬 수 있게 된다.

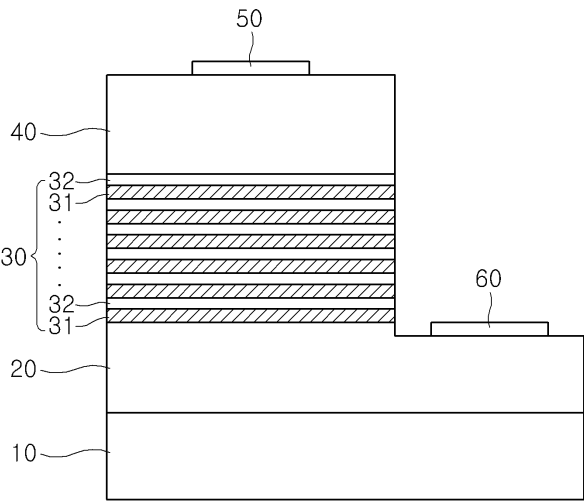
<66> 또한, 활성층의 최종 배리어층 즉, p형 반도체층과 인접하는 배리어층은 전체를 도핑하지 않고, 일부만 도핑함으로써, 발광 다이오드의 발광 효율을 높일 수 있게 된다.

도면의 간단한 설명

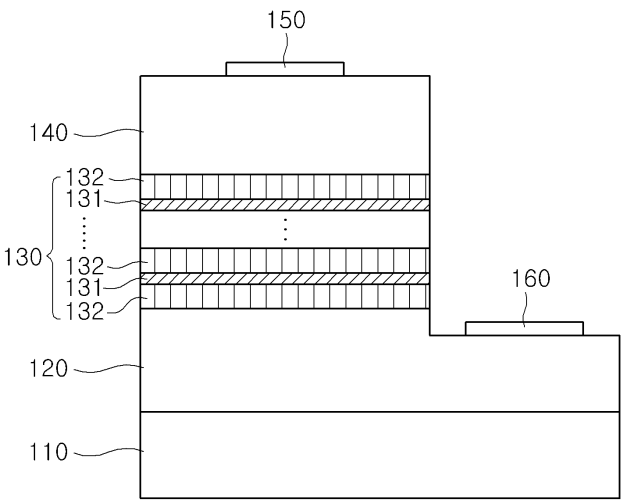
- <1> 도 1은 종래 기술에 따른 발광 다이오드의 단면도이다.
- <2> 도 2a는 본 발명의 제1 실시예에 따른 발광 다이오드의 단면도이며, 도 2b는 활성층의 확대 단면도이다.
- <3> 도 3은 배리어층의 두께 변화에 따른 발광 다이오드의 밴드갭 변화를 개략적으로 설명한 도이다.
- <4> 도 4a는 본 발명의 제2 실시예에 따른 발광 다이오드의 단면도이며, 도 4b는 활성층의 확대 단면도이다.
- <5> 도 5는 본 발명의 제2 실시예에 따른 발광 다이오드의 제1 배리어층과 제2 배리어층의 도핑 상태를 도시한 도이다.
- <6> 도 6a 내지 도 6e는 본 발명에 따른 발광 다이오드의 제조 공정 단면도이다.
- <7> 도 7a 내지 도 7c는 본 발명의 제3 실시예에 따른 수직형 발광 다이오드의 제조 공정 단면도이다.
- <8> *도면의 주요 부분에 대한 부호의 설명*
- <9> 110: 기판 120: n형 반도체층
- <10> 130: 활성층 131: 웰층
- <11> 132: 제1 배리어층 134: 제2 배리어층
- <12> 140: p형 반도체층 150: p 전극
- <13> 160: n 전극

도면

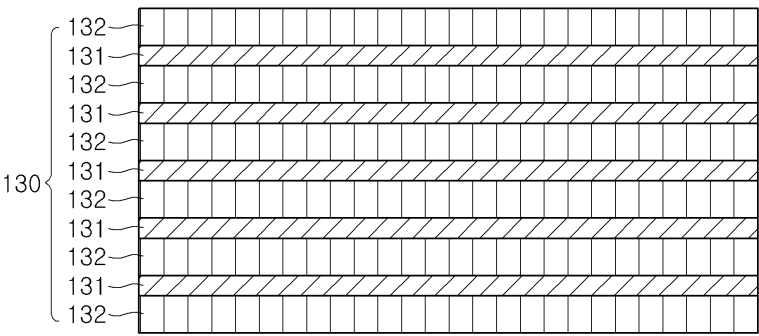
도면1



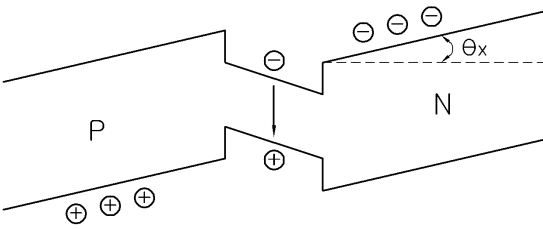
도면2a



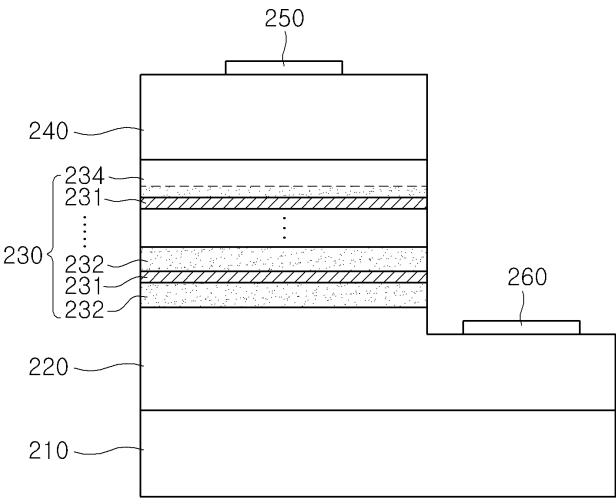
도면2b



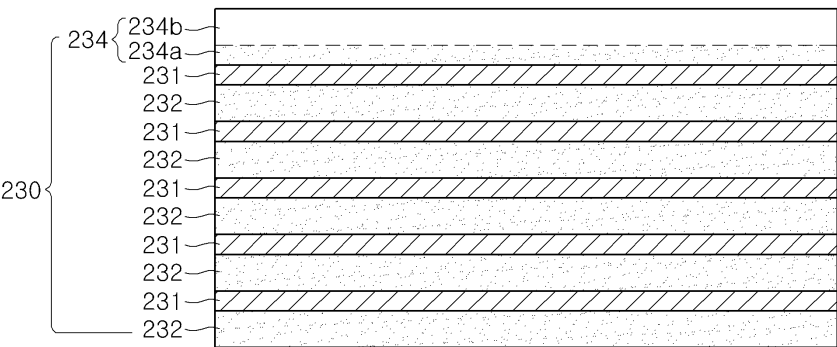
도면3



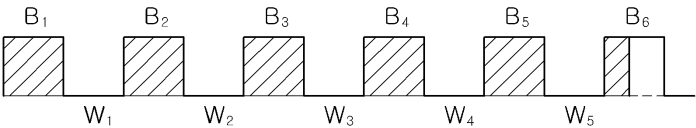
도면4a



도면4b



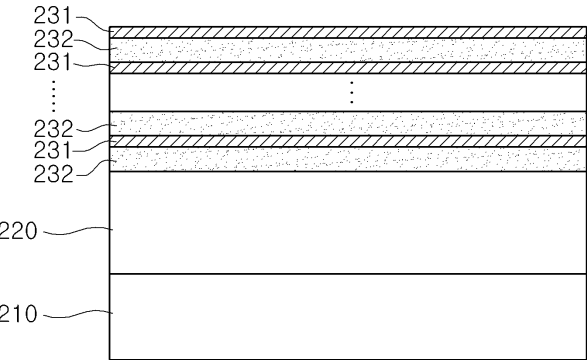
도면5



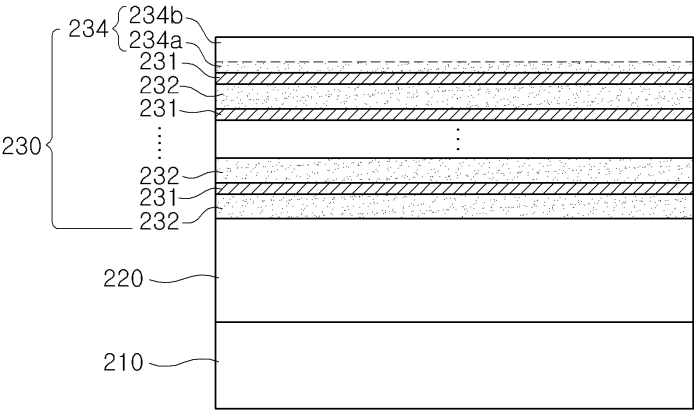
도면6a



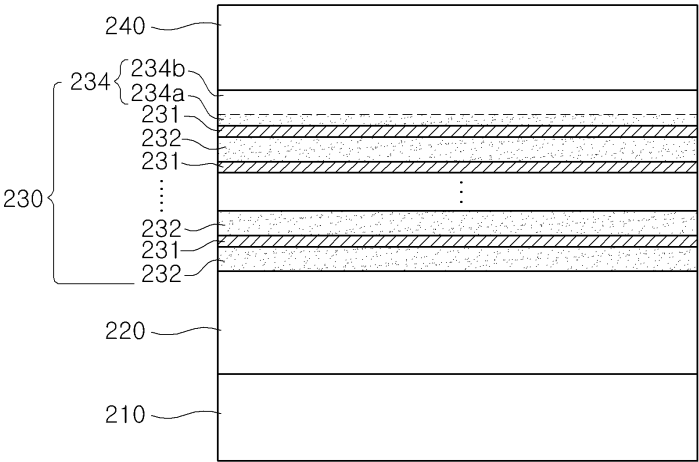
도면6b



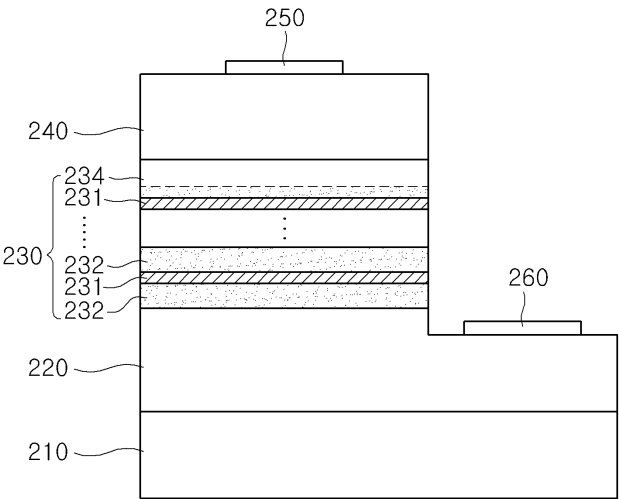
도면6c



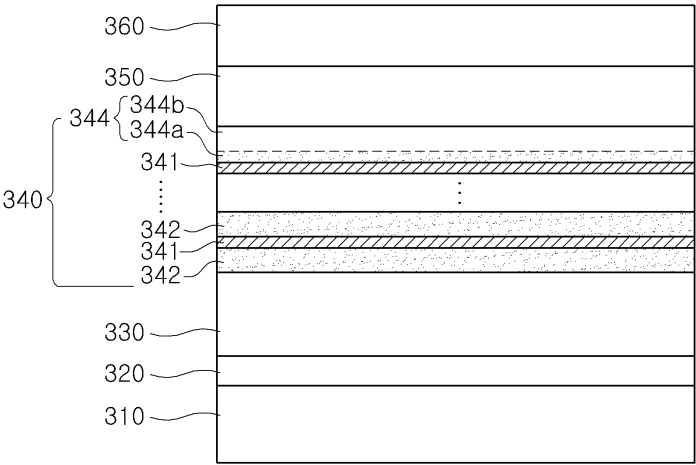
도면6d



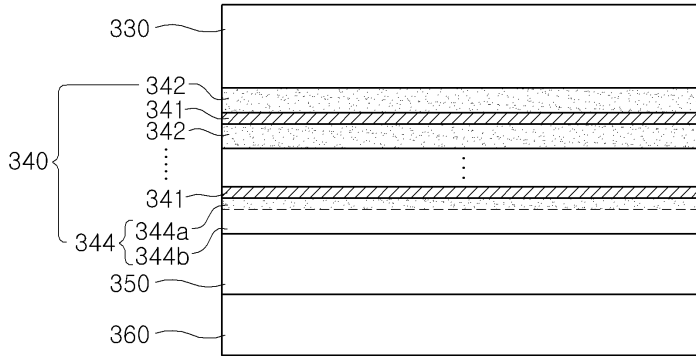
도면6e



도면7a



도면7b



도면7c

