

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年8月25日(2005.8.25)

【公開番号】特開2002-216483(P2002-216483A)

【公開日】平成14年8月2日(2002.8.2)

【出願番号】特願2001-10242(P2001-10242)

【国際特許分類第7版】

G 1 1 C 16/02

G 1 1 C 16/06

G 1 1 C 29/00

【F I】

G 1 1 C 17/00 6 1 3

G 1 1 C 29/00 6 0 3 F

G 1 1 C 29/00 6 0 3 G

G 1 1 C 17/00 6 3 4 G

G 1 1 C 17/00 6 3 4 A

G 1 1 C 17/00 6 3 9 A

【手続補正書】

【提出日】平成17年2月10日(2005.2.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルアレイと、

前記メモリセルアレイのロウを選択するロウデコーダと、

複数アドレスに対応した、前記メモリセルアレイからの複数データをセンスするセンスアンプと、

前記メモリセルアレイのカラムを選択し、選択したカラムを前記センスアンプに電気的に接続する、2段以上直列接続されたカラムゲートと、

前記カラムゲートを選択して駆動するカラムゲート駆動回路と、

前記センスアンプでセンスされた前記複数データをラッチするデータラッチと、

前記データラッチにラッチされた前記複数データから、所定アドレスに対応したデータを順次選択するマルチプレクサと、

前記マルチプレクサが前記所定アドレスに対応したデータを順次選択している間、前記複数アドレスの次に選択される次の複数アドレスで指定されるカラムを、前記2段以上直列接続されたカラムゲートのうちの少なくとも1段を駆動する駆動信号を反転させて選択するアドレス制御回路と

を具備することを特徴とする半導体記憶装置。

【請求項2】

メモリセルアレイと、

前記メモリセルアレイのロウを選択するロウデコーダと、

nビットのアドレスに対応した、前記メモリセルアレイからの2^n個のデータをセンスする2^n個のセンスアンプと、

前記メモリセルアレイのカラムを選択し、選択したカラムを前記2^n個のセンスアンプに電気的に接続する、2段以上直列接続されたカラムゲートと、

前記カラムゲートを選択して駆動するカラムゲート駆動回路と、
前記 2^n 個のセンスアンプでセンスされた前記 2^n 個のデータをラッチする 2^n 個のデータラッチと、
前記 2^n 個のデータラッチにラッチされた前記 2^n 個のデータから、所定アドレスに対応したデータを順次選択するマルチプレクサと
を具備することを特徴とする半導体記憶装置。

【請求項3】

前記nビットのアドレスを前記カラムゲートの開閉制御に使用し、 2^{n+1} アドレス分の循環的な連続シリアルアクセスを、その開始アドレスに関わらず遅延なしに実行することを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】

前記nビットのアドレスを前記カラムゲートの開閉制御に使用し、 2^{n+1} アドレス分のメモリセルから任意の 2^n アドレス分のメモリセルを選択し、前記センスアンプでセンスすることを特徴とする請求項2に記載の半導体記憶装置。

【請求項5】

不揮発性メモリセルが集積されたメモリセルアレイと、
前記メモリセルアレイのロウを選択するロウデコーダと、
複数アドレスに対応した、前記メモリセルアレイからの複数データをセンスする読み出し用センスアンプと、
前記メモリセルアレイのカラムを選択し、選択したカラムを前記読み出し用センスアンプに電気的に接続する、2段以上直列接続された読み出し用カラムゲートと、
前記読み出し用カラムゲートを選択して駆動するカラムゲート駆動回路と、
前記読み出し用センスアンプでセンスされた前記複数データをラッチするデータラッチと、
前記データラッチにラッチされた前記複数データから、所定アドレスに対応したデータを順次選択するマルチプレクサと、
前記メモリセルアレイの少なくとも1つのアドレスに対応したデータをセンスするベリファイ用センスアンプと、
前記メモリセルアレイのカラムを選択し、選択したカラムを前記ベリファイ用センスアンプに電気的に接続する、前記読み出し用カラムゲートに並列接続されたベリファイ用カラムゲートと、
前記ベリファイ用カラムゲートを選択して駆動するベリファイ用カラムゲート駆動回路と
を具備することを特徴とする半導体記憶装置。

【請求項6】

複数のメモリセルと、
前記メモリセルアレイから、複数アドレスに対応した複数のメモリセルを選択する選択回路と、
前記選択された複数のメモリセルからの複数データをセンスするセンスアンプと、
前記センスアンプでセンスされた複数データをラッチするデータラッチと、
前記データラッチにラッチされた複数データから、所定アドレスに対応したデータを選択するマルチプレクサと、
前記マルチプレクサで選択されたデータを、外部クロックに同期して順次出力する出力回路とを備え、
前記選択されたデータが前記外部クロックに同期して順次出力されている間、前記複数のメモリセルから、前記複数アドレスの次に選択される次の複数アドレスに対応した複数のメモリセルを選択し、選択した複数のメモリセルからの複数データをセンスするパイプライン読み出しを行い、
前記複数データをラッチするタイミング、前記次の複数アドレスに対応したメモリセルを選択するタイミング、及び前記所定アドレスに対応したメモリセルを選択するタイミン

グは、前記外部クロックに同期して生成された信号によって制御され、

それ以外のデータ読み出しに関連するタイミングは、前記外部クロックとは無関係に生成された信号によって制御されることを特徴とする半導体記憶装置。

【請求項 7】

複数のメモリセルと、

アドレスを制御するアドレス制御回路と、

前記メモリセルアレイから、複数アドレスに対応した複数のメモリセルを選択する選択回路と、

前記選択された複数のメモリセルからの複数データをセンスするセンスアンプと、

前記センスアンプでセンスされた複数データをラッチする第1データラッチと、

前記センスアンプでセンスされた複数データを前記第1データラッチに伝送する第1伝送ゲートと、

前記第1データラッチにラッチされた複数データから、いくつかのデータを選択するマルチプレクサと、

前記マルチプレクサで選択されたデータをラッチする第2データラッチと、

前記マルチプレクサで選択されたデータを前記第2データラッチに伝送する第2伝送ゲートと、

前記第2データラッチにラッチされたデータを、外部クロックに同期して順次出力する出力回路とを備え、

前記選択されたデータが前記外部クロックに同期して順次出力されている間、前記複数のメモリセルから、前記複数アドレスの次に選択される次の複数アドレスに対応した複数のメモリセルを選択し、選択した複数のメモリセルからの複数データをセンスするパイプライン読み出しを行い、

前記アドレス制御回路は、前記センスアンプでセンスされた複数データを前記第1データラッチに伝送してから、前記複数アドレスを前記次の複数アドレスに変更し、

前記マルチプレクサは、このマルチプレクサで選択されたデータが前記第2データラッチに伝送されている間、次に選択されるデータを選択することを特徴とする半導体記憶装置。

【請求項 8】

第1乃至第8ビット線と、

前記第1乃至第8ビット線に接続された複数のメモリセルと、

前記第1乃至第8ビット線の対応する一つに、ソース及びドレインの一方を接続した第1乃至第8カラム選択トランジスタと、

前記第1、第2カラム選択トランジスタのソース及びドレインの他方に、ソース及びドレインの一方を接続した第9カラム選択トランジスタと、

前記第3、第4カラム選択トランジスタのソース及びドレインの他方に、ソース及びドレインの一方を接続した第10カラム選択トランジスタと、

前記第5、第6カラム選択トランジスタのソース及びドレインの他方に、ソース及びドレインの一方を接続した第11カラム選択トランジスタと、

前記第7、第8カラム選択トランジスタのソース及びドレインの他方に、ソース及びドレインの一方を接続した第12カラム選択トランジスタと、

前記第9、第10カラム選択トランジスタのソース及びドレインの他方に接続された第1センスアンプと、

前記第11、第12カラム選択トランジスタのソース及びドレインの他方に接続された第2センスアンプと、

前記第1、第3、第5、第7カラム選択トランジスタのゲートに接続された第1カラム選択線と、

前記第2、第4、第6、第8カラム選択トランジスタのゲートに接続された第2カラム選択線と、

前記第9乃至第12カラム選択トランジスタのゲートの対応する一つに、それぞれ接続

された第3乃至第6カラム選択線と
を具備することを特徴とする半導体記憶装置。

【請求項9】

第1乃至第4ビット線、及び第1冗長ビット線と、
前記第1、第2ビット線に接続された第1センスアンプと、
前記第3、第4ビット線に接続された第2センスアンプと、
前記第1冗長ビット線に接続された冗長センスアンプと、
前記第1ビット線に、電流通路の一端を接続した第1カラム選択トランジスタと、
前記第2ビット線に、電流通路の一端を接続した第2カラム選択トランジスタと、
前記第3ビット線に、電流通路の一端を接続した第3カラム選択トランジスタと、
前記第4ビット線に、電流通路の一端を接続した第4カラム選択トランジスタと、
前記第1冗長ビット線に、電流通路の一端を接続した第1冗長カラム選択トランジスタ
と、
前記第1カラム選択トランジスタのゲートに接続された第1カラム選択線と、
前記第2カラム選択トランジスタのゲートに接続され、前記第1ビット線と交差する第
2カラム選択線と、
前記第3カラム選択トランジスタのゲートに接続され、前記第1、第2ビット線と交差
する第3カラム選択線と、
前記第4カラム選択トランジスタのゲートに接続され、前記第1、第2、第3ビット線
と交差する第4カラム選択線と、
前記第1冗長カラム選択トランジスタのゲートに接続され、前記第1、第2、第3、第
4ビット線と交差する冗長カラム選択線と、
前記第1カラム選択トランジスタの電流通路の他端に、電流通路の一端を接続した第5
、第6カラム選択トランジスタと、
前記第2カラム選択トランジスタの電流通路の他端に、電流通路の一端を接続した第7
、第8カラム選択トランジスタと、
前記第3カラム選択トランジスタの電流通路の他端に、電流通路の一端を接続した第9
、第10カラム選択トランジスタと、
前記第4カラム選択トランジスタの電流通路の他端に、電流通路の一端を接続した第1
1、第12カラム選択トランジスタと、
前記第1冗長カラム選択トランジスタの電流通路の他端に、電流通路の一端を接続した第2
、第3冗長カラム選択トランジスタと、
前記第5、第7、第9、第11カラム選択トランジスタのゲート、及び前記第2冗長カ
ラム選択トランジスタのゲートに接続された第5カラム選択線と、
前記第6、第8、第10、第12カラム選択トランジスタのゲート、及び前記第3冗長カ
ラム選択トランジスタのゲートに接続された第6カラム選択線と
を具備することを特徴とする半導体記憶装置。