

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/082328 A1

(43) 国際公開日

2010 年 7 月 22 日(22.07.2010)

PCT

(51) 国際特許分類:

H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 27/115 (2006.01) H01L 29/792 (2006.01)

(21) 国際出願番号: PCT/JP2009/050435

(22) 国際出願日: 2009 年 1 月 15 日(15.01.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 舟山 幸太 (FUNAYAMA, Kota) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 茶木原啓 (CHAKIHARA, Hiraku) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 石井 泰之 (ISHII, Yasushi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

(74) 代理人: 筒井 大和(TSUTSUI, Yamato); 〒1600022 東京都新宿区新宿 2 丁目 3 番 1 0 号 新宿御苑ビル 3 階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

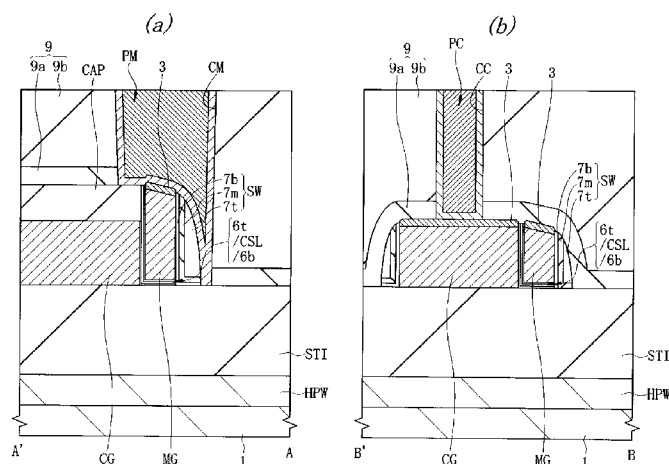
— 国際調査報告 (条約第 21 条(3))

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置およびその製造方法

図 3



(57) Abstract: In the feeding region of a memory cell (MC) in which the memory gate electrode (MG) of a memory nMIS (Qnm) of a side wall shape is formed in self-alignment through an insulating film in the side face of the selected gate electrode (CG) of a selecting nMIS (Qnc), a plug (PM) for feeding a voltage to the memory gate electrode (MG) is buried in a contact hole (CM) formed in an inter-layer insulating film (9) formed over the memory gate electrode (MG), and is electrically connected with the memory gate electrode (MG). A cap insulating film (CAP) is formed on the upper face of the selected gate electrode (CG) so that it can prevent the conduction between the plug (PM) and the selected gate electrode (CG).

(57) 要約:

[続葉有]

WO 2010/082328 A1



選択用 $nMIS$ (Q_{nc}) の選択ゲート電極 (CG) の側面に絶縁膜を介して、サイドウォール形状のメモリ用 $nMIS$ (Q_{nm}) のメモリゲート電極 (MG) が自己整合により設けられたメモリセル (MC) の給電領域において、メモリゲート電極 (MG) に電圧を供給するプラグ (PM) が、メモリゲート電極 (MG) 上に形成された層間絶縁膜 (9) に形成されたコンタクトホール (CM) の内部に埋め込まれて、メモリゲート電極 (MG) と電氣的に接続している。選択ゲート電極 (CG) の上面にはキャップ絶縁膜 (CAP) が形成されているので、プラグ (PM) と選択ゲート電極 (CG) との導通を防ぐことができる。

明 細 書

半導体装置およびその製造方法

技術分野

- [0001] 本発明は、半導体装置およびその製造技術に関し、特に、スプリットゲート構造の MONOS (Metal Oxide Nitride Oxide Semiconductor) 型不揮発性メモリセルを有する半導体装置およびその製造に適用して有効な技術に関するものである。

背景技術

- [0002] 例えば特開2003-309193号公報(特許文献1)には、第1ゲート電極(コントロールゲート電極)と、絶縁膜および電荷蓄積領域を介して配置された第2ゲート電極(メモリゲート電極)とを有する不揮発性のメモリセルトランジスタにおいて、第1ゲート電極の基板表面からの高さが第2ゲート電極の基板表面からの高さまたは周辺回路に形成されたトランジスタのゲート電極の基板表面からの高さよりも低く加工された構造のメモリセルトランジスタが開示されている。
- [0003] また、特開2006-54292号公報(特許文献2)には、スプリットゲート構造のメモリセルにおいて、選択ゲート電極に隣接して孤立した補助パターンを配置し、両者の間隙にサイドウォールゲートのポリシリコンが充填され自己整合的に形成された配線部に対してコンタクトを取る方法が開示されている。
- [0004] また、特開2006-49737号公報(特許文献3)には、メモリゲート線は、選択ゲート線の側壁上に絶縁膜を介して形成され、選択ゲート線の第2の部分上から素子分離領域上にかけてX方向に延在するコンタクト部を有し、コンタクト部上に形成されたコンタクトホールを埋めるプラグを介して配線に接続されたメモリセルが開示されている。

特許文献1:特開2003-309193号公報

特許文献2:特開2006-54292号公報

特許文献3:特開2006-49737号公報

発明の開示

発明が解決しようとする課題

- [0005] 電氣的に書き換え可能な不揮発性メモリとしては、多結晶シリコンをフローティング電極としたEEPROM(Electrically Erasable Programmable Read Only Memory)が主に使用されている。しかし、この構造のEEPROMでは、フローティングゲート電極を取り囲む酸化膜のどこか一部にでも欠陥があると、電荷蓄積層が導体であるため、異常リークにより蓄積ノードに貯えられた電荷がすべて抜けてしまう場合がある。特に今後、微細化が進み集積度が向上すると、この問題がより顕著になると考えられる。
- [0006] そこで、近年は、窒化膜を電荷蓄積層とするMONOS型不揮発性メモリセルが注目されている。この場合、データ記憶に寄与する電荷は、絶縁体である窒化膜の離散トラップに蓄積されるため、蓄積ノードを取り巻く酸化膜のどこか一部に欠陥が生じて異常リークがおきても、電荷蓄積層の電荷が全て抜けてしまうことがないため、データ保持の信頼度を向上させることが可能である。
- [0007] MONOS型不揮発性メモリセルとしては、単一トランジスタ構造のメモリセルが提案されている。この構造のメモリセルの場合は、EEPROMのメモリセルと比べてディスタブの影響を受け易いので、さらに、選択ゲート電極を設けた2トランジスタ構成のスプリットゲート構造のメモリセルも提案されている。
- [0008] しかしながら、スプリットゲート構造のMONOS型不揮発性メモリセルについては、以下に説明する種々の技術的課題が存在する。
- [0009] スプリットゲート構造のMONOS型不揮発性メモリセルには、選択ゲート電極の側面に絶縁膜を介して、サイドウォール形状のメモリゲート電極が自己整合により設けられたメモリセルがある。この場合、フォトリソグラフィの位置合わせマージンが不要であること、自己整合で形成するメモリゲート電極のゲート長をフォトリソグラフィの最小解像寸法以下にできることから、フォトレジストマスクを用いてメモリゲート電極を形成するメモリセルに比べて、より微細なメモリセルを実現することができる。
- [0010] サイドウォール形状のメモリゲート電極を採用した場合は、その外部への電氣的な取り出しは、例えば図27に示すように、メモリゲート電極MGと同一層の導電膜からなるパッド電極51を用いる。すなわち、選択ゲート電極CGの側壁に自己整合によりサイドウォール形状のメモリゲート電極MGを形成すると同時に、メモリゲート電極M

Gの給電領域(シャント部)にフォトレジストマスクを用いてパッド電極51を形成し、その後、メモリゲート電極MG上に形成された層間絶縁膜に、このパッド電極51に達するコンタクトホール52を形成する。そして、メモリゲート電極MGとコンタクトホール52に埋め込まれた導電膜とを電氣的に接続している。パッド電極51は、メモリゲート電極MGとパッド電極51との位置合わせマージンや寸法ばらつきマージンなどを考慮して、選択ゲート電極CG上に乗り上げた形状となっている。

[0011] しかし、パッド電極51は選択ゲート電極CGの段差部分を覆うように形成されるため、フォトレジストマスクを形成するフォトリソグラフィでは、段差によるフォーカスずれが生じてフォトレジストマスクの加工精度が悪くなり、その結果、パッド電極51の形状不良が発生することがある。半導体装置の高集積化には、給電領域の面積を縮小することが望まれているが、上記パッド電極51の形状不良を回避するためには、パッド電極51の平面形状の面積を小さくすることができず、給電領域の面積の縮小は困難となっている。

[0012] また、通常、選択ゲート電極CG上に乗り上げた導電膜の上面に塗布されたフォトレジストの厚さは、選択ゲート電極CG上に乗り上げた導電膜の上面以外に塗布されたフォトレジストの厚さよりも薄くなる。そのため、このフォトレジストをマスクとした導電膜のドライエッチングにおいて、選択ゲート電極CG上に乗り上げた導電膜の上面に塗布されたフォトレジストが選択ゲート電極CG上に乗り上げた導電膜の上面以外に塗布されたフォトレジストよりも早くエッチング除去され、そして選択ゲート電極CG上に乗り上げた導電膜が削れて、パッド電極51の形状不良が発生するという問題もある。所定の形状のパッド電極が得られない場合は、パッド電極51と、コンタクトホール52を介してパッド電極51に接続するプラグとの間が高抵抗または非導通となり、製造歩留まりが低下する。

[0013] 本発明の目的は、スプリットゲート構造の不揮発性メモリセルを有する半導体装置において、高集積化を実現できる技術を提供することにある。

[0014] また、本発明の他の目的は、スプリットゲート構造の不揮発性メモリセルを有する半導体装置において、製造歩留まりを向上できる技術を提供することにある。

[0015] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添

付図面から明らかになるであろう。

課題を解決するための手段

[0016] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0017] 本発明による半導体装置は、不揮発性メモリセルを含む半導体装置である。不揮発性メモリセルは、半導体基板上に形成された第1ゲート絶縁膜と、第1ゲート絶縁膜上に形成された第1導電膜からなる選択ゲート電極と、選択ゲート電極上に形成されたキャップ絶縁膜と、キャップ絶縁膜および選択ゲート電極からなる積層膜の片側面にサイドウォール状に形成された第2導電膜からなるメモリゲート電極と、キャップ絶縁膜および選択ゲート電極からなる積層膜とメモリゲート電極との間に形成され、かつ、メモリゲート電極と半導体基板との間に形成された第2ゲート絶縁膜とを有し、メモリゲート電極に電圧を供給するプラグが形成される領域において、キャップ絶縁膜上およびメモリゲート電極上に形成された層間絶縁膜にコンタクトホールが形成され、コンタクトホールに埋め込まれたプラグがメモリゲート電極と電氣的に接続している。

[0018] 本発明による半導体装置の製造方法は、メモリセルを含む半導体装置の製造方法である。メモリセルを形成する工程は、(a)半導体基板上に第1ゲート絶縁膜を形成する工程と、(b)第1ゲート絶縁膜上に第1導電膜を形成する工程と、(c)第1導電膜上に第2絶縁膜を形成する工程と、(d)第2絶縁膜および第1導電膜を順次加工することによって、第1導電膜からなる選択ゲート電極と、選択ゲート電極上に第2絶縁膜からなるキャップ絶縁膜を形成する工程と、(e)メモリセルが形成される領域の選択ゲート電極上のキャップ絶縁膜は残し、選択ゲート電極に電圧を供給する第2プラグが形成される領域の選択ゲート電極上のキャップ絶縁膜は除去する工程と、(f)前記(e)工程の後に、半導体基板上に第2ゲート絶縁膜を形成する工程と、(g)第2ゲート絶縁膜上に第2導電膜を形成する工程と、(h)第2導電膜に対して異方性エッチングを施すことによって、キャップ絶縁膜および選択ゲート電極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成する工程と、(i)前記(h)工程の後に、メモリセルが形成される領域では、半導体基板にソース領域およびドレイン領域を形成す

る工程と、(j)前記(i)工程の後に、メモリゲート電極の上面および前記(e)工程においてキャップ絶縁膜が除去された選択ゲート電極の上面にシリサイド層を形成し、かつ、ソース領域およびドレイン領域の上面にシリサイド層を形成する工程とを有する。

発明の効果

[0019] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0020] スプリットゲート構造の不揮発性メモリセルを有する半導体装置において、高集積化を実現することができる。

[0021] また、スプリットゲート構造の不揮発性メモリセルを有する半導体装置において、製造歩留まりを向上することができる。

図面の簡単な説明

[0022] [図1]本発明の一実施の形態による不揮発性メモリセルのチャネルをメモリゲート電極に対して交差する方向に沿って切断した不揮発性メモリセルの要部断面図である。

[図2]本発明の一実施の形態による不揮発性メモリセルの給電領域の要部平面図である。

[図3](a)は図2のA-A'線に沿った要部断面図(メモリゲート電極のシャント部の要部断面図)であり、(b)は図2のB-B'線に沿った要部断面図(選択ゲート電極のシャント部の要部断面図)である。

[図4]本発明の一実施の形態による不揮発性メモリセルを有する半導体装置の製造工程を示す半導体基板の要部断面図である。

[図5]不揮発性メモリセルを有する半導体装置の図4と同じ製造工程での給電領域の要部平面図である。

[図6]図4および図5に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図7]図6に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図8]図7に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図9]図7に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図5と同じ箇所得要部平面図である。

[図10]図8および図9に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図11]図10に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図12]図11に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図13]図11に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図5と同じ箇所得要部平面図である。

[図14]図12および図13に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図15]図14に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図16]図15に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図17]図16に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図18]図17に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図19]図18に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図20]図19に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図21]図20に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図22]図21に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所得要部断面図である。

[図23]図22に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図24]図23に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図25]図24に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図4と同じ箇所の要部断面図である。

[図26]図24に続く、不揮発性メモリセルを有する半導体装置の製造工程中の図5と同じ箇所の要部平面図である。

[図27]本発明者によって検討された不揮発性メモリセルの給電領域の要部平面図である。

発明を実施するための最良の形態

[0023] 以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0024] また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、本実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0025] また、以下の実施の形態においては、電界効果トランジスタを代表するMISFET(Metal Insulator Semiconductor Field Effect Transistor)をMISと略し、nチャネル型のMISFETをnMISと略す。また、以下の実施の形態で記載するMONOS型メモリセ

ルについても、上記MISの下位概念に含まれることは勿論である。また、以下の実施の形態において、窒化シリコン、窒化ケイ素またはシリコンナイトライドというときは、 Si_3N_4 は勿論であるが、そのみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。また、以下の実施の形態において、ウエハと言うときは、Si (Silicon) 単結晶ウエハを主とするが、そのみではなく、SOI (Silicon On Insulator) ウエハ、集積回路をその上に形成するための絶縁膜基板等を指すものとする。その形も円形またはほぼ円形のみでなく、正方形、長方形等も含むものとする。

[0026] また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

[0027] 本発明の一実施の形態による不揮発性メモリセルの構造の一例を図1によって説明し、不揮発性メモリセルを構成するメモリゲート電極および選択ゲート電極の給電領域の構造の一例を図2および図3によって説明する。図1はチャンネルをメモリゲート電極に対して交差する方向に沿って切断した不揮発性メモリセルの要部断面図、図2は給電領域の要部平面図、図3(a)および(b)はそれぞれ図2のA-A' 線に沿った要部断面図(メモリゲート電極のシャント部の要部断面図)および図2のB-B' 線に沿った要部断面図(選択ゲート電極のシャント部の要部断面図)である。ここでは、サイドウォール形状のメモリゲート電極を採用したスプリットゲート構造のMONOS型不揮発性メモリセルを例示している。

[0028] まず、メモリ領域(メモリセルが形成される領域)に形成された不揮発性メモリセルの構造について説明する。

[0029] 図1に示すように、半導体基板1は、例えばp型の単結晶シリコンからなり、その主面(デバイス形成面)の活性領域にはメモリセルMCの選択用nMIS (Qnc)とメモリ用nMIS (Qnm)とが配置されている。このメモリセルMCのドレイン領域Drmは、例えば相対的に低濃度の n^- 型の半導体領域2adと、その n^- 型の半導体領域2adよりも不純物濃度の高い相対的に高濃度の n^+ 型の半導体領域2bとを有している(LDD (Lightly Doped Drain) 構造)。また、このメモリセルMCのソース領域Srmは、例えば相対的に低濃度の n^- 型の半導体領域2asと、その n^- 型の半導体領域2asよりも不純物濃

度の高い相対的に高濃度の n^+ 型の半導体領域2bとを有している(LDD構造)。 n^- 型の半導体領域2ad, 2asは、メモリセルMCのチャネル領域側に配置され、 n^+ 型の半導体領域2bは、メモリセルMCのチャネル領域側から n^- 型の半導体領域2ad, 2as分だけ離れた位置に配置されている。

[0030] このドレイン領域Drmとソース領域Srmとの間の半導体基板1の主面上には、上記選択用nMIS(Qnc)の選択ゲート電極CGと、上記メモリ用nMIS(Qnm)のメモリゲート電極MGとが隣接して延在しており、その延在方向において複数のメモリセルMCは半導体基板1に形成された素子分離部STI(Shallow Trench Isolation)を介して隣接している。選択ゲート電極CGの上面には、キャップ絶縁膜CAPが形成されている。メモリゲート電極MGは、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜の片側面にサイドウォール状に形成されている。選択ゲート電極CGは第1導電膜、例えばn型の低抵抗多結晶シリコンからなり、選択ゲート電極CGのゲート長は、例えば80~120nm程度である。また、メモリゲート電極MGは第2導電膜、例えばn型の低抵抗多結晶シリコンからなり、メモリゲート電極MGのゲート長は、例えば50~100nm程度である。キャップ絶縁膜CAPは第2絶縁膜、例えば窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコン、または窒素を含んだ炭化シリコンからなり、その厚さは、例えば50nm程度である。また、選択ゲート電極CGの半導体基板1の主面からの高さは、例えば140nm程度であり、メモリゲート電極MGの半導体基板1の主面からの高さは、選択ゲート電極CGの半導体基板1の主面からの高さよりも50nm程度高く形成されている。

[0031] さらに、メモリゲート電極MGの上面には、例えばニッケルシリサイド(NiSi)、コバルトシリサイド(CoSi_2)等のようなシリサイド層3が形成されている。シリサイド層3の厚さは、例えば20nm程度である。スプリットゲート構造の不揮発性メモリセルでは、選択ゲート電極CGおよびメモリゲート電極MGの双方に電位を供給する必要がある、その動作速度は選択ゲート電極CGおよびメモリゲート電極MGの抵抗値に大きく依存する。従ってシリサイド層3を形成することにより選択ゲート電極CGおよびメモリゲート電極MGの低抵抗化を図ることが望ましい。本実施の形態では、シリサイド層3はメモリゲート電極MGの上面のみに形成し、選択ゲート電極CGの上面には形成していな

い。しかし、選択ゲート電極CGを構成する第1導電膜の低抵抗化等により所望する動作速度を得ることができる。上記シリサイド層3は、ソース領域Srmまたはドレイン領域Drmを構成する n^+ 型の半導体領域2bの上面にも形成されている。

[0032] 選択ゲート電極CGと半導体基板1の主面との間には、ゲート絶縁膜(第1ゲート絶縁膜)4が設けられている。ゲート絶縁膜4は第1絶縁膜、例えば酸化シリコンからなり、その厚さは、例えば1～5nm程度である。従って素子分離部上およびゲート絶縁膜4を介した半導体基板1の第1領域上に選択ゲート電極CGが配置されている。このゲート絶縁膜4下の半導体基板1(pウェルHPW)の主面には、例えばボロンが導入されてp型の半導体領域5が形成されている。この半導体領域5は、選択用nMIS(Qnc)のチャネル形成用の半導体領域であり、この半導体領域5により選択用nMIS(Qnc)のしきい値電圧が所定の値に設定されている。

[0033] メモリゲート電極MGは、ゲート絶縁膜(第2ゲート絶縁膜)を介して選択ゲート電極CGの側面に設けられている。選択ゲート電極CGとメモリゲート電極MGとを絶縁するこのゲート絶縁膜は、絶縁膜(第4絶縁膜)6b、電荷蓄積層CSLおよび絶縁膜(第5絶縁膜)6tからなる積層膜(以下、絶縁膜6b、6tおよび電荷蓄積層CSLと記す)により構成される。また、絶縁膜6b、6tおよび電荷蓄積層CSLを介した半導体基板1の第2領域上にメモリゲート電極MGが配置されている。なお、図1では絶縁膜6b、6tおよび電荷蓄積層CSLの表記を6b/CSL/6tとして表現している。

[0034] 電荷蓄積層CSLは、例えば窒化シリコンからなり、その厚さは、例えば5～20nm程度である。絶縁膜6b、6tは、例えば酸化シリコンからなり、絶縁膜6bの厚さは、例えば1～10nm程度、絶縁膜6tの厚さは、例えば4～15nm程度である。絶縁膜6b、6tは窒素を含んだ酸化シリコンで形成することもできる。

[0035] 選択ゲート電極CGの片側面(メモリゲート電極MGと反対側の側面、ドレイン領域Drm側の側面)およびメモリゲート電極MGの片側面(選択ゲート電極CGと反対側の側面、ソース領域Srm側の側面)にはそれぞれサイドウォールSWが形成されている。サイドウォールSWは、例えば酸化シリコン膜7b、窒化シリコン膜7mおよび酸化シリコン膜7tからなる積層膜により構成される。酸化シリコン膜7bの厚さは、例えば20nm、窒化シリコン膜7mの厚さは、例えば25nm、酸化シリコン膜7tの厚さは、例え

ば50nmである。

[0036] 上記絶縁膜6b下、p型の半導体領域5とソース領域Srmとの間の半導体基板1 (pウェルHPW)には、例えばヒ素またはリンが導入されてn型の半導体領域8が形成されている。この半導体領域8は、メモリ用nMIS (Qnm)のチャネル形成用の半導体領域であり、この半導体領域8によりメモリ用nMIS (Qnm)のしきい値電圧が所定の値に設定されている。

[0037] メモリセルMCは層間絶縁膜9により覆われており、層間絶縁膜9にはドレイン領域Drmに達するコンタクトホール(第3コンタクトホール)CNTが形成されている。層間絶縁膜9は第3絶縁膜からなり、例えば窒化シリコン膜9aおよび酸化シリコン膜9bからなる積層膜によって構成される。ドレイン領域Drmには、コンタクトホールCNTに埋め込まれたプラグ(第3プラグ)PLGを介してメモリゲート電極MG(または選択ゲート電極CG)に対して交差する方向に延在する第1層配線M1が接続されている。プラグPLGは第3導電膜からなり、例えばチタンと窒化チタンとの積層膜からなる相対的に薄いバリア膜、およびそのバリア膜に包まれるように形成されたタングステンまたはアルミニウム等からなる相対的に厚い導電膜からなる積層膜によって構成される。

[0038] 次に、給電領域に形成されたメモリゲート電極のシャント部および選択ゲート電極のシャント部の構造について説明する。

[0039] 図2および図3(a)に示すように、給電領域に形成されたメモリゲート電極MGのシャント部(以下、MGシャント部と記す)の構造は、メモリゲート電極MGおよび選択ゲート電極CGが素子分離部STI上に形成されている以外は、メモリ領域に形成された選択用nMIS (Qnc)およびメモリ用nMIS (Qnm)の構造とほぼ同じである。そして、給電領域の層間絶縁膜9には、選択ゲート電極CGの側面に絶縁膜6b, 6tおよび電荷蓄積層CSLを介して形成されたメモリゲート電極MGの上面に形成されたシリサイド層3に達するコンタクトホール(第1コンタクトホール)CMが形成されている。このコンタクトホールCMは、給電領域の素子分離部STI、サイドウォールSW、メモリゲート電極MG、ならびに絶縁膜6b, 6tおよび電荷蓄積層CSL上に形成されている。さらに、このコンタクトホールCMは、選択ゲート電極CG上に乗り上げた形状であるが、選択ゲート電極CGの上面にはキャップ絶縁膜CAPが形成されているので、コンタク

トホールCMは、選択ゲート電極CGと接続することはない。また、コンタクトホールCMは、素子分離部STI上に形成されているため、半導体基板1と接続することもない。給電領域のメモリゲート電極MGには、コンタクトホールCMに埋め込まれた第3導電膜からなるプラグ(第1プラグ)PMを介して第1層配線(図示は省略)に接続されている。

[0040] これに対して、図2および図3(b)に示すように、給電領域に形成された選択ゲート電極CGのシャント部(以下、CGシャント部)の構造は、メモリ領域に形成された選択用nMIS(Qnc)の構造とは異なっている。メモリ領域に形成された選択用nMIS(Qnc)では、その選択ゲート電極CGの上面にキャップ絶縁膜CAPが形成されていたが、給電領域に形成された選択ゲート電極CGの上面にはキャップ絶縁膜CAPは形成されておらず、選択ゲート電極CGの上面にはシリサイド層3が形成されている。そして、給電領域の層間絶縁膜9には、選択ゲート電極CGの上面に形成されたシリサイド層3に達するコンタクトホール(第2コンタクトホール)CCが形成されている。給電領域の選択ゲート電極CGには、コンタクトホールCCに埋め込まれた第3導電膜からなるプラグ(第2プラグ)PCを介して第1層配線(図示は省略)に接続されている。

[0041] また、選択ゲート電極CGのシャント部において、メモリゲートMGの高さは、制御ゲート電極CGの高さと同じか、制御ゲート電極CGの高さよりも低くなるように形成されている。ここで、制御ゲート電極CGの高さよりも低く形成した場合には、メモリゲートMG上および選択ゲート電極CG上に形成されるシリサイド層3がショートする可能性を低くすることができる。

[0042] このように、本実施の形態によれば、給電領域のMGシャント部では、層間絶縁膜9に形成されるコンタクトホールCMを、給電領域のメモリ用nMIS(Qnm)のメモリゲート電極MGに達するように形成し、このコンタクトホールCMの内部にプラグPMを埋め込むことによって、メモリゲート電極MGとプラグPMとを電氣的に接続している。従って、前述の図27に示したパッド電極51の形成が不要となることから、給電領域の面積の縮小が可能となり、また、メモリゲート電極MGとプラグPMとの間で良好な電氣的な接続が得られる。これにより、不揮発性メモリセルを有する半導体装置の面積の縮小化を図ることができる。また、不揮発性メモリセルを有する半導体装置の製造

歩留まりを向上することができる。

[0043] また、給電領域のMGシャント部では、選択用nMIS (Qnc) の選択ゲート電極CGの上面にはキャップ絶縁膜CAPが形成されているので、上記コンタクトホールCMは選択ゲート電極CGに達することはない。従って、コンタクトホールCMの内部に埋め込まれるプラグPMと選択ゲート電極CGとの電気的な接続を防ぐことができる。他方、給電領域のCGシャント部では、選択用nMIS (Qnc) の選択ゲート電極CGの上面にはキャップ絶縁膜CAPが形成されておらず、シリサイド層3が形成されている。従って、上記コンタクトホールCMと同一工程で層間絶縁膜9に形成されるコンタクトホールCCは、容易に選択ゲート電極CGの上面のシリサイド層3に達するので、コンタクトホールCCの内部に埋め込まれるプラグPCと選択ゲート電極CGとの間で良好な電気的な接続が得られる。

[0044] また、選択ゲート電極CGの上面にはキャップ絶縁膜CAPが形成されているので、シリサイド層3を形成する際に、メモリゲートMGと選択ゲート電極CGとがショートする等の不具合を考慮する必要もない。ここで、上述のように、選択ゲート電極CGのシャント部においては、選択ゲート電極CGの上にシリサイド層3が形成される。この時、メモリゲートMGと制御ゲート電極CGの間には絶縁膜6b, 6tおよび電荷蓄積層CSLが形成されているので、特に問題にならないが、上述のように、ショート等の不具合を解消するために、メモリゲートMGの高さを制御ゲート電極CGの高さよりも低く形成しておくことも可能である。

[0045] 次に、本発明の一実施の形態による不揮発性メモリセルを有する半導体装置の製造方法を図4～図26を用いて工程順に説明する。図4、図6～図8、図10～図12および図14～図25は半導体装置の製造工程中におけるメモリ領域、給電領域(MGシャント部およびCGシャント部)、容量素子領域および周辺回路領域(低圧系nMIS領域、低圧系pMIS領域、高圧系nMIS領域および高圧系pMIS領域)の要部断面図であり、図5、図9、図13および図26は半導体装置の製造工程中における給電領域の要部平面図である。

[0046] まず、図4および図5に示すように、半導体基板(この段階では半導体ウェハと称する平面略円形状の半導体の薄板)1の主面に、例えば溝型の素子分離部STIおよび

これに取り囲まれるように配置された活性領域ACT等を形成する。すなわち半導体基板1の所定箇所に分離溝を形成した後、半導体基板1の主面上に、例えば酸化シリコン等の絶縁膜を堆積し、さらにその絶縁膜が分離溝内のみに残されるように、絶縁膜をCMP (Chemical Mechanical Polishing) 法等によって研磨することで、分離溝内に絶縁膜を埋め込む。このようにして素子分離部STIを形成する。この素子分離部STIは、給電領域および容量素子領域の半導体基板1にも形成される。

[0047] 次に、図6に示すように、周辺回路領域の半導体基板1にn型不純物を選択的にイオン注入することにより、埋め込みnウェルNISOを形成する。続いてメモリ領域および高圧系nMIS領域の半導体基板1にp型不純物を選択的にイオン注入することによりpウェルHPWを形成し、高圧系pMIS領域の半導体基板1にn型不純物を選択的にイオン注入することによりnウェルHNWを形成する。同様に、低圧系nMIS領域の半導体基板1にp型不純物を選択的にイオン注入することによりpウェルPWを形成し、低圧系pMIS領域の半導体基板1にn型不純物を選択的にイオン注入することによりnウェルNWを形成する。

[0048] 次に、メモリ領域の半導体基板1にp型不純物、例えばボロンを選択的にイオン注入する。これによりメモリ領域の半導体基板1に、選択用nMIS (Qnc) のチャネル形成用のp型の半導体領域5を形成する。同様に、周辺回路領域の低圧系nMIS領域、低圧系pMIS領域、高圧系nMIS領域および高圧系pMIS領域のそれぞれの半導体基板1に所定の不純物をイオン注入する。これにより、周辺回路領域の低圧系nMIS領域、低圧系pMIS領域、高圧系nMIS領域および高圧系pMIS領域のそれぞれの半導体基板1にチャネル形成用の半導体領域Dcを形成する。

[0049] 次に、半導体基板1に対して酸化処理を施すことにより、半導体基板1の主面に、例えば酸化シリコンからなる厚さ20nm程度のゲート絶縁膜4Aを形成する。続いてメモリ領域、低圧系nMIS領域および低圧系pMIS領域のゲート絶縁膜4Aを除去した後、半導体基板1に対して酸化処理を施す。これにより、メモリ領域の半導体基板1の主面に、例えば酸化シリコンからなる厚さ1～5nm程度のゲート絶縁膜(第1ゲート絶縁膜)4を形成し、同時に、低圧系nMIS領域および低圧系pMIS領域の半導体基板1の主面に、例えば酸化シリコンからなる厚さ1～5nm程度のゲート絶縁膜(第3ゲ

ート絶縁膜)4を形成する。

[0050] 次に、図7に示すように、半導体基板1の主面上に、例えば非晶質シリコンからなる導電膜10をCVD (Chemical Vapor Deposition) 法により堆積した後、メモリ領域、給電領域および容量素子領域の導電膜10にn型不純物をイオン注入法等によって導入することにより、n型の導電膜(第1導電膜)10nを形成する。導電膜10, 10nの厚さは、例えば140nm程度である。続いて、導電膜10, 10n上にキャップ絶縁膜CAPをCVD法により堆積する。キャップ絶縁膜CAPは、例えば窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコン、炭化シリコンであり、その厚さは、例えば50nmである。

[0051] 次に、図8に示すように、メモリ領域、給電領域および容量素子領域のキャップ絶縁膜CAPおよびn型の導電膜10nをリソグラフィ技術およびドライエッチング技術により順次パターニングする。これにより、メモリ領域および給電領域に、n型の導電膜10nからなる選択用nMIS (Qnc)の選択ゲート電極CGを形成する。メモリ領域の選択ゲート電極CGのゲート長は、例えば100nm程度である。同時に、容量素子領域にn型の導電膜10nからなる下部電極10Eを形成する。

[0052] 次に、図9および図10に示すように、給電領域のCGシャント部、容量素子領域および周辺回路領域のキャップ絶縁膜CAPを除去する。図9中、給電領域の選択ゲート電極CG上に残されたキャップ絶縁膜CAPを網掛けのハッチングで示している。ここで、周辺回路領域では、後の工程で形成される低圧系nMIS、低圧系pMIS、高圧系nMISおよび高圧系pMISのそれぞれのゲート電極上にシリサイド層3を形成する必要がある。従って、この工程で周辺回路領域のキャップ絶縁膜CAPを除去しておく必要がある。また、容量素子領域では、キャップ絶縁膜CAPを残しておく、下部電極10Eと後の工程で形成される上部電極との間の誘電膜が厚くなりすぎて、容量値が減少してしまう。従って、この工程で容量素子領域のキャップ絶縁膜CAPを除去しておく必要がある。

[0053] 次に、キャップ絶縁膜CAPおよび選択用nMIS (Qnc)の選択ゲート電極CG、ならびにレジストパターンをマスクとして、メモリ領域の半導体基板1の主面にn型不純物、例えばヒ素またはリンをイオン注入することにより、メモリ用nMIS (Qnm)のチャネル

形成用のn型の半導体領域8を形成する。

[0054] 次に、図11に示すように、半導体基板1の主面上に、例えば酸化シリコンからなる絶縁膜(第4絶縁膜)6b、窒化シリコンからなる電荷蓄積層CSLおよび酸化シリコンからなる絶縁膜(第5絶縁膜)6tを順次形成する。絶縁膜6bは、例えば熱酸化法またはISSG酸化法により形成され、その厚さは、例えば1～10nm程度、電荷蓄積層CSLはCVD法により形成され、その厚さは、例えば5～20nm程度、絶縁膜6tは、例えばCVD法またはISSG酸化法により形成され、その厚さは、例えば4～15nm程度を例示することができる。また、絶縁膜6b、6tは窒素を含んだ酸化シリコンで形成してもよい。

[0055] 次に、半導体基板1の主面上に低抵抗多結晶シリコンからなるメモリゲート形成用の導電膜(第2導電膜)を堆積する。この導電膜はCVD法により形成され、その厚さは、例えば50～100nm程度である。続いて、リソグラフィ技術およびドライエッチング技術により、この導電膜を異方性のドライエッチング法でエッチバックする。これにより、メモリ領域および給電領域のMGシャント部では、キャップ絶縁膜CAPおよび選択用nMIS(Qnc)の選択ゲート電極CGからなる積層膜の両側面に絶縁膜6b、6tおよび電荷蓄積層CSL(第2ゲート絶縁膜)を介してサイドウォール11を形成する。同時に、給電領域のCGシャント部では、選択nMIS(Qnc)の選択ゲート電極CGの両側面に絶縁膜6b、6tおよび電荷蓄積層CSLを介してサイドウォール11を形成する。さらに、容量素子領域では、レジストパターンRPをマスクとして下部電極10Eを覆うように上部電極11Eを形成する。

[0056] 次に、図12および図13に示すように、レジストパターンをマスクとして、そこから露出するサイドウォール11をエッチングする。これにより、メモリ領域および給電領域のMGシャント部では、キャップ絶縁膜CAPおよび選択用nMIS(Qnc)の選択ゲート電極CGからなる積層膜の片側面のみにメモリ用nMIS(Qnm)のメモリゲート電極MG(サイドウォール11)を形成する。メモリゲート電極MGのゲート長は、例えば65nm程度である。同時に、給電領域のCGシャント部では、選択用nMIS(Qnc)の選択ゲート電極CGの片側面のみにメモリ用nMIS(Qnm)のメモリゲート電極MG(サイドウォール11)を形成する。

- [0057] 次に、メモリ領域では、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜とメモリゲート電極MGとの間、および半導体基板1とメモリゲート電極MGとの間の絶縁膜6b, 6tおよび電荷蓄積層CSLを残して、給電領域のMGシャント部では、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜とメモリゲート電極MGとの間、および素子分離部STIとメモリゲート電極MGとの間の絶縁膜6b, 6tおよび電荷蓄積層CSLを残して、給電領域のCGシャント部では、選択ゲート電極CGとメモリゲート電極MGとの間、および素子分離部STIとメモリゲート電極MGとの間の絶縁膜6b, 6tおよび電荷蓄積層CSLを残して、容量素子領域では、下部電極10Eと上部電極11Eとの間の絶縁膜6b, 6tおよび電荷蓄積層CSLを残して、その他の領域の絶縁膜6b, 6tおよび電荷蓄積層CSLを選択的にエッチングする。
- [0058] メモリ領域では、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜の両側面に絶縁膜6b, 6tおよび電荷蓄積層CSLを介してサイドウォール11が形成される。このため、メモリゲート電極MGの半導体基板1の主面からの高さは、選択ゲート電極CGの半導体基板1の主面からの高さよりも高く、かつキャップ絶縁膜CAPの高さと同じか、またはそれより低く形成される。また、絶縁膜6b, 6tおよび電荷蓄積層CSL(第2ゲート絶縁膜)は、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜とメモリゲート電極MGとの間に形成されるため、絶縁膜6b, 6tおよび電荷蓄積層CSLの高さは、選択ゲート電極CGの半導体基板1の主面からの高さよりも高く形成される。
- [0059] 同様に、給電領域のMGシャント部でも、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜の両側面に絶縁膜6b, 6tおよび電荷蓄積層CSLを介してサイドウォール11が形成される。このため、メモリゲート電極MGの半導体基板1の主面からの高さは、選択ゲート電極CGの半導体基板1の主面からの高さよりも高く、かつキャップ絶縁膜CAPの高さと同じか、またはそれより低く形成される。また、絶縁膜6b, 6tおよび電荷蓄積層CSL(第2ゲート絶縁膜)は、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜とメモリゲート電極MGの間に形成されるため、絶縁膜6b, 6tおよび電荷蓄積層CSLの高さは、選択ゲート電極CGの半導体基板1の主面からの高さよりも高く形成される。

- [0060] しかし、給電領域のCGシャント部では、選択ゲート電極CGの両側面に絶縁膜6b、6tおよび電荷蓄積層CSLを介してサイドウォール11が形成される。このため、メモリゲート電極MGの半導体基板1の主面からの高さは、選択ゲート電極CGの半導体基板1の主面からの高さとはほぼ等しいか、または低くなるように形成される。さらに、給電領域のCGシャント部のメモリゲート電極MGの高さは、メモリ領域のメモリゲート電極MGの半導体基板1の主面からの高さよりも低く形成される。
- [0061] 容量素子領域では、絶縁膜6b、6tおよび電荷蓄積層CSLを容量絶縁膜（誘電体膜）として、選択用nMIS（Qnc）の選択ゲート電極CGと同一層の導電膜からなる下部電極10Eと、メモリ用nMIS（Qmc）のメモリゲート電極MGと同一層の導電膜からなる上部電極11Eとからなる容量素子が形成される。容量素子は、例えば入力電圧よりも高い電圧を出力する電源回路に使用されるチャージポンプ回路を構成する。チャージポンプ回路は、複数の容量素子の接続状態をスイッチなどを用いて切り替えることによって電圧を上昇させることができる。また、容量素子は、半導体基板1に形成された素子分離部STI上に形成されており、基板部分と下部電極10Eとからなる寄生容量は無視できる程小さいことから、安定して上記の動作を行うことができる。さらに、後の工程で形成される上部電極11Eに達するコンタクトホール12の位置および下部電極10Eに達するコンタクトホール13の位置が、フォトマスクずれ等によりずれたとしても、素子分離部STI上にずれるので、コンタクトホールを介して配線と半導体基板1とが短絡することもない。
- [0062] 次に、図14に示すように、周辺回路領域の低圧系nMIS領域および高圧系nMIS領域の導電膜10にn型不純物をイオン注入法等によって導入することにより、n型の導電膜10naを形成する。また、周辺回路領域の低圧系pMIS領域および高圧系pMIS領域の導電膜10にp型不純物をイオン注入法等によって導入することにより、p型の導電膜10pを形成する。
- [0063] 次に、図15に示すように、周辺回路領域の導電膜10na、10pをリソグラフィ技術およびドライエッチング技術によりパターンニングすることにより、導電膜10naからなる低圧系nMISのゲート電極GLn、導電膜10pからなる低圧系pMISのゲート電極GLp、導電膜10naからなる高圧系nMISのゲート電極GHnおよび導電膜10pからなる高

圧系pMISのゲート電極GHpを形成する。活性領域における低圧系nMISのゲート電極GLnおよび低圧系pMISのゲート電極GLpのゲート長は、例えば100nm程度であり、高圧系nMISのゲート電極GHnおよび高圧系pMISのゲート電極GHpのゲート長は、例えば400nm程度である。

[0064] 次に、周辺回路領域の高圧系nMIS領域の半導体基板1の主面に、レジストパターンをマスクとしてn型不純物、例えばヒ素を半導体基板1の主面にイオン注入することにより、周辺回路領域の高圧系nMIS領域の半導体基板1の主面に n^- 型の半導体領域13をゲート電極GHnに対して自己整合的に形成する。同様に、周辺回路領域の高圧系pMIS領域の半導体基板1の主面に、レジストパターンをマスクとしてp型不純物、例えばフッ化ボロンを半導体基板1の主面にイオン注入することにより、周辺回路領域の高圧系pMIS領域の半導体基板1の主面に p^- 型の半導体領域14をゲート電極GHpに対して自己整合的に形成する。

[0065] 次に、図16に示すように、半導体基板1の主面上に、例えば酸化シリコンからなる厚さ10nm程度の絶縁膜をCVD法により堆積した後、この絶縁膜を異方性のドライエッチング法でエッチバックする。これにより、メモリ領域および給電領域では、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜のメモリゲート電極MGと反対側の側面ならびにメモリゲート電極MGの側面に、容量素子領域では、上部電極11Eの側面に、周辺回路領域では、低圧系nMISのゲート電極GLn、低圧系pMISのゲート電極GLp、高圧系nMISのゲート電極GHnおよび高圧系pMISのゲート電極GHpの両側面にそれぞれサイドウォール15を形成する。サイドウォール15のスペーサ長は、例えば6nm程度である。これにより、選択用nMIS(Qnc)の選択ゲート電極CGと半導体基板1との間のゲート絶縁膜4の露出していた側面、ならびにメモリ用nMIS(Qnm)のメモリゲート電極MGと半導体基板1との間の絶縁膜6b, 6tおよび電荷蓄積層CSLの露出していた側面をサイドウォール15によって覆うことができる。このサイドウォール15が形成されることによって、後述の周辺回路領域の低圧系nMIS領域に n^- 型の半導体領域を形成する工程および低圧系pMIS領域に p^- 型の半導体領域を形成する工程において、 n^- 型の半導体領域および p^- 型の半導体領域の実効チャネル長を大きくなり、低圧系nMISおよび低圧系pMISの短チャネル効果を

抑制することができる。

[0066] 次に、その端部がメモリ領域の選択用nMIS (Qnc)の選択ゲート電極CGの上面に位置してメモリ用nMIS (Qnm)のメモリゲート電極MG側の選択ゲート電極CGの一部およびメモリゲート電極MGを覆うレジストパターン16を形成した後、選択ゲート電極CG、メモリゲート電極MGおよびレジストパターン16をマスクとしてn型不純物、例えばヒ素を半導体基板1の主面にイオン注入することにより、半導体基板1の主面にn⁻型の半導体領域2adを選択ゲート電極CGに対して自己整合的に形成する。

[0067] 次に、図17に示すように、レジストパターン16を除去した後、その端部がメモリ領域の選択用nMIS (Qnc)の選択ゲート電極CGの上面に位置してメモリ用nMIS (Qnm)のメモリゲート電極MGと反対側の選択ゲート電極CGの一部を覆うレジストパターン17を形成した後、選択ゲート電極CG、メモリゲート電極MGおよびレジストパターン17をマスクとしてn型不純物、例えばヒ素を半導体基板1の主面にイオン注入することにより、半導体基板1の主面にn⁻型の半導体領域2asをメモリゲート電極MGに対して自己整合的に形成する。

[0068] ここでは、先にn⁻型の半導体領域2adを形成し、その後n⁻型の半導体領域2asを形成したが、先にn⁻型の半導体領域2asを形成し、その後n⁻型の半導体領域2adを形成してもよい。また、n⁻型の半導体領域2adを形成するn型不純物のイオン注入に続いて、p型不純物、例えばボロンを半導体基板1の主面にイオン注入し、n⁻型の半導体領域2adの下部を囲むようにp型の半導体領域を形成してもよい。

[0069] 次に、図18に示すように、周辺回路領域の低圧系nMIS領域の半導体基板1の主面に、レジストパターンをマスクとしてn型不純物、例えばヒ素を半導体基板1の主面にイオン注入することにより、周辺回路領域の低圧系nMIS領域の半導体基板1の主面にn⁻型の半導体領域18をゲート電極GLnに対して自己整合的に形成する。同様に、周辺回路領域の低圧系pMIS領域の半導体基板1の主面に、レジストパターンをマスクとしてp型不純物、例えばフッ化ボロンを半導体基板1の主面にイオン注入することにより、周辺回路領域の低圧系pMIS領域の半導体基板1の主面にp⁻型の半導体領域19をゲート電極GLpに対して自己整合的に形成する。

[0070] 次に、図19に示すように、半導体基板1の主面上に、例えば酸化シリコン膜7b、室

化シリコン膜7mおよび酸化シリコン膜7tをCVD法により順次堆積し、これらを異方性のドライエッチング法でエッチバックする。これにより、メモリ領域および給電領域では、キャップ絶縁膜CAPおよび選択ゲート電極CGからなる積層膜のメモリゲート電極MGと反対側の側面ならびにメモリゲート電極MGの側面に、容量素子領域では、上部電極11Eの側面に、周辺回路領域では、低圧系nMISのゲート電極GLn、低圧系pMISのゲート電極GLp、高圧系nMISのゲート電極GHnおよび高圧系pMISのゲート電極GHPの両側面にそれぞれサイドウォールSWを形成する。酸化シリコン膜7bの厚さは、例えば20nm程度、窒化シリコン膜7mの厚さは、例えば25nm程度および酸化シリコン膜7tの厚さは、例えば50nm程度である。

[0071] 次に、図20に示すように、周辺回路領域の低圧系pMIS領域および高圧系pMIS領域の半導体基板1の主面に、レジストパターン20をマスクとしてp型不純物、例えばボロンまたはフッ化ボロンを半導体基板1の主面にイオン注入することにより、低圧系pMISのゲート電極GLpおよび高圧系pMISのゲート電極GHPに対して p^+ 型の半導体領域21を自己整合的に形成する。これにより、 p^- 型の半導体領域14と p^+ 型の半導体領域21とからなる高圧系pMISのソース・ドレイン領域SDが形成され、 p^- 型の半導体領域19と p^+ 型の半導体領域21とからなる低圧系pMISのソース・ドレイン領域SDが形成される。

[0072] 次に、図21に示すように、メモリ領域、ならびに周辺回路領域の低圧系nMIS領域および高圧系nMIS領域の半導体基板1の主面に、レジストパターン22をマスクとしてn型不純物、例えばヒ素およびリンを半導体基板1の主面にイオン注入することにより、メモリ領域では、 n^+ 型の半導体領域2bを選択用nMIS(Qnc)の選択ゲート電極CGおよびメモリ用nMIS(Qnm)のメモリゲート電極MGに対して自己整合的に形成し、周辺回路領域では、低圧系nMISのゲート電極GLnおよび高圧系nMISのゲート電極GHnに対して n^+ 型の半導体領域23を自己整合的に形成する。これにより、メモリ領域では、 n^- 型の半導体領域2adおよび n^+ 型の半導体領域2bからなるドレイン領域Drm、 n^- 型の半導体領域2asおよび n^+ 型の半導体領域2bからなるソース領域Srmが形成される。また、周辺回路領域では、 n^- 型の半導体領域13と n^+ 型の半導体領域23とからなる高圧系nMISのソース・ドレイン領域SDが形成され、 n^- 型の半

導体領域18と n^+ 型の半導体領域23とからなる低圧系nMISのソース・ドレイン領域SDが形成される。

[0073] 次に、図22に示すように、メモリ領域では、メモリ用nMIS (Q_{nm}) のメモリゲート電極MGの上面および n^+ 型の半導体領域2bの上面に、給電領域では、MGシャント部のメモリ用nMIS (Q_{nm}) のメモリゲート電極MGの上面、ならびにCGシャント部の選択用nMIS (Q_{nc}) の選択ゲート電極CGの上面およびメモリ用nMIS (Q_{nm}) のメモリゲート電極MGの上面に、周辺回路領域では、低圧系nMISのゲート電極GLnの上面および n^+ 型の半導体領域23の上面、低圧系pMISのゲート電極GLpの上面および p^+ 型の半導体領域21の上面、高圧系nMISのゲート電極GHnの上面および n^+ 型の半導体領域23の上面、ならびに高圧系pMISのゲート電極GHpの上面および p^+ 型の半導体領域21の上面に、容量素子領域では、上部電極11Eの選択ゲート電極CGおよびサイドウォールSWとは平面的に重ならない部分の上面にシリサイド層3がシリサイド (Salicide: Self Align silicide) プロセスにより形成される。シリサイド層3としては、例えばニッケルシリサイドまたはコバルトシリサイド等が使用される。

[0074] シリサイド層3を形成することにより、シリサイド層3と、その上部に形成されるプラグ等との接触抵抗を低減することができる。また、メモリ領域では、メモリ用nMIS (Q_{nm}) のメモリゲート電極MG、ソース領域Srmおよびドレイン領域Drm自身の抵抗を低減することができる。さらに、周辺回路領域では、低圧系nMISのゲート電極GLn、低圧系pMISのゲート電極GLp、高圧系nMISのゲート電極GHnおよび高圧系pMISのゲート電極GHp自身の抵抗やソース・ドレイン領域SD自身の抵抗を低減することができる。

[0075] 次に、図23に示すように、半導体基板1の主面上に、絶縁膜として窒化シリコン膜9aをCVD法により堆積する。この窒化シリコン膜9aは、後述のコンタクトホールを形成する際に、エッチングストoppaとして機能する。

[0076] 続いて図24に示すように、絶縁膜として酸化シリコン膜9bをCVD法により堆積して、窒化シリコン膜9aおよび酸化シリコン膜9bからなる層間絶縁膜9を形成する。

[0077] 次に、図25および図26に示すように、メモリ領域では、ドレイン領域Drm上のシリサイド層3に達するコンタクトホール(第3コンタクトホール)CNTを層間絶縁膜9に形

成する。同時に、給電領域では、CGシャント部の選択用nMIS (Qnc)の選択ゲート電極CG上のシリサイド層3に達するコンタクトホール(第2コンタクトホール)CCを形成し、MGシャント部のメモリ用nMIS (Qnm)のメモリゲート電極MG上のシリサイド層3に達するコンタクトホール(第1コンタクトホール)CMを層間絶縁膜9に形成する。MGシャント部に形成されたコンタクトホールCMは、メモリゲート電極MGとコンタクトホールCMとの位置合わせマージンや寸法ばらつきマージンなどを考慮して、選択ゲート電極CG上に乗り上げた形状となっている。しかし、選択ゲート電極CGの上面にはキャップ絶縁膜CAPが形成されているので、コンタクトホールCMは、選択ゲート電極CGと接続することはない。

[0078] さらに、周辺回路領域では、高圧系nMIS、高圧系pMIS、低圧系nMISおよび低圧系pMISにおいて、それぞれのゲート電極(GHn、GHp、GLn、GLp)上およびソース・ドレイン領域SD上のシリサイド層3に達するコンタクトホールCAを形成する。図25では、説明簡略化のため、低圧系nMISおよび低圧系pMISのソース・ドレイン領域SDに達するコンタクトホールCAを例示している。

[0079] また、容量素子領域では、上部電極11Eと下部電極10Eとが平面的に重ならない部分において、上部電極11Eおよび下部電極10Eのそれぞれの上面のシリサイド層3に達するコンタクトホールCBを形成する。図25では、説明簡略化のため、上部電極11Eに達するコンタクトホールCBを例示している。

[0080] 次に、コンタクトホールCNT内にプラグPLG(第3プラグ)、コンタクトホールCC内にプラグPC(第2プラグ)、コンタクトホールCM内にプラグPM(第1プラグ)、コンタクトホールCA内にプラグPA、コンタクトホールCB内にプラグPBを形成する。プラグPLG、PC、PM、PA、PBは、例えばチタンと窒化チタンとの積層膜からなる相対的に薄いバリア膜、およびそのバリア膜に包まれるように形成されたタングステンまたはアルミニウム等からなる相対的に厚い導電膜からなる積層膜によって構成される。その後、層間絶縁膜9上に、例えば銅またはアルミニウムを主成分とする第1層配線(図示は省略)を形成することによって、メモリセル、容量素子、ならびに周辺回路領域に形成される低圧系nMIS、低圧系pMIS、高圧系nMISおよび高圧系pMISが略完成する。

[0081] これ以降は、通常の半導体装置の製造工程を経て、不揮発性メモリを有する半導体装置を製造する。

[0082] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

[0083] 本発明は、絶縁膜を介して隣接して形成される第1ゲート電極と第2ゲート電極とを備える半導体素子を有する半導体装置に利用することができる。特に2トランジスタ構成のスプリットゲート構造のメモリセルを有する半導体装置に利用することができる。

。

請求の範囲

- [1] メモリセルを有する半導体装置であって、前記メモリセルは、
半導体基板上に形成された第1絶縁膜からなる第1ゲート絶縁膜と、
前記第1ゲート絶縁膜上に形成された第1導電膜からなる選択ゲート電極と、
前記選択ゲート電極上に形成された第2絶縁膜からなるキャップ絶縁膜と、
前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の片側面にサイドウォール状に形成された第2導電膜からなるメモリゲート電極と、
前記キャップ絶縁膜および前記選択ゲート電極からなる前記積層膜と前記メモリゲート電極との間に形成され、かつ、前記メモリゲート電極と前記半導体基板との間に形成された第2ゲート絶縁膜とを有し、
前記メモリゲート電極に電圧を供給する第1プラグが形成された領域では、前記半導体基板、前記キャップ絶縁膜および前記メモリゲート電極上に第3絶縁膜からなる層間絶縁膜があり、前記層間絶縁膜に形成された第1コンタクトホールに第3導電膜を埋め込んで形成された前記第1プラグは、前記メモリゲート電極と電氣的に接続していることを特徴とする半導体装置。
- [2] 請求項1記載の半導体装置において、前記第1プラグは、前記キャップ絶縁膜上に形成されていることを特徴とする半導体装置。
- [3] 請求項1または2記載の半導体装置において、前記キャップ絶縁膜は、窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコンまたは炭化シリコンであることを特徴とする半導体装置。
- [4] 請求項1～3のいずれか1項に記載の半導体装置において、前記第2ゲート絶縁膜は、第4絶縁膜、前記第4絶縁膜上に形成された電荷蓄積層および前記電荷蓄積層上に形成された第5絶縁膜からなる積層膜によって形成されていることを特徴とする半導体装置。
- [5] 請求項4記載の半導体装置において、前記電荷蓄積層は、窒化シリコンであることを特徴とする半導体装置。
- [6] 請求項1～5のいずれか1項に記載の半導体装置において、前記メモリセルの周辺にはMISFETが形成されており、前記MISFETは、

前記半導体基板上に形成された前記第1絶縁膜からなる第3ゲート絶縁膜と、
前記第3ゲート絶縁膜上に形成され、前記第1導電膜からなるゲート電極とを有することを特徴とする半導体装置。

- [7] 請求項1～6のいずれか1項に記載の半導体装置において、前記選択ゲート電極に電圧を供給する第2プラグが形成された領域では、前記キャップ絶縁膜は除去されており、前記層間絶縁膜に形成された第2コンタクトホールに前記第3導電膜を埋め込んで形成された前記第2プラグは、前記選択ゲート電極の上面に形成されたシリサイド層と電氣的に接続していることを特徴とする半導体装置。
- [8] 請求項1～7のいずれか1項に記載の半導体装置において、前記メモリセルが形成された領域では、前記選択ゲート電極の前記半導体基板の主面からの高さは、前記メモリゲート電極の前記半導体基板の主面からの高さよりも低いことを特徴とする半導体装置。
- [9] 請求項1～8のいずれか1項に記載の半導体装置において、前記メモリセルが形成された領域および前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域における前記メモリゲート電極の前記半導体基板の主面からの高さは、前記選択ゲート電極に電圧を供給する前記第2プラグが形成された領域における前記メモリゲート電極の前記半導体基板の主面からの高さよりも高いことを特徴とする半導体装置。
- [10] 請求項1～9のいずれか1項に記載の半導体装置において、前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域および前記選択ゲート電極に電圧を供給する前記第2プラグが形成された領域では、前記半導体基板に絶縁膜からなる素子分離部が形成されていることを特徴とする半導体装置。
- [11] メモリセルおよび容量素子を有する半導体装置において、
前記メモリセルは、
半導体基板上に形成された第1絶縁膜からなる第1ゲート絶縁膜と、
前記第1ゲート絶縁膜上に形成された第1導電膜からなる選択ゲート電極と、
前記選択ゲート電極上に形成された第2絶縁膜からなるキャップ絶縁膜と、
前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の片側面にサイドウ

オール状に形成された第2導電膜からなるメモリゲート電極と、

前記キャップ絶縁膜および前記選択ゲート電極からなる前記積層膜と前記メモリゲート電極との間に形成され、かつ、前記メモリゲート電極と前記半導体基板との間に形成された第2ゲート絶縁膜とを有し、

前記容量素子は、

前記第1導電膜からなる下部電極と、

前記下部電極上に形成され、前記第2ゲート絶縁膜と同一層の膜である誘電体膜と、

前記誘電体膜上に形成された前記第2導電膜からなる上部電極とを有し、

前記容量素子は前記キャップ絶縁膜を有していないことを特徴とする半導体装置。

[12] 請求項11記載の半導体装置において、前記容量素子は、チャージポンプ回路に用いられることを特徴とする半導体装置。

[13] 請求項11または12記載の半導体装置において、前記メモリゲート電極に電圧を供給する第1プラグが形成された領域では、前記半導体基板、前記キャップ絶縁膜および前記メモリゲート電極上に第3絶縁膜からなる層間絶縁膜があり、前記層間絶縁膜に形成された第1コンタクトホールに第3導電膜を埋め込んで形成された第1プラグは、前記メモリゲート電極と電氣的に接続していることを特徴とする半導体装置。

[14] 請求項11～13のいずれか1項に記載の半導体装置において、前記キャップ絶縁膜は窒化シリコン、酸化シリコン、窒素を含んだ酸化シリコンまたは炭化シリコンであることを特徴とする半導体装置。

[15] 請求項11～14のいずれか1項に記載の半導体装置において、前記第2ゲート絶縁膜は、第4絶縁膜、前記第4絶縁膜上に形成された電荷蓄積層および前記電荷蓄積層上に形成された第5絶縁膜からなる積層膜によって形成されていることを特徴とする半導体装置。

[16] 請求項15記載の半導体装置において、前記電荷蓄積層は、窒化シリコンであることを特徴とする半導体装置。

[17] 請求項11～16のいずれか1項に記載の半導体装置において、前記メモリセルおよび容量素子が形成された領域の周辺には、MISFETが形成されており、前記MISF

ETは、

前記半導体基板上に形成された前記第1絶縁膜からなる第3ゲート絶縁膜と、
前記第3ゲート絶縁膜上に形成され、前記第1導電膜からなるゲート電極とを有することを特徴とする半導体装置。

[18] 請求項11～17のいずれか1項に記載の半導体装置において、前記選択ゲート電極に電圧を供給する第2プラグが形成された領域では、前記キャップ絶縁膜は除去されおり、前記層間絶縁膜に形成された第2コンタクトホールに前記第3導電膜を埋め込んで形成された前記第2プラグは、前記選択ゲートの上面に形成されたシリサイド層と電氣的に接続していることを特徴とする半導体装置。

[19] 請求項11～18のいずれか1項に記載の半導体装置において、前記メモリセルが形成された領域では、前記選択ゲート電極の前記半導体基板の主面からの高さは、前記メモリゲート電極の前記半導体基板の主面からの高さよりも低いことを特徴とする半導体装置。

[20] 請求項11～19のいずれか1項に記載の半導体装置において、前記メモリセルが形成された領域および前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域における前記メモリゲート電極の前記半導体基板の主面からの高さは、前記選択ゲート電極に電圧を供給する第2プラグが形成された領域における前記メモリゲート電極の前記半導体基板の主面からの高さよりも高いことを特徴とする半導体装置。

[21] 請求項11～20のいずれか1項に記載の半導体装置において、前記メモリゲート電極に電圧を供給する前記第1プラグが形成された領域および前記選択ゲート電極に電圧を供給する前記第2プラグが形成された領域では、前記半導体基板に絶縁膜からなる素子分離部が形成されていることを特徴とする半導体装置。

[22] 第1メモリセルを有する半導体装置の製造方法であって、前記第1メモリセルを形成する工程は、

(a)半導体基板上に第1絶縁膜を堆積して、第1ゲート絶縁膜を形成する工程と、

(b)前記第1ゲート絶縁膜上に第1導電膜を形成する工程と、

(c)前記第1導電膜上に第2絶縁膜を形成する工程と、

(d) 前記第2絶縁膜および前記第1導電膜を加工することによって、前記第1導電膜からなる選択ゲート電極と、前記選択ゲート電極上に前記第2絶縁膜からなるキャップ絶縁膜とを形成する工程と、

(e) 前記第1メモリセルが形成される領域の前記選択ゲート電極上の前記キャップ絶縁膜は残し、前記選択ゲート電極に電圧を供給する第2プラグが形成される領域の前記選択ゲート電極上の前記キャップ絶縁膜は除去する工程と、

(f) 前記(e)工程の後に、前記半導体基板上に第2ゲート絶縁膜を形成する工程と、

(g) 前記第2ゲート絶縁膜上に第2導電膜を形成する工程と、

(h) 前記第2導電膜に対して異方性エッチングを施すことによって、前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成する工程と、

(i) 前記(h)工程の後に、前記第1メモリセルが形成される領域では、前記半導体基板に第1ソース領域および第1ドレイン領域を形成する工程と、

(j) 前記(i)工程の後に、前記メモリゲート電極の上面、前記選択ゲート電極に電圧を供給する前記第2プラグが形成される領域の前記選択ゲート電極の上面、ならびに前記第1メモリセルが形成される領域の前記第1ソース領域および第1ドレイン領域の上面にシリサイド層を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

[23] 請求項22記載の半導体装置の製造方法において、前記選択ゲート電極に電圧を供給する前記第2プラグが形成される領域では、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第2コンタクトホールを形成する工程と、

前記第2コンタクトホール内に前記第3導電膜を埋め込み、前記第2プラグを形成する工程と、

を含み、前記第2プラグは前記選択ゲート電極の上面の前記シリサイド層と接続していることを特徴とする半導体装置の製造方法。

[24] 半導体基板上に第1メモリセルおよび前記第1メモリセルの周辺に形成されるMIS

FETを有する半導体装置の製造方法であって、前記第1メモリセルおよび前記MISFETを形成する工程は、

(a)前記半導体基板上に第1絶縁膜を堆積し、前記第1メモリセルの第1ゲート絶縁膜および前記MISFETの第3ゲート絶縁膜を形成する工程と、

(b)前記第1ゲート絶縁膜上および第3ゲート絶縁膜上に第1導電膜を形成する工程と、

(c)前記第1導電膜上に第2絶縁膜を形成する工程と、

(d)前記第1メモリセルが形成される領域の前記第2絶縁膜および前記第1導電膜を加工することによって、前記第1導電膜からなる前記第1メモリセルの選択ゲート電極と、前記選択ゲート電極上に前記第2絶縁膜からなるキャップ絶縁膜とを形成する工程と、

(e)前記第1メモリセルが形成される領域の前記選択ゲート電極上の前記キャップ絶縁膜は残し、前記MISFETが形成される領域の前記第2絶縁膜は除去する工程と、

(f)前記(e)工程の後に、前記半導体基板上に第2ゲート絶縁膜を形成する工程と、

(g)前記第2ゲート絶縁膜上に第2導電膜を形成する工程と、

(h)前記第2導電膜に対して異方性エッチングを施すことによって、前記第1メモリセルの前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成する工程と、

(i)前記MISFETが形成される領域の前記第1導電膜を加工することによって、前記MISFETのゲート電極を形成する工程と、

(j)前記(i)工程の後に、前記第1メモリセルが形成される領域では、前記半導体基板に第1ソース領域および第1ドレイン領域を形成し、前記MISFETが形成される領域では、前記半導体基板に第2ソース領域および第2ドレイン領域を形成する工程と、

(k)前記(j)工程の後に、前記メモリゲート電極の上面および前記MISFETのゲート電極の上面にシリサイド層を形成し、かつ、前記第1ソース領域および前記第1ドレイン領域の上面、ならびに前記第2ソース領域および前記第2ドレイン領域の上面にシリサイド層を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

- [25] 請求項24記載の半導体装置の製造方法において、前記選択ゲート電極に電圧を供給する第2プラグが形成される領域では、
- 前記(e)工程において、前記選択ゲート電極上の前記キャップ絶縁膜を除去する工程と、
- 前記(k)工程において、前記選択ゲート電極の上面にシリサイド層を形成する工程と、
- 前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、
- 前記層間絶縁膜に第2コンタクトホールを形成する工程と、
- 前記第2コンタクトホール内に前記第3導電膜を埋め込み、前記第2プラグを形成する工程と、
- を含み、前記第2プラグは前記選択ゲート電極の上面の前記シリサイド層と接続していることを特徴とする半導体装置の製造方法。
- [26] 半導体基板上に第1メモリセルおよび前記第1メモリセルの周辺に形成された容量素子を有する半導体装置の製造方法であって、前記第1メモリセルおよび前記容量素子を形成する工程は、
- (a)前記半導体基板上に第1絶縁膜を堆積し、前記第1メモリセルの第1ゲート絶縁膜を形成する工程と、
- (b)前記第1ゲート絶縁膜上および前記容量素子が形成される領域の半導体基板上に第1導電膜を形成する工程と、
- (c)前記第1導電膜上に第2絶縁膜を形成する工程と、
- (d)前記第2絶縁膜および前記第1導電膜を加工することによって、前記第1導電膜からなる第1メモリセルの選択ゲート電極と、前記選択ゲート上に前記第2絶縁膜からなるキャップ絶縁膜を形成し、前記第1導電膜からなる前記容量素子の下部電極と、前記下部電極上に前記第2絶縁膜からなるキャップ絶縁膜を形成する工程と、
- (e)前記選択ゲート電極上の前記キャップ絶縁膜は残し、前記下部電極上の前記キャップ絶縁膜を除去する工程と、
- (f)前記(e)工程の後に、前記半導体基板上に第2ゲート絶縁膜を形成する工程と、

(g)前記第2ゲート絶縁膜上に第2導電膜を形成する工程と、
(h)前記第2導電膜に対して異方性エッチングを施すことによって、前記第1メモリセルの前記キャップ絶縁膜および前記選択ゲート電極からなる積層膜の側面にサイドウォール状にメモリゲート電極を形成し、かつ前記下部電極を覆うように前記容量素子の上部電極を形成する工程と、
を含み、前記(f)工程で前記容量素子が形成される領域に形成された前記第2ゲート絶縁膜は、前記容量素子の容量絶縁膜として機能することを特徴とする半導体装置の製造方法。

[27] 請求項26記載の半導体装置の製造方法において、前記第1メモリセルが形成される領域では、

(i)前記(h)工程の後に、前記半導体基板に第1ソース領域および第1ドレイン領域を形成する工程と、
(j)前記(i)工程の後に、前記メモリゲート電極の上面、ならびに前記第1ソース領域および前記第1ドレイン領域の上面にシリサイド層を形成する工程と、
をさらに含むことを特徴とする半導体装置の製造方法。

[28] 請求項26記載の半導体装置の製造方法において、前記選択ゲート電極に電圧を供給する第2プラグが形成される領域では、

前記(e)工程において、前記選択ゲート電極上の前記キャップ絶縁膜を除去する工程と、

前記選択ゲート電極の上面にシリサイド層を形成する工程と、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第2コンタクトホールを形成する工程と、

前記第2コンタクトホール内に前記第3導電膜を埋め込み、前記第2プラグを形成する工程と、

を含み、前記第2プラグは前記選択ゲート電極の上面の前記シリサイド層と接続していることを特徴とする半導体装置の製造方法。

[29] 請求項27記載の半導体装置の製造方法において、前記選択ゲート電極に電圧を供

給する第2プラグが形成される領域では、

前記(e)工程において、前記選択ゲート電極上の前記キャップ絶縁膜を除去する工程と、

前記(j)工程において、前記選択ゲート電極の上面にシリサイド層を形成する工程と、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第2コンタクトホールを形成する工程と、

前記第2コンタクトホール内に前記第3導電膜を埋め込み、前記第2プラグを形成する工程と、

を含み、前記第2プラグは前記選択ゲート電極の上面の前記シリサイド層と接続していることを特徴とする半導体装置の製造方法。

[30] 請求項22～29のいずれか1項に記載の半導体装置の製造方法において、前記メモリゲート電極に電圧を供給する第1プラグが形成される領域では、

前記(e)工程において、前記選択ゲート電極上の前記キャップ絶縁膜を残す工程と、

前記半導体基板、前記選択ゲート電極および前記メモリゲート電極上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第1コンタクトホールを形成する工程と、

前記第1コンタクトホール内に第3導電膜を埋め込み、第1プラグを形成する工程と

、
を含み、前記第1プラグは前記メモリゲート電極と電氣的に接続するように形成されていることを特徴とする半導体装置の製造方法。

[31] 請求項30記載の半導体装置の製造方法において、前記第1プラグは、前記キャップ絶縁膜上にも形成されていることを特徴とする半導体装置。

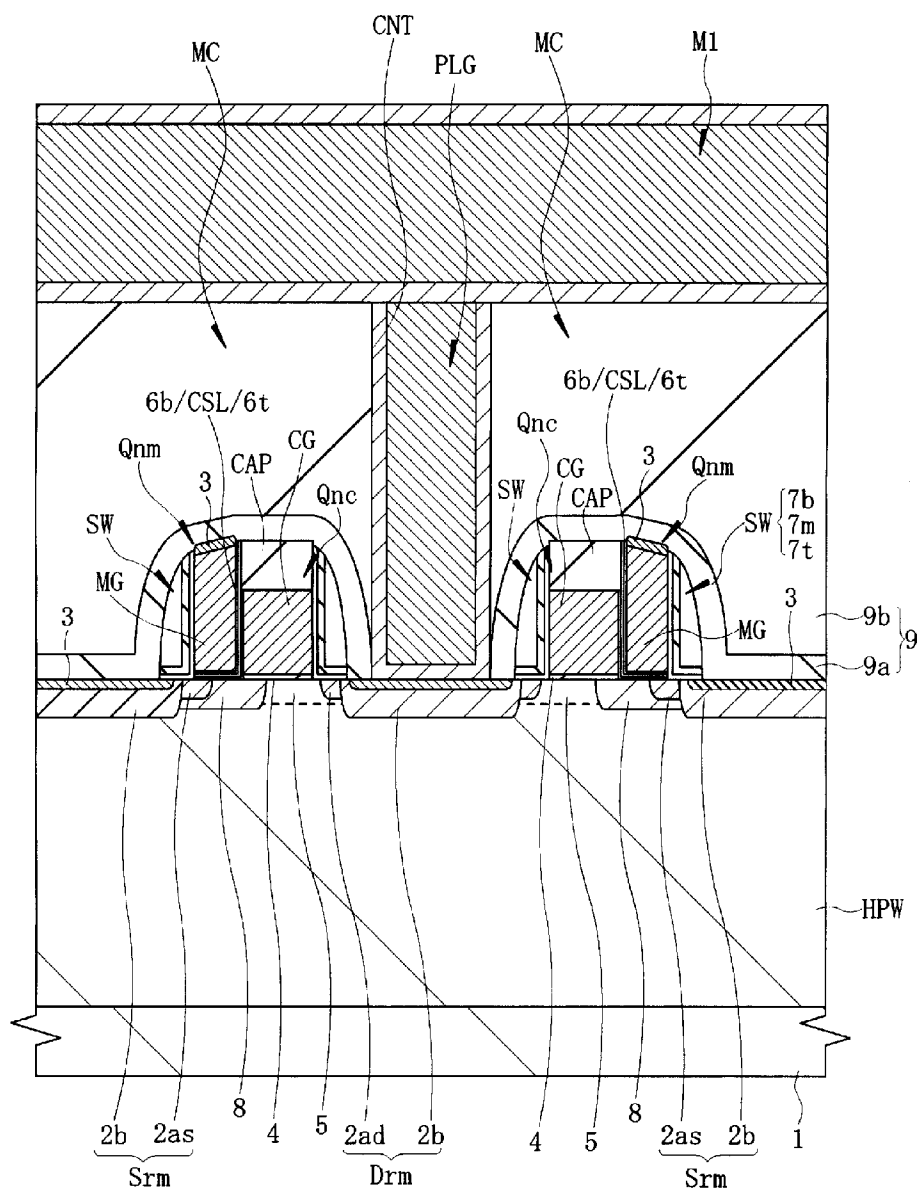
[32] 請求項22～31のいずれか1項に記載の半導体装置の製造方法において、前記(f)工程における前記第2ゲート絶縁膜を形成する工程は、

前記(e)工程の後に、前記半導体基板上に第4絶縁膜を形成する工程と、

前記第4絶縁膜上に電荷蓄積層を形成する工程と、
前記電荷蓄積層上に第5絶縁膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

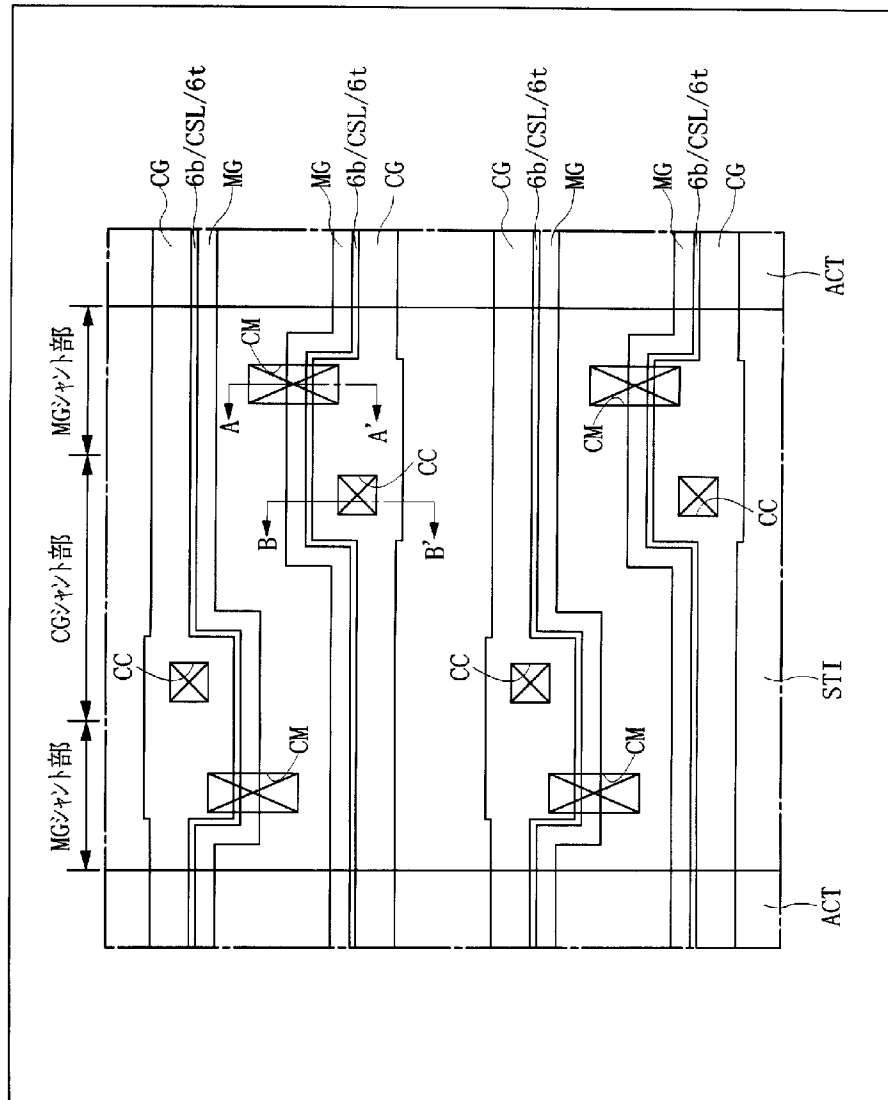
- [33] 請求項22～32のいずれか1項に記載の半導体装置の製造方法において、前記メモリゲート電極に電圧を供給する前記第1プラグが形成される領域および前記選択ゲート電極に電圧を供給する前記第2プラグが形成される領域には、前記半導体基板に絶縁膜からなる素子分離部が形成されていることを特徴とする半導体装置の製造方法。

1



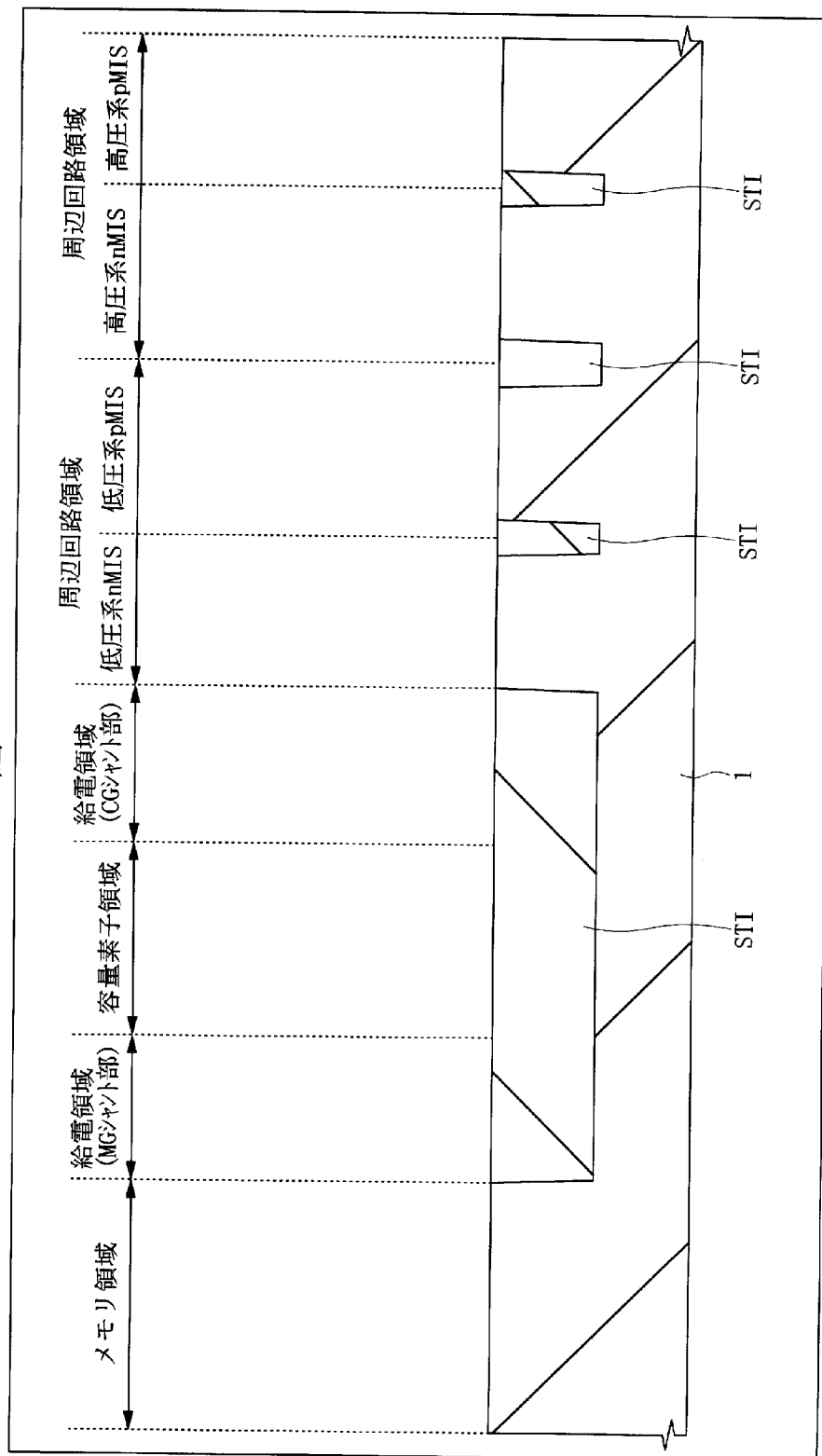
[図2]

図 2

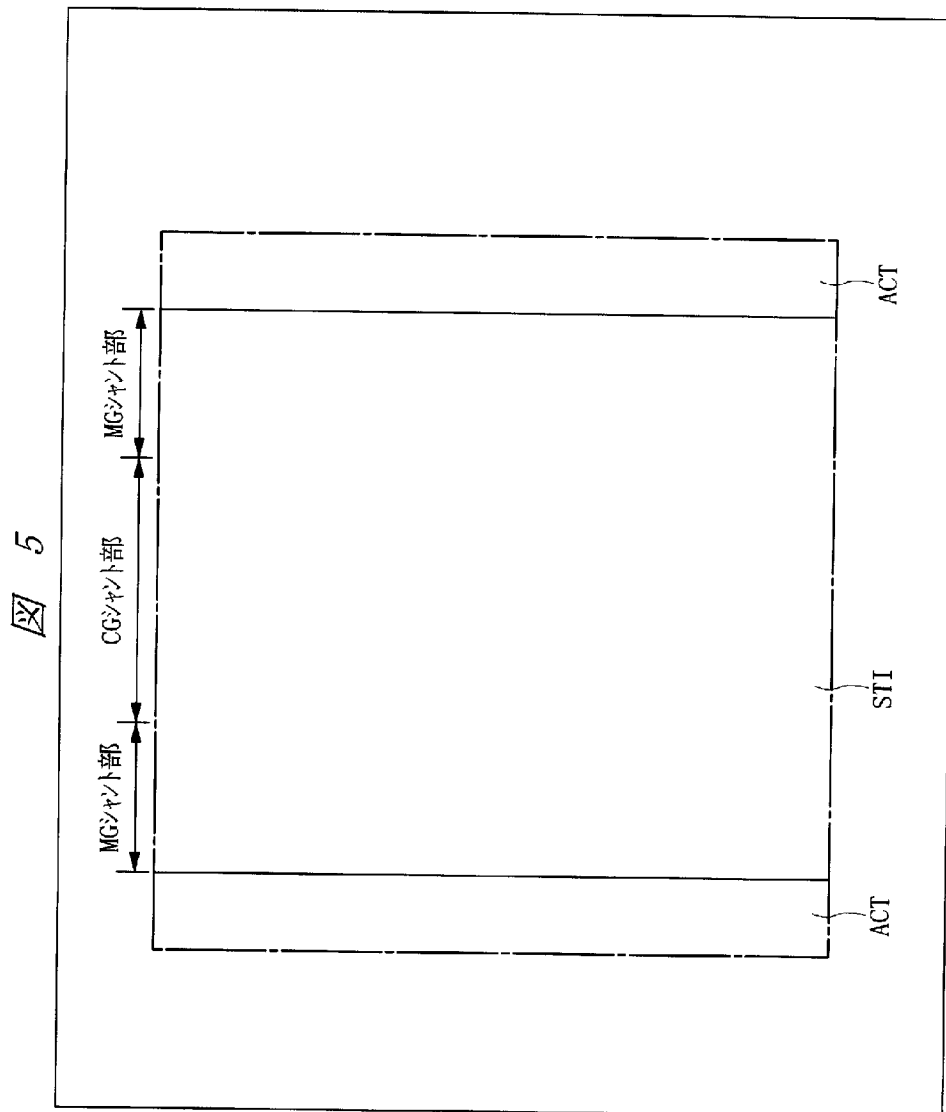


[図4]

図 4

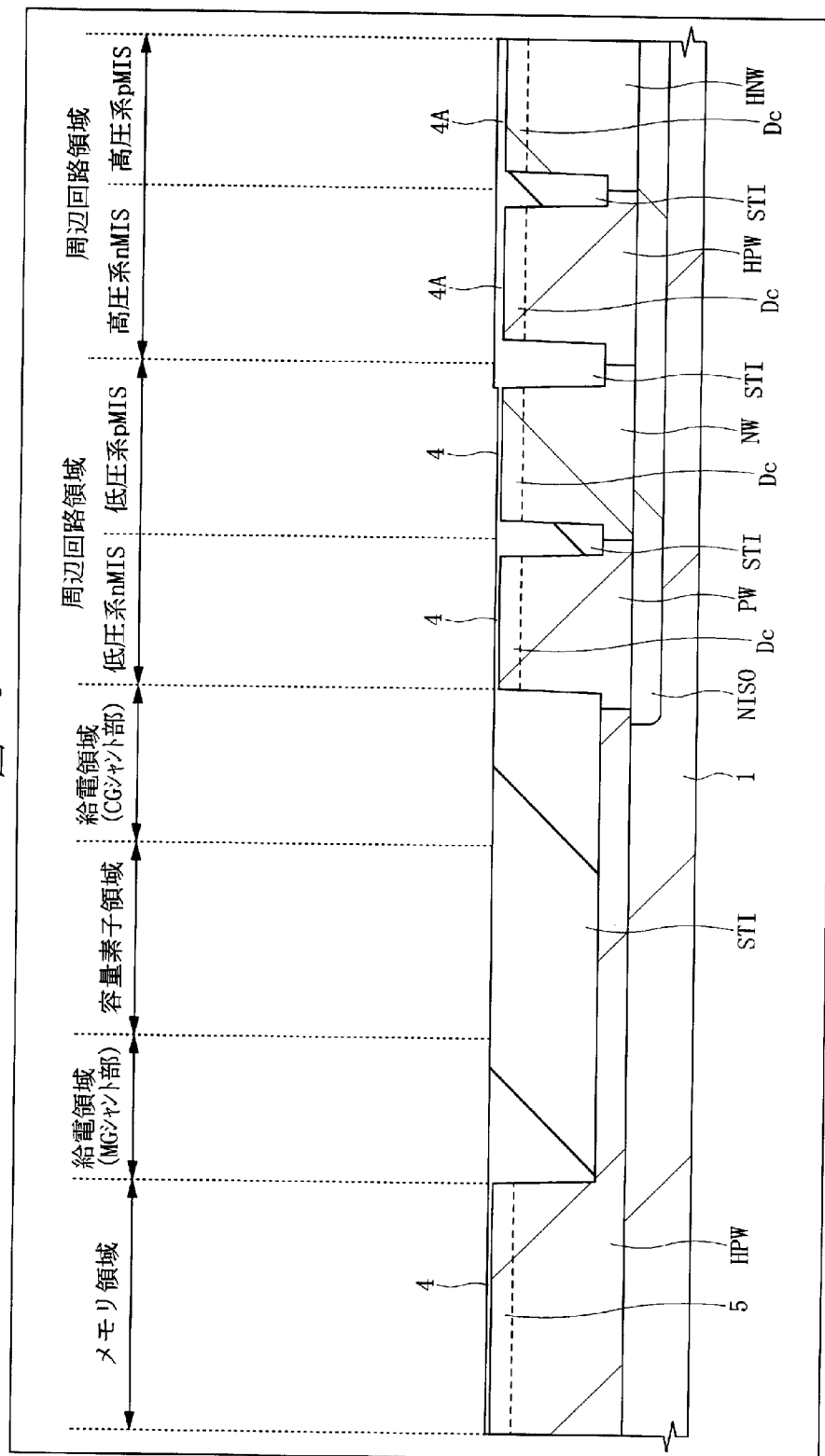


[図5]



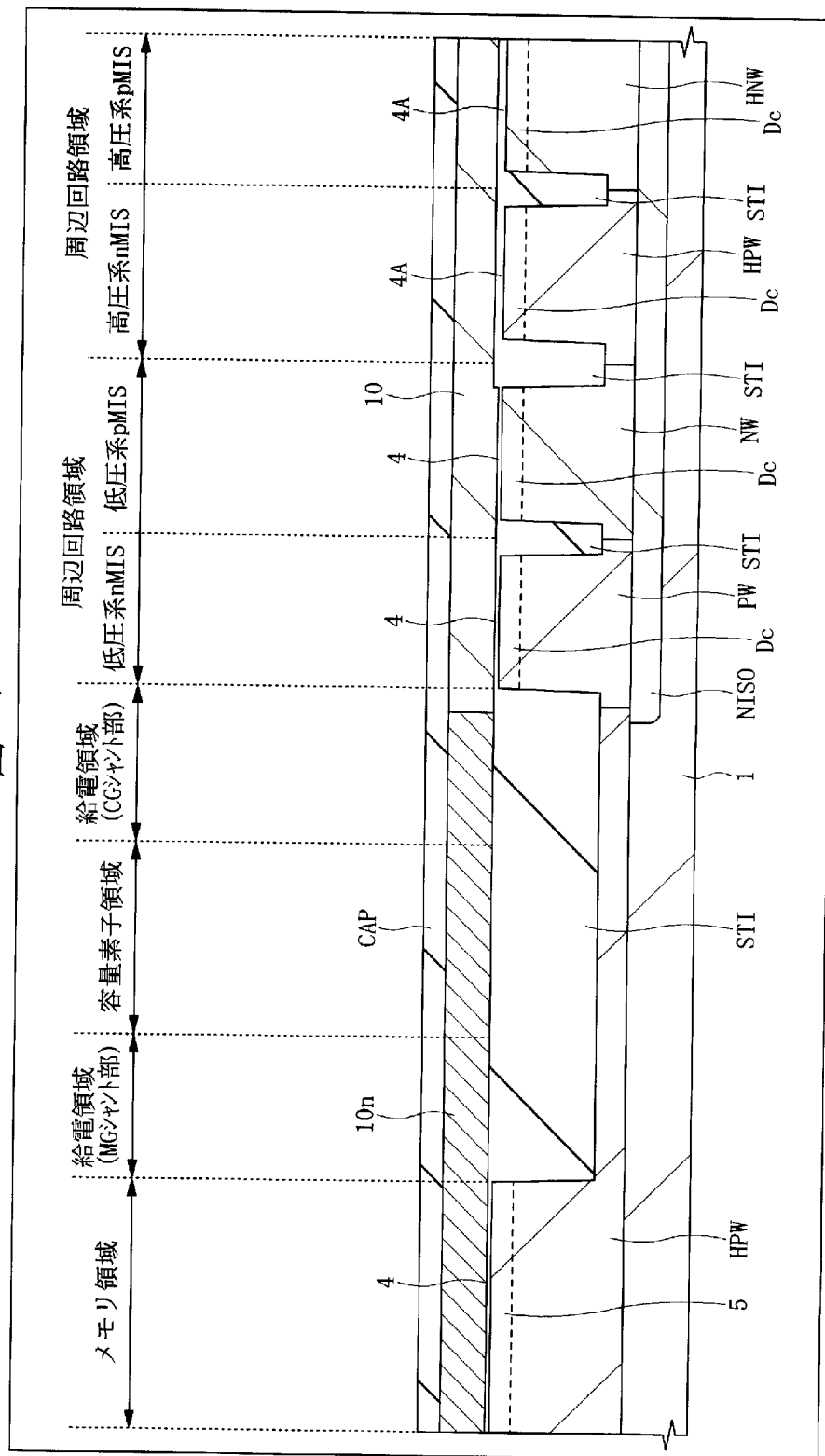
[図6]

図 6



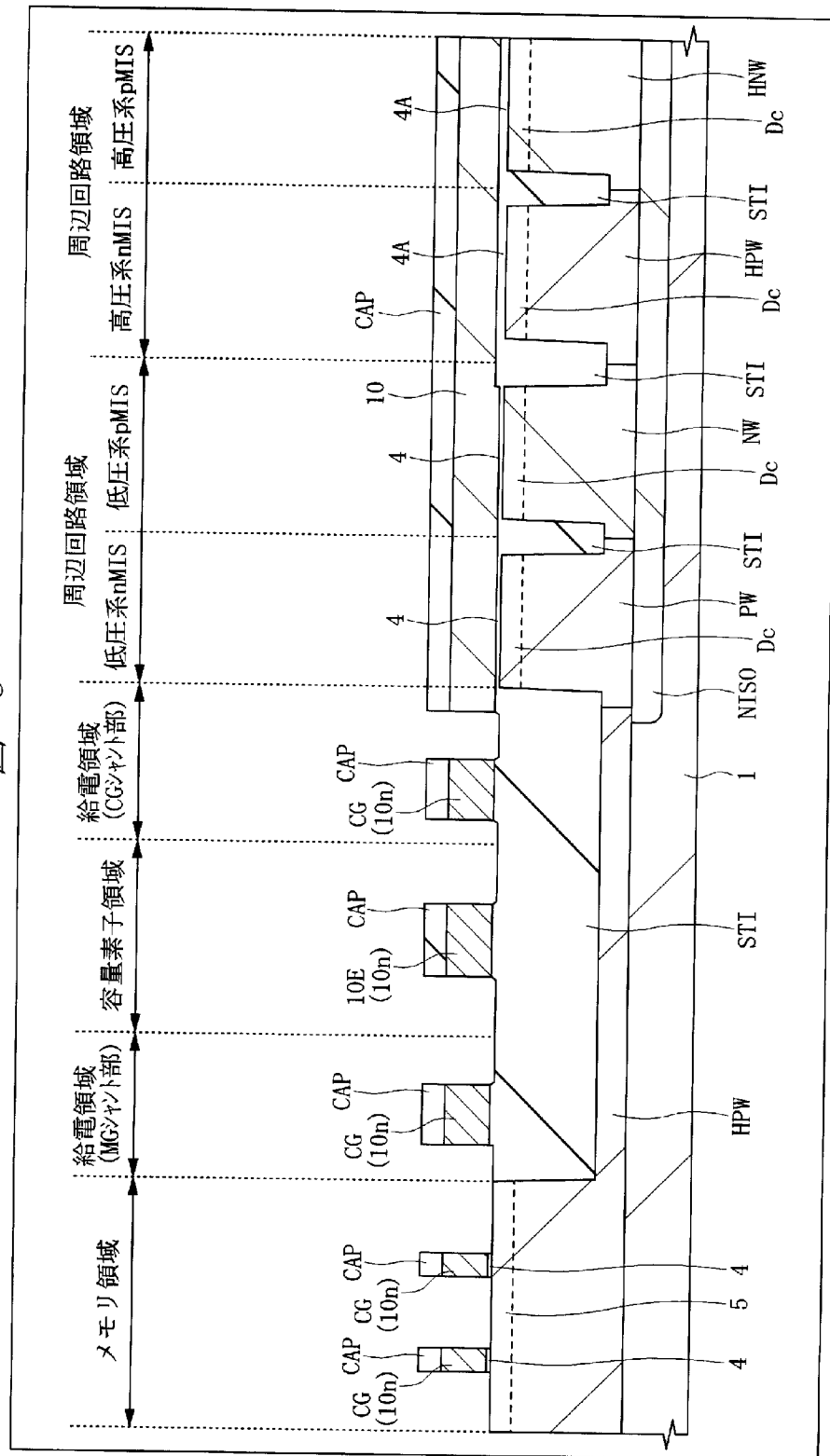
[図7]

図 7



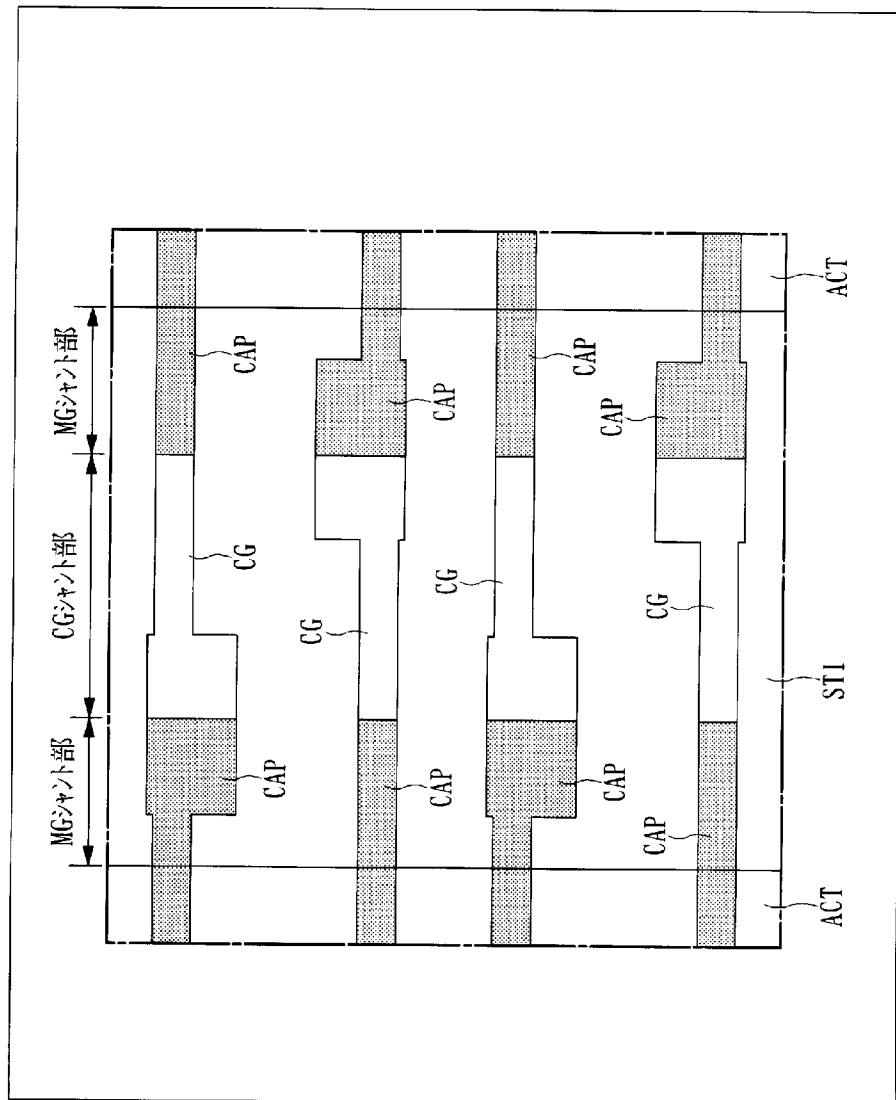
[図8]

図 8



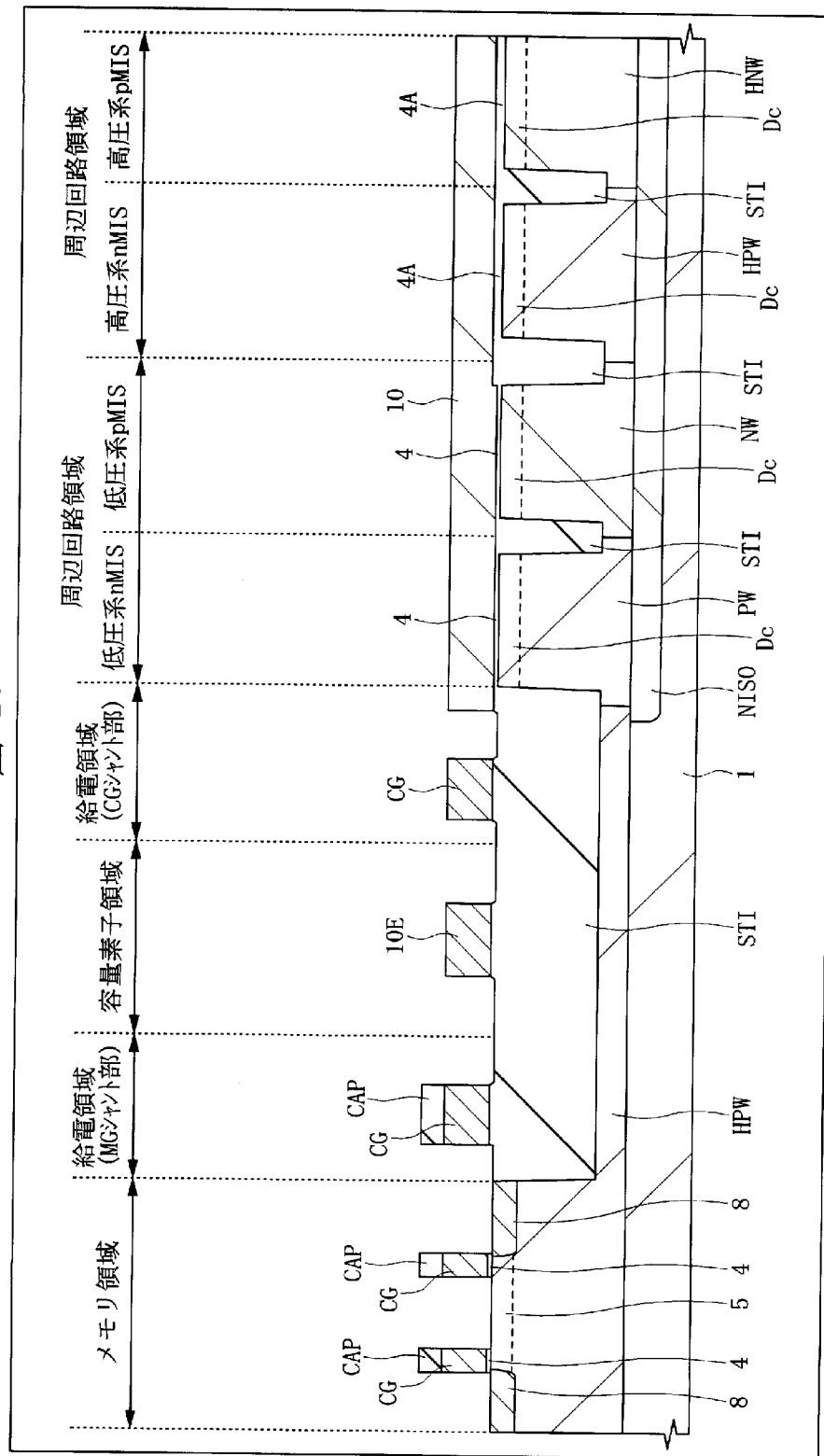
[図9]

図 9



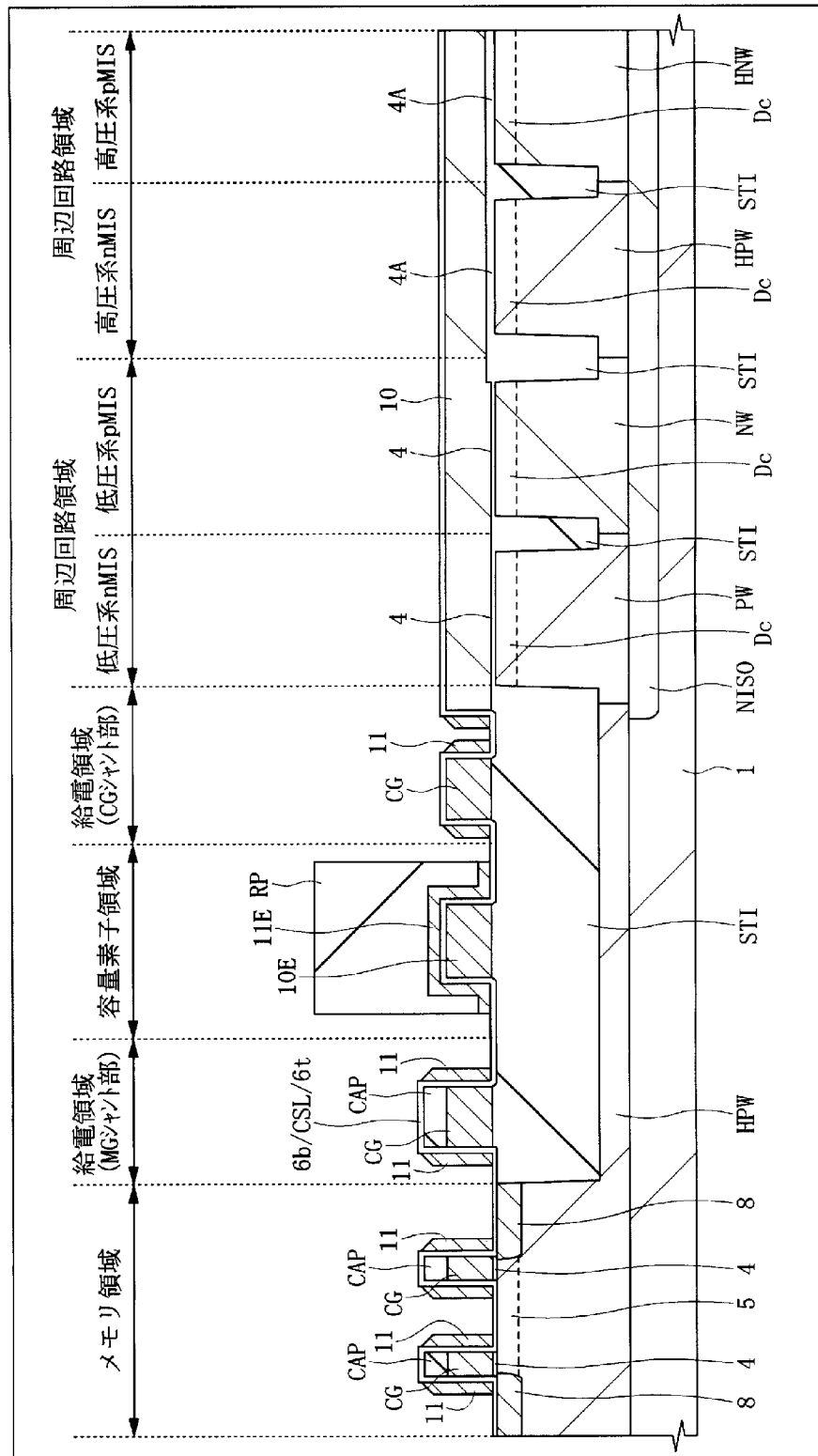
[図10]

図 10



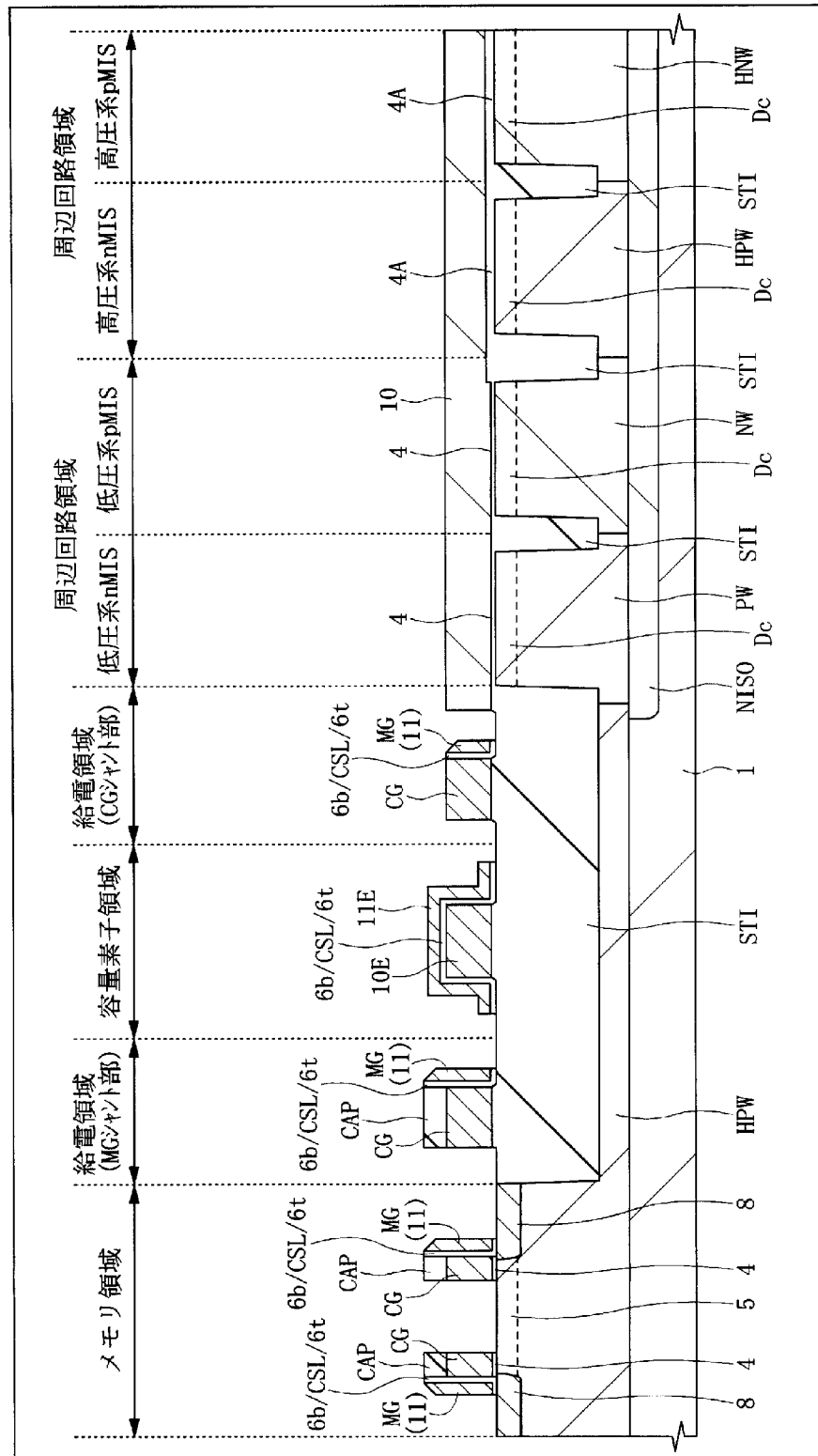
[図11]

図 11



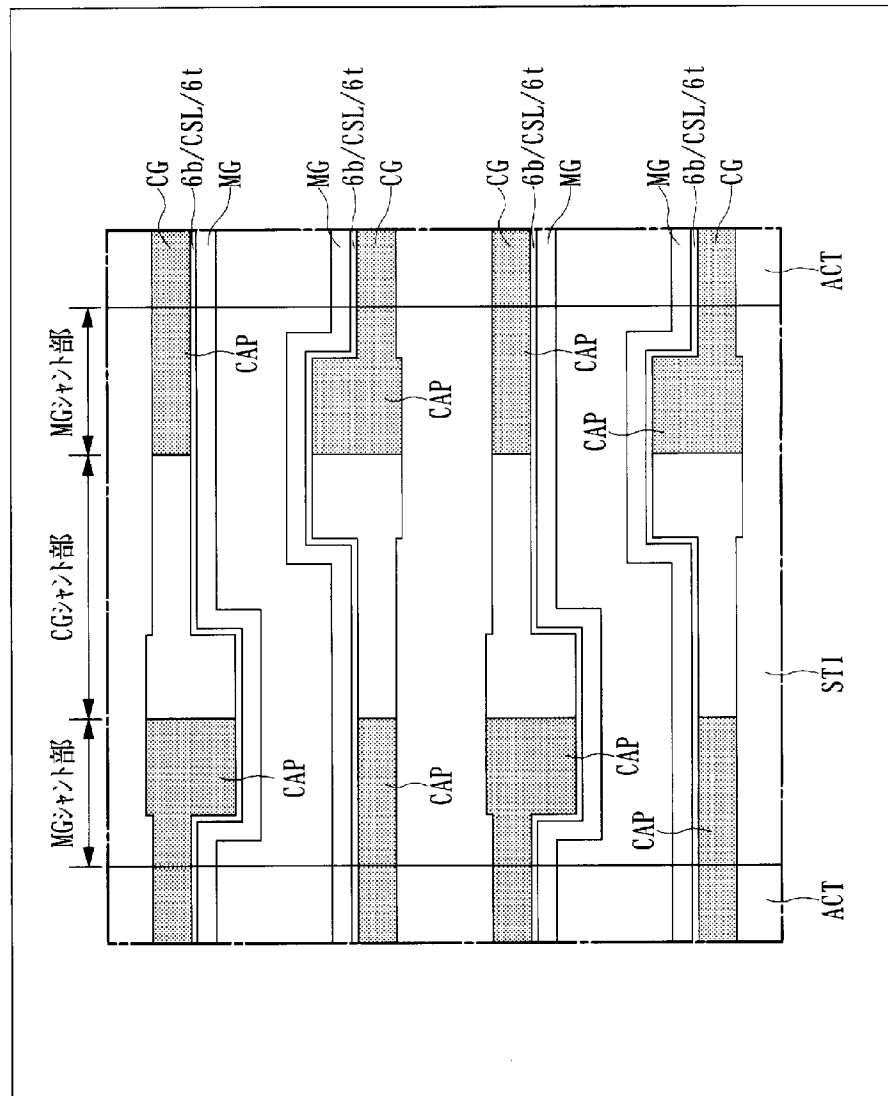
[図12]

図 12

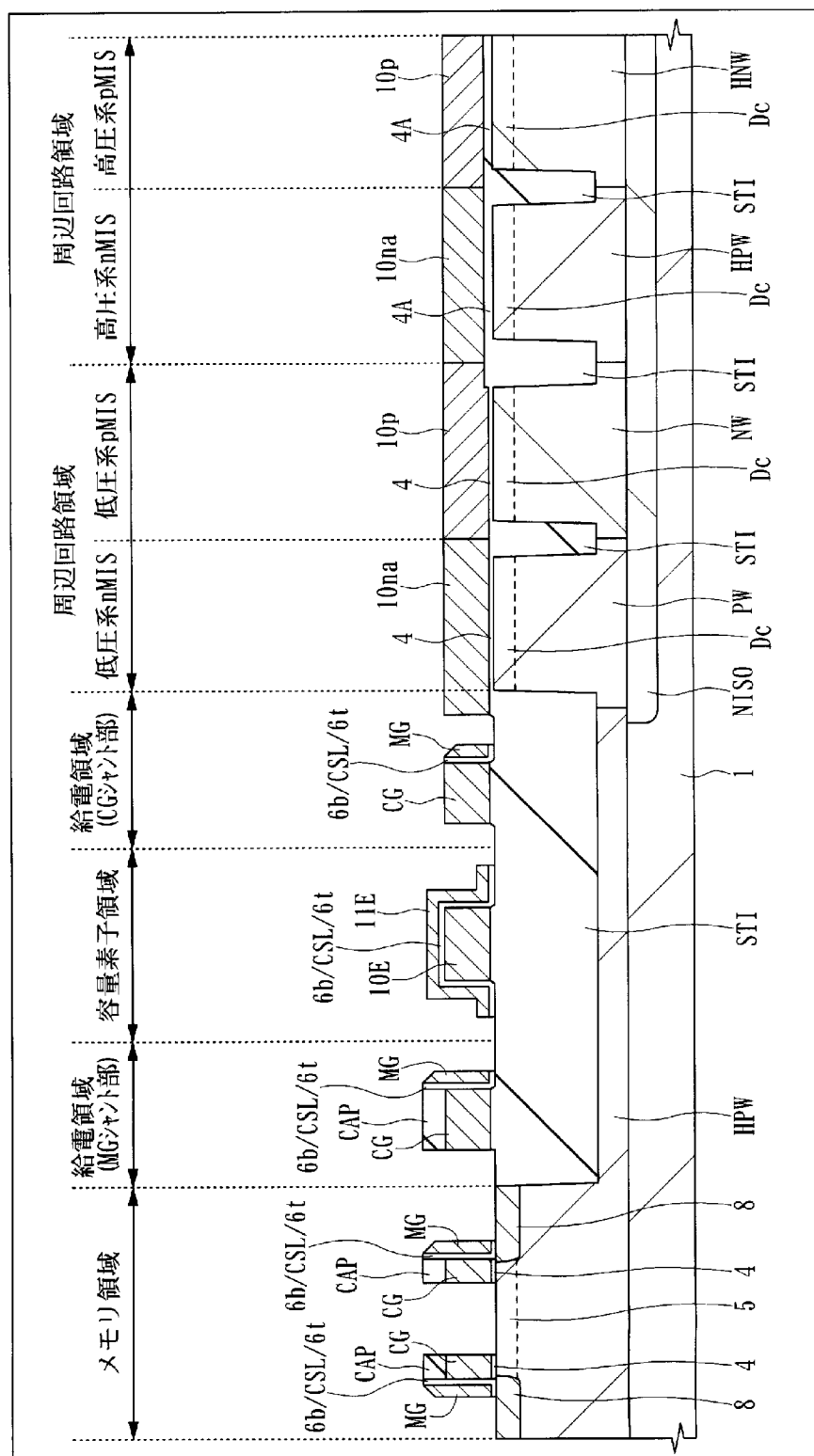


[図13]

図 13

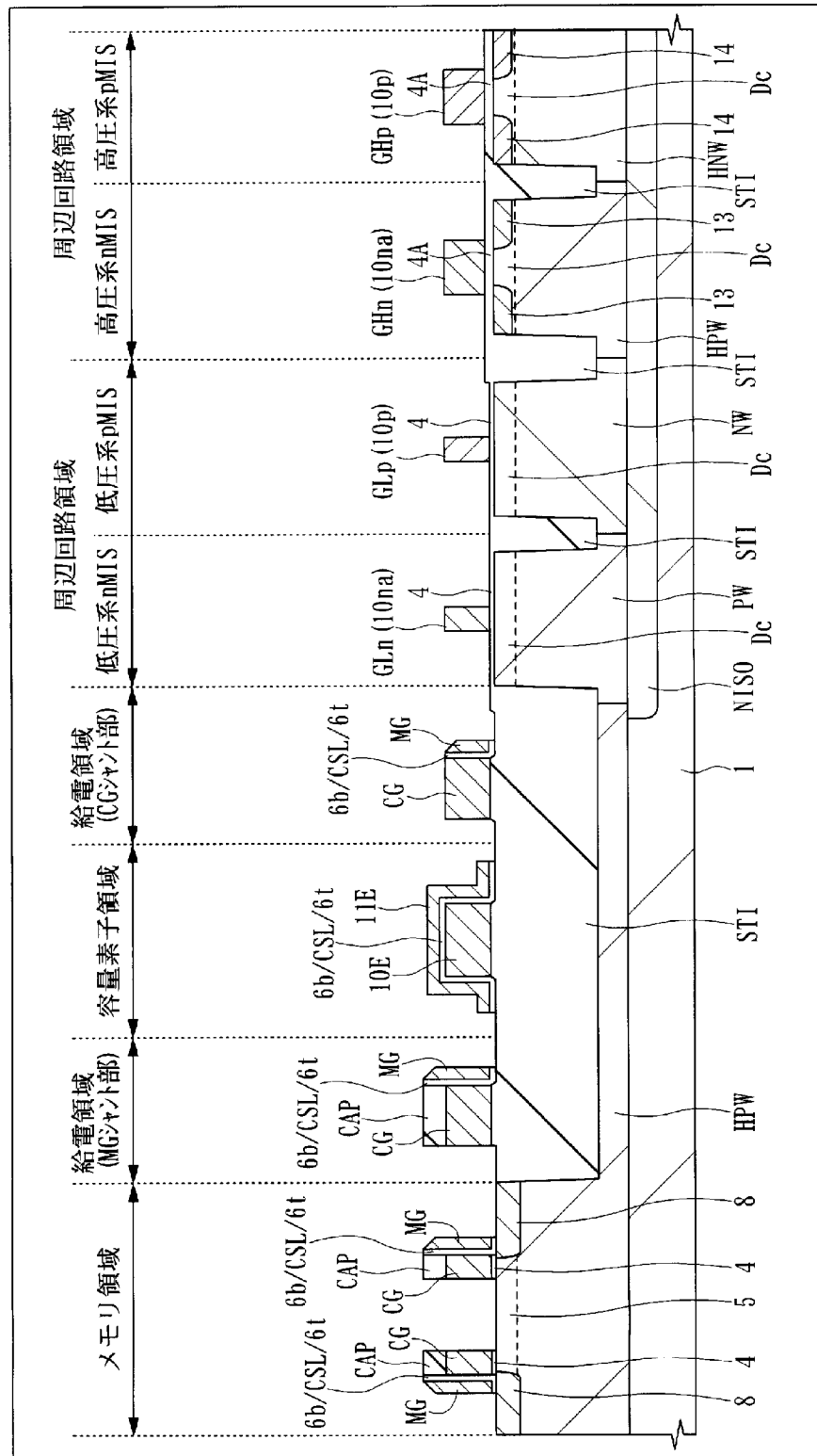


14 ☒

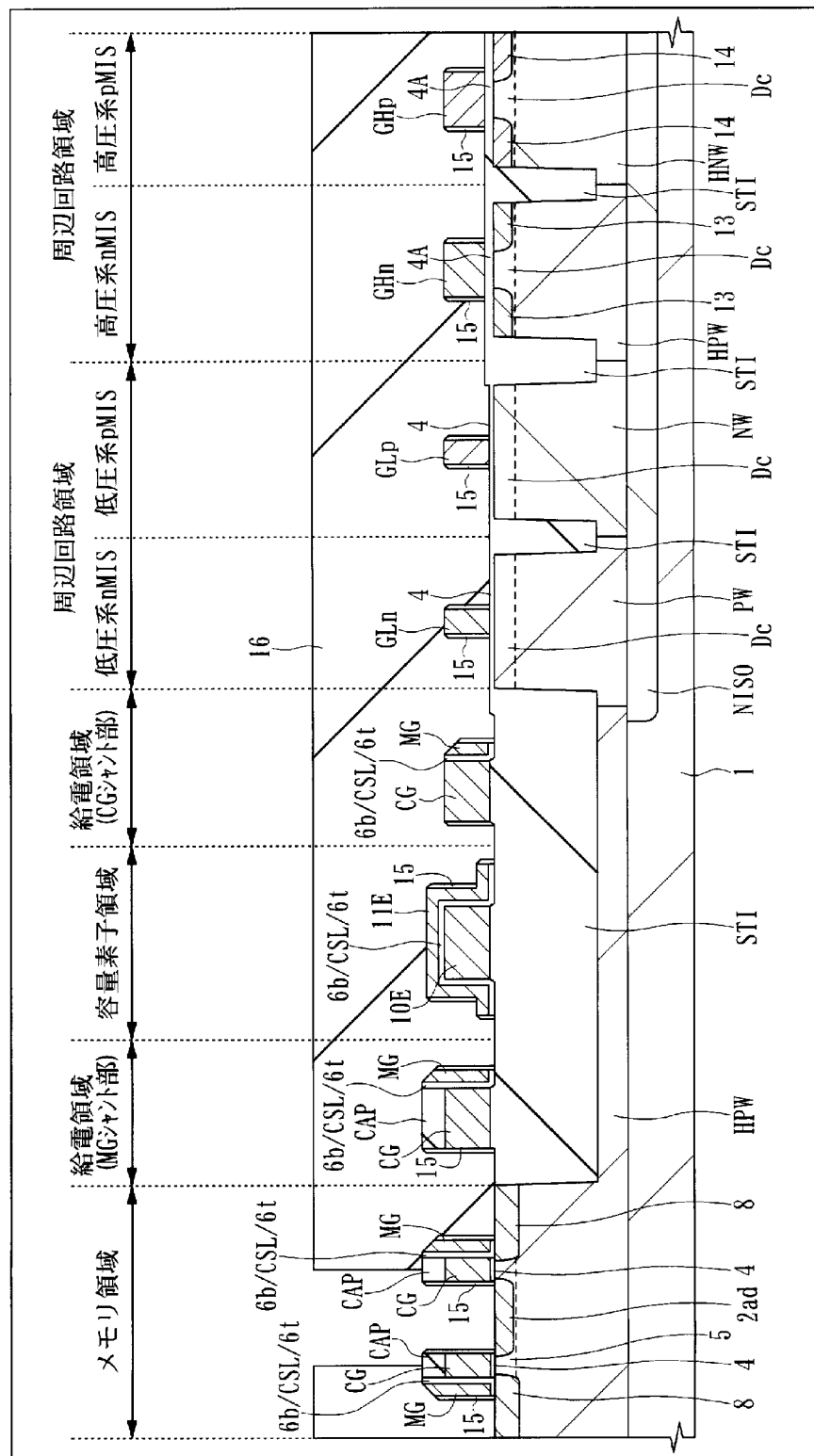


[図15]

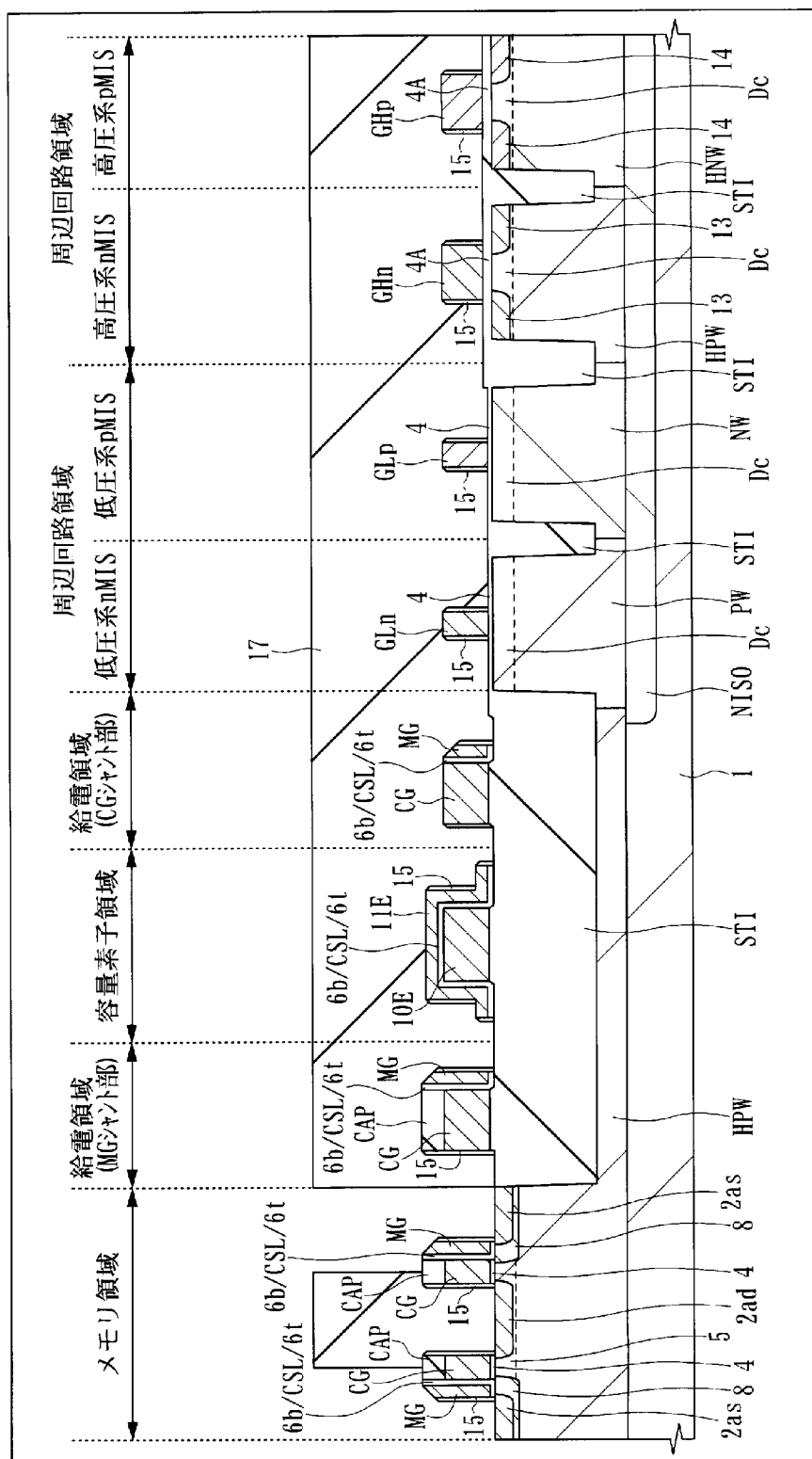
図 15



16

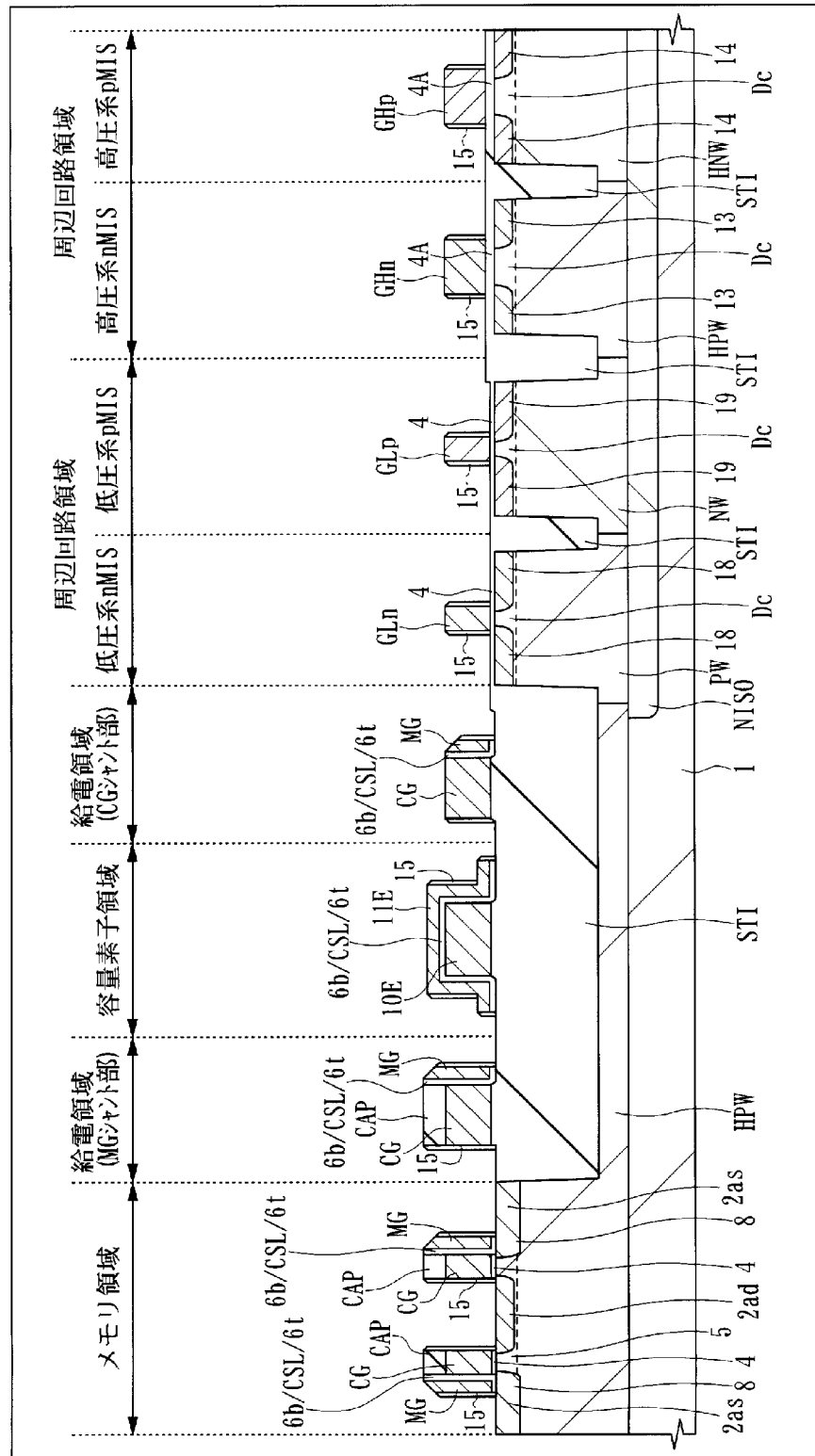


17 ☒

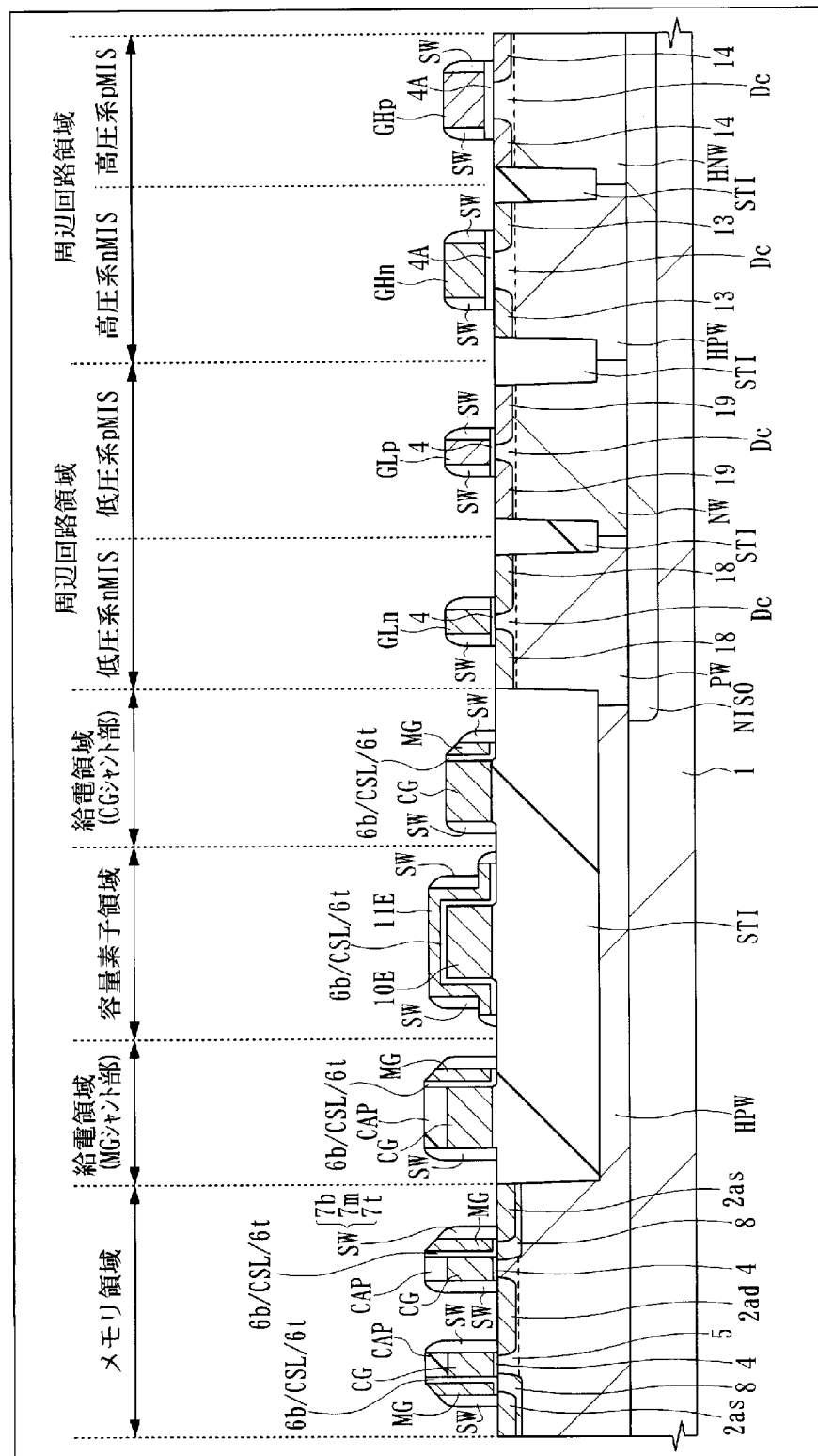


[図18]

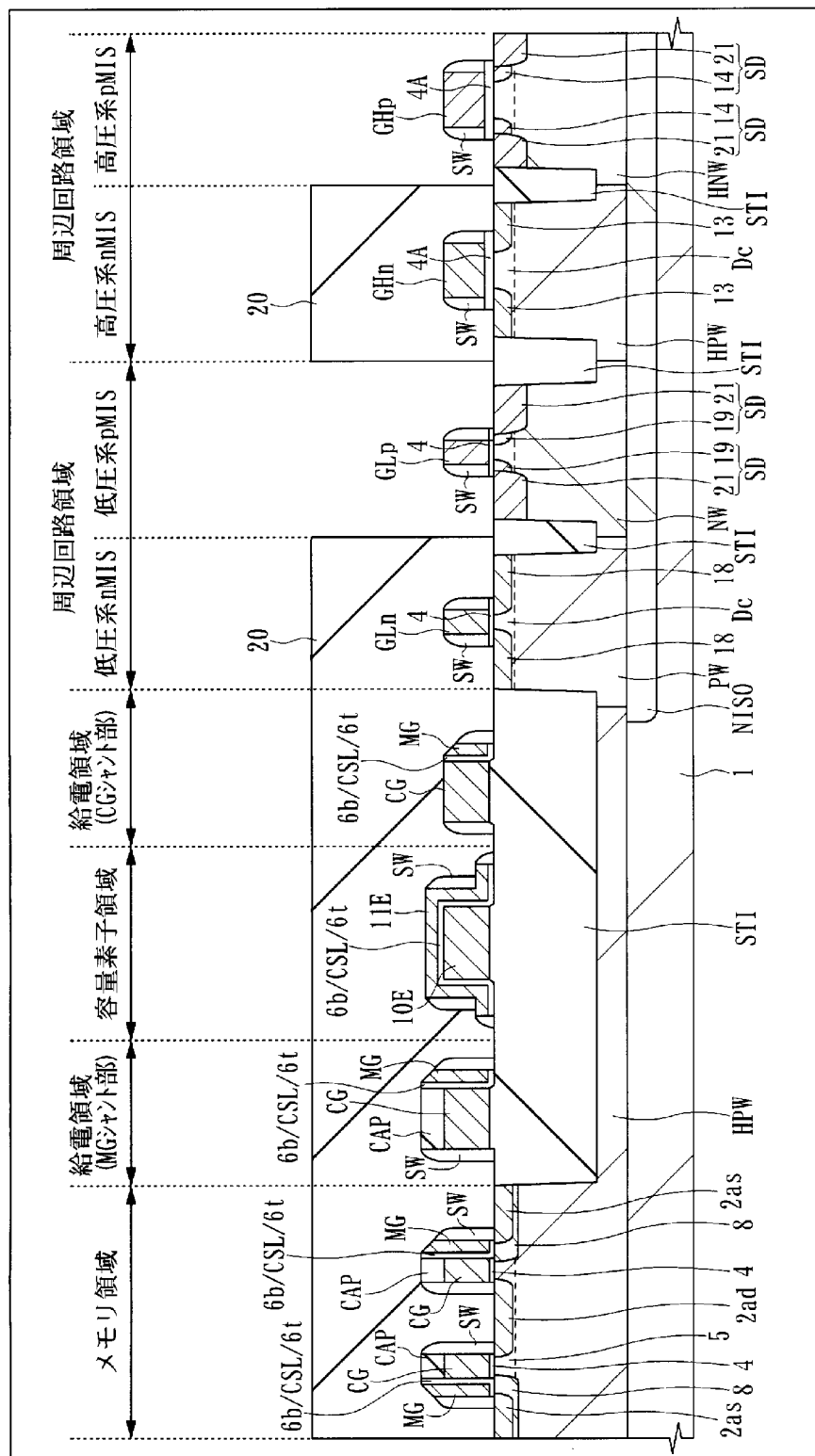
図 18



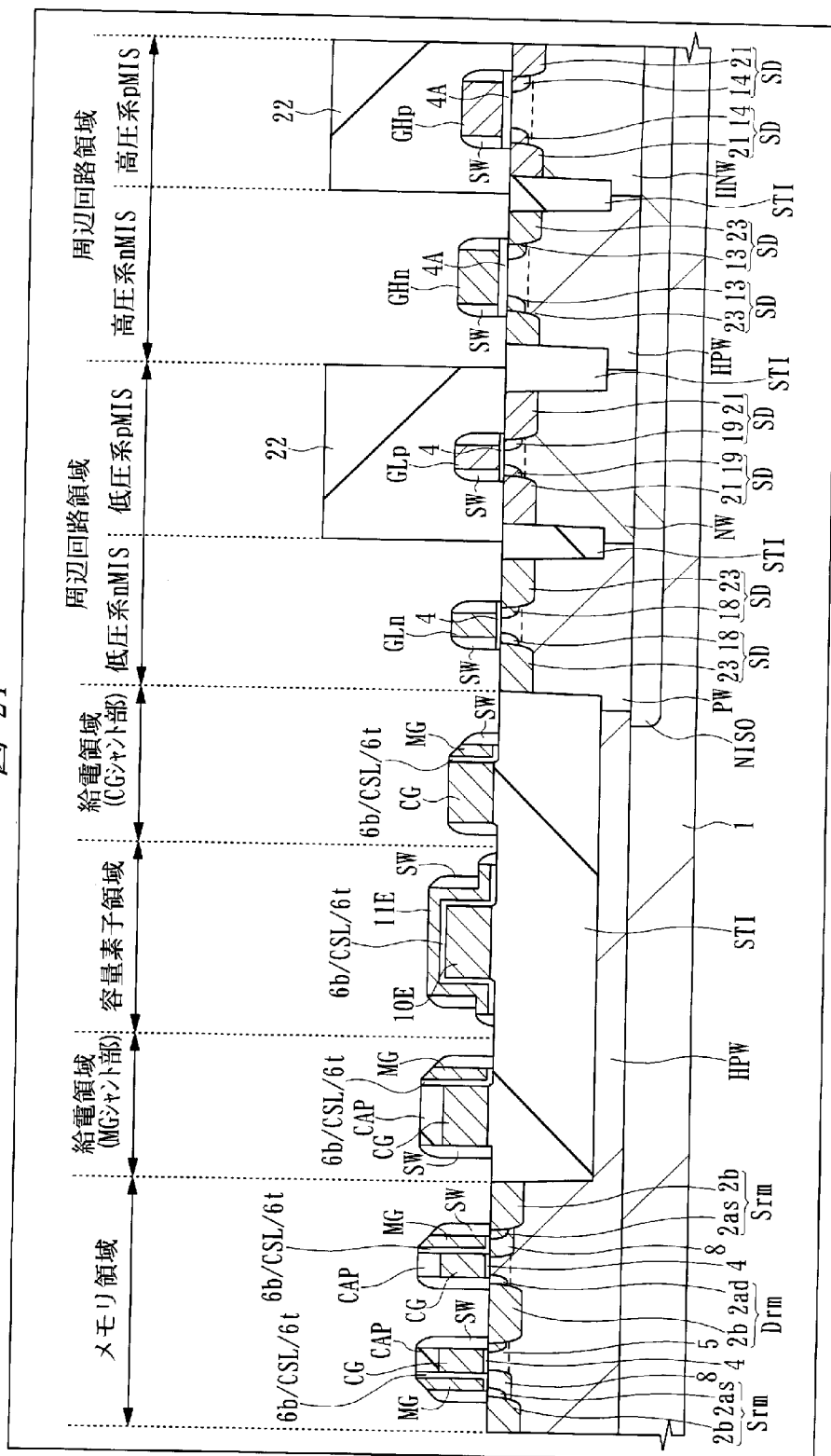
61 図



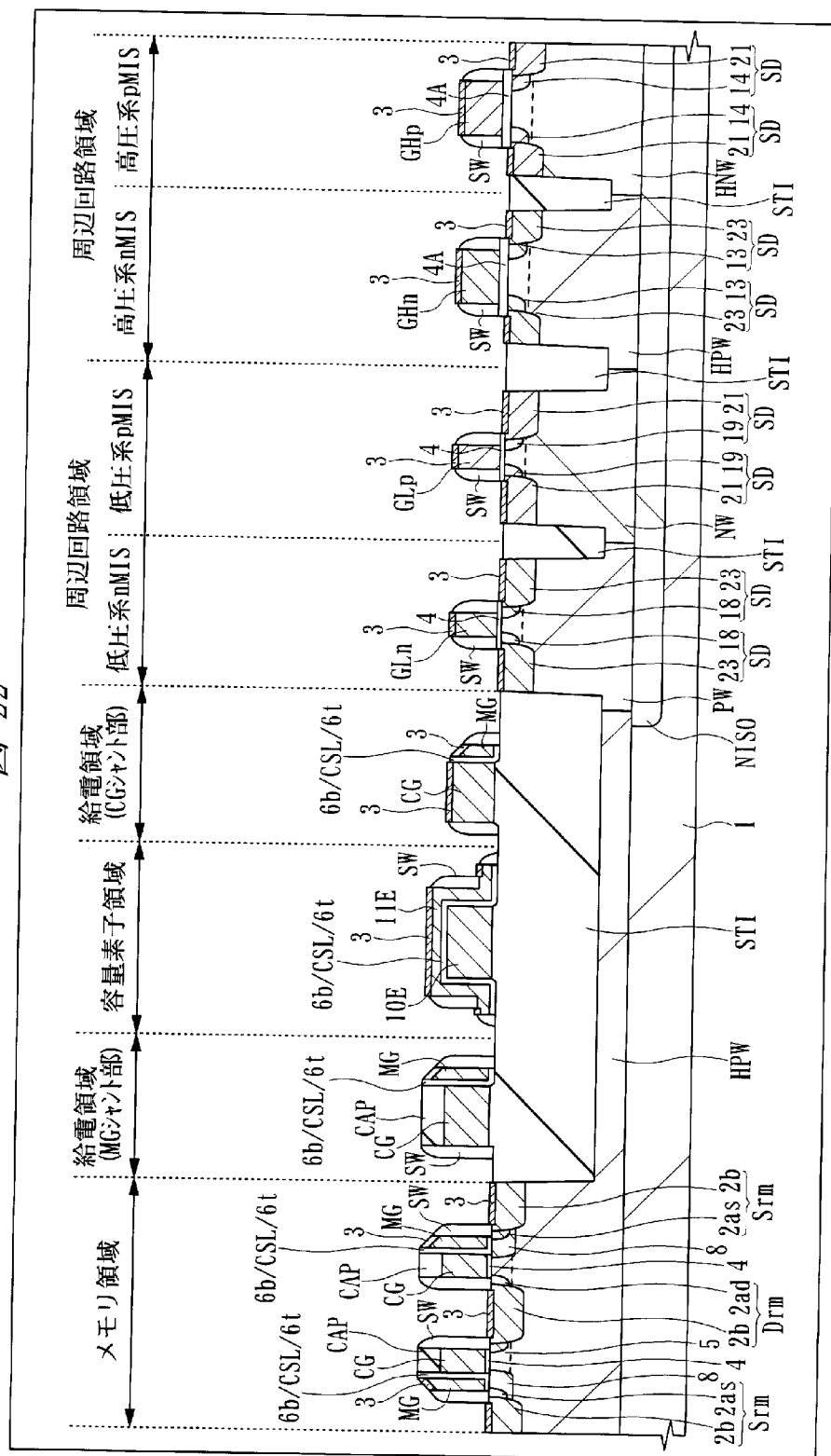
☒ 20



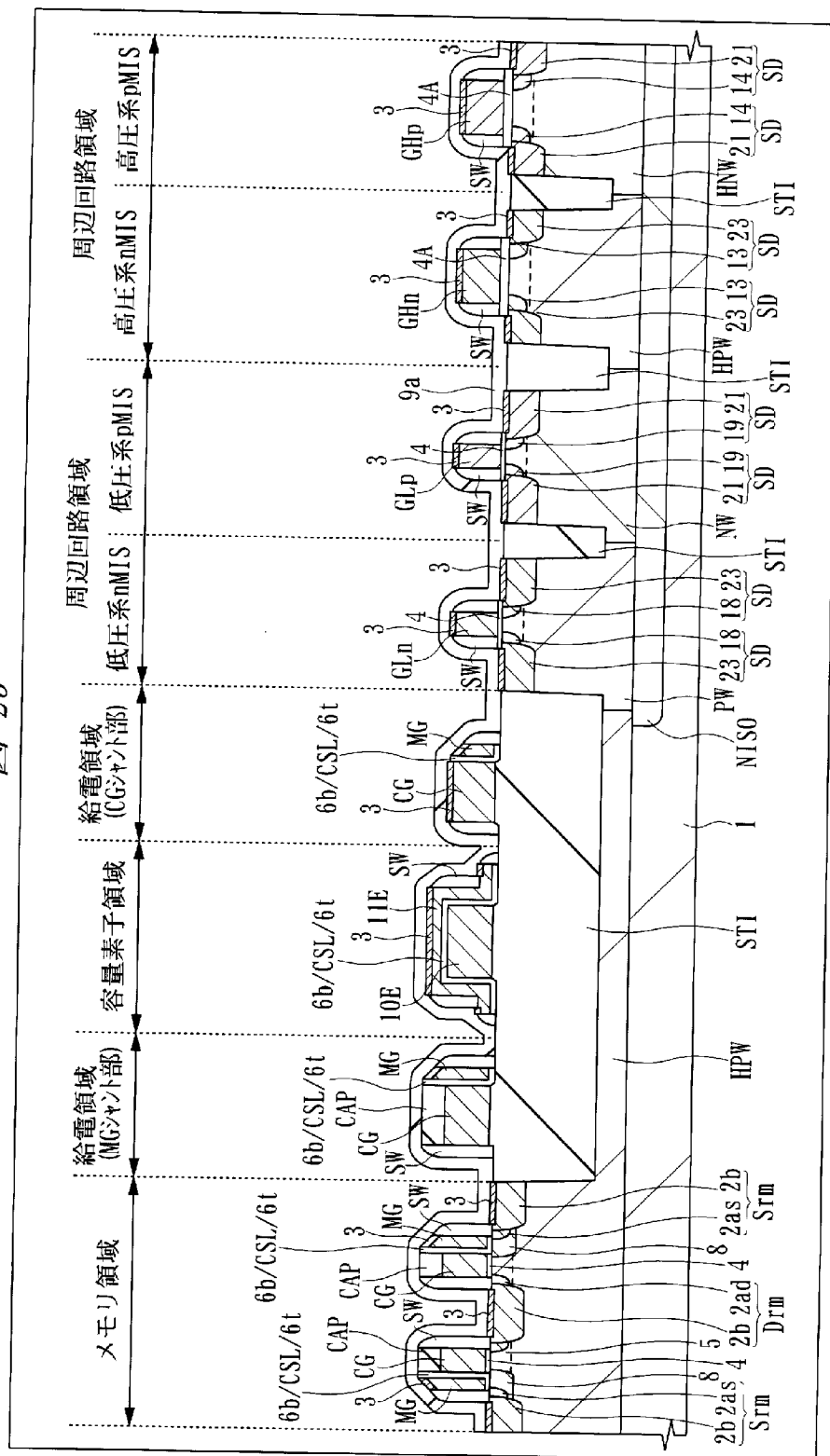
21



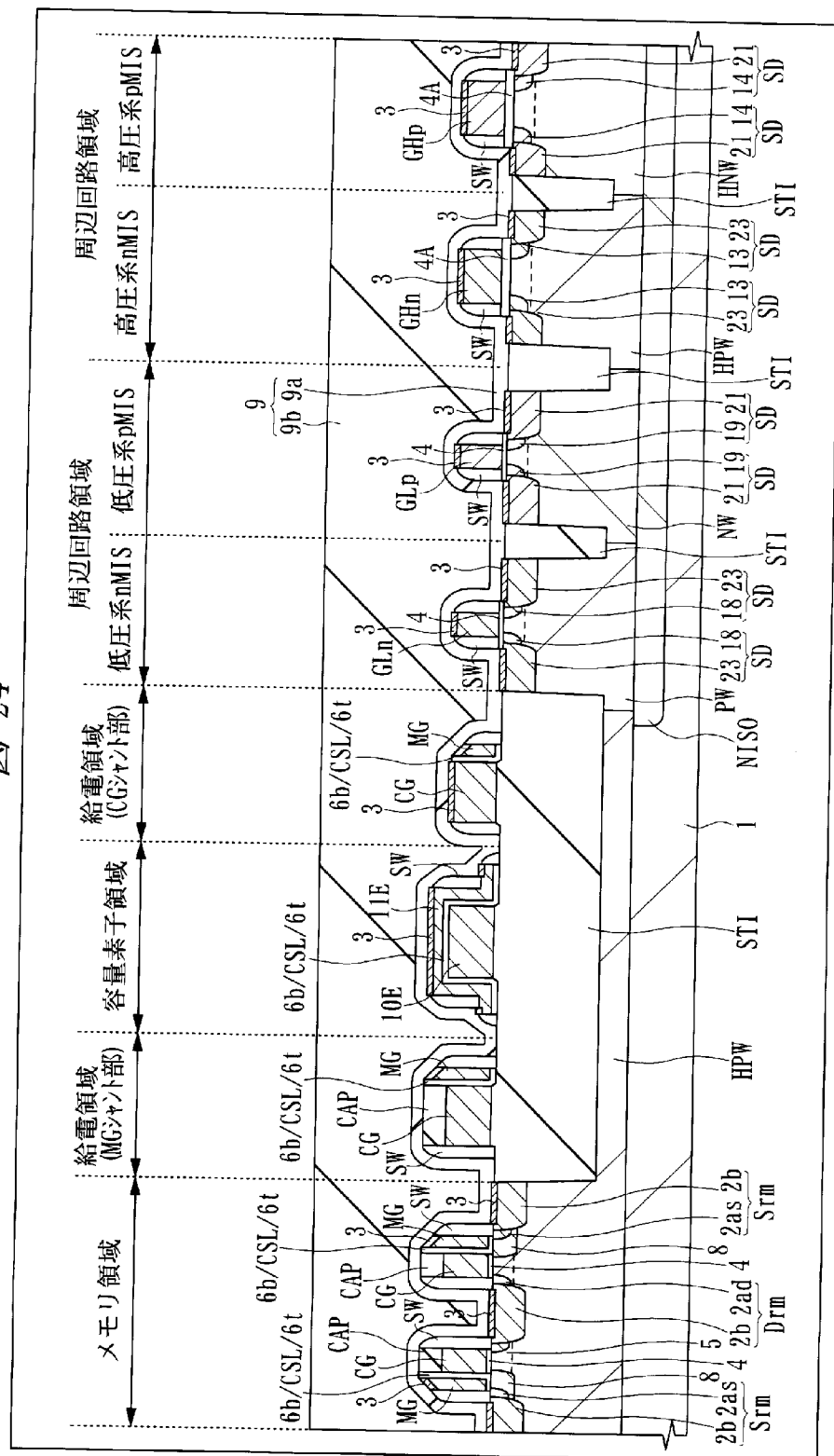
22



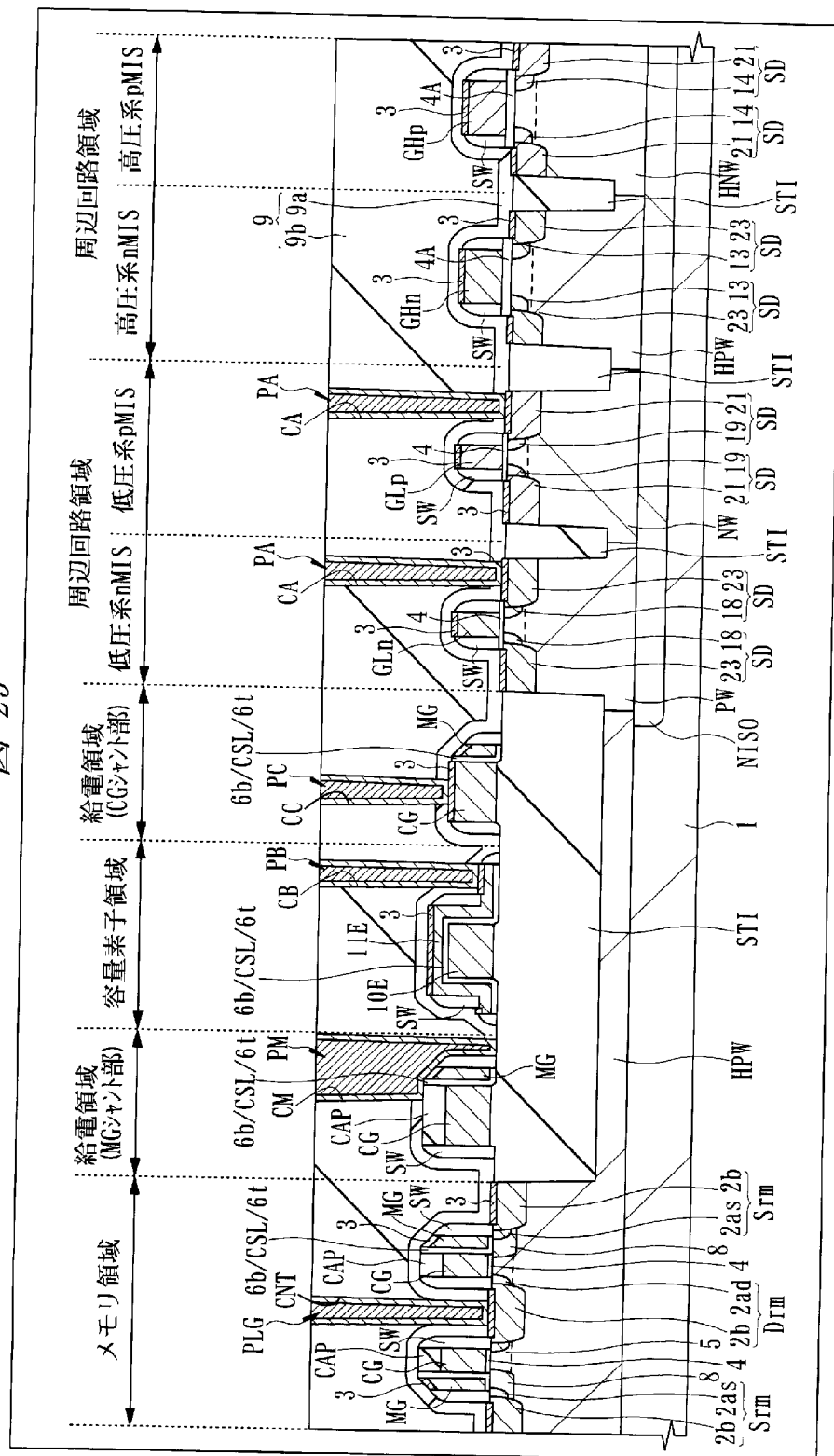
23



24 ☒

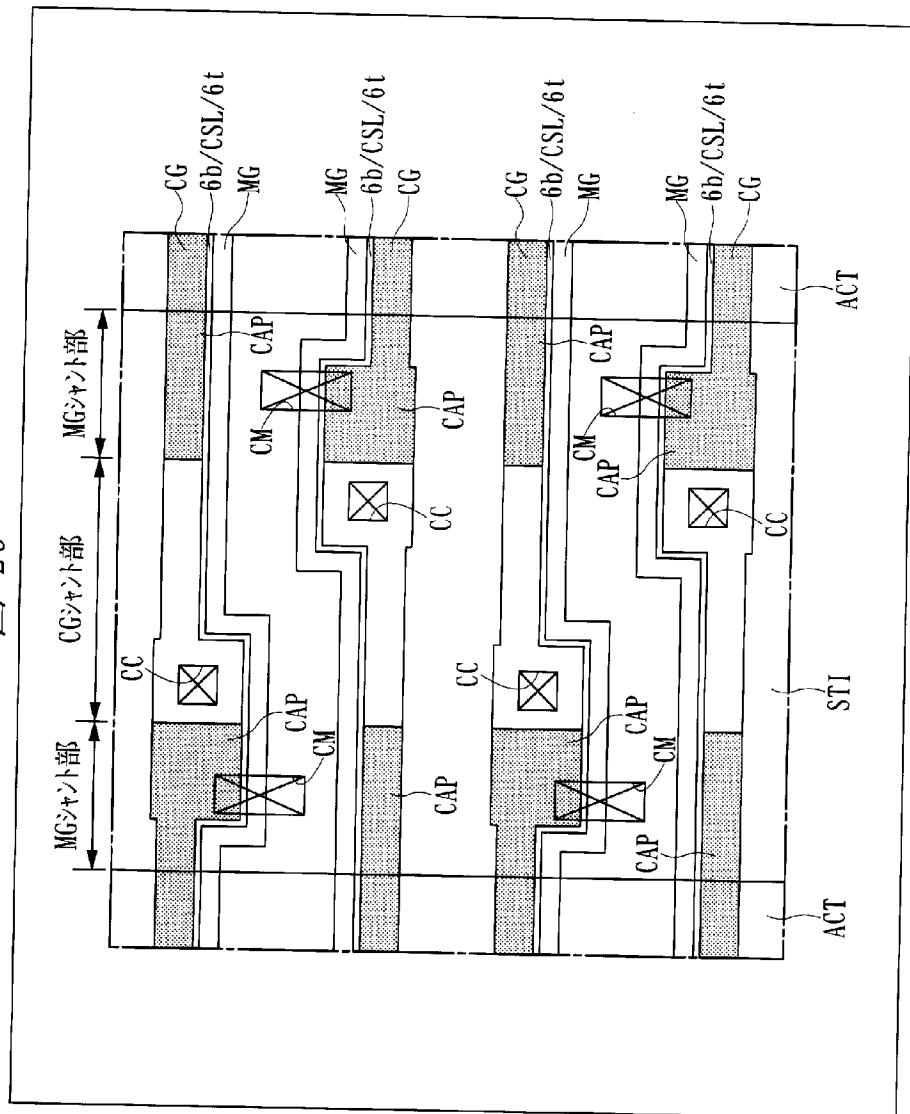


☒ 25



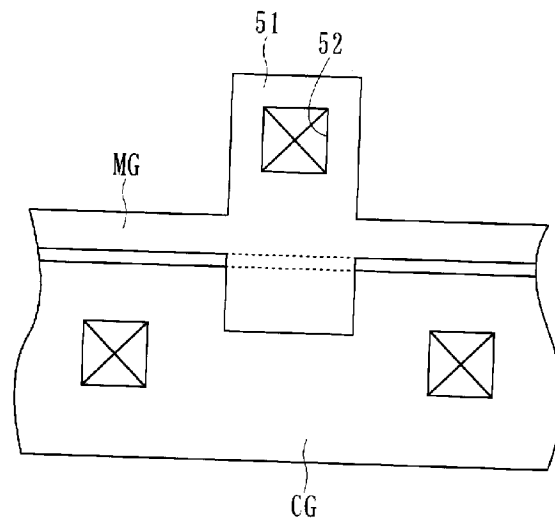
[図26]

図 26



[図27]

図 27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050435

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01) i, H01L27/115(2006.01) i, H01L29/788(2006.01) i,
H01L29/792(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-281092 A (Renesas Technology Corp.), 25 October, 2007 (25.10.07), Figs. 15 to 21 & US 2007/0228498 A1 & CN 101051652 A	1-10
Y	JP 2005-277430 A (Renesas Technology Corp.), 06 October, 2005 (06.10.05), Figs. 1 to 7, 14 to 34 (Family: none)	1-10
Y	JP 2005-347679 A (Renesas Technology Corp.), 15 December, 2005 (15.12.05), Fig. 1 & US 2005/0272198 A1	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 April, 2009 (08.04.09)

Date of mailing of the international search report
21 April, 2009 (21.04.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050435

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-189063 A (Renesas Technology Corp.), 26 July, 2007 (26.07.07), Full text & US 2007/0164342 A1 & KR 10-2007-0076444 A & CN 101000913 A	1-10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050435

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
Claims 1 - 10.

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050435

Continuation of Box No.III of continuation of first sheet (2)

In order that a group of inventions of claims may comply with the requirement of unity of invention, the existence of special technical features is needed for making the grouped inventions so relative as to form a single general inventive concept. The grouped inventions of claims 1 - 33 are accepted to correlate within the range of the matter of claim 1. However, this matter of claim 1 cannot be the special technical feature, since it was disclosed in Document 1 (JP 2007-281092 A (Renesas Technology Corp.), 25 October, 2007 (25.10.07) (especially, Figs. 15 - 21)).

Thus, the grouped inventions of claims 1 - 33 do not have any special technical feature that is so linked as to form a single general inventive concept, and it is apparent that the grouped inventions of claims 1 - 33 do not comply with the requirement of unity of invention.

According to the specific mode of the invention described in claims, moreover, the claims of this international patent application contain the five inventions which are divided into claims 1 - 10, claims 11 - 21, claims 22, 23 and 30 - 33, claims 24 and 25 and claims 26 - 29.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8247, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-281092 A（株式会社ルネサステクノロジ） 2007. 10. 25, 図 1 5 - 2 1 & US 2007/0228498 A1 & CN 101051652 A	1-10
Y	JP 2005-277430 A（株式会社ルネサステクノロジ） 2005. 10. 06, 図 1 - 7, 1 4 - 3 4（ファミリーなし）	1-10
Y	JP 2005-347679 A（株式会社ルネサステクノロジ） 2005. 12. 15, 図 1 & US 2005/0272198 A1	1-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 4 . 2 0 0 9

国際調査報告の発送日

2 1 . 0 4 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

正山 旭

4 M

9 2 7 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-189063 A (株式会社ルネサステクノロジ) 2007. 07. 26, 全文 & US 2007/0164342 A1 & KR 10-2007-0076444 A & CN 101000913 A	1-10

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
以下、特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1 — 1 0

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

(第 1 ページの続葉 (2) 第Ⅲ欄の続き)

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように関連させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲 1 - 3 3 に記載されている一群の発明は、請求の範囲 1 に記載されている事項の範囲内で関連していると認められるが、請求の範囲 1 に記載されている事項は文献 1 (JP 2007-281092 A (株式会社ルネサステクノロジ) 2007. 10. 25 (特に、図 1 5 - 2 1)) に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲 1 - 3 3 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように関連させるための、特別な技術的特徴は存在しないこととなり、請求の範囲 1 - 3 3 に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

そして、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、請求の範囲 1 - 1 0 と、請求の範囲 1 1 - 2 1 と、請求の範囲 2 2, 2 3, 3 0 - 3 3 と、請求の範囲 2 4, 2 5 と、請求の範囲 2 6 - 2 9 に区分される 5 個の発明を含むこととなる。