

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3633507号

(P3633507)

(45) 発行日 平成17年3月30日(2005.3.30)

(24) 登録日 平成17年1月7日(2005.1.7)

(51) Int. Cl.<sup>7</sup>

F I

H04L 13/08

H04L 13/08

G06F 13/38

G06F 13/38 310D

H04L 12/28

G06F 13/38 350

H04L 12/40

H04L 12/28 100H

H04L 12/28 200Z

請求項の数 7 (全 10 頁) 最終頁に続く

(21) 出願番号 特願2001-157173 (P2001-157173)

(73) 特許権者 000002185

(22) 出願日 平成13年5月25日(2001.5.25)

ソニー株式会社

(65) 公開番号 特開2002-354051 (P2002-354051A)

東京都品川区北品川6丁目7番35号

(43) 公開日 平成14年12月6日(2002.12.6)

(74) 代理人 100094053

審査請求日 平成14年12月17日(2002.12.17)

弁理士 佐藤 隆久

(74) 代理人 100096699

弁理士 鹿嶋 英實

(72) 発明者 青木 徹也

神奈川県横浜市保土ヶ谷区神戸町134番地

ソニー・エル  
エスアイ・デザイン株式会社内

審査官 矢頭 尚之

最終頁に続く

(54) 【発明の名称】 データ転送処理装置、データ転送方法およびデータ転送プログラム

(57) 【特許請求の範囲】

【請求項1】

前段回路から供給されるデータをパケット単位でシリアルバス上へ送信するデータ転送装置であって、

データ転送増減値を保持する保持手段と、

前記前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングで出力するバッファ手段と、

所定の転送期間における、前記バッファ手段から前記シリアルバス上へ送信されるパケット数をカウントするカウント手段と、

前記保持手段に保持されているデータ転送増減値および前記カウント手段によるカウント値に基づいて、前記バッファ手段から前記シリアルバス上へ送信されるデータパケット数を増減し、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空パケットの転送時にデータパケットを送信し、データ転送量を減少させる

ときには、データパケットの送信タイミングで空パケットを送信する送信制御手段と

を具備することを特徴とするデータ転送処理装置。

【請求項2】

前記バッファ手段に保持されるデータ量を監視する監視手段と、

前記監視手段により監視された前記バッファ手段のデータ量と前記保持手段に保持されているデータ転送増減値とに基づいて、前記前段回路に対し、当該装置へのデータ供給量を指示するデータ供給量指示手段と

10

20

を具備することを特徴とする請求項 1 記載のデータ転送処理装置。

【請求項 3】

前記シリアルバスは、IEEE 1394 シリアルバスであることを特徴とする請求項 1 記載のデータ転送処理装置。

【請求項 4】

前段回路から供給されるデータをパケット単位でシリアルバス上へ送信するデータ転送方法であって、

前記前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングでシリアルバス上へ送信する際に、

所定の転送期間における、シリアルバス上へ送信されるパケット数をカウントし、

データ転送増減値および前記カウント値に基づいて、前記シリアルバス上へ送信されるデータパケット数を増減し、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空パケットの転送時にデータパケットを送信し、

データ転送量を減少させるときには、データパケットの送信タイミングで空パケットを送信する

ことを特徴とするデータ転送方法。

【請求項 5】

前記保持されるデータ量を監視し、

前記監視されたデータ量と前記データ転送増減値とに基づいて、前記前段回路に対し、当該装置へのデータ供給量を指示することを特徴とする請求項 4 記載のデータ転送方法。

【請求項 6】

前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングで、パケット単位でシリアルバス上へ送信するステップと、

所定の転送期間における、シリアルバス上へ送信されるパケット数をカウントするステップと、

データ転送増減値および前記カウント値に基づいて、前記シリアルバス上へ送信されるデータパケット数を増減し、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空パケットの転送時にデータパケットを送信し、データ転送量を減少させるときには、データパケットの送信タイミングで空パケットを送信するステップと をコンピュータに実行させることを特徴とするデータ転送プログラム。

【請求項 7】

前記保持されるデータ量を監視するステップと、

前記監視されたデータ量と前記データ転送増減値とに基づいて、前記前段回路に対し、当該装置へのデータ供給量を指示するステップと

をコンピュータに実行させることを特徴とする請求項 6 記載のデータ転送プログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、IEEE 1394 シリアルバスを用いてデータ転送を行う際にフロー制御を実現するデータ転送装置、データ転送方法およびデータ転送プログラムに関する。

【0002】

【従来の技術】

従来より、ポータブルおよびデスクトップ・コンピュータ環境や、オーディオ装置やビデオ装置などの民生用機器に適したインターフェースとして、シリアルバス規格の 1 つである IEEE (Institute of Electrical and Electronics Engineers) 1394 シリアルバスが知られている。IEEE 1394 規格による通信は、データのアイソクロナス (isochronous) 転送および非同期転送、高速転送 (100 ~ 3200 Mbps)、複数の機器 (ノード) を接続などができることから、大きく注目されている。

【0003】

【発明が解決しようとする課題】

10

20

30

40

50

ところで、従来、IEEE 1394シリアルバスにおいて、フロー制御を実現するには、送信側装置のアプリケーションクロックをバリピッチにて送信データ量を制御していた。しかしながら、バリピッチに対応していない機器ではフロー制御を行うことができないという問題があった。また、従来のIEEE 1394シリアルバスによるデータ転送では、クロック情報も転送していたので、通信中にノイズが重畳したり、量子化誤差が発生したりしていた。このため、特に、音楽データを転送する場合、転送による音質劣化が発生するという問題があった。

#### 【0004】

そこで本発明は、シリアルバスを介してのデータ転送において、容易にフロー制御を実現することができ、また、データにノイズが重畳せず、量子化誤差を無視することができるデータ転送装置、データ転送方法およびデータ転送プログラムを提供することを目的とする。

10

#### 【0005】

##### 【課題を解決するための手段】

上記目的達成のため、請求項1記載の発明によるデータ転送処理装置は、前段回路から供給されるデータをパケット単位でシリアルバス上へ送信するデータ転送装置であって、データ転送増減値を保持する保持手段と、前記前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングで出力するバッファ手段と、所定の転送期間における、前記バッファ手段から前記シリアルバス上へ送信されるパケット数をカウントするカウント手段と、前記保持手段に保持されているデータ転送増減値および前記カウント手段によるカウント値に基づいて、前記バッファ手段から前記シリアルバス上へ送信されるデータパケット数を増減し、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空パケットの転送時にデータパケットを送信し、データ転送量を減少させるときには、データパケットの送信タイミングで空パケットを送信する送信制御手段とを具備することを特徴とする。

20

#### 【0006】

また、好ましい態様として、例えば請求項2記載のように、請求項1記載のデータ転送処理装置において、前記バッファ手段に保持されるデータ量を監視する監視手段と、前記監視手段により監視された前記バッファ手段のデータ量と前記保持手段に保持されているデータ転送増減値とに基づいて、前記前段回路に対し、当該装置へのデータ供給量を指示するデータ供給量指示手段とを具備するようにしてもよい。

30

#### 【0007】

また、好ましい態様として、例えば請求項3記載のように、請求項1記載のデータ転送処理装置において、前記シリアルバスは、IEEE 1394シリアルバスであってもよい。

#### 【0008】

また、上記目的達成のため、請求項4記載の発明によるデータ転送方法は、前段回路から供給されるデータをパケット単位でシリアルバス上へ送信するデータ転送方法であって、前記前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングでシリアルバス上へ送信する際に、所定の転送期間における、シリアルバス上へ送信されるパケット数をカウントし、データ転送増減値および前記カウント値に基づいて、前記シリアルバス上へ送信されるデータパケット数を増減し、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空パケットの転送時にデータパケットを送信し、データ転送量を減少させるときには、データパケットの送信タイミングで空パケットを送信することを特徴とする。

40

#### 【0009】

また、好ましい態様として、例えば請求項5記載のように、請求項4記載のデータ転送方法において、前記保持されるデータ量を監視し、前記監視されたデータ量と前記データ転送増減値とに基づいて、前記前段回路に対し、当該装置へのデータ供給量を指示するようにしてもよい。

#### 【0010】

50

また、上記目的達成のため、請求項6記載の発明によるデータ転送プログラムは、前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングで、パケット単位でシリアルバス上へ送信するステップと、所定の転送期間における、シリアルバス上へ送信されるパケット数をカウントするステップと、データ転送増減値および前記カウント値に基づいて、前記シリアルバス上へ送信されるデータパケット数を増減し、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空パケットの転送時にデータパケットを送信し、データ転送量を減少させるときには、データパケットの送信タイミングで空パケットを送信するステップとをコンピュータに実行させることを特徴とする。

#### 【0011】

また、好ましい態様として、例えば請求項7記載のように、請求項6記載のデータ転送プログラムにおいて、前記保持されるデータ量を監視するステップと、前記監視されたデータ量と前記データ転送増減値とに基づいて、前記前段回路に対し、当該装置へのデータ供給量を指示するステップとをコンピュータに実行させるようにしてもよい。

#### 【0012】

この発明では、保持手段にデータ転送増減値を保持する。バッファ手段に前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングで出力する際に、カウント手段により、所定の転送期間における、前記バッファ手段から前記シリアルバス上へ送信されるパケット数をカウントし、送信制御手段により、前記保持手段に保持されているデータ転送増減値および前記カウント手段によるカウント値に基づいて、前記バッファ手段から前記シリアルバス上へ送信されるデータパケット数を増減する。したがって、シリアルバスを介してのデータ転送において、容易にフロー制御を実現することが可能となり、また、データにノイズが重畳せず、量子化誤差を無視することが可能となる。

#### 【0013】

##### 【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。

##### A. 実施形態の構成

図1は、本発明の実施形態によるデータ送受信システムの構成を示すブロック図である。送信側装置は、デコーダ1と、IEEE1394インターフェース回路2と、ホスト(マイクロコンピュータ)3とからなる。デコーダ1は、スーパー・オーディオCD(SACD)などのメディア4からデータを読み込んで復号化する。IEEE1394インターフェース回路2は、復号化されたデータをIEEE1394規格のアイソクロノスパケットとして、IEEE1394シリアルバスを介して受信側装置へ転送する。ホスト3は、IEEE1394インターフェース回路2に対して送信指示を与える。

#### 【0014】

受信側装置は、IEEE1394インターフェース回路6と、D/A変換回路7と、スピーカ8と、ホスト(マイクロコンピュータ)9と、DRAM10とからなる。IEEE1394インターフェース回路6は、IEEE1394シリアルバスを介して送信側装置から転送されてくるアイソクロノスパケットを受信し、D/A変換回路7へ供給する。D/A変換回路7は、上記データをアナログ信号に変換する。スピーカ8は、D/A変換回路7からのアナログ信号を音声として出力する。ホスト9は、IEEE1394インターフェース回路6の動作を制御する。

#### 【0015】

次に、図2は、データ送受信システムにおける送信側装置のIEEE1394インターフェース回路の構成を示すブロック図である。IEEE1394インターフェース回路2は、レジスタ(CFR: Configuration Register)15、データ入力制御部(TXPRE: Tx pre process)16、FIFO17、データ量監視部(FSTAT: Fifo STATUS check)18、カウンタ(TXPOST: Tx post process)19、PHY回路(PHY: 物理層)20から構成されている。レジスタ15は、ホストからの送信指示(±1%)を格納する。データ入力制御部16は、デコーダ1からのデータを、レジスタ15に格納された

10

20

30

40

50

送信指示およびデータ量監視部 18 の制御に従って、デコーダ 1 に対して当該回路へのデータ転送量を指示するとともに、デコーダ 1 からのデータを F I F O 1 7 に供給する。このとき、I E E E 1 3 9 4 送信用のクワドレットに変換する。

#### 【 0 0 1 6 】

F I F O 1 7 は、バンク単位でデータ入力制御部 16 からのデータを格納するとともに、順次、カウンタ 19 へ送出する。データ量監視部 18 は、F I F O 1 7 のデータ容量を監視し（オーバフロー／空）、F I F O 1 7 がオーバフローになったり、空になったりしないように、データ入力制御部 16 に対してデコーダ 1 へのデータ要求・停止を行う。カウンタ 19 は、レジスタ 15 に格納された送信指示に従って、F I F O 1 7 から出力されるアイソクロノスケット送信回数をカウントする（フリーランカウンタ）。また、カウンタ 19 は、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空（E m p t y）パケットの転送時にデータパケットを送信し、データ転送量を減少させるときには、データパケットの送信タイミングで空パケットを送信している。空パケットは、送信データがないときに転送する、1 3 9 4 ヘッダ、C I P 1 / 2 のみからなるパケットである。また、カウンタ 19 は、送信時に、送信用の I E E E 1 3 9 4 クワドレットにヘッダ、C R C を付加する。P H Y 回路 20 は、上記 F I F O 1 7 からのアイソクロノスケットを実際の I E E E 1 3 9 4 バス上に流れる電気信号に変換するとともに、バスを獲得するための調停などを行う。

10

#### 【 0 0 1 7 】

次に、図 3 は、デコーダと I E E E 1 3 9 4 インターフェース回路との接続関係を示すブロック図である。デコーダ 1 と I E E E 1 3 9 4 インターフェース回路 2 とは、図 3 に示すように接続され、I E E E 1 3 9 4 インターフェース回路 2 からデコーダ 1 に対してデータ要求・停止指示を送信することにより、デコーダ 1 におけるデータ転送期間を制御し、デコーダ 1 から I E E E 1 3 9 4 インターフェース回路 2 側へ入力されるデータ量を制御するようになっている。d t x 2 は、デコーダ側への倍速要求信号であり、x r e q \_ o u t はデコーダ側へのデータ停止要求信号である。

20

#### 【 0 0 1 8 】

I E E E 1 3 9 4 インターフェース回路 2 は、+ 1 % 送信時には、F I F O 1 7 内のデータが不足する場合が想定されるので、d t x 2 を「H」とし、デコーダ 1 に 2 倍速転送を要求する。そして、データ量監視部 18 によって F I F O 1 7 の F U L L（オーバフローの手前）信号が認識されると、デコーダ 1 側へのデータ要求を停止する。すなわち、d t x 2 = L / X R E Q = H とする。一方、F U L L 信号が非アクティブになると、I E E E 1 3 9 4 インターフェース回路 2 は、再び、d t x 2 を「H」とし、デコーダ 1 に 2 倍速転送を要求するようになっている。これは、F I F O 1 7 内のデータが空になって、+ 1 % で転送することができなくなることを防止するためである。

30

#### 【 0 0 1 9 】

これに対して、- 1 % 送信時には、I E E E 1 3 9 4 バス上への転送速度が遅くなるので、通常書き込みが基本となるが、F I F O 1 7 内のデータ量は F U L L 方向へ増加する。この場合、I E E E 1 3 9 4 インターフェース回路 2 は、F I F O 1 7 のデータ容量がオーバフローの手前に達したことを示す F U L L 信号に従って、X R E Q = H とし、デコーダ 1 からの転送を停止させるようになっている。

40

#### 【 0 0 2 0 】

##### B . 実施形態の動作

次に、上述した実施形態の動作について説明する。ここで、図 4 は、図 3 に示すデコーダと I E E E 1 3 9 4 インターフェース回路との制御信号およびデータ授受を示すタイミングチャートである。また、図 5 は、送信側装置における送信制御を示す概念図である。【

#### 0 0 2 1】

± 1 % 送信の指示は、ホスト 3 からレジスタ 15 に書き込まれる。データ入力制御部 16 は、デコーダ 1 からのデータを F I F O 1 7 に供給する。F I F O 1 7 では、バンク単位でデータを格納するとともに、所定の送信タイミングでデータを出力する。カウンタ 19

50

では、上記レジスタ15に格納された送信指示に基づいてFIFO17からのアイソクロノスパケットの送信回数をカウントする(フリーランカウンタ)。

【0022】

このとき、FIFO17のデータ容量がオーバフローしないか、空にならないかを、データ量監視部18で監視しながら、オーバフローの直前になるか、空になる直前で、データ入力制御部16を介してデコーダ1へのデータ要求・停止を行う。

【0023】

すなわち、図4に示すタイムチャートのように、+1%送信時には、 $dt \times 2 = H$ とし、デコーダ1に2倍速転送を要求する(2倍速期間)。そして、データ量監視部18によってFIFO17のFULL(オーバフローの手前)信号が認識されると、 $dt \times 2 = L / xreq\_out = H$ とし、デコーダ1側へのデータ要求を停止する(停止期間)。一方、FULL信号が非アクティブになると、再び、デコーダ1に2倍速転送を要求する(図示略)。

【0024】

一方、-1%送信時には、バス上への転送速度が遅くなるので、通常書き込みとするが、FIFO17内のデータ量が増加してオーバフローの直前になると、 $xreq\_out = H$ とし、デコーダ1からのデータ転送を停止させる。

【0025】

さらに、送信側装置では、図5に示すように、IEEE1394インターフェース回路2において、カウンタ19によるカウント値に従って、IEEE1394バス上にデータを送信するタイミングを制御する。例えば、アイソクロノスサイクルが100回あった場合、通常、データを99回送信し、1回は空パケットを送信する。これを基準に±1%の送受信を制御する。すなわち、+1%送信時には、カウンタ19によりカウントした送信回数に従って、通常ならば空パケットを転送するタイミングでデータパケットを送信する。一方、-1%送信時には、+1%送信時とは逆に、カウンタ19によりカウントした送信回数に従って、送信するタイミングにおいて空パケットを送信する。すなわち、FIFO17にデータが残っていても空パケットを送信する。

【0026】

例えば、スーパー・オーディオCD(SACD)においては100回のアイソクロノスサイクルに91.87回の転送がある。したがって、+1%送信時には92.7887回、-1%送信時には90.9513回、アイソクロノスパケットを転送すればよい。そこで、本実施形態によるIEEE1394インターフェース回路2では、ホスト3から+1%送信の指示が出た際には、100回のアイソクロノスサイクルに93回のアイソクロノスパケットを送信する(厳密には+1.012%になる)。また、-1%送信の指示が出た際には、90回のアイソクロノスパケットを送信する(厳密には-2%になる)。言い換えると、-1%送信時には、90回を越える部分で空パケットを送信する。

【0027】

上述した実施形態によれば、IEEE1394シリアルバスを介してのデータ転送において、送信側装置と受信側装置とで、クロックの非同期化が可能になる。このため、受信側装置は、マスタクロックからデータを読み出せるので、音楽データにノイズが重畳せず、IEEE1394による量子化誤差を無視することができる。

【0028】

【発明の効果】

請求項1記載の発明によれば、保持手段にデータ転送増減値を保持し、バッファ手段に前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングで出力する際に、カウント手段により、所定の転送期間における、前記バッファ手段から前記シリアルバス上へ送信されるパケット数をカウントし、送信制御手段により、前記保持手段に保持されているデータ転送増減値および前記カウント手段によるカウント値に基づいて、前記バッファ手段から前記シリアルバス上へ送信されるデータパケット数を増減し、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空パ

10

20

30

40

50

ケットの転送時にデータパケットを送信し、データ転送量を減少させるときには、データパケットの送信タイミングで空パケットを送信するようにしたので、シリアルバスを介してのデータ転送において、容易にフロー制御を実現することができ、また、データにノイズが重畳せず、量子化誤差を無視することができるという利点が得られる。

【0029】

また、請求項2記載の発明によれば、監視手段により、前記バッファ手段に保持されるデータ量を監視し、データ供給量指示手段により、前記監視手段により監視された前記バッファ手段のデータ量と前記保持手段に保持されているデータ転送増減値とに基づいて、前記前段回路に対し、当該装置へのデータ供給量を指示するようにしたので、シリアルバスを介してのデータ転送において、容易に、かつ円滑にフロー制御を実現することができ、  
また、データにノイズが重畳せず、量子化誤差を無視することができるという利点が得られる。

10

【0030】

また、請求項3記載の発明によれば、前記シリアルバスを、IEEE1394シリアルバスとしたので、IEEE1394シリアルバスを介してのデータ転送において、容易にフロー制御を実現することができ、また、データにノイズが重畳せず、量子化誤差を無視することができるという利点が得られる。

【0031】

また、請求項4記載の発明によれば、前記前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングでシリアルバス上へ送信する際に、所定の転送期間における、シリアルバス上へ送信されるパケット数をカウントし、データ転送増減値および前記カウント値に基づいて、前記シリアルバス上へ送信されるデータパケット数を増減し、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空パケットの転送時にデータパケットを送信し、データ転送量を減少させるときには、データパケットの送信タイミングで空パケットを送信するようにしたので、シリアルバスを介してのデータ転送において、容易にフロー制御を実現することができ、また、データにノイズが重畳せず、量子化誤差を無視することができるという利点が得られる。

20

【0032】

また、請求項5記載の発明によれば、前記保持されるデータ量を監視し、前記監視されたデータ量と前記データ転送増減値とに基づいて、前記前段回路に対し、当該装置へのデータ供給量を指示するようにしたので、シリアルバスを介してのデータ転送において、容易に、かつ円滑にフロー制御を実現することができ、また、データにノイズが重畳せず、量子化誤差を無視することができるという利点が得られる。

30

【0033】

また、請求項6記載の発明によれば、前段回路からのデータを一旦保持し、該保持したデータを所定の送信タイミングで、パケット単位でシリアルバス上へ送信するステップと、所定の転送期間における、シリアルバス上へ送信されるパケット数をカウントするステップと、データ転送増減値および前記カウント値に基づいて、前記シリアルバス上へ送信されるデータパケット数を増減し、データ転送量を増加するときには、前記所定の転送期間に送信されるパケット群に含まれる空パケットの転送時にデータパケットを送信し、データ転送量を減少させるときには、データパケットの送信タイミングで空パケットを送信するステップとをコンピュータに実行させるようにしたので、シリアルバスを介してのデータ転送において、容易にフロー制御を実現することができ、また、データにノイズが重畳せず、量子化誤差を無視することができるという利点が得られる。

40

【0034】

また、請求項7記載の発明によれば、前記保持されるデータ量を監視するステップと、前記監視されたデータ量と前記データ転送増減値とに基づいて、前記前段回路に対し、当該装置へのデータ供給量を指示するステップとをコンピュータに実行させるようにしたので、シリアルバスを介してのデータ転送において、容易に、かつ円滑にフロー制御を実現することができ、また、データにノイズが重畳せず、量子化誤差を無視することができる

50

いう利点が得られる。

【図面の簡単な説明】

【図1】本発明の実施形態によるデータ送受信システムの構成を示すブロック図である。

【図2】データ送受信システムにおける送信側装置のIEEE1394インターフェース回路の構成を示すブロック図である。

【図3】デコーダとIEEE1394インターフェース回路との接続関係を示すブロック図である。

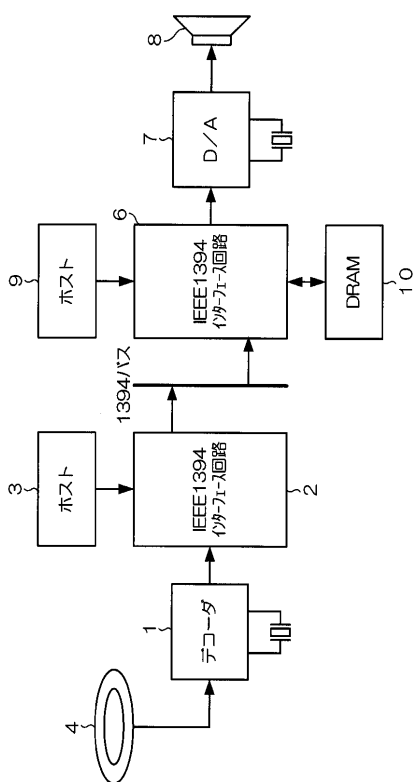
【図4】図3に示すデコーダとIEEE1394インターフェース回路との制御信号およびデータ授受を示すタイミングチャートである。

【図5】送信側装置における送信制御を示す概念図である。

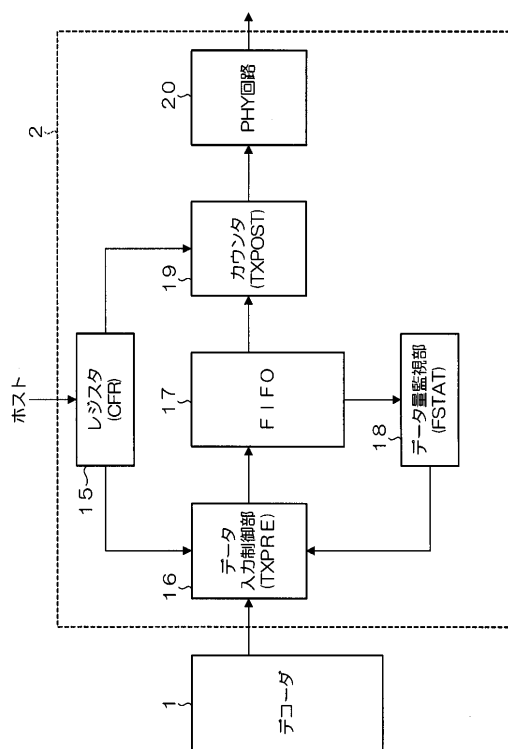
【符号の説明】

1 ..... デコーダ、 2 ..... IEEE1394インターフェース回路、 3 ..... ホスト、 6 ..... IEEE1394インターフェース回路、 7 ..... D/A変換回路、 8 ..... スピーカ、 9 ..... ホスト、 15 ..... レジスタ(保持手段)、 16 ..... データ入力制御部(データ供給量指示手段)、 17 ..... FIFO(バッファ手段)、 18 ..... データ量監視部(監視手段)、 19 ..... カウンタ(カウント手段、送信制御手段)、 20 ..... PHY回路。

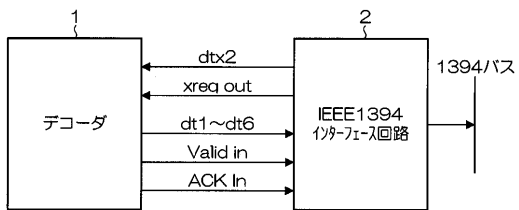
【図1】



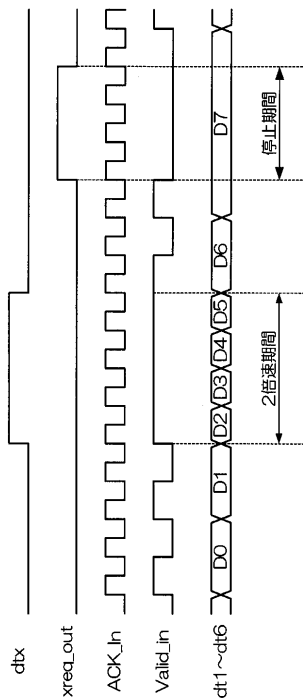
【図2】



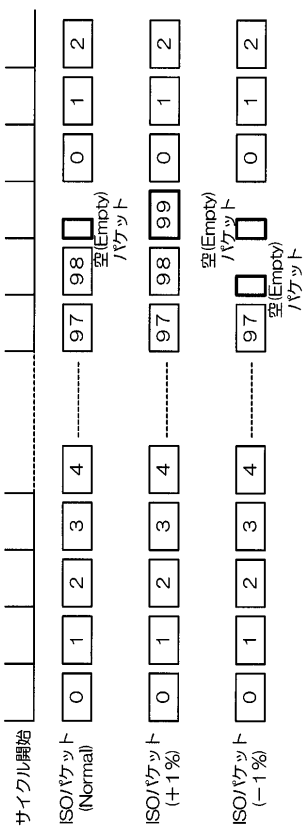
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

H 0 4 L 12/40

Z

(56)参考文献 特開2000-151719(JP,A)

特開2000-043345(JP,A)

特開平10-164107(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H04L 13/08

G06F 13/38 310

G06F 13/38 350

H04L 12/28 100

H04L 12/28 200

H04L 12/40