(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0141163
(43) 공개일자 2024년09월25일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) *H01L 23/00* (2006.01)
H01L 23/528 (2006.01) *H01L 23/538* (2006.01)
H01L 25/00 (2014.01) *H01L 25/10* (2006.01)
H01L 25/16 (2023.01)
(52) CPC특허분류
H01L 23/49833 (2013.01)
H01L 23/49811 (2013.01)
(21) 출원번호 10-2024-7023143
(22) 출원일자(국제) 2023년01월05일
심사청구일자 없음
(85) 번역문제출일자 2024년07월10일
(86) 국제출원번호 PCT/US2023/010230
(87) 국제공개번호 WO 2023/141021
국제공개일자 2023년07월27일
(30) 우선권주장
17/579,434 2022년01월19일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
부오트 조안 레이 빌라르바
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
왕 지제
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인코리아나

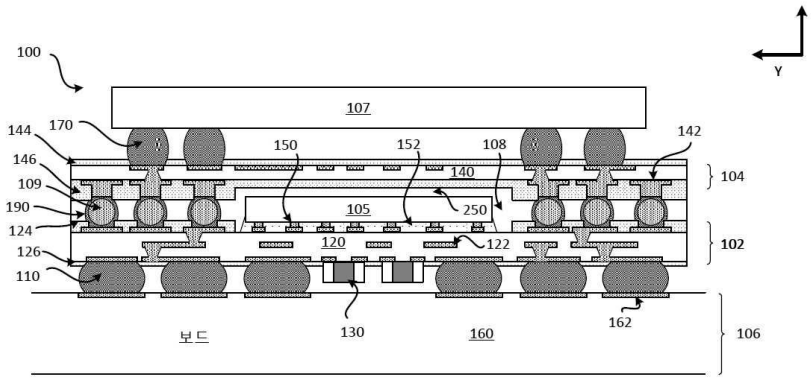
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **포스트 상호 연결부가 있는 기판과 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지**

(57) 요 약

패키지는 제1 기판, 제1 기판에 결합된 제1 집적 소자 및 제2 기판 및 제1 기판과 제2 기판에 결합된 복수의 솔더 상호 연결부를 포함한다. 제1 기판은 적어도 하나의 제1 유전층; 제1 복수의 상호 연결부 - 제1 복수의 상호 연결부는 제1 복수의 포스트 상호 연결부를 포함함 -; 및 제1 기판의 제1 표면에 결합된 제1 솔더 레지스트 층을 포함한다. 제2 기판은 제1 기판 및 제2 기판; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 제2 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 제2 솔더 레지스트 층을 포함한다. 제2 기판의 제2 표면은 제1 기판을 마주한다. 제2 솔더 레지스트 층은 캐비티를 포함한다.

대 표 도 - 도1



단면 프로파일도

(52) CPC특허분류
H01L 23/49838 (2013.01)
H01L 23/5283 (2013.01)
H01L 23/5386 (2013.01)
H01L 24/13 (2013.01)
H01L 24/16 (2013.01)
H01L 24/32 (2013.01)
H01L 25/105 (2013.01)
H01L 25/16 (2023.08)
H01L 25/50 (2013.01)
(72) 발명자
위 홍복
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

파틸 아니켓
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

명 세 서

청구범위

청구항 1

패키지로서,

적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판;

상기 제1 기판에 결합된 제1 집적 소자;

제2 기판으로서,

제1 표면 및 제2 표면;

적어도 하나의 제2 유전층;

제2 복수의 상호 연결부로서, 상기 제2 복수의 상호 연결부는 복수의

포스트 상호 연결부를 포함하는, 상기 제2 복수의 상호 연결부; 및

상기 제2 기판의 상기 제2 표면에 결합된 솔더 레지스트 층으로서,

상기 제2 기판의 상기 제2 표면은 상기 제1 기판을 마주하고,

상기 솔더 레지스트 층은 캐비티를 포함하고, 그리고

상기 캐비티는 상기 제1 집적 소자와 상기 솔더 레지스트 층 사

이에 위치되는, 상기 솔더 레지스트 층을 포함하는, 상기 제2 기판,

및

상기 제1 기판 및 상기 제2 기판에 결합된 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부로서,

상기 복수의 볼 상호 연결부 및 상기 복수의 솔더 상호 연결부는 상기

제1 기판과 상기 제2 기판 사이에 위치되고, 그리고

상기 복수의 볼 상호 연결부 및 상기 복수의 솔더 상호 연결부는 상기

제1 기판을 상기 제2 기판에 결합시키도록 구성되는, 상기 복수의 볼 상호

연결부 및 복수의 솔더 상호 연결부를 포함하는, 패키지.

청구항 2

제1항에 있어서, 상기 복수의 볼 상호 연결부 및 상기 복수의 솔더 상호 연결부는 상기 제2 기판의 상기 복수의 포스트 상호 연결부에 결합되고, 상기 복수의 포스트 상호 연결부는 상기 솔더 레지스트 층에 의해 측방향으로 둘러싸인, 패키지.

청구항 3

제1항에 있어서, 상기 복수의 볼 상호 연결부는 270 마이크로미터 이하인 피치를 갖는 인접 볼 상호 연결부를 포함하는, 패키지.

청구항 4

제3항에 있어서, 상기 복수의 볼 상호 연결부는 약 200 내지 270 마이크로미터 범위에 있는 피치를 갖는 인접 볼 상호 연결부를 포함하는, 패키지.

청구항 5

제1항에 있어서, 상기 복수의 볼 상호 연결부는 상기 제1 집적 소자를 측방향으로 둘러싸는 적어도 300개의 볼 상호 연결부를 포함하는, 패키지.

청구항 6

제1항에 있어서, 상기 제1 기판과 상기 제2 기판 사이에 위치된 캡슐화 층을 더 포함하며, 상기 캡슐화 층의 일부는 상기 솔더 레지스트 층과 상기 제1 집적 소자 사이에 위치되는, 패키지.

청구항 7

제6항에 있어서, 상기 캡슐화 층은 상기 제1 집적 소자, 상기 복수의 볼 상호 연결부 및 상기 복수의 솔더 상호 연결부를 적어도 부분적으로 캡슐화하는, 패키지.

청구항 8

제1항에 있어서,

상기 솔더 레지스트 층은 제1 두께를 갖는 제1 부분 및 제2 두께를 갖는 제2 부분을 포함하고,

상기 솔더 레지스트 층의 상기 제1 부분은 상기 복수의 포스트 상호 연결부의 두께보다 큰 상기 제1 두께를 갖고,

상기 솔더 레지스트 층의 상기 제2 부분은 상기 복수의 포스트 상호 연결부의 두께 미만인 상기 제2 두께를 갖고, 그리고

상기 솔더 레지스트 층의 상기 제2 부분은 상기 제1 집적 소자 위에 위치되는, 패키지.

청구항 9

제1항에 있어서, 상기 제2 기판의 상기 제1 표면에 결합된 제2 집적 소자를 더 포함하며, 상기 제2 기판의 상기 솔더 레지스트 층과 상기 제1 집적 소자의 후면 사이의 수직 갭은 상기 제2 기판의 상기 솔더 레지스트 층과 상기 제1 기판의 솔더 레지스트 층 사이의 또 다른 수직 갭 미만인, 패키지.

청구항 10

제1항에 있어서, 상기 복수의 볼 상호 연결부는 구리 코어 볼(copper core ball; CCB)을 포함하는, 패키지.

청구항 11

패키지로서,

제1 기판으로서,

적어도 하나의 제1 유전층;

제1 복수의 상호 연결부로서, 상기 제1 복수의 상호 연결부는 제1 복

수의 포스트 상호 연결부를 포함하는, 상기 제1 복수의 상호 연결부; 및

상기 제1 기판의 제1 표면에 결합된 제1 솔더 레지스트 층을 포함하

는, 상기 제1 기판;

상기 제1 기판에 결합된 제1 집적 소자;

제2 기판으로서,

제1 표면 및 제2 표면;

적어도 하나의 제2 유전층;

제2 복수의 상호 연결부로서, 상기 제2 복수의 상호 연결부는 제2 복

수의 포스트 상호 연결부를 포함하는, 상기 제2 복수의 상호 연결부; 및

상기 제2 기판의 상기 제2 표면에 결합된 제2 솔더 레지스트 층으로

서,

상기 제2 기판의 상기 제2 표면은 상기 제1 기판을 마주하고,

상기 제2 솔더 레지스트 층은 캐비티를 포함하고, 그리고

상기 캐비티는 상기 제1 집적 소자와 상기 제2 솔더 레지스트

층 사이에 위치되는, 상기 제2 솔더 레지스트 층을 포함하는, 상기 제2 기판, 및

상기 제1 기판 및 상기 제2 기판에 결합된 복수의 솔더 상호 연결부로서,

상기 복수의 솔더 상호 연결부는 상기 제1 기판과 상기 제2 기판 사이

에 위치되고, 그리고

상기 복수의 솔더 상호 연결부는 상기 제1 기판을 상기 제2 기판을 결

합시키도록 구성되는, 상기 복수의 솔더 상호 연결부를 포함하는, 패키지.

청구항 12

제11항에 있어서, 상기 복수의 솔더 상호 연결부는 (i) 상기 제1 기판의 상기 제1 복수의 포스트 상호 연결부 및 (ii) 상기 제2 기판의 상기 제2 복수의 포스트 상호 연결부에 결합되고, 상기 제1 복수의 포스트 상호 연결부는 상기 제1 솔더 레지스트 층에 의해 측방향으로 둘러싸이며, 상기 제2 복수의 포스트 상호 연결부는 상기 제2 솔더 레지스트 층에 의해 측방향으로 둘러싸인, 패키지.

청구항 13

제11항에 있어서, 상기 복수의 솔더 상호 연결부는 270 마이크로미터 이하인 피치를 갖는 인접 솔더 상호 연결부를 포함하는, 패키지.

청구항 14

제13항에 있어서, 상기 복수의 솔더 상호 연결부는 약 150 내지 270 마이크로미터 범위에 있는 피치를 갖는 인접 솔더 상호 연결부를 포함하는, 패키지.

청구항 15

제11항에 있어서, 상기 복수의 솔더 상호 연결부는 상기 제1 집적 소자를 측방향으로 둘러싸는 적어도 300개의 솔더 상호 연결부를 포함하는, 패키지.

청구항 16

제11항에 있어서, 상기 제1 기판과 상기 제2 기판 사이에 위치된 캡슐화 층을 더 포함하며, 상기 캡슐화 층의 일부는 상기 제2 솔더 레지스트 층과 상기 제1 집적 소자 사이에 위치되는, 패키지.

청구항 17

제16항에 있어서, 상기 캡슐화 층은 상기 제1 집적 소자 및 상기 복수의 솔더 상호 연결부를 적어도 부분적으로 캡슐화하는, 패키지.

청구항 18

제11항에 있어서,

상기 제2 솔더 레지스트 층은 제1 두께를 갖는 제1 부분 및 제2 두께를 갖는 제2 부분을 포함하고,

상기 제2 솔더 레지스트 층의 상기 제1 부분은 상기 제2 복수의 포스트 상호 연결부의 두께보다 큰 상기 제1 두께를 갖고,

상기 제2 솔더 레지스트 층의 상기 제2 부분은 상기 제2 복수의 포스트 상호 연결부의 두께 미만인 상기 제2 두

께를 갖고, 그리고

상기 제2 솔더 레지스트 층의 상기 제2 부분은 상기 제1 집적 소자 위에 위치되는, 패키지.

청구항 19

제11항에 있어서, 상기 제2 기판의 상기 제1 표면에 결합된 제2 집적 소자를 더 포함하며, 상기 제2 기판의 상기 솔더 레지스트 층과 상기 제1 집적 소자의 후면 사이의 수직 갭은 상기 제2 기판의 상기 솔더 레지스트 층과 상기 제1 기판의 솔더 레지스트 층 사이의 또 다른 수직 갭 미만인, 패키지.

청구항 20

제11항에 있어서, 상기 제1 기판에 결합된 수동 소자를 더 포함하는, 패키지.

청구항 21

패키지로서,

적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판;

상기 제1 기판에 결합된 제1 집적 소자;

제2 기판으로서,

제1 표면 및 제2 표면;

적어도 하나의 제2 유전층;

제2 복수의 상호 연결부로서, 상기 제2 복수의 상호 연결부는 복수의

포스트 상호 연결부를 포함하는, 상기 제2 복수의 상호 연결부; 및

상기 제2 기판의 상기 제2 표면에 결합된 솔더 레지스트 층으로서,

상기 솔더 레지스트 층은 캐비티를 포함하고, 그리고

상기 캐비티는 상기 제1 집적 소자와 상기 솔더 레지스트 층 사

이에 위치되는, 상기 솔더 레지스트 층을 포함하는, 상기 제2 기판,

및

상기 제1 기판과 상기 제2 기판에 결합된 기판 간 상호 연결부를 위한 수단으로서,

상기 기판 간 상호 연결부를 위한 수단은 상기 제1 기판과 상기 제2

기판 사이에 위치되고, 그리고

상기 기판 간 상호 연결부를 위한 수단은 상기 제1 기판을 상기 제2

기판에 결합시키도록 구성되는, 상기 수단을 포함하는, 패키지.

청구항 22

제21항에 있어서, 상기 기판 간 상호 연결부를 위한 수단은 복수의 볼 상호 연결부 및/또는 복수의 솔더 상호 연결부를 포함하는, 패키지.

청구항 23

제21항에 있어서, 상기 기판 간 상호 연결부를 위한 수단은 상기 제2 기판의 상기 복수의 포스트 상호 연결부에 결합되는, 패키지.

청구항 24

제23항에 있어서,

상기 제1 기판은 제1 복수의 상호 연결부를 포함하고,

상기 제1 복수의 상호 연결부는 제1 복수의 포스트 상호 연결부를 포함하고, 그리고

상기 기판 간 상호 연결부를 위한 수단은 상기 제1 기판의 상기 제1 복수의 포스트 상호 연결부에 결합되는, 패키지.

청구항 25

제21항에 있어서, 상기 기판 간 상호 연결부를 위한 수단은 약 150 내지 270 마이크로미터의 범위에 있는 피치를 갖는 상호 연결부를 포함하는, 패키지.

청구항 26

방법으로서,

적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판을 제공하는 단계;

제1 집적 소자를 상기 제1 기판에 결합시키는 단계; 및

복수의 기판 간 상호 연결부가 상기 제1 기판과 제2 기판 사이에 위치되도록 상기 복수의 기판 간 상호 연결부를 통해 상기 제2 기판을 상기 제1 기판에 결합시키는 단계를 포함하며, 상기 제2 기판은,

제1 표면 및 제2 표면;

적어도 하나의 제2 유전층;

제2 복수의 상호 연결부로서, 상기 제2 복수의 상호 연결부는 복수의

포스트 상호 연결부를 포함하는, 상기 제2 복수의 상호 연결부; 및

상기 제2 기판의 상기 제2 표면에 결합된 솔더 레지스트 층을 포함하

고,

상기 솔더 레지스트 층은 캐비티를 포함하고, 그리고

상기 캐비티는 상기 솔더 레지스트 층과 상기 제1 집적 소자 사이에

위치되는, 방법.

청구항 27

제26항에 있어서, 상기 복수의 기판 간 상호 연결부는 복수의 볼 상호 연결부 및/또는 복수의 솔더 상호 연결부를 포함하는, 방법.

청구항 28

제26항에 있어서, 상기 복수의 기판 간 상호 연결부는 상기 제2 기판의 상기 복수의 포스트 상호 연결부에 결합되는, 방법.

청구항 29

제28항에 있어서,

상기 제1 기판은 제1 복수의 상호 연결부를 포함하고,

상기 제1 복수의 상호 연결부는 제1 복수의 포스트 상호 연결부를 포함하고, 그리고

상기 복수의 기판 간 상호 연결부는 상기 제1 기판의 상기 제1 복수의 포스트 상호 연결부에 결합되는, 방법.

청구항 30

제26항에 있어서, 상기 복수의 기판 간 상호 연결부는 약 150 내지 270 마이크로미터의 범위에 있는 피치를 갖는 상호 연결부를 포함하는, 방법.

발명의 설명

기 술 분 야

[0001] 관련 출원들에 대한 상호 참조

[0002] 본 출원은 2022년 1월 19일자로 미국 특허청에 출원된 비-임시 출원 일련 번호 제17/579,434호에 대한 우선권과 이익을 주장하며, 그 전체 내용은 아래에 그 전문이 완전히 명시된 것처럼 그리고 모든 적용 가능한 목적을 위해 본원에 참조로 통합된다.

[0003] 기술분야

[0004] 다양한 특징은 기판 및 집적 소자가 포함된 패키지에 관한 것이다.

배 경 기 술

[0005] 패키지는 기판과 집적 소자를 포함할 수 있다. 이러한 컴포넌트는 함께 결합되어 다양한 전기 기능을 수행할 수 있는 패키지를 제공한다. 더 나은 성능의 패키지를 제공해야 하는 지속적인 필요성이 있다. 또한 패키지의 전체 크기를 줄여야 할 필요성도 지속적으로 존재한다.

발명의 내용

[0006] 다양한 특징은 기판 및 집적 소자가 포함된 패키지에 관한 것이다.

[0007] 일 예는 적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판; 제1 기판에 결합된 제1 집적 소자; 제2 기판; 및 제1 기판과 제2 기판에 결합된 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부를 포함하는 패키지를 제공한다. 제2 기판은 제1 표면 및 제2 표면; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 솔더 레지스트 층을 포함한다. 제2 기판의 제2 표면은 제1 기판을 마주한다. 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 제1 집적 소자와 솔더 레지스트 층 사이에 위치된다. 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부는 제1 기판과 제2 기판 사이에 위치된다. 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부는 제1 기판을 제2 기판에 결합시키도록 구성된다.

[0008] 또 다른 예는 제1 기판, 제1 기판에 결합된 제1 집적 소자 및 제2 기판 및 제1 기판과 제2 기판에 결합된 복수의 솔더 상호 연결부를 포함하는 패키지를 제공한다. 제1 기판은 적어도 하나의 제1 유전층; 제1 복수의 상호 연결부 - 제1 복수의 상호 연결부는 제1 복수의 포스트 상호 연결부를 포함함 -; 및 제1 기판의 제1 표면에 결합된 제1 솔더 레지스트 층을 포함한다. 제2 기판은 제1 표면 및 제2 표면; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 제2 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 제2 솔더 레지스트 층을 포함한다. 제2 기판의 제2 표면은 제1 기판을 마주한다. 제2 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 제1 집적 소자와 제2 솔더 레지스트 층 사이에 위치된다. 복수의 솔더 상호 연결부는 제1 기판과 제2 기판 사이에 위치된다. 복수의 솔더 상호 연결부는 제1 기판을 제2 기판에 결합시키도록 구성된다.

[0009] 또 다른 예는 적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판; 제1 기판에 결합된 제1 집적 소자; 제2 기판; 및 제1 기판과 제2 기판에 결합된 기판 간 상호 연결부를 위한 수단을 포함하는 패키지를 제공한다. 제2 기판은 제1 표면 및 제2 표면; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 솔더 레지스트 층을 포함한다. 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 제1 집적 소자와 솔더 레지스트 층 사이에 위치된다. 기판 간 상호 연결부를 위한 수단은 제1 기판과 제2 기판 사이에 위치된다. 기판 간 상호 연결부를 위한 수단은 제1 기판을 제2 기판에 결합시키도록 구성된다.

[0010] 또 다른 예는 적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판을 제공하는 단계를 포함하는 방법을 제공한다. 방법은 제1 집적 소자를 제1 기판에 결합한다. 방법은 복수의 기판 간 상호 연결부가 제1 기판과 제2 기판 사이에 위치되도록 복수의 기판 간 상호 연결부를 통해 제2 기판을 제1 기판에 결합한다. 제2 기판은 제1 표면 및 제2 표면; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 솔더 레지스트 층을 포함한다. 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 솔더 레지스트 층과 제1 집적 소자 사이에 위치된다.

도면의 간단한 설명

[0011] 다양한 특징, 특성 및 이점은 유사한 참조 문자가 전체에 걸쳐 상응하게 식별되는 도면과 함께 취해질 때 아래에 명시된 상세한 설명으로부터 명백해질 수 있다.

도 1은 포스트 상호 연결부를 포함하는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지의 예시적인 단면 프로파일도를 예시한다.

도 2는 포스트 상호 연결부를 포함하는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지의 클로즈업 단면 프로파일도를 예시한다.

도 3은 포스트 상호 연결부를 포함하는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지의 예시적인 단면 프로파일도를 예시한다.

도 4는 포스트 상호 연결부를 포함하는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지의 클로즈업 단면 프로파일도를 예시한다.

도 5a 내지 5c는 포스트 상호 연결부를 포함하는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 6a 내지 6c는 포스트 상호 연결부를 포함하는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 7은 포스트 상호 연결부를 포함하는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 8은 볼 상호 연결부를 통해 결합된 기판을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 9는 솔더 상호 연결부를 통해 결합된 기판을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 10a 내지 10c는 포스트 상호 연결부 및 캐비티가 있는 솔더 레지스트 층을 포함하는 기판을 제조하기 위한 예시적인 시퀀스를 예시한다.

도 11은 포스트 상호 연결부 및 캐비티가 있는 솔더 레지스트 층을 포함하는 기판을 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 12는 본원에 설명된 다이, 전자 회로, 집적 소자, 집적 수동 소자(integrated passive device; IPD), 수동 소자, 패키지, 및/또는 장치 패키지를 집적할 수 있는 다양한 전자 장치를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0012] 다음의 설명에서, 본 개시의 다양한 양태의 철저한 이해를 제공하기 위해 특정 세부 사항이 제시되어 있다. 그러나, 이러한 특정 세부 사항이 없이도 양태가 실시될 수 있다는 점이 당업자에 의해 이해될 것이다. 예를 들어, 회로는 불필요한 세부 사항으로 인해 양태가 모호해지는 것을 피하기 위해 블록도로 도시될 수 있다. 다른 인스턴스에서, 본 개시의 양태를 모호하게 하지 않기 위해 잘 알려진 회로, 구조 및 기술은 자세히 도시되지 않을 수 있다.

[0013] 본 개시는 적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판; 제1 기판에 결합된 제1 집적 소자; 제2 기판; 및 제1 기판과 제2 기판에 결합된 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부를 포함하는 패키지를 설명한다. 제2 기판은 제1 표면 및 제2 표면; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 솔더 레지스트 층을 포함한다. 제2 기판의 제2 표면은 제1 기판을 마주한다. 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 제1 집적 소자와 솔더 레지스트 층 사이에 위치된다. 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부는 제1 기판과 제2 기판 사이에 위치된다. 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부는 제1 기판을 제2 기판에 결합시키도록 구성된다. 본 개시는 제1 기판, 제1 기판에 결합된 제1 집적 소자 및 제2 기판 및 제1 기판과 제2 기판에 결합된 복수의 솔더 상호 연결부를 포함하는 패키지를 설명한다. 제1 기판은 적어도 하나의 제1 유전층; 제1 복수의 상호 연결부 - 제1 복수의 상호 연결부는 제1 복수의 포스트 상호 연

결부를 포함함 -; 및 제1 기판의 제1 표면에 결합된 제1 솔더 레지스트 층을 포함한다. 제2 기판은 제1 표면 및 제2 표면; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 제2 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 제2 솔더 레지스트 층을 포함한다. 제2 기판의 제2 표면은 제1 기판을 마주한다. 제2 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 제1 집적 소자와 제2 솔더 레지스트 층 사이에 위치된다. 복수의 솔더 상호 연결부는 제1 기판과 제2 기판 사이에 위치된다. 복수의 솔더 상호 연결부는 제1 기판을 제2 기판에 결합시키도록 구성된다. 아래에 추가로 설명되는 바와 같이, 패키지는 기판 사이에 고밀도 상호 연결 라우팅(예를 들어, 고밀도 기판 간 상호 연결부)을 제공하며, 이는 패키지를 작고 얇게 유지하면서 향상된 패키지 성능을 제공하는 데 도움이 된다.

[0014] **포스트 상호 연결부가 있는 기판과 캐비티가 있는 솔더 레지스트 층을 포함하는 예시적인 패키지**

[0015] 도 1은 포스트(post) 상호 연결부가 있는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지(100)의 단면 프로파일도를 예시한다. 패키지(100)는 패키지 온 패키지(package on package; PoP)일 수 있다. 패키지(100)는 복수의 솔더(solder) 상호 연결부(110)를 통해 보드(106)에 결합된다. 보드(106)는 적어도 하나의 보드 유전층(160) 및 복수의 보드(board) 상호 연결부(162)를 포함한다. 보드(106)는 인쇄 회로 기판(printed circuit board; PCB)을 포함할 수 있다.

[0016] 패키지(100)는 제1 기판(102), 제1 집적 소자(integrated device)(105) 및 언더필(underfill)(152)을 포함한다. 제1 기판(102), 제1 집적 소자(105) 및 언더필(152)은 제1 패키지의 일부로 간주될 수 있다. 제1 집적 소자(105)는 복수의 필러(pillar) 상호 연결부(150)를 통해 기판(102)의 제1 표면(예를 들어, 상부 표면)에 결합된다. 제1 기판(102)은 적어도 하나의 제1 유전층(120) 및 제1 복수의 상호 연결부(122)를 포함한다. 제1 집적 소자(105)는 복수의 필라 상호 연결부(150)를 통해 제1 기판(102)의 제1 복수의 상호 연결부(122)에 결합된다. 복수의 필러 상호 연결부(150)와 제1 복수의 상호 연결부(122) 사이에는 솔더 상호 연결부(도시되지 않음)가 있을 수 있다. 즉, 일부 구현에서, 솔더 상호 연결부는 복수의 필러 상호 연결부(150)를 제1 복수의 상호 연결부(122)에 결합시키는 데 사용될 수 있다. 언더필(152)은 제1 집적 소자(105)와 제1 기판(102) 사이에 위치된다. 제1 기판(102)은 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)을 포함한다. 솔더 레지스트 층(124)은 제1 기판(102)의 제1 표면(예를 들어, 상부 표면)에 결합된다. 솔더 레지스트 층(126)은 제1 기판(102)의 제2 표면(예를 들어, 하부 표면)에 결합된다. 복수의 수동 소자(130)는 제1 기판(102)의 제2 표면에 결합된다. 수동 소자(130)는 커패시터 및/또는 인덕터를 포함할 수 있다.

[0017] 패키지(100)는 제2 기판(104) 및 제2 집적 소자(107)를 포함한다. 제2 기판(104) 및 제2 집적 소자(107)는 제2 패키지의 일부로 간주될 수 있다. 제2 집적 소자(107)는 복수의 솔더 상호 연결부(170)를 통해 제2 기판(104)의 제1 표면(예를 들어, 상부 표면)에 결합된다. 제2 기판(104)은 적어도 하나의 제2 유전층(140) 및 제2 복수의 상호 연결부(142)를 포함한다. 아래에 추가로 설명되는 바와 같이, 제2 복수의 상호 연결부(142)는 복수의 포스트 상호 연결부를 포함할 수 있다. 제2 집적 소자(107)는 복수의 솔더 상호 연결부(170)를 통해 제2 기판(104)의 제2 복수의 상호 연결부(142)에 결합된다. 제2 기판(104)은 솔더 레지스트 층(144) 및 솔더 레지스트 층(146)을 포함한다. 솔더 레지스트 층(144)은 제2 기판(104)의 제1 표면(예를 들어, 상부 표면)에 결합된다. 솔더 레지스트 층(146)은 제2 기판(104)의 제2 표면(예를 들어, 하부 표면)에 결합된다. 솔더 레지스트 층(146)은 캐비티(cavity)를 포함한다. 솔더 레지스트 층(146)은 다양한 두께를 포함할 수 있다. 제2 기판(104)은 인터포저(interposer)일 수 있다. 제2 기판(104)은 둘 이상의 금속층을 포함할 수 있다. 일부 구현에서, 제2 기판(104)은 mSAP(modified semi-additive process)를 사용하여 제조될 수 있다. 일부 구현에서, 제1 기판(102)은 ETS(embedded trace substrate) 공정을 사용하여 제조될 수 있다.

[0018] 제2 기판(104)은 복수의 볼 상호 연결부(109) 및 복수의 솔더 상호 연결부(190)를 통해 제1 기판(102)에 결합된다. 복수의 볼(ball) 상호 연결부(109) 및 복수의 솔더 상호 연결부(190)는 (i) 제1 기판(102)의 제1 복수의 상호 연결부(122) 및 (ii) 제2 기판(104)의 제2 복수의 상호 연결부(142)에 결합된다. 복수의 볼 상호 연결부(109)는 구리 볼을 포함할 수 있다. 복수의 볼 상호 연결부(109) 및/또는 복수의 솔더 상호 연결부(190)는 기판 간(inter-substrate) 상호 연결을 위한 수단일 수 있다. 복수의 볼 상호 연결부(109) 및/또는 복수의 솔더 상호 연결부(190)는 복수의 기판 간 상호 연결부의 예일 수 있다. 복수의 솔더 상호 연결부(190)는 복수의 볼 상호 연결부(109)가 제1 기판(102)으로부터의 상호 연결부 및 제2 기판(104)으로부터의 상호 연결부에 결합하는 데 도움이 된다 복수의 솔더 상호 연결부(190)는 복수의 볼 상호 연결부(109)를 적어도 부분적으로 캡슐화할 수 있다.

[0019] 제1 집적 소자(105)는 제1 기판(102)과 제2 기판(104) 사이에 위치된다. 솔더 레지스트 층(146)의 캐비티는 제

1 집적 소자(105) 위에(over)(예를 들어, 위에(above)) 위치된다. 예를 들어, 캐비티는 솔더 레지스트 층(146)과 제1 집적 소자(105) 사이에 위치될 수 있다. 제1 집적 소자(105)의 후면(back side)은 솔더 레지스트 층(144)의 캐비티와 마주한다. 캐비티는 솔더 레지스트 층(146)과 제1 집적 소자(105)의 후면 사이에 위치될 수 있다. 캐비티는 제1 집적 소자(105)를 포함하는 패키지 영역에 위치될 수 있다.

[0020] 패키지(100)는 캡슐화 층(108)을 포함한다. 캡슐화 층(108)은 제1 기판(102)과 제2 기판(104) 사이에 위치된다. 캡슐화 층(108)은 제1 집적 소자(105), 복수의 볼 상호 연결부(109) 및/또는 복수의 솔더 상호 연결부(190)를 캡슐화할 수 있다. 캡슐화 층(108)은 솔더 레지스트 층(144)의 캐비티에 위치될 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(108)은 압축 및 전사 성형 공정(compression and transfer molding process), 시트 성형 공정(sheet molding process), 또는 액상 성형 공정(liquid molding process)을 사용하여 제공될 수 있다.

[0021] 아래에 추가로 설명되는 바와 같이, 솔더 레지스트 층(146), (복수의 상호 연결부(142)로부터의) 포스트 상호 연결부, 복수의 볼 상호 연결부(109) 및/또는 복수의 솔더 상호 연결부(190)에서의 캐비티(예를 들어, 250)의 사용은 기판 간의 더 많은 상호 연결을 허용하며, 이는 패키지 성능을 향상시키는 데 도움이 된다. 예를 들어, 솔더 레지스트 층(146), (복수의 상호 연결부(142)로부터의) 포스트 상호 연결부, 복수의 볼 상호 연결부(109) 및/또는 복수의 솔더 상호 연결부(190)에서의 캐비티(예를 들어, 250)의 사용은 더 작은 피치(pitch)(예를 들어, 인접한 상호 연결 사이의 더 작은 중심에서 중심까지의 거리)를 갖는 기판 간의 상호 연결을 허용하며, 이는 기판 사이에 더 많은 상호 연결을 허용한다(이로써 상호 연결부의 밀도가 증가함). 솔더 레지스트 층(146), (복수의 상호 연결부(142)로부터의) 포스트 상호 연결부, 복수의 볼 상호 연결부(109) 및/또는 복수의 솔더 상호 연결부(190) 및/또는 복수의 솔더 상호 연결부(190)에서의 캐비티의 사용은 패키지가 낮은 피치를 갖는 기판 사이의 기판 간 상호 연결부를 가질 수 있도록 기판 사이의 간격이 더 작은 더 얇은 패키지를 허용한다. 이는 결국 기판 사이에 높은 라우팅 밀도 상호 연결부를 제공하는 데 도움이 된다. 예를 들어, 제1 기판(102)과 제2 기판(104) 사이의 상호 연결부는 270 마이크로미터 미만인 피치를 가질 수 있다. 예를 들어, 제1 기판(102)과 제2 기판(104) 사이의 상호 연결부는 150 내지 270 마이크로미터 사이인 피치를 가질 수 있다. 일부 구현에서, 제1 기판(102)과 제2 기판(104) 사이의 기판 간 상호 연결부의 수(예를 들어, 핀 카운트)는 300개 이상일 수 있다. 일부 구현에서, 제1 기판(102)과 제2 기판(104) 사이의 기판 간 상호 연결부의 수(예를 들어, 핀 카운트)는 최대 400개일 수 있다. 일부 구현에서, 제1 기판(102)과 제2 기판(104) 사이의 기판 간 상호 연결부의 수(예를 들어, 핀 카운트)는 300개 내지 400개 사이일 수 있다. 인접한 상호 연결부(예를 들어, 인접한 볼 상호 연결부, 인접한 솔더 상호 연결부) 사이의 간격을 줄이고 기판 간 상호 연결부의 카운트를 늘리면 패키지에서 고밀도 상호 연결부 라우팅을 제공하는 데 도움이 된다. 기판 간의 고밀도 상호 연결부 라우팅은 패키지 성능을 향상시키는 데 도움이 된다. 일부 구현에서, 인접한 상호 연결부 사이의 간격을 줄이면 상호 연결부가 차지하는 공간을 최대 30%까지 줄일 수 있다. 증가된 라우팅 밀도 외에, 패키지의 전체 두께는 캐비티가 있는 솔더 레지스트 층을 제공함으로써 감소될 수 있으며, 솔더 레지스트 층의 캐비티는 집적 소자 위에 위치된다. 즉, 캐비티는 솔더 레지스트 층과 집적 소자의 후면 사이에 위치될 수 있다.

[0022] 도 2는 패키지(100)의 클로즈업 도면을 예시한다. 패키지(100)는 캐비티(250)를 포함하는 솔더 레지스트 층(146)을 포함한다. 캐비티(250)는 캡슐화 층(108)으로 충진된다. 솔더 레지스트 층(146)은 서로 다른 두께를 갖는 두 부분을 포함한다. 솔더 레지스트 층(146)은 솔더 레지스트 층(146a)(예를 들어, 솔더 레지스트 층(146)의 제1 부분)과 솔더 레지스트 층(146b)(예를 들어, 솔더 레지스트 층(146)의 제2 부분)을 포함한다. 솔더 레지스트 층(146a)은 두께(240)를 갖고 솔더 레지스트 층(146b)는 두께(242)를 갖는다. 솔더 레지스트 층(146a)은 솔더 레지스트 층(146b)보다 더 두껍다. 두께(240)는 두께(242)보다 더 크다. 솔더 레지스트 층(146b)과 제1 집적 소자(105)의 후면 부분 사이에는 갭(gap)(282)이 있다. 갭(282)은 솔더 레지스트 층(146)의 캐비티(250)를 포함한다. 갭(282)은 캡슐화 층(108)으로 충진된다. 솔더 레지스트 층(146a)과 솔더 레지스트 층(124) 사이에는 갭(280)이 있다. 갭(280)는 캡슐화 층(108)으로 충진된다. 일부 구현에서, 갭(282)의 두께는 갭(280)의 두께 미만일 수 있다. 따라서, 예를 들어, 솔더 레지스트 층(146b)과 집적 소자(105)의 후면 사이의 수직 갭은 제2 기판(104)의 솔더 레지스트 층(146a)과 제1 기판(102)의 솔더 레지스트 층(124) 사이의 수직 갭 미만일 수 있다. 일부 구현에서, 집적 소자(105)의 후면의 일부는 캐비티(250) 내에 위치될 수 있다. 따라서, 캐비티(250)는 제1 기판(102)과 제2 기판(104) 사이의 공간 또는 갭을 줄이면서 제1 기판(102)과 제2 기판(104) 사이에 집적 소자(105)를 수용하는 데 도움이 된다.

[0023] 제1 복수의 상호 연결부(142)는 복수의 포스트 상호 연결부(142a)를 포함한다. 복수의 포스트 상호 연결부(142a)는 복수의 볼 상호 연결부(109) 및 복수의 솔더 상호 연결부(190)에 결합된다. 복수의 포스트 상호 연결

부(142a)는 솔더 레지스트 층(146a)의 두께 미만인 두께를 갖는다. 복수의 포스트 상호 연결부(142a)는 솔더 레지스트 층(146a)에 의해 측방향으로 둘러싸일 수 있다. 제1 복수의 상호 연결부(122)는 복수의 상호 연결부(122a)(예를 들어, 패드(pad) 상호 연결부)를 포함한다. 복수의 상호 연결부(122a)는 복수의 볼 상호 연결부(109) 및 복수의 솔더 상호 연결부(190)에 결합된다.

[0024] 일부 구현에서, 복수의 볼 상호 연결부(109)는 약 200 내지 270 마이크로미터의 피치를 가질 수 있다. 일부 구현에서, 복수의 볼 상호 연결부(109)는 제1 집적 소자(105)를 측방향으로 둘러싸는 최대 400개의 볼 상호 연결부까지 포함할 수 있다. 볼 상호 연결부(109) 각각은 제1 기판(102)과 제2 기판(104) 사이의 별도의 전기 경로를 나타낼 수 있다. 이러한 구성은 제1 기판(102)과 제2 기판(104) 사이의 더 높은 밀도 라우팅을 갖는 더 작고 더 얇은 패키지를 허용하는 동시에 인접 상호 연결부(예를 들어, 인접 볼 상호 연결부(109), 인접 볼 상호 연결부(190)) 사이의 모든 단락도 방지한다. 솔더 레지스트 층(146)의 캐비티(250)는 제1 기판(102)과 제2 기판(104)이 가능한 한 근접하게 함께 결합되기 때문에 솔더 레지스트 층이 제1 집적 소자(105)에 직접 접촉하지 않도록 하는 데 도움이 된다.

[0025] 일부 구현에서, 제1 기판(102)과 제2 기판(104) 사이의 기판 간 상호 연결부의 수를 최대화 및/또는 최적화하기 위해, 기판 간 상호 연결부 사이의 피치는 270 마이크로미터 이하(예를 들어, 200 내지 270 마이크로미터)로 감소되어야 할 수도 있다. 이를 달성하기 위해, 제1 기판(102)으로부터의 상호 연결부(예를 들어, 122a)와 제2 기판(104)으로부터의 상호 연결부(예를 들어, 142a) 사이의 수직 갭 및/또는 수직 공간은 더 작은 크기 및/또는 더 작은 피치를 갖는 복수의 볼 상호 연결부(109) 및/또는 복수의 솔더 상호 연결부(190)가 사용될 수 있도록 감소될 수 있다. 이는 (복수의 상호 연결부(142)로부터의) 포스트 상호 연결부를 제공함으로써 달성될 수 있으며, 이는 제1 기판(102)으로부터의 상호 연결부와 제2 기판(104)으로부터의 상호 연결부 사이의 수직 갭을 좁히는 데 도움이 되며, 따라서 더 작은 크기 및/또는 더 작은 피치 볼 상호 연결부(109) 및/또는 솔더 상호 연결부(190)를 허용한다. 제1 기판(102)과 제2 기판(104) 사이의 수직 갭이 감소됨에 따라, 제1 집적 소자(105)는 제2 기판(104)에 부딪힐 수 있다. 제1 기판(102)과 제2 기판(104) 사이에 제1 집적 소자(105)를 수용하는 동시에 제1 기판(102)과 제2 기판(104) 사이의 수직 갭을 또한 감소시키기 위해, 솔더 레지스트 층(146)에 캐비티(250)가 형성되어 제1 집적 소자(105)의 후면이 제2 기판(104)과 직접 접촉하지 않도록 한다. 일부 구현에서, 제2 기판(104)에서 포스트 상호 연결부의 사용은 제2 기판(104)의 포스트 상호 연결부와 제1 기판(102)의 상호 연결부가 서로 더 가깝기 때문에 기판 사이의 솔더 상호 연결부에 대해 더 작은 피치를 제공하는 데 도움이 된다. 솔더 상호 연결부 사이의 피치가 작다는 것은 동일한 영역에 더 많은 솔더 상호 연결부가 제공될 수 있다는 것을 의미하며, 이는 기판 사이에 더 높은 밀도의 라우팅을 의미한다. 적어도 도 3 및 4에서 아래에 추가로 설명되는 바와 같이, 일부 구현에서, 제1 기판(102) 및 제2 기판(104) 둘 모두에서의 포스트 상호 연결부의 사용은 각 기판의 포스트 상호 연결부가 서로 더 가깝기 때문에 기판 사이의 솔더 상호 연결부에 대해 훨씬 더 작은 피치를 제공하는 데 도움이 될 수 있다. 이는 기판 간의 보다 높은 밀도의 라우팅이 제공될 수 있음을 의미한다.

[0026] 패키지(100)의 다양한 컴포넌트는 다양한 두께 및/또는 치수를 가질 수 있다. 일부 구현에서, 복수의 포스트 상호 연결부(142a)는 약 40 내지 50 마이크로미터의 두께를 가질 수 있다. 일부 구현에서, 솔더 레지스트 층(146a)은 약 65 내지 80 마이크로미터의 두께(예를 들어, 240)를 가질 수 있다. 일부 구현에서, 솔더 레지스트 층(124)과 솔더 레지스트 층(146a) 사이의 갭(예를 들어, 280)은 약 75 내지 95 마이크로미터일 수 있다. 일부 구현에서, 복수의 볼 상호 연결부(109)는 약 100 내지 120 마이크로미터의 직경을 가질 수 있다. 일부 구현에서, 복수의 볼 상호 연결부(109)는 선택적일 수 있다. 따라서, 일부 패키지는 복수의 볼 상호 연결부(109)의 사용을 우회할 수 있다.

[0027] 도 3은 포스트(post) 상호 연결부가 있는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지(300)의 단면 프로파일도를 예시한다. 패키지(300)는 패키지 온 패키지(PoP)일 수 있다. 패키지(300)는 도 1 및 도 2에 설명된 패키지(100)와 유사할 수 있다. 패키지(300)는 기판 사이의 고밀도 라우팅(예를 들어, 고밀도 기판 간 상호 연결부)을 갖는 얇은 패키지를 여전히 제공하면서 볼 상호 연결부의 사용을 우회한다. 패키지(300)는 복수의 솔더 상호 연결부(110)를 통해 보드(106)에 결합된다.

[0028] 패키지(300)는 제1 기판(302), 제1 집적 소자(105) 및 언더필(152)을 포함한다. 제1 기판(302), 제1 집적 소자(105) 및 언더필(152)은 제1 패키지의 일부로 간주될 수 있다. 제1 집적 소자(105)는 복수의 필러 상호 연결부(150)를 통해 기판(302)의 제1 표면(예를 들어, 상부 표면)에 결합된다. 제1 기판(302)은 적어도 하나의 제1 유전층(120) 및 제1 복수의 상호 연결부(122)를 포함한다. 제1 복수의 상호 연결부(122)는 복수의 포스트 상호 연결부(322)를 포함한다. 제1 집적 소자(105)는 복수의 필라 상호 연결부(150)를 통해 제1 기판(302)의 제1 복수의 상호 연결부(122)에 결합된다. 복수의 필러 상호 연결부(150)와 제1 복수의 상호 연결부(122) 사이에는

솔더 상호 연결부(도시되지 않음)가 있을 수 있다. 복수의 솔더 상호 연결부는 복수의 필러 상호 연결부(150)를 제1 복수의 상호 연결부(122)에 결합시키는 데 사용될 수 있다. 언더필(152)은 제1 집적 소자(105)와 제1 기판(302) 사이에 위치된다. 제1 기판(302)은 솔더 레지스트 층(324) 및 솔더 레지스트 층(126)을 포함한다. 솔더 레지스트 층(324)은 제1 기판(302)의 제1 표면(예를 들어, 상부 표면)에 결합된다. 솔더 레지스트 층(324)은 복수의 포스트 상호 연결부(322)의 두께보다 더 큰(예를 들어, 더 두꺼운) 두께를 갖는다. 복수의 포스트 상호 연결부(322)는 솔더 레지스트 층(324)에 의해 측방향으로 둘러싸일 수 있다. 솔더 레지스트 층(126)은 제1 기판(302)의 제2 표면(예를 들어, 하부 표면)에 결합된다. 복수의 수동 소자(130)는 제1 기판(302)의 제2 표면에 결합된다. 수동 소자(130)는 커패시터 및/또는 인덕터를 포함할 수 있다.

[0029] 패키지(300)는 제2 기판(104) 및 제2 집적 소자(107)를 포함한다. 제2 기판(104) 및 제2 집적 소자(107)는 제2 패키지의 일부로 간주될 수 있다. 제2 집적 소자(107)는 복수의 솔더 상호 연결부(170)를 통해 제2 기판(104)의 제1 표면(예를 들어, 상부 표면)에 결합된다. 제2 기판(104)은 적어도 하나의 제2 유전층(140) 및 제2 복수의 상호 연결부(142)를 포함한다. 아래에 추가로 설명되는 바와 같이, 제2 복수의 상호 연결부(142)는 복수의 포스트 상호 연결부를 포함할 수 있다. 제2 집적 소자(107)는 복수의 솔더 상호 연결부(170)를 통해 제2 기판(104)의 제2 복수의 상호 연결부(142)에 결합된다. 제2 기판(104)은 솔더 레지스트 층(144) 및 솔더 레지스트 층(146)을 포함한다. 솔더 레지스트 층(144)은 제2 기판(104)의 제1 표면(예를 들어, 상부 표면)에 결합된다. 솔더 레지스트 층(146)은 제2 기판(104)의 제2 표면(예를 들어, 하부 표면)에 결합된다. 솔더 레지스트 층(146)은 캐비티(cavity)를 포함한다. 솔더 레지스트 층(146)은 다양한 두께를 포함할 수 있다. 제2 기판(104)은 인터포저일 수 있다. 제1 기판(302)은 복수의 포스트 상호 연결부(322)의 두께보다 더 큰(예를 들어, 더 두꺼운) 두께(예를 들어, 460)를 갖는 솔더 레지스트 층(324)을 포함할 수 있다. 제2 기판(104)은 둘 이상의 금속층을 포함할 수 있다. 일부 구현에서, 제2 기판(104)은 mSAP(modified semi-additive process)를 사용하여 제조될 수 있다. 일부 구현에서, 제1 기판(302)은 ETS(embedded trace substrate) 공정을 사용하여 제조될 수 있다.

[0030] 제2 기판(104)은 복수의 솔더 상호 연결부(190)를 통해 제1 기판(302)에 결합된다. 복수의 솔더 상호 연결부(190)는 (i) 제1 기판(302)의 복수의 포스트 상호 연결부(322) 및 (ii) 제2 기판(104)의 제2 복수의 포스트 상호 연결부(142a)에 결합된다. 복수의 솔더 상호 연결부(190)는 기판 간 상호 연결을 위한 수단일 수 있다. 복수의 솔더 상호 연결부(190)는 복수의 기판 간 상호 연결부의 예일 수 있다.

[0031] 제1 집적 소자(105)는 제1 기판(302)과 제2 기판(104) 사이에 위치된다. 솔더 레지스트 층(146)의 캐비티(예를 들어, 250)는 제1 집적 소자(105) 위에(over)(예를 들어, 위에(above)) 위치된다. 제1 집적 소자(105)의 후면은 솔더 레지스트 층(146)의 캐비티와 마주한다. 일부 구현에서, 제1 집적 소자(105)의 후면의 적어도 일부는 솔더 레지스트 층(146)의 캐비티(250) 내에 위치될 수 있다.

[0032] 패키지(300)는 캡슐화 층(108)을 포함한다. 캡슐화 층(108)은 제1 기판(302)과 제2 기판(104) 사이에 위치된다. 캡슐화 층(108)은 제1 집적 소자(105) 및/또는 복수의 솔더 상호 연결부(190)를 캡슐화할 수 있다. 캡슐화 층(108)은 솔더 레지스트 층(146)의 캐비티에 위치될 수 있다.

[0033] 아래에 추가로 설명되는 바와 같이, 솔더 레지스트 층(146), (복수의 상호 연결부(142)로부터의) 포스트 상호 연결부, 복수의 솔더 상호 연결부(109) 및 복수의 포스트 상호 연결부(322)에서의 캐비티의 사용은 낮은 피치를 갖는 기판 사이의 상호 연결부를 갖는 더 얇은 패키지를 허용한다. 이는 결국 기판 사이에 높은 라우팅 밀도 상호 연결부(예를 들어, 고밀도 기판 간 상호 연결부)를 제공하는 데 도움이 된다. 예를 들어, 제1 기판(302)과 제2 기판(104) 사이의 상호 연결부는 270 마이크로미터 미만인 피치를 가질 수 있다. 예를 들어, 제1 기판(302)과 제2 기판(104) 사이의 상호 연결부는 150 내지 270 마이크로미터 사이인 피치를 가질 수 있다. 일부 구현에서, 제1 기판(302)과 제2 기판(104) 사이의 기판 간 상호 연결부의 수(예를 들어, 핀 카운트)는 300개 이상일 수 있다. 일부 구현에서, 제1 기판(302)과 제2 기판(104) 사이의 기판 간 상호 연결부의 수(예를 들어, 핀 카운트)는 최대 400개일 수 있다. 일부 구현에서, 제1 기판(302)과 제2 기판(104) 사이의 기판 간 상호 연결부의 수(예를 들어, 핀 카운트)는 300개 내지 400개 사이일 수 있다. 인접한 상호 연결부(예를 들어, 인접한 솔더 상호 연결부) 사이의 간격을 줄이고 기판 간 상호 연결부의 카운트를 늘리면 패키지에서 고밀도 상호 연결부 라우팅을 제공하는 데 도움이 된다. 기판 사이의 고밀도 상호 연결부 라우팅(예를 들어, 고밀도 기판 간 상호 연결부)는 패키지의 성능을 향상시키는 데 도움이 된다. 일부 구현에서, 인접한 상호 연결부 사이의 간격을 줄이면 상호 연결부가 차지하는 공간을 최대 30%까지 줄일 수 있다. 증가된 라우팅 밀도 외에, 패키지의 전체 두께는 캐비티가 있는 솔더 레지스트 층을 제공함으로써 감소될 수 있으며, 솔더 레지스트 층의 캐비티는 집적

소자 위에 위치된다.

[0034] 도 4는 패키지(300)의 클로즈업 도면을 예시한다. 패키지(300)는 캐비티(250)를 포함하는 솔더 레지스트 층(146)을 포함한다. 캐비티(250)는 캡슐화 층(108)으로 충진된다. 솔더 레지스트 층(146)은 서로 다른 두께를 갖는 두 부분을 포함한다. 솔더 레지스트 층(146)은 솔더 레지스트 층(146a) 및 솔더 레지스트 층(146b)을 포함한다. 솔더 레지스트 층(146a)은 두께(240)를 갖고 솔더 레지스트 층(146b)는 두께(242)를 갖는다. 솔더 레지스트 층(146a)은 솔더 레지스트 층(146b)보다 더 두껍다. 두께(240)는 두께(242)보다 더 크다. 솔더 레지스트 층(146b)과 제1 집적 소자(105)의 후면 부분 사이에는 갭(282)이 있다. 갭(282)은 솔더 레지스트 층(146)의 캐비티(250)를 포함한다. 갭(282)은 캡슐화 층(108)으로 충진된다. 솔더 레지스트 층(146a)과 솔더 레지스트 층(124) 사이에는 갭(480)이 있다. 갭(480)는 캡슐화 층(108)으로 충진된다.

[0035] 제1 복수의 상호 연결부(142)는 복수의 포스트 상호 연결부(142a)를 포함한다. 복수의 포스트 상호 연결부(142a)는 복수의 솔더 상호 연결부(190)에 결합된다. 복수의 포스트 상호 연결부(142a)는 솔더 레지스트 층(146a)의 두께 미만인 두께를 갖는다. 복수의 포스트 상호 연결부(322)는 솔더 레지스트 층(324)의 두께 미만인 두께를 갖는다. 복수의 포스트 상호 연결부(322)는 복수의 솔더 상호 연결부(190)에 결합된다.

[0036] 일부 구현에서, 제1 기판(102)과 제2 기판(104) 사이의 기판 간 상호 연결부의 수를 최대화 및/또는 최적화하기 위해, 기판 간 상호 연결부 사이의 피치는 270 마이크로미터 이하(예를 들어, 150 내지 270 마이크로미터)로 감소되어야 할 수도 있다. 이를 달성하기 위해, 제1 기판(102)으로부터의 상호 연결부(예를 들어, 122a)와 제2 기판(104)으로부터의 상호 연결부(예를 들어, 142a) 사이의 수직 갭 및/또는 수직 공간은 더 작은 크기 및/또는 더 작은 피치를 갖는 복수의 솔더 상호 연결부(190)가 사용될 수 있도록 감소될 수 있다. 이는 (복수의 상호 연결부(142)로부터의) 포스트 상호 연결부 및 (복수의 상호 연결부(122)로부터의) 포스트 상호 연결부(322)를 제공함으로써 달성될 수 있으며, 이는 제1 기판(102)으로부터의 상호 연결부와 제2 기판(104)으로부터의 상호 연결부 사이의 수직 갭을 좁히는 데 도움이 되며, 따라서 더 작은 크기 및/또는 더 작은 피치 솔더 상호 연결부(190)를 허용한다. 제1 기판(102)과 제2 기판(104) 사이의 수직 갭이 감소됨에 따라, 제1 집적 소자(105)는 제2 기판(104)에 부딪힐 수 있다. 제1 기판(102)과 제2 기판(104) 사이에 제1 집적 소자(105)를 수용하는 동시에 제1 기판(102)과 제2 기판(104) 사이의 수직 갭을 또한 감소시키기 위해, 솔더 레지스트 층(146)에 캐비티(250)가 형성되어 제1 집적 소자(105)의 후면이 제2 기판(104)과 직접 접촉하지 않도록 한다. 아래는 270 마이크로미터 이하(예를 들어, 150 내지 270 마이크로미터)의 피치를 갖는 기판 간 상호 연결부를 제공하는 데 도움이 되는, 다양한 컴포넌트에 대한 예시적인 치수 및/또는 값이다. 일부 구현에서, 제1 기판(102) 및 제2 기판(104) 둘 모두에서의 포스트 상호 연결부의 사용은 각 기판의 포스트 상호 연결부가 서로 더 가깝기 때문에 기판 사이의 솔더 상호 연결부에 대해 더 작은 피치를 제공하는 데 도움이 된다. 솔더 상호 연결부 사이의 피치가 작다는 것은 동일한 영역에 더 많은 솔더 상호 연결부가 제공될 수 있다는 것을 의미하며, 이는 기판 사이에 더 높은 밀도의 라우팅을 의미한다.

[0037] 패키지(300)의 다양한 컴포넌트는 다양한 두께 및/또는 치수를 가질 수 있다. 일부 구현에서, 복수의 포스트 상호 연결부(142a)는 약 40 내지 50 마이크로미터의 두께를 가질 수 있다. 일부 구현에서, 솔더 레지스트 층(146a)은 약 65 내지 80 마이크로미터의 두께(예를 들어, 240)를 가질 수 있다. 일부 구현에서, 솔더 레지스트 층(124)과 솔더 레지스트 층(146a) 사이의 갭(예를 들어, 480)은 약 50 내지 70 마이크로미터일 수 있다. 일부 구현에서, 솔더 레지스트 층(324)은 약 30 내지 50 마이크로미터의 두께(예를 들어, 460)를 가질 수 있다. 일부 구현에서, 복수의 솔더 상호 연결부(190)는 약 50 내지 70 마이크로미터의 직경을 가질 수 있다. 일부 구현에서, 갭(282)의 두께는 갭(480)의 두께 미만일 수 있다. 따라서, 예를 들어, 솔더 레지스트 층(146b)과 집적 소자(105)의 후면 사이의 수직 갭은 제2 기판(104)의 솔더 레지스트 층(146a)과 제1 기판(102)의 솔더 레지스트 층(324) 사이의 수직 갭 미만일 수 있다. 일부 구현에서, 집적 소자(105)의 후면의 일부는 캐비티(250) 내에 위치될 수 있다. 따라서, 캐비티(250)는 제1 기판(102)과 제2 기판(104) 사이의 공간 또는 갭을 줄이면서 제1 기판(102)과 제2 기판(104) 사이에 집적 소자(105)를 수용하는 데 도움이 된다.

[0038] 일부 구현에서, 위에서 언급한 치수는 약 150 내지 270 마이크로미터의 피치를 가질 수 있는 복수의 솔더 상호 연결부(190)를 포함하는 패키지를 제공하는 데 도움이 된다. 일부 구현에서, 복수의 솔더 상호 연결부(190)는 제1 집적 소자(105)를 측방향으로 둘러싸는 최대 400개의 솔더 상호 연결부(예를 들어, 솔더 볼)까지 포함할 수 있다. 솔더 상호 연결부(190) 각각은 제1 기판(302)과 제2 기판(104) 사이의 별도의 전기 경로를 나타낼 수 있다. 이러한 구성은 제1 기판(302)과 제2 기판(104) 사이의 더 높은 밀도 라우팅을 갖는 더 작고 더 얇은 패키지를 허용하는 동시에 인접 상호 연결부(예를 들어, 인접 솔더 상호 연결부(190)) 사이의 모든 단락도 방지한다. 솔더 레지스트 층(146)의 캐비티(250)는 제1 기판(302)과 제2 기판(104)이 가능한 한 근접하게 함께

결합되기 때문에 솔더 레지스트 층이 제1 집적 소자(105)에 직접 접촉하지 않도록 하는 데 도움이 된다.

[0039] 본 개시에 사용된 포스트 상호 연결부는 그 높이(예를 들어, 두께)가 그 폭 및/또는 직경과 동일 및/또는 더 큰 상호 연결부일 수 있다. 포스트 상호 연결부는 패드 상호 연결부에 결합될 수 있다. 포스트 상호 연결부는 패드 상호 연결부로부터 수직으로 연장(예를 들어, 패드 상호 연결부의 표면으로부터 수직으로 연장)될 수 있다. 포스트 상호 연결부는 솔더 레지스트 층에 의해 측방향으로 (예를 들어, 부분적으로 또는 완전하게) 둘러싸일 수 있다. 포스트 상호 연결부는 기판의 표면(예를 들어, 제1 표면, 제2 표면)으로부터 수직으로 및/또는 직각으로 연장될 수 있다. 기판의 포스트 상호 연결부는 기판의 표면으로부터 그리고 포스트 상호 연결부가 일부인 기판의 유전층으로부터 멀리 수직으로 및/또는 직각으로 연장될 수 있다. 포스트 상호 연결부는 기판의 유전층과 직접 접촉하지 않을 수 있다. 포스트 상호 연결부(예를 들어, 142a, 322)는 기판의 솔더 레지스트 층(예를 들어, 146a, 324)과 직접 접촉할 수 있다.

[0040] 집적 소자(예를 들어, 105, 107)는 다이(예를 들어, 반도체 베어(bare) 다이)를 포함할 수 있다. 집적 소자는 전력 관리 집적 회로(power management integrated circuit; PMIC)를 포함할 수 있다. 집적 소자는 애플리케이션 프로세서를 포함할 수 있다. 집적 소자는 모뎀을 포함할 수 있다. 집적 소자는 무선주파수(radio frequency; RF) 소자, 수동 소자, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, 갈륨 비소(GaAs)계 집적 소자, 표면 탄성파(surface acoustic wave; SAW) 필터, 벌크 탄성파(bulk acoustic wave; BAW) 필터, 발광 다이오드(light emitting diode; LED) 집적 소자, 실리콘(Si)계 집적 소자, 실리콘카바이드(SiC)계 집적 소자, 메모리, 전력 관리 프로세서 및/또는 이들의 조합을 포함할 수 있다. 집적 소자(예를 들어, 105, 107)는 적어도 하나의 전자 회로(예를 들어, 제1 전자 회로, 제2 전자 회로 등...)를 포함할 수 있다. 집적 소자는 트랜지스터를 포함할 수 있다. 집적 소자는 전기 컴포넌트 및/또는 전기 소자의 일 예일 수 있다. 일부 구현에서, 집적 소자는 칩셋일 수 있다. 칩렛의 제조는 (다른 유형의 집적 소자에 비해) 더 나은 및/또는 향상된 수율을 제공할 수 있으며, 이는 칩렛을 제조하는 전체 비용을 낮출 수 있다. 서로 다른 칩렛은 서로 다른 크기 및/또는 모양을 가질 수 있다. 서로 다른 칩셋은 서로 다른 기능을 제공하도록 구성될 수 있다. 서로 다른 칩셋은 서로 다른 상호 연결부 밀도(예를 들어 사로 다른 폭 및/또는 간격을 갖는 상호 연결부)를 가질 수 있다. 일부 구현에서, 여러 개의 칩렛은 하나 이상의 칩(예를 들어, 하나 이상의 집적 소자)의 기능을 수행하는 데 사용될 수 있다. 여러 기능을 수행하는 여러 칩렛을 사용하면 단일 칩을 사용하여 패키지의 모든 기능을 수행하는 것에 비해 패키지의 전체 비용을 줄일 수 있다.

[0041] 패키지(예를 들어, 100, 300)는 무선 주파수(RF) 패키지로 구현될 수 있다. RF 패키지는 무선 주파수 프론트엔드(radio frequency front end; RFFE) 패키지일 수 있다. 패키지(예를 들어, 100, 300)는 WiFi(Wireless Fidelity) 통신 및/또는 셀룰러 통신(예를 들어, 2G, 3G, 4G, 5G)을 제공하도록 구성될 수 있다. 패키지(예를 들어, 100, 300)는 GSM(Global System for Mobile) 통신, UMTS(Universal Mobile Telecommunications System) 및/또는 LTE(Long-Term Evolution)를 지원하도록 구성될 수 있다. 패키지(예를 들어, 100, 300)는 서로 다른 주파수 및/또는 통신 프로토콜을 갖는 신호를 송신 및 수신하도록 구성될 수 있다.

[0042] 지금까지 다양한 패키지를 설명하였으며, 이제 패키지를 제조하기 위한 시퀀스가 아래에서 설명될 것이다.

[0043] **포스트 상호 연결부가 있는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0044] 일부 구현에서, 패키지를 제조하는 것은 여러 공정을 포함한다. 도 5a 내지 5c는 패키지를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현에서, 도 5a 내지 5c의 시퀀스는 패키지(100)를 제공 또는 제조하는 데 사용될 수 있다. 그러나 도 5a 내지 5c의 공정은 본 개시에 설명된 임의의 패키지(예를 들어, 300)를 제조하는데 사용될 수 있다.

[0045] 도 5a 내지 5c의 시퀀스는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화하고/하거나 명확하게 하기 위해 하나 이상의 단계를 조합할 수 있다는 점에 유의해야 한다. 일부 구현에서, 공정의 순서는 변경 또는 수정될 수 있다. 일부 구현에서, 공정 중 하나 이상은 본 개시의 범위를 벗어나지 않고 교체 또는 대체될 수 있다.

[0046] 도 5a에 도시된 바와 같이, 단계 1은 기판(102)이 제공된 후의 상태를 예시한다. 기판(102)은 적어도 하나의 유전층(120) 및 복수의 상호 연결부(122)를 포함한다. 기판(102)은 제1 표면(예를 들어, 상부 표면) 및 제2 표면(예를 들어, 하부 표면)을 포함할 수 있다. 기판(102)은 도 10a 내지 10c에 설명된 방법을 사용하여 제조될 수 있다. 일부 구현에서, 코어형 기판(예를 들어, 코어층을 포함하는 기판)이 제공된다.

[0047] 단계 2는 제1 집적 소자(105)가 기판(102)의 제1 표면(예를 들어, 상부 표면)에 결합된 후의 상태를 예시한다.

제1 집적 소자(105)는 복수의 필러 상호 연결부(150) 및 솔더 상호 연결부(도시되지 않음)을 통해 기판(102)에 결합될 수 있다. 솔더 리플로우(reflow) 공정은 제1 집적 소자(105)를 기판(102)에 결합시키는 데 사용될 수 있다. 단계 2는 또한 제1 집적 소자(105)와 기판(102) 사이에 제공 및/또는 형성되는 언더필(152)을 예시한다.

[0048] 단계 3은 기판(104)이 제공된 후의 상태를 예시한다. 기판(104)은 적어도 하나의 유전층(140) 및 복수의 상호 연결부(142)를 포함한다. 기판(104)은 제1 표면(예를 들어, 상부 표면) 및 제2 표면(예를 들어, 하부 표면)을 포함할 수 있다. 복수의 상호 연결부(142)는 포스트 상호 연결부(142a)를 포함할 수 있다. 기판(104)은 솔더 레지스트 층(144) 및 솔더 레지스트 층(146)을 포함한다. 솔더 레지스트 층(146)은 캐비티(예를 들어, 250)를 포함한다. 기판(104)은 도 10a 내지 10c에 설명된 방법을 사용하여 제조될 수 있다. 일부 구현에서, 코어형 기판(예를 들어, 코어층을 포함하는 기판)이 제공된다.

[0049] 단계 4는 제2 기판(104)이 복수의 볼 상호 연결부(109) 및 복수의 솔더 상호 연결부(190)를 통해 기판(102)에 결합된 후의 상태를 예시한다. 솔더 리플로우 공정은 기판(104)을 기판(102)에 결합시키는 데 사용될 수 있다. 복수의 볼 상호 연결부(109)는 기판(104)이 기판(102)에 결합되기 전에 기판(104)에 결합될 수 있다. 기판(104)은 제1 집적 소자(105)가 기판(102)과 기판(104) 사이에 위치되도록 기판(102)에 결합된다. 제1 집적 소자(105)는 솔더 레지스트 층(146)의 캐비티(예를 들어, 250) 밑에 위치될 수 있다. 복수의 볼 상호 연결부(109) 및 복수의 솔더 상호 연결부(190)는 (i) 제2 기판(104)의 복수의 포스트 상호 연결부(142a) 및 (ii) 제1 기판(102)의 복수의 상호 연결부(122)에 결합된다.

[0050] 도 5b에 도시된 바와 같이, 단계 5는 캡슐화 층(108)이 기판(102)과 기판(104) 사이에 제공된 후의 상태를 예시한다. 캡슐화 층(108)은 제1 집적 소자(105), 복수의 볼 상호 연결부(109) 및/또는 복수의 솔더 상호 연결부(190)를 캡슐화할 수 있다. 캡슐화 층(108)은 솔더 레지스트 층(146)의 캐비티(예를 들어, 250)에 위치될 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(108)은 압축 및 전사 성형 공정, 시트 성형 공정, 또는 액상 성형 공정을 사용하여 제공될 수 있다.

[0051] 단계 6은 제2 집적 소자(107)가 기판(104)의 제1 표면(예를 들어, 상부 표면)에 결합된 후의 상태를 예시한다. 제2 집적 소자(107)는 복수의 솔더 상호 연결부(170)를 통해 기판(104)에 결합될 수 있다. 솔더 리플로우 공정은 제2 집적 소자(107)를 기판(104)에 결합시키는 데 사용될 수 있다.

[0052] 도 5c에 도시된 바와 같이, 단계 7은 복수의 수동 소자(130)가 기판(102)의 제2 표면(예를 들어, 하부 표면)에 결합된 것을 예시한다. 복수의 수동 소자(130)는 복수의 솔더 상호 연결부(도시되지 않음)을 통해 기판(102)에 결합될 수 있다. 솔더 리플로우 공정은 복수의 수동 소자(130)를 기판(102)에 결합시키는 데 사용될 수 있다.

[0053] 단계 8은 복수의 솔더 상호 연결부(110)가 기판(102)의 제2 표면에 결합된 후의 상태를 예시한다. 솔더 리플로우 공정은 복수의 솔더 상호 연결부(110)를 기판(102)에 결합시키는 데 사용될 수 있다. 단계 8은 패키지(100)를 예시할 수 있다. 패키지(100)는 한번에 하나씩 제조되거나 하나 이상의 웨이퍼의 일부로서 함께 제조된 다음 개별 패키지로 싱귤레이트될(singulated) 수 있다.

[0054] **포스트 상호 연결부가 있는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0055] 일부 구현에서, 패키지를 제조하는 것은 여러 공정을 포함한다. 도 6a 내지 6c는 패키지를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현에서, 도 6a 내지 6c의 시퀀스는 패키지(100)를 제공 또는 제조하는 데 사용될 수 있다. 그러나 도 6a 내지 6c의 공정은 본 개시에 설명된 임의의 패키지(예를 들어, 100)를 제조하는데 사용될 수 있다.

[0056] 도 6a 내지 6c의 시퀀스는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화하고/하거나 명확하게 하기 위해 하나 이상의 단계를 조합할 수 있다는 점에 유의해야 한다. 일부 구현에서, 공정의 순서는 변경 또는 수정될 수 있다. 일부 구현에서, 공정 중 하나 이상은 본 개시의 범위를 벗어나지 않고 교체 또는 대체될 수 있다.

[0057] 도 6a에 도시된 바와 같이, 단계 1은 기판(302)이 제공된 후의 상태를 예시한다. 기판(302)은 적어도 하나의 유전층(120) 및 복수의 상호 연결부(122)를 포함한다. 복수의 상호 연결부(122)는 복수의 포스트 상호 연결부(322)를 포함한다. 기판(302)은 솔더 레지스트 층(324) 및 복수의 솔더 레지스트 층(126)을 포함한다. 기판(302)은 제1 표면(예를 들어, 상부 표면) 및 제2 표면(예를 들어, 하부 표면)을 포함할 수 있다. 기판(302)은 도 10a 내지 10c에 설명된 방법을 사용하여 제조될 수 있다. 일부 구현에서, 코어형 기판(예를 들어, 코어층을

포함하는 기판)이 제공된다.

[0058] 단계 2는 제1 집적 소자(105)가 기판(302)의 제1 표면(예를 들어, 상부 표면)에 결합된 후의 상태를 예시한다. 제1 집적 소자(105)는 복수의 필러 상호 연결부(150) 및 솔더 상호 연결부(도시되지 않음)을 통해 기판(302)에 결합될 수 있다. 솔더 리플로우 공정은 제1 집적 소자(105)를 기판(302)에 결합시키는 데 사용될 수 있다. 단계 2는 또한 제1 집적 소자(105)와 기판(102) 사이에 제공 및/또는 형성되는 언더필(152)을 예시한다.

[0059] 단계 3은 기판(104)이 제공된 후의 상태를 예시한다. 기판(104)은 적어도 하나의 유전층(140) 및 복수의 상호 연결부(142)를 포함한다. 기판(104)은 제1 표면(예를 들어, 상부 표면) 및 제2 표면(예를 들어, 하부 표면)을 포함할 수 있다. 복수의 상호 연결부(142)는 포스트 상호 연결부(142a)를 포함할 수 있다. 기판(104)은 솔더 레지스트 층(144) 및 솔더 레지스트 층(146)을 포함한다. 솔더 레지스트 층(146)은 캐비티(예를 들어, 250)를 포함한다. 기판(104)은 도 10a 내지 10c에 설명된 방법을 사용하여 제조될 수 있다. 일부 구현에서, 코어형 기판(예를 들어, 코어층을 포함하는 기판)이 제공된다.

[0060] 단계 4는 제2 기판(104)이 복수의 솔더 상호 연결부(190)를 통해 기판(302)에 결합된 후의 상태를 예시한다. 솔더 리플로우 공정은 기판(104)을 기판(302)에 결합시키는 데 사용될 수 있다. 기판(104)은 제1 집적 소자(105)가 기판(302)과 기판(104) 사이에 위치되도록 기판(302)에 결합된다. 제1 집적 소자(105)는 솔더 레지스트 층(146)의 캐비티(예를 들어, 250) 밑에 위치될 수 있다. 복수의 솔더 상호 연결부(190)는 (i) 제2 기판(104)의 복수의 포스트 상호 연결부(142a) 및 (ii) 제1 기판(302)의 복수의 포스트 상호 연결부(322)에 결합된다. 복수의 솔더 상호 연결부(190)는 먼저 솔더 리플로우 공정을 통해 기판(104)에 결합될 수 있으며, 그런 다음 기판(104)은 솔더 리플로우 공정을 통해 복수의 솔더 상호 연결부(190)를 통해 기판(302)에 결합된다.

[0061] 도 6b에 도시된 바와 같이, 단계 5는 캡슐화 층(108)이 기판(302)과 기판(104) 사이에 제공된 후의 상태를 예시한다. 캡슐화 층(108)은 제1 집적 소자(105) 및/또는 복수의 솔더 상호 연결부(190)를 캡슐화할 수 있다. 캡슐화 층(108)은 솔더 레지스트 층(146)의 캐비티(예를 들어, 250)에 위치될 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(108)은 압축 및 전사 성형 공정, 시트 성형 공정, 또는 액상 성형 공정을 사용하여 제공될 수 있다.

[0062] 단계 6은 제2 집적 소자(107)가 기판(104)의 제1 표면(예를 들어, 상부 표면)에 결합된 후의 상태를 예시한다. 제2 집적 소자(107)는 복수의 솔더 상호 연결부(170)를 통해 기판(104)에 결합될 수 있다. 솔더 리플로우 공정은 제2 집적 소자(107)를 기판(104)에 결합시키는 데 사용될 수 있다.

[0063] 도 6c에 도시된 바와 같이, 단계 7은 복수의 수동 소자(130)가 기판(302)의 제2 표면(예를 들어, 하부 표면)에 결합된 것을 예시한다. 복수의 수동 소자(130)는 복수의 솔더 상호 연결부(도시되지 않음)을 통해 기판(302)에 결합될 수 있다. 솔더 리플로우 공정은 복수의 수동 소자(130)를 기판(302)에 결합시키는 데 사용될 수 있다.

[0064] 단계 8은 복수의 솔더 상호 연결부(110)가 기판(302)의 제2 표면에 결합된 후의 상태를 예시한다. 솔더 리플로우 공정은 복수의 솔더 상호 연결부(110)를 기판(302)에 결합시키는 데 사용될 수 있다. 단계 8은 패키지(300)를 예시할 수 있다. 패키지(300)는 한번에 하나씩 제조되거나 하나 이상의 웨이퍼의 일부로서 함께 제조된 다음 개별 패키지로 싱귤레이트될 수 있다.

[0065] **포스트 상호 연결부가 있는 기판 및 캐비티가 있는 솔더 레지스트 층을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도**

[0066] 일부 구현에서, 패키지를 제조하는 것은 여러 공정을 포함한다. 도 7은 패키지를 제공 또는 제조하기 위한 방법(700)의 예시적인 흐름도를 예시한다. 일부 구현에서, 도 7의 방법(700)은 본 개시에 설명된 패키지(100)를 제공 또 제조하는 데 사용될 수 있다. 그러나 방법(700)은 본 개시에 설명된 임의의 패키지(예를 들어, 300)를 제공 또는 제조하는데 사용될 수 있다.

[0067] 도 7의 방법(700)은 패키지를 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이상의 공정을 조합할 수 있다는 점에 유의해야 한다. 일부 구현에서, 공정의 순서는 변경 또는 수정될 수 있다.

[0068] 방법은 (705에서) 제1 기판(예를 들어, 102) 및 제1 기판(예를 들어, 102)의 제1 표면에 결합된 제1 집적 소자(예를 들어, 105)를 제공한다. 제1 기판(102) 및 제1 집적 소자(105)는 제1 패키지의 일부일 수 있다. 제1 기판(102)은 적어도 하나의 제1 유전층(120) 및 제1 복수의 상호 연결부(122)를 포함한다. 일부 구현에서, 제1 기판은 복수의 포스트 상호 연결부(예를 들어, 322)를 포함할 수 있다. 제1 기판(102)은 솔더 레지스트 층(124) 및/또는 솔더 레지스트 층(126)을 포함할 수 있다. 기판(102)은 도 10a 내지 10c에 설명된 방법을 사용

하여 제조될 수 있다. 도 5a의 단계 1은 제공되는 제1 기판의 일 예를 예시 및 설명한다. 도 5a의 단계 2는 제1 집적 소자가 있는 제1 기판의 일 예를 예시 및 설명한다. 도 6a의 단계 1은 제공되는 제1 기판의 일 예를 예시 및 설명한다. 도 6a의 단계 2는 제1 집적 소자가 있는 제1 기판의 일 예를 예시 및 설명한다.

[0069] 방법은 (710에서) 제2 기판(예를 들어, 104)을 제공한다. 제2 기판(104)은 적어도 하나의 제2 유전층(140) 및 제2 복수의 상호 연결부(142)를 포함한다. 제2 복수의 상호 연결부(142)는 포스트 상호 연결부(예를 들어, 142a)를 포함할 수 있다. 제2 기판은 가변 두께를 갖는 솔더 레지스트 층을 포함할 수 있다. 예를 들어, 제2 기판은 제1 두께 및 제2 두께를 갖는 솔더 레지스트 층을 포함할 수 있다. 제2 기판은 캐비티(예를 들어, 250)가 있는 솔더 레지스트 층을 포함할 수 있다. 기판(104)은 도 10a 내지 10c에 설명된 방법을 사용하여 제조될 수 있다. 일부 구현에서, 기판(104)은 mSAP를 사용하여 제조될 수 있다. 도 5a의 단계 3은 제공되는 제2 기판의 일 예를 예시 및 설명한다. 도 6a의 단계 3은 제공되는 제2 기판의 일 예를 예시 및 설명한다.

[0070] 방법은 (715에서) 복수의 볼 상호 연결부(예를 들어, 109) 및/또는 복수의 솔더 상호 연결부(예를 들어, 190)를 통해 제2 기판(예를 들어, 104)을 제1 기판(예를 들어, 102)에 결합한다. 복수의 볼 상호 연결부(109) 및/또는 복수의 솔더 상호 연결부(190)는 기판 간 상호 연결부의 예이다. 솔더 리플로우 공정은 제2 기판을 제 1기판에 결합시키는 데 사용될 수 있다. 도 5a의 단계 4는 제1 기판에 결합된 제2 기판의 일 예를 예시 및 설명한다. 도 6a의 단계 4는 제1 기판에 결합된 제2 기판의 일 예를 예시 및 설명한다.

[0071] 방법은 (720에서) 제1 기판(예를 들어, 102, 302)과 제2 기판(예를 들어, 104) 사이에 캡슐화 층(예를 들어, 108)을 제공한다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(108)은 압축 및 전사 성형 공정, 시트 성형 공정, 또는 액상 성형 공정을 사용하여 제공될 수 있다. 캡슐화 층(108)의 적어도 일부는 제2 기판(104)과 제1 집적 소자(105) 사이에 위치될 수 있다. 도 5b의 단계 5는 캡슐화 층을 제공하는 일 예를 예시 및 설명한다. 도 6b의 단계 4는 캡슐화 층을 제공하는 일 예를 예시 및 설명한다.

[0072] 방법은 (725에서) 복수의 솔더 상호 연결부(예를 들어, 170)를 통해 제2 집적 소자(예를 들어, 107)를 제2 기판(예를 들어, 104)의 제1 표면에 결합한다. 솔더 리플로우 공정은 제2 집적 소자를 제2 기판의 제1 표면에 결합시키는 데 사용될 수 있다. 도 5b의 단계 6은 제2 기판에 결합된 제2 집적 소자의 일 예를 예시 및 설명한다. 도 6b의 단계 6은 제2 기판에 결합된 제2 집적 소자의 일 예를 예시 및 설명한다.

[0073] 방법은 (730에서) 수동 소자(예를 들어, 130) 및 복수의 솔더 상호 연결부(예를 들어, 110)를 제1 기판(예를 들어, 102, 302)의 제2 표면에 결합한다. 솔더 리플로우 공정은 수동 소자 및/또는 솔더 상호 연결부를 제1 기판(예를 들어, 102, 302)의 제2 표면에 결합시키는 데 사용될 수 있다. 도 5c의 단계 7은 수동 소자를 기판에 결합사카는 일 예를 예시 및 설명한다. 도 6c의 단계 7은 수동 소자를 기판에 결합시키는 일 예를 예시 및 설명한다. 도 5c의 단계 8은 솔더 상호 연결부를 기판에 결합시키는 일 예를 예시 및 설명한다. 도 6c의 단계 8은 솔더 상호 연결부를 기판에 결합시키는 일 예를 예시 및 설명한다.

[0074] 일부 구현에서, 여러 패키지가 동시에 제조된다. 이러한 경우, 방법은 패키지(예를 들어, 100, 300)를 싱귤레이트할 수 있다.

[0075] **볼 상호 연결부를 통해 결합된 기판을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도**

[0076] 도 8은 패키지를 제공 또는 제조하기 위한 방법(800)의 예시적인 흐름도를 예시한다. 일부 구현에서, 도 8의 방법(800)은 본 개시에 설명된 도 1의 패키지의 일부 또는 전부를 제공 또는 제조하는 데 사용될 수 있다. 그러나 방법(800)은 본 개시에 설명된 임의의 패키지를 제공 또는 제조하는데 사용될 수 있다.

[0077] 도 8의 방법(800)은 패키지를 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이상의 공정을 조합할 수 있다는 점에 유의해야 한다. 일부 구현에서, 공정의 순서는 변경 또는 수정될 수 있다.

[0078] 방법은 (805에서) 웨이퍼(wafer)를 제공한다. 웨이퍼는 집적 소자가 형성 및/또는 결합될 수 있는 기판의 역할을 할 수 있다. 일부 구현에서, 다른 기판이 웨이퍼에 결합될 수 있다. 웨이퍼는 실리콘을 포함할 수 있다. 웨이퍼는 컴포넌트가 그 위에 구축되는 기저부(base) 역할을 할 수 있다.

[0079] 방법은 (810에서) 웨이퍼 상에 솔더 상호 연결부를 형성한다. 솔더 리플로우 공정은 웨이퍼 상에 솔더 상호 연결부를 형성(예를 들어, 결합)하는 데 사용될 수 있다.

[0080] 방법은 (815에서) 결합을 위한 하나 이상의 집적 소자(예를 들어, 다이)를 준비한다. 집적 소자를 준비하는 단

계는 집적 소자를 제조하는 단계를 포함할 수 있다.

[0081] 방법은 제1 기판을 예비 베이킹(pre-baking)함으로써 제1 기판(예를 들어, 기판(102), 하부 기판)을 제공 및 준비한다. 제1 기판은 후속 열 압축 플립 칩 결합 공정 동안 가스 방출을 방지하기 위해 제1 기판 상의 수분을 제거하도록 예비 베이킹될 수 있다. 방법은 (825에서) 제1 기판을 예비 세정한다(pre-clean). 방법은 (827에서) 제1 기판 상의 OSP(organic solderability preservative)를 제거한다.

[0082] 제1 기판이 제공 및 준비되면, 제1 기판은 웨이퍼 상에 형성되는 솔더 상호 연결부를 통해 웨이퍼에 결합될 수 있다.

[0083] 집적 소자(들)은 (830에서) 제1 기판에 결합된다. 예를 들어, 집적 소자(105)는 열 압축 플립 칩 공정을 통해 기판(102)에 결합될 수 있다. 집적 소자와 기판 사이에 언더필이 제공될 수 있다. 도 5a의 단계 2는 기판에 결합되는 집적 소자 및 집적 소자와 기판 사이에 제공되는 언더필의 일 예를 예시 및 설명한다.

[0084] 방법은 (835에서) 제1 기판의 플라즈마 세정을 형성한다. 플라즈마 세정은 기판의 표면 상의 오염을 제거할 수 있다.

[0085] 방법은 (840에서) 제2 기판(예를 들어, 기판(104), 상부 기판)을 예비 세정한다. 도 5a의 단계 3은 제공되는 제2 기판의 일 예를 예시 및 설명한다. 방법은 (845에서) 볼 상호 연결부(예를 들어, 구리 코어 볼)를 제2 기판에 결합한다. 볼 상호 연결부는 솔더 상호 연결부(예를 들어, 190)를 통해 제2 기판에 결합될 수 있다. 솔더 리플로우 공정은 볼 상호 연결부를 제2 기판에 결합시키는 데 사용될 수 있다. 방법은 (847에서) 제2 기판의 스트립 블록 싱귤레이션(strip block singulation)을 수행한다. 이는 여러 기판이 동시에 제조된 다음 후속적으로 싱귤레이트될 때 수행될 수 있다.

[0086] 방법은 (850에서) 하나 이상의 기판의 플럭스 세정(flux cleaning)을 수행한다. 플럭스 세정은 기판의 금속에서 산화물을 제거할 수 있다. 플럭스 세정은 제1 기판 및/또는 제2 기판 상에서 수행될 수 있다.

[0087] 방법은 (855에서) 볼 상호 연결부를 통해 제2 기판(예를 들어, 104)을 제1 기판(예를 들어, 102)에 결합한다. 솔더 리플로우 공정은 제2 기판을 제 1기판에 결합시키는 데 사용될 수 있다. 도 5a의 단계 4는 기판을 또 다른 기판에 결합시키는 일 예를 예시 및 설명한다.

[0088] 방법은 (860에서) 제1 기판과 제2 기판 사이에 캡슐화 층(예를 들어, 108)을 제공한다. 도 5b의 단계 5는 기판 사이에 캡슐화 층을 제공하는 일 예를 예시 및 설명한다.

[0089] 방법은 (865에서) 제1 기판 상에 솔더 상호 연결부 또는 LSA(land side array)를 형성한다. 솔더 리플로우 공정은 솔더 상호 연결부를 형성하는 데 사용될 수 있다. 솔더 상호 연결부는 BGA(ball grid array)일 수 있다.

[0090] 방법은 (870에서) 패키지를 개별 패키지로 싱귤레이트한다. 이는 여러 패키지가 동시에 제조될 때 발생할 수 있다. 패키지를 싱귤레이트하는 단계는 제1 기판, 집적 소자(들) 및 제2 기판을 포함하는 웨이퍼를 싱규레이트하는 단계를 포함할 수 있다. 기계 공정(예를 들어, 쏘우(saw))이나 레이저는 패키지를 싱귤레이트하는 데 사용될 수 있다.

[0091] 방법은 (875에서) 패키지의 최종 테스트 및 최종 육안 검사를 수행한다. 여기에는 패키지가 의도한 대로 작동하는지 결정하기 위해 패키지에 프로브를 부착하여 패키지가 제대로 작동하는지를 테스트하는 것이 포함될 수 있다. 육안 검사에는 패키지에 결함이 있는지 확인하기 위한 육안 검사가 포함될 수 있다.

[0092] 방법은 (880에서) 패키지의 테이프(tape) 및 릴(reel)을 수행한다. 여기에는 패키지가 제대로 배송될 수 있도록 싱귤레이트된 패키지를 테이프와 함께 패키징하는 것이 포함될 수 있다.

[0093] 수동 컴포넌트 및/또는 집적 소자와 같은 다른 컴포넌트를 패키지에 결합시키는 것을 포함하여, 추가 공정이 패키지에 대해 수행될 수 있다는 점에 유의한다. 도 8은 패키지가 제조될 수 있는 방법의 일 예를 예시한다. 도 8은 패키지가 제조될 수 있는 유일한 방식을 예시하려는 것은 아니다.

[0094] **솔더 상호 연결부를 통해 결합된 기판을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도**

[0095] 도 9는 패키지를 제공 또는 제조하기 위한 방법(900)의 예시적인 흐름도를 예시한다. 일부 구현에서, 도 9의 방법(900)은 본 개시에 설명된 도 3의 패키지의 일부 또는 전부를 제공 또는 제조하는 데 사용될 수 있다. 그러나 방법(900)은 본 개시에 설명된 임의의 패키지를 제공 또는 제조하는데 사용될 수 있다.

[0096] 도 9의 방법(900)은 패키지를 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이

상의 공정을 조합할 수 있다는 점에 유의해야 한다. 일부 구현에서, 공정의 순서는 변경 또는 수정될 수 있다.

[0097] 방법은 (905에서) 웨이퍼를 제공한다. 웨이퍼는 집적 소자가 형성 및/또는 결합될 수 있는 기판의 역할을 할 수 있다. 일부 구현에서, 다른 기판이 웨이퍼에 결합될 수 있다. 웨이퍼는 실리콘을 포함할 수 있다. 웨이퍼는 컴포넌트가 그 위에 구축되는 기저부 역할을 할 수 있다.

[0098] 방법은 (910에서) 웨이퍼 상에 솔더 상호 연결부를 형성한다. 솔더 리플로우 공정은 웨이퍼 상에 솔더 상호 연결부를 형성(예를 들어, 결합)하는 데 사용될 수 있다.

[0099] 방법은 (915에서) 결합을 위한 하나 이상의 집적 소자(예를 들어, 다이)를 준비한다. 집적 소자를 준비하는 단계는 집적 소자를 제조하는 단계를 포함할 수 있다.

[0100] 방법은 제1 기판을 예비 베이킹함으로써 제1 기판(예를 들어, 기판(302), 하부 기판)을 제공 및 준비한다. 제1 기판은 후속 열 압축 플립 칩 결합 공정 동안 가스 방출을 방지하기 위해 제1 기판 상의 수분을 제거하도록 예비 베이킹될 수 있다. 방법은 (925에서) 제1 기판을 예비 세정한다. 방법은 (927에서) 제1 기판 상의 OSP(organic solderability preservative)를 제거한다.

[0101] 제1 기판이 제공 및 준비되면, 제1 기판은 웨이퍼 상에 형성되는 솔더 상호 연결부를 통해 웨이퍼에 결합될 수 있다.

[0102] 집적 소자(들)은 (930에서) 제1 기판에 결합된다. 예를 들어, 집적 소자(105)는 열 압축 플립 칩 공정을 통해 기판(102)에 결합될 수 있다. 집적 소자와 기판 사이에 언더필이 제공될 수 있다. 도 6a의 단계 2는 기판에 결합되는 집적 소자 및 집적 소자와 기판 사이에 제공되는 언더필의 일 예를 예시 및 설명한다.

[0103] 방법은 (935에서) 제1 기판의 플라즈마 세정을 형성한다. 플라즈마 세정은 기판의 표면 상의 오염을 제거할 수 있다.

[0104] 방법은 (940에서) 제2 기판(예를 들어, 기판(104), 상부 기판)을 예비 세정한다. 도 6a의 단계 3은 제공되는 제2 기판의 일 예를 예시 및 설명한다. 방법은 (945에서) 제2 기판 상에 솔더 상호 연결부를 형성한다. 솔더 상호 연결부(예를 들어, 190)는 페이스트 인쇄 공정을 통해 또는 솔더 볼 부착 공정을 통해 제2 기판(104)에 결합될 수 있다. 솔더 리플로우 공정은 볼 상호 연결부를 제2 기판에 결합시키는 데 사용될 수 있다. 방법은 (947에서) 제2 기판의 스트립 블록 싱귤레이션을 수행한다. 이는 여러 기판이 동시에 제조된 다음 후속적으로 싱귤레이트될 때 수행될 수 있다.

[0105] 방법은 (950에서) 하나 이상의 기판의 플럭스 세정을 수행한다. 플럭스 세정은 기판의 금속에서 산화물을 제거할 수 있다. 플럭스 세정은 제1 기판 및/또는 제2 기판 상에서 수행될 수 있다.

[0106] 방법은 (955에서) 볼 상호 연결부를 통해 제2 기판(예를 들어, 104)을 제1 기판(예를 들어, 102)에 결합한다. 솔더 리플로우 공정은 제2 기판을 제 1기판에 결합시키는 데 사용될 수 있다. 도 6a의 단계 4는 기판을 또 다른 기판에 결합시키는 일 예를 예시 및 설명한다.

[0107] 방법은 (960에서) 제1 기판과 제2 기판 사이에 캡슐화 층(예를 들어, 108)을 제공한다. 도 6b의 단계 5는 기판 사이에 캡슐화 층을 제공하는 일 예를 예시 및 설명한다.

[0108] 방법은 (965에서) 제1 기판 상에 솔더 상호 연결부 또는 LSA(land side array)를 형성한다. 솔더 리플로우 공정은 솔더 상호 연결부를 형성하는 데 사용될 수 있다. 솔더 상호 연결부는 BGA(ball grid array)일 수 있다.

[0109] 방법은 (970에서) 패키지를 개별 패키지로 싱귤레이트한다. 이는 여러 패키지가 동시에 제조될 때 발생할 수 있다. 패키지를 싱귤레이트하는 단계는 제1 기판, 집적 소자(들) 및 제2 기판을 포함하는 웨이퍼를 싱규레이트하는 단계를 포함할 수 있다. 기계 공정(예를 들어, 쏘우)이나 레이저는 패키지를 싱귤레이트하는 데 사용될 수 있다.

[0110] 방법은 (975에서) 패키지의 최종 테스트 및 최종 육안 검사를 수행한다. 여기에는 패키지가 의도한 대로 작동하는지 결정하기 위해 패키지에 프로브를 부착하여 패키지가 제대로 작동하는지를 테스트하는 것이 포함될 수 있다. 육안 검사에는 패키지에 결함이 있는지 확인하기 위한 육안 검사가 포함될 수 있다.

[0111] 방법은 (980에서) 패키지의 테이프 및 릴을 수행한다. 여기에는 패키지가 제대로 배송될 수 있도록 싱귤레이트된 패키지를 테이프와 함께 패키징하는 것이 포함될 수 있다.

[0112] 수동 컴포넌트 및/또는 집적 소자와 같은 다른 컴포넌트를 패키지에 결합시키는 것을 포함하여, 추가 공정이 패

키지에 대해 수행될 수 있다는 점에 유의한다. 도 9는 패키지가 제조될 수 있는 방법의 일 예를 예시한다. 도 9는 패키지가 제조될 수 있는 유일한 방식을 예시하려는 것은 아니다.

[0113] **기판을 제조하기 위한 예시적인 시퀀스**

[0114] 일부 구현에서, 기판을 제조하는 것은 여러 공정을 포함한다. 도 10a 내지 10c는 기판을 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현에서, 도 10a 내지 10c의 시퀀스는 기판(104)를 제공 또는 제조하는 데 사용될 수 있다. 그러나 도 10a 내지 10c의 공정은 예컨대 기판(102) 및/또는 기판(302)와 같은, 본 개시에 설명된 임의의 기판을 제조하는데 사용될 수 있다.

[0115] 도 10a 내지 10c의 시퀀스는 기판을 제공 또는 제조하기 위한 시퀀스를 단순화하고/하거나 명확하게 하기 위해 하나 이상의 단계를 조합할 수 있다는 점에 유의해야 한다. 일부 구현에서, 공정의 순서는 변경 또는 수정될 수 있다. 일부 구현에서, 공정 중 하나 이상은 본 개시의 범위를 벗어나지 않고 교체 또는 대체될 수 있다.

[0116] 도 10a에 도시된 바와 같이, 단계 1은 캐리어(carrier)(1000)가 제공된 후의 상태를 예시한다. 시드(seed) 층(1001) 및 상호 연결부(1002)는 캐리어(1000) 위에 위치될 수 있다. 상호 연결부(1002)는 시드층(1001) 위에 위치될 수 있다. 도금 공정 및 에칭 공정은 상호 연결부(1002)를 형성하는 데 사용될 수 있다. 일부 구현에서, 캐리어(1000)에는 시드층(1001) 및 상호 연결부(1002)를 형성하기 위해 패턴화된 금속층이 제공될 수 있다. 상호 연결부(1002)는 복수의 상호 연결부(142)로부터의 상호 연결부 중 적어도 일부를 나타낼 수 있다.

[0117] 단계 2는 유전층(1020)이 캐리어(1000), 시드층(1001) 및 상호 연결부(1002) 위에 형성된 후의 상태를 예시한다. 증착(deposition) 및/또는 라미네이션(lamination) 공정은 유전층(1020)을 형성하는 데 사용될 수 있다. 유전층(1020)은 프리프레그(prepreg) 및/또는 폴리이미드(polyimide)를 포함할 수 있다. 유전층(1020)은 감광성(photo-imageable) 유전체를 포함할 수 있다. 그러나 서로 다른 구현에서는 유전층에 대해 서로 다른 재료를 사용할 수 있다.

[0118] 단계 3은 복수의 캐비티(1010)가 유전층(1020)에 형성된 후의 상태를 예시한다. 복수의 캐비티(1010)는 에칭 공정(예를 들어, 포토 에칭 공정) 또는 레이저 공정을 사용하여 형성될 수 있다.

[0119] 단계 4는 상호 연결부(1012)가 복수의 캐비티(1010) 내부 및 위를 포함하여, 유전층(1020) 내부 및 위에 형성된 후의 상태를 예시한다. 예를 들어, 비아(via), 패드(pad) 및/또는 트레이스(trace)가 형성될 수 있다. 도금 공정은 상호 연결부를 형성하는 데 사용될 수 있다.

[0120] 단계 5는 유전층(1022)이 유전층(1020) 및 상호 연결부(1012) 위에 형성된 후의 상태를 예시한다. 증착 및/또는 라미네이션 공정은 유전층(1022)을 형성하는 데 사용될 수 있다. 유전층(1022)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전층(1022)은 감광성 유전체를 포함할 수 있다. 그러나 서로 다른 구현에서는 유전층에 대해 서로 다른 재료를 사용할 수 있다.

[0121] 도 10b에 도시된 바와 같이, 단계 6은 복수의 캐비티(1030)가 유전층(1022)에 형성된 후의 상태를 예시한다. 복수의 캐비티(1030)는 에칭 공정(예를 들어, 포토 에칭 공정) 또는 레이저 공정을 사용하여 형성될 수 있다.

[0122] 단계 7은 상호 연결부(1014)가 복수의 캐비티(1030) 내부 및 위를 포함하여, 유전층(1022) 내부 및 위에 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스가 형성될 수 있다. 도금 공정은 상호 연결부를 형성하는 데 사용될 수 있다.

[0123] 단계 8은 상호 연결부(1016)가 일부 상호 연결부(1014) 위에 형성된 후의 상태를 예시한다. 상호 연결부(1016)는 포스트 상호 연결부일 수 있다. 도금 공정은 상호 연결부(1016)를 형성하는 데 사용될 수 있다. 복수의 상호 연결부(1002), 복수의 상호 연결부(1012) 및/또는 복수의 상호 연결부(1014)는 복수의 상호 연결부(142)로 표현될 수 있다. 유전층(1020) 및/또는 유전층(1022)은 적어도 하나의 유전층(140)으로 표현될 수 있다. 적어도 하나의 유전층(140)은 감광성 유전체를 포함할 수 있다. 적어도 하나의 유전층(140)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다.

[0124] 단계 9는 캐리어(1000)가 적어도 하나의 유전층(140) 및 시드층(1001)으로부터 분리(decoupled)(예를 들어, 분리(detached), 제거, 그라인드 아웃(grinded out))되고, 시드층(1001)의 일부가 제거(예를 들어, 에칭 아웃(etched out))되어, 적어도 하나의 유전층(140) 및 복수의 상호 연결부(142)를 포함하는 기판(104)을 남긴 후의 상태를 예시한다.

[0125] 도 10c에 도시된 바와 같이, 단계 10은 솔더 레지스트 층(144)이 기판(104)의 제1 표면 위에 형성된 후, 그리고

솔더 레지스트 층(146)이 기판(104)의 제2 표면 위에 형성된 후의 상태를 예시한다. 증착 공정 및/또는 라미네이션 공정은 솔더 레지스트 층(144) 및/또는 솔더 레지스트 층(146)을 형성하는 데 사용될 수 있다.

[0126] 단계 11은 솔더 레지스트 층(146)의 부분 위에 솔더 레지스트의 추가 층이 형성된 후의 상태를 예시하며, 이는 솔더 레지스트 층(146)의 서로 다른 부분이 서로 다른 두께를 갖도록 한다. 솔더 레지스트의 추가 층은 솔더 레지스트 층(146)의 일부로 간주된다. 솔더 레지스트의 추가 층은 솔더 레지스트 층(146)에 캐비티(1460)를 생성한다. 증착 공정 및/또는 라미네이션 공정은 추가 솔더 레지스트를 형성하는 데 사용될 수 있다.

[0127] 서로 다른 구현에서는 서로 다른 공정을 사용하여 금속층(들) 및/또는 상호 연결부를 형성할 수 있다. 일부 구현에서, 화학 기상 증착(chemical vapor deposition; CVD) 공정, 물리 기상 증착(physical vapor deposition; PVD) 공정, 스퍼터링 공정, 스프레이 코팅 공정, 및/또는 도금 공정이 금속층(들)을 형성하는데 사용될 수 있다.

[0128] **기판을 제조하기 위한 방법의 예시적인 흐름도**

[0129] 일부 구현에서, 기판을 제조하는 것은 여러 공정을 포함한다. 도 11은 기판을 제공 또는 제조하기 위한 방법(1100)의 예시적인 흐름도를 예시한다. 일부 구현에서, 도 11의 방법(1100)은 본 개시의 기판(들)을 제공 또는 제조하는 데 사용될 수 있다. 예를 들어 도 11의 방법(1100)은 기판(104)을 제조하는 데 사용될 수 있다.

[0130] 도 11의 방법(1100)은 기판을 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이상의 공정을 조합할 수 있다는 점에 유의해야 한다. 일부 구현에서, 공정의 순서는 변경 또는 수정될 수 있다.

[0131] 방법은 (1105에서) 캐리어(예를 들어, 1000)를 제공한다. 서로 다른 구현에서는 캐리어(1000)에 대해 서로 다른 재료를 사용할 수 있다. 캐리어(1000)는 시드층(예를 들어, 1001)을 포함할 수 있다. 시드층(1001)은 금속(예를 들어, 구리)을 포함할 수 있다. 캐리어는 기판, 유리, 석영 및/또는 캐리어 테이프를 포함할 수 있다. 도 10a의 단계 1은 제공되는 시드층을 갖는 캐리어의 일 예를 예시 및 설명한다.

[0132] 방법은 (1110에서) 캐리어(1000)와 시드층(1001) 위에 상호 연결부를 형성 및 패턴화한다. 금속층은 상호 연결부를 형성하기 위해 패턴화될 수 있다. 도금 공정은 금속층 및 상호 연결부를 형성하는 데 사용될 수 있다. 일부 구현에서, 캐리어 및 시드층은 금속층을 포함할 수 있다. 금속층은 시드층 위에 위치되고 금속층은 상호 연결부(예를 들어, 142)를 형성하기 위해 패턴화될 수 있다. 도 10a의 단계 1은 시드층 및 캐리어 위에 상호 연결부를 형성 및 패턴화하는 일 예를 예시 및 설명한다.

[0133] 방법은 (1115에서) 시드층(1001), 캐리어(1000) 및 상호 연결부(1002) 위에 유전층(1020)을 형성한다. 증착 및/또는 라미네이션 공정은 유전층(1020)을 형성하는 데 사용될 수 있다. 유전층(1020)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전층(1020)은 감광성(photo-imageable) 유전체를 포함할 수 있다. 유전층(1020)을 형성하는 것은 또한 유전층(1020)에 복수의 캐비티(예를 들어, 1010)를 형성하는 것을 포함할 수 있다. 복수의 캐비티는 에칭 공정(예를 들어, 포토 에칭) 또는 레이저 공정을 사용하여 형성될 수 있다. 도 10a의 단계 2 내지 3은 유전층 및 유전층 내 캐비티를 형성하는 일 예를 예시 및 설명한다.

[0134] 방법은 (1120에서) 유전층 내부 및 위에 상호 연결부를 형성한다. 예를 들어, 상호 연결부(1012)는 유전층(1020) 내부 및 위에 형성될 수 있다. 도금 공정은 상호 연결부를 형성하는 데 사용될 수 있다. 상호 연결부를 형성하는 것은 유전층 위 및/또는 내에 패턴화된 금속층을 제공하는 것을 포함할 수 있다. 상호 연결부를 형성하는 것은 또한 유전층의 캐비티에 상호 연결부를 형성하는 것을 포함할 수 있다. 도 10a의 단계 4는 유전층 내부 및 위에 상호 연결부를 형성하는 일 예를 예시 및 설명한다.

[0135] 방법은 (1125에서) 유전층(1020) 및 상호 연결부(1012) 위에 유전층(1022)을 형성한다. 증착 및/또는 라미네이션 공정은 유전층(1022)을 형성하는 데 사용될 수 있다. 유전층(1022)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전층(1022)은 감광성 유전체를 포함할 수 있다. 유전층(1022)을 형성하는 것은 또한 유전층(1022)에 복수의 캐비티(예를 들어, 1030)를 형성하는 것을 포함할 수 있다. 복수의 캐비티는 에칭 공정(예를 들어, 포토 에칭) 또는 레이저 공정을 사용하여 형성될 수 있다. 도 10a 내지 10b의 단계 5 내지 6은 유전층 및 유전층 내 캐비티를 형성하는 일 예를 예시 및 설명한다.

[0136] 방법은 (1130에서) 유전층 내부 및 위에 상호 연결부를 형성한다. 예를 들어, 상호 연결부(1014)는 유전층(1022) 내부 및 위에 형성될 수 있다. 도금 공정은 상호 연결부를 형성하는 데 사용될 수 있다. 상호 연결부를 형성하는 것은 유전층 위 및/또는 내에 패턴화된 금속층을 제공하는 것을 포함할 수 있다. 상호 연결부를 형성하는 것은 또한 유전층의 캐비티에 상호 연결부를 형성하는 것을 포함할 수 있다. 상호 연결부를 형성하는

것은 포스트 상호 연결부를 형성하는 것을 포함할 수 있다. 도 10b의 단계 7 내지 8은 포스트 상호 연결부를 형성하는 것을 포함하여, 유전층 내부 및 위에 상호 연결부를 형성하는 일 예를 예시 및 설명한다.

[0137] 방법은 (1135에서) 시드층(예를 들어, 1001)으로부터 캐리어(예를 들어, 1000)를 분리한다. 캐리어(1000)는 분리 및/또는 그라인드 오프(grinded off)될 수 있다. 방법은 또한 (1135에서) 시드층(예를 들어, 1001)의 부분을 제거할 수 있다. 에칭 공정은 시드층(1001)의 부분을 제거하는 데 사용될 수 있다. 도 10b의 단계 9는 캐리어 분리 및 시드층 제거의 일 예를 예시 및 설명한다.

[0138] 방법은 (1140에서) 기판의 제1 표면 및/또는 제2 표면 위에 솔더 레지스트(층)을 형성할 수 있다. 예를 들어, 제1 솔더 레지스트 층은 기판의 제1 표면 위에 형성될 수 있고/있거나 제2 솔더 레지스트 층은 기판의 제2 표면 위에 형성될 수 있다. 제1 솔더 레지스트 층 및/또는 제2 솔더 레지스트 층은 도 1 내지 4에서 설명된 바와 같이, 제1 솔더 레지스트 층 및/또는 제2 솔더 레지스트 층이 캐비티를 가질 수 있도록 가변 두께를 각각 가질 수 있다. 즉, 솔더 레지스트 층의 제1 부분은 제1 두께를 가질 수 있고, 동일한 솔더 레지스트 층의 제2 부분은 제1 두께와 다른 제2 두께를 가질 수 있다. 도 10c의 단계 10 및 11은 캐비티를 갖는 솔더 레지스트 층을 제공 및/또는 형성하는 일 예를 예시 및 설명한다.

[0139] 서로 다른 구현에서는 서로 다른 공정을 사용하여 금속층(들)을 형성할 수 있다. 일부 구현에서, 화학 기상 증착(CVD) 공정, 물리 기상 증착(PVD) 공정, 스퍼터링 공정, 스프레이 코팅 공정, 및/또는 도금 공정이 금속층(들)을 형성하는데 사용될 수 있다.

[0140] **예시적인 전자 장치**

[0141] 도 12는 전술한 장치, 집적 소자, 집적 회로(IC) 패키지, 집적 회로(IC) 장치, 반도체 장치, 집적 회로, 다이, 인터포저, 패키지, 패키지-온-패키지(package-on-package; PoP), 시스템 인 패키지(System in Package; SiP) 또는 시스템 온 칩(System on Chip; SoC) 중 어느 하나와 집적될 수 있는 다양한 전자 장치를 예시한다. 예를 들어, 모바일폰 장치(1202), 랩톱 컴퓨터 장치(1204), 고정 위치 단말 장치(1206), 웨어러블 장치(1208), 또는 자동차(1210)는 본원에 설명된 장치(1200)를 포함할 수 있다. 장치(1200)는 예를 들어, 본원에 설명된 장치 및/또는 집적 회로(IC) 패키지 중 어느 하나일 수 있다. 도 12에 예시된 장치(1202, 1204, 1206 및 1208) 및 차량(1210)은 단지 예시일 뿐이다. 다른 전자 장치는 또한, 이에 제한되는 것은 아니나, 모바일 장치, 핸드 헬드(hand-held) 개인 통신 시스템(personal communication system; PCS) 유닛, 개인 휴대 정보 단말기(personal digital assistant)와 같은 휴대용 데이터 유닛, GPS(global positioning system) 지원 장치, 내비게이션 장치, 셋톱박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 검침(meter reading) 장비, 통신 장치, 스마트폰, 태블릿 컴퓨터, 컴퓨터, 웨어러블 장치(예를 들어, 워치, 안경), 사물 인터넷(Internet of things; IoT) 장치, 서버와 같은 고정 위치 데이터 장치, 라우터, 자동차(예를 들어, 자율주행 차량)에 구현된 전자 장치, 또는 데이터나 컴퓨터 명령어를 저장하거나 검색하는 임의의 기타 장치, 또는 이들의 임의의 조합을 포함하는 장치 그룹(예를 들어, 전자 장치)를 포함하는 장치(1200)를 특징으로 할 수 있다.

[0142] 도 1 내지 4, 5a 내지 5c, 6a 내지 6c, 7 내지 9, 10a 내지 10c 및 11 내지 12에 예시된 컴포넌트, 공정, 특징 및/또는 기능 중 하나 이상은 단일 컴포넌트, 공정, 특징 또는 기능으로 재배열 및/또는 조합되거나 여러 컴포넌트, 공정 또는 기능으로 구현될 수 있다. 추가적인 요소, 컴포넌트, 공정 및/또는 기능이 본 개시를 벗어나지 않고 추가될 수도 있다. 도 1 내지 4, 5a 내지 5c, 6a 내지 6c, 7 내지 9, 10a 내지 10c 및 11 내지 12와 이에 상응하는 본 개시의 설명은 다이 및/또는 IC로 제한되지는 않는다는 점에 유의해야 한다. 일부 구현에서, 도 1 내지 4, 5a 내지 5c, 6a 내지 6c, 7 내지 9, 10a 내지 10c 및 11 내지 12와 그에 상응하는 설명은 장치 및/또는 집적 소자를 제조, 생성, 제공 및/또는 생산하는 데 사용될 수 있다. 일부 구현에서, 장치는 다이, 집적 소자, 집적 수동 소자(IPD), 다이 패키지, 집적 회로(IC) 장치, 장치 패키지, 집적 회로(IC) 패키지, 웨이퍼, 반도체 장치, 패키지 온 패키지(PoP) 장치, 방열 장치 및/또는 인터포저를 포함할 수 있다.

[0143] 본 개시의 도면은 다양한 부품, 컴포넌트, 오브젝트, 장치, 패키지, 집적 소자, 집적 회로 및/또는 트랜지스터의 실제 표현 및/또는 개념적 표현을 나타낼 수 있다는 점에 유의한다. 일부 인스턴스에서, 도면은 스케일링되지 않을 수 있다. 일부 인스턴스에서, 명확성을 위해, 모든 컴포넌트 및/또는 부품이 도시되지 않을 수도 있다. 일부 인스턴스에서, 도면의 다양한 부품 및/또는 컴포넌트의 포지션, 위치, 크기 및/또는 모양은 예시적일 수 있다. 일부 구현에서, 도면에서의 다양한 컴포넌트 및/또는 부품은 선택적일 수 있다.

[0144] "예시적인(exemplary)"라는 단어는 본원에서는 "예, 인스턴스 또는 예시로서의 역할을 하는"을 의미하는 데 사용된다. "예시적인"으로 본원에 설명된 임의의 구현 또는 양태는 반드시 본 개시의 다른 양태에 비해 바람직하

거나 유리한 것으로 해석되어서는 안된다. 마찬가지로, "양태"라는 용어는 본 개시의 모든 양태가 논의된 특징, 이점 또는 동작 모드를 포함할 것을 요구하는 것은 아니다. "결합된(coupled)"이라는 용어는 두 오브젝트 사이의 직접적 또는 간접적인 결합(예를 들어, 기계적 결합)을 지칭하기 위해 본원에서 사용된다. 예를 들어, 오브젝트 A가 오브젝트 B에 물리적으로 접촉하고, 오브젝트 B가 오브젝트 C에 접촉하며, 오브젝트 A와 C는 - 서로 물리적으로 직접 접촉하지 않더라도 - 여전히 서로 결합된 것으로 간주될 수 있다. 오브젝트 B에 결합되는 오브젝트 A는 오브젝트 B의 적어도 일부와 결합될 수 있다. "전기적으로 결합된"이라는 용어는 두 오브젝트 사이에 전류(예를 들어, 신호, 전력, 접지)가 이동될 수 있도록 두 오브젝트가 직접 또는 간접적으로 함께 연결되어 있음을 의미할 수 있다. 전기적으로 결합된 두 오브젝트는 두 오브젝트 사이를 이동하는 전류를 가질 수도 있고 갖지 않을 수도 있다. "제1", "제2", "제3" 및 "제4" (및/또는 제4 이상의 모든 용어)라는 용어의 사용은 임의적이다. 설명된 컴포넌트 중 어느 하나는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. 예를 들어, 제2 컴포넌트로 지칭되는 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. "캡슐화하다", "캡슐화하는"이라는 용어 및/또는 임의의 파생어는 오브젝트가 다른 오브젝트를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. "상부(top)" 및 "하부(bottom)"라는 용어는 임의적이다. 상부에 위치되는 컴포넌트는 하부에 위치되는 컴포넌트 위에 위치될 수 있다. 상부 컴포넌트는 하부 컴포넌트로 간주될 수 있으며, 그 반대도 마찬가지이다. 본 개시에 설명된 바와 같이, 제2 컴포넌트 "위에(over)" 위치되는 제1 컴포넌트는 하부 또는 상부가 어떻게 임의로 정의되는지에 따라, 제1 컴포넌트가 제2 컴포넌트의 위 또는 아래에 위치되는 것을 의미할 수 있다. 또 다른 예에서, 제1 컴포넌트는 제2 컴포넌트의 제1 표면 위에(over)(예를 들어 위에(above)) 위치될 수 있고, 제3 컴포넌트는 제2 컴포넌트의 제2 표면 위에(over)(예를 들어 아래에(below)) 위치될 수 있으며, 여기서 제2 표면은 제1 표면과 반대이다. 하나의 컴포넌트가 또 다른 컴포넌트 위에 위치하는 것과 관련하여 본 출원에서 사용된 "위에(over)"라는 용어는 또 다른 컴포넌트 상에 및/또는 또 다른 컴포넌트 내에 있는(예를 들어, 컴포넌트의 표면 상에 또는 컴포넌트에 내장된) 컴포넌트를 의미하는 데 사용될 수 있다. 따라서, 예를 들어, 제2 컴포넌트 위에 있는 제1 컴포넌트는 (1) 제1 컴포넌트가 제2 컴포넌트 위에 있지만, 제2 컴포넌트와 직접 접촉하지 않고, (2) 제1 컴포넌트가 제2 컴포넌트 위에(예를 들어, 그의 표면 상에) 있고, 및/또는 (3) 제1 컴포넌트가 제2 컴포넌트 내에 있음(예를 들어, 그에 내장되어 있음)을 의미할 수 있다. 제2 컴포넌트 "내(in)"에 위치된는 제1 컴포넌트는 제2 컴포넌트에 부분적으로 위치될 수도 있고 제2 컴포넌트에 완전히 위치될 수도 있다. 약 X 내지 XX의 값은 X와 XX를 포함하여 X 내지 XX 사이인 값을 의미할 수 있다. X 내지 XX 사이의 값(들)은 이산적이거나 연속적일 수 있다. 본 개시에 사용된 " 약 '값 X'" 또는 "대략 X 값"이라는 용어는 '값 X'의 10% 이내를 의미한다. 예를 들어, 약 1 또는 대략 1의 값은 0.9 내지 1.1 범위의 값을 의미할 것이다.

[0145] 일부 구현에서, 상호 연결부는 두 지점, 요소 및/또는 컴포넌트 사이의 전기적 연결을 허용하거나 용이하게 하는 장치 또는 패키지의 요소 또는 컴포넌트이다. 일부 구현에서, 상호 연결부는 트레이스(예를 들어, 트레이스 상호 연결부), 비아(예를 들어, 비아 상호 연결부), 패드(예를 들어, 패드 상호 연결부), 필러, 금속화 층, 재배선 층, 및/또는 언더 범프 금속화(under bump metallization; UBM) 층/상호 연결부를 포함할 수 있다. 일부 구현에서, 상호 연결부는 신호(예를 들어, 데이터 신호), 접지 및/또는 전력에 대한 전기적 경로를 제공하도록 구성될 수 있는 전기 전도성 재료를 포함할 수 있다. 상호 연결부는 하나 이상의 요소 또는 컴포넌트를 포함할 수 있다. 상호 연결부는 하나 이상의 상호 연결부에 의해 정의될 수 있다. 상호 연결부는 하나 이상의 금속층을 포함할 수 있다. 상호 연결부는 회로의 일부일 수 있다. 서로 다른 구현에서는 서로 다른 공정 및/또는 시퀀스를 사용하여 상호 연결부를 형성할 수 있다. 일부 구현에서, 화학 기상 증착(CVD) 공정, 물리 기상 증착(PVD) 공정, 스퍼터링 공정, 스프레이 코팅 공정, 및/또는 도금 공정이 상호 연결부를 형성하는데 사용될 수 있다.

[0146] 또한, 본원에 포함된 다양한 개시는 흐름도(flowchart), 흐름도(flow diagram), 구조도, 또는 블록도로서 도시되는 공정으로 설명될 수 있다는 점에 유의한다. 흐름도에서는 동작을 순차적 공정으로 설명할 수 있지만, 많은 동작이 병렬로 또는 동시에 수행될 수 있다. 추가로, 동작의 순서는 재배열될 수 있다. 공정은 그 동작이 완료될 때 종료된다.

[0147] 다음에서, 본 발명의 이해를 용이하게 하기 위해 추가 예가 설명되어 있다.

[0148] 양태 1: 패키지는 적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판; 제1 기판에 결합된 제1 집적 소자; 제2 기판; 및 제1 기판과 제2 기판에 결합된 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부를 포함한다. 제2 기판은 제1 표면 및 제2 표면; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 솔더 레지스

트 층을 포함한다. 제2 기판의 제2 표면은 제1 기판을 마주한다. 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 제1 집적 소자와 솔더 레지스트 층 사이에 위치된다. 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부는 제1 기판과 제2 기판 사이에 위치된다. 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부는 제1 기판을 제2 기판에 결합시키도록 구성된다.

[0149] 양태 2: 청구항 1의 패키지에 있어서, 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부는 제2 기판의 복수의 포스트 상호 연결부에 결합되고, 복수의 포스트 상호 연결부는 솔더 레지스트 층에 의해 측방향으로 둘러싸인다.

[0150] 양태 3: 양태 1 내지 2의 패키지에 있어서, 복수의 볼 상호 연결부는 270 마이크로미터 이하인 피치를 갖는 인접 볼 상호 연결부를 포함한다.

[0151] 양태 4: 양태 3의 패키지에 있어서, 복수의 볼 상호 연결부는 약 200 내지 270 마이크로미터 범위에 있는 피치를 갖는 인접 볼 상호 연결부를 포함한다.

[0152] 양태 5: 양태 1 내지 4의 패키지에 있어서, 복수의 볼 상호 연결부는 제1 집적 소자를 측방향으로 둘러싸는 적어도 300개의 볼 상호 연결부를 포함한다.

[0153] 양태 6: 양태 1 내지 5의 패키지에 있어서, 제1 기판과 제2 기판 사이에 위치된 캡슐화 층을 더 포함하며, 캡슐화 층의 일부는 솔더 레지스트 층과 제1 집적 소자 사이에 위치된다.

[0154] 양태 7: 양태 6의 패키지에 있어서, 캡슐화 층은 제1 집적 소자, 복수의 볼 상호 연결부 및 복수의 솔더 상호 연결부를 적어도 부분적으로 캡슐화한다.

[0155] 양태 8: 양태 1 내지 7의 패키지에 있어서, 솔더 레지스트 층은 제1 두께를 갖는 제1 부분 및 제2 두께를 갖는 제2 부분을 포함하며, 솔더 레지스트 층의 제1 부분은 복수의 포스트 상호 연결부의 두께보다 큰 제1 두께를 갖고, 솔더 레지스트 층의 제2 부분은 복수의 포스트 상호 연결부의 두께 미만인 제2 두께를 갖고, 솔더 레지스트 층의 제2 부분은 제1 집적 소자 위에 위치된다.

[0156] 양태 9: 양태 1 내지 8의 패키지에 있어서, 제2 기판의 제1 표면에 결합된 제2 집적 소자를 더 포함하며, 제2 기판의 솔더 레지스트 층과 제1 집적 소자의 후면 사이의 수직 갭은 제2 기판의 솔더 레지스트 층과 제1 기판의 솔더 레지스트 층 사이의 또 다른 수직 갭 미만이다.

[0157] 양태 10: 양태 1 내지 9의 패키지에 있어서, 복수의 볼 상호 연결부는 구리 코어 볼(copper core ball; CCB)을 포함한다.

[0158] 양태 11: 패키지는 제1 기판, 제1 기판에 결합된 제1 집적 소자 및 제2 기판 및 제1 기판과 제2 기판에 결합된 복수의 솔더 상호 연결부를 포함한다. 제1 기판은 적어도 하나의 제1 유전층; 제1 복수의 상호 연결부 - 제1 복수의 상호 연결부는 제1 복수의 포스트 상호 연결부를 포함함 -; 및 제1 기판의 제1 표면에 결합된 제1 솔더 레지스트 층을 포함한다. 제2 기판은 제1 기판 및 제2 기판; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 제2 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 제2 솔더 레지스트 층을 포함한다. 제2 기판의 제2 표면은 제1 기판을 마주한다. 제2 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 제1 집적 소자와 제2 솔더 레지스트 층 사이에 위치된다. 복수의 솔더 상호 연결부는 제1 기판과 제2 기판 사이에 위치된다. 복수의 솔더 상호 연결부는 제1 기판을 제2 기판에 결합시키도록 구성된다.

[0159] 양태 12: 양태 11의 패키지에 있어서, 복수의 솔더 상호 연결부는 (i) 제1 기판의 제1 복수의 포스트 상호 연결부 및 (ii) 제2 기판의 제2 복수의 포스트 상호 연결부에 결합되고, 제1 복수의 포스트 상호 연결부는 제1 솔더 레지스트 층에 의해 측방향으로 둘러싸이며, 제2 복수의 포스트 상호 연결부는 제2 솔더 레지스트 층에 의해 측방향으로 둘러싸인다.

[0160] 양태 13: 양태 11 내지 12의 패키지에 있어서, 복수의 솔더 상호 연결부는 270 마이크로미터 이하인 피치를 갖는 인접 솔더 상호 연결부를 포함한다.

[0161] 양태 14: 양태 13의 패키지에 있어서, 복수의 솔더 상호 연결부는 약 150 내지 270 마이크로미터 범위에 있는 피치를 갖는 인접 솔더 상호 연결부를 포함한다.

[0162] 양태 15: 양태 11 내지 14의 패키지에 있어서, 복수의 솔더 상호 연결부는 제1 집적 소자를 측방향으로 둘러싸는 적어도 300개의 솔더 상호 연결부를 포함한다.

[0163] 양태 16: 양태 11 내지 15의 패키지에 있어서, 제1 기판과 제2 기판 사이에 위치된 캡슐화 층을 더 포함하며, 캡슐화 층의 일부는 제2 솔더 레지스트 층과 제1 집적 소자 사이에 위치된다.

[0164] 양태 17: 양태 16의 패키지에 있어서, 캡슐화 층은 제1 집적 소자 및 복수의 솔더 상호 연결부를 적어도 부분적으로 캡슐화한다.

[0165] 양태 18: 양태 11 내지 17의 패키지에 있어서, 제2 솔더 레지스트 층은 제1 두께를 갖는 제1 부분 및 제2 두께를 갖는 제2 부분을 포함하며, 제2 솔더 레지스트 층의 제1 부분은 제2 복수의 포스트 상호 연결부의 두께보다 큰 제1 두께를 갖고, 제2 솔더 레지스트 층의 제2 부분은 제2 복수의 포스트 상호 연결부의 두께 미만인 제2 두께를 갖고, 제2 솔더 레지스트 층의 제2 부분은 제1 집적 소자 위에 위치된다.

[0166] 양태 19: 양태 11 내지 18의 패키지에 있어서, 제2 기판의 제1 표면에 결합된 제2 집적 소자를 더 포함하며, 제2 기판의 솔더 레지스트 층과 제1 집적 소자의 후면 사이의 수직 갭은 제2 기판의 솔더 레지스트 층과 제1 기판의 솔더 레지스트 층 사이의 또 다른 수직 갭 미만이다.

[0167] 양태 20: 양태 11 내지 19의 패키지에 있어서, 제1 기판에 결합된 수동 소자를 더 포함한다.

[0168] 양태 21: 패키지는 적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판; 제1 기판에 결합된 제1 집적 소자; 제2 기판; 및 제1 기판과 제2 기판에 결합된 기판 간 상호 연결부를 위한 수단을 포함한다. 제2 기판은 제1 표면 및 제2 표면; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 솔더 레지스트 층을 포함한다. 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 제1 집적 소자와 솔더 레지스트 층 사이에 위치된다. 기판 간 상호 연결부를 위한 수단은 제1 기판과 제2 기판 사이에 위치된다. 기판 간 상호 연결부를 위한 수단은 제1 기판을 제2 기판에 결합시키도록 구성된다.

[0169] 양태 22: 양태 21의 패키지에 있어서, 기판 간 상호 연결부를 위한 수단은 복수의 볼 상호 연결부 및/또는 복수의 솔더 상호 연결부를 포함한다.

[0170] 양태 23: 양태 21 내지 22의 패키지에 있어서, 기판 간 상호 연결부를 위한 수단은 제2 기판의 복수의 포스트 상호 연결부에 결합된다.

[0171] 양태 24: 양태 23의 패키지에 있어서, 제1 기판은 제1 복수의 상호 연결부를 포함하며, 제1 복수의 상호 연결부는 제1 복수의 포스트 상호 연결부를 포함하고, 기판 간 상호 연결부를 위한 수단은 제1 기판의 제1 복수의 포스트 상호 연결부에 결합된다.

[0172] 양태 25: 양태 21 내지 24의 패키지에 있어서, 기판 간 상호 연결부를 위한 수단은 약 150 내지 270 마이크로미터의 범위에 있는 피치를 갖는 상호 연결부를 포함한다.

[0173] 양태 26: 방법은 적어도 하나의 제1 유전층 및 제1 복수의 상호 연결부를 포함하는 제1 기판을 제공하는 단계를 포함한다. 방법은 제1 집적 소자를 제1 기판에 결합한다. 방법은 복수의 기판 간 상호 연결부가 제1 기판과 제2 기판 사이에 위치되도록 복수의 기판 간 상호 연결부를 통해 제2 기판을 제1 기판에 결합한다. 제2 기판은 제1 표면 및 제2 표면; 적어도 하나의 제2 유전층; 제2 복수의 상호 연결부 - 제2 복수의 상호 연결부는 복수의 포스트 상호 연결부를 포함함 -; 및 제2 기판의 제2 표면에 결합된 솔더 레지스트 층을 포함한다. 솔더 레지스트 층은 캐비티를 포함한다. 캐비티는 솔더 레지스트 층과 제1 집적 소자 사이에 위치된다.

[0174] 양태 27: 양태 26의 방법에 있어서, 복수의 기판 간 상호 연결부는 복수의 볼 상호 연결부 및/또는 복수의 솔더 상호 연결부를 포함한다.

[0175] 양태 28: 양태 26 내지 27의 방법에 있어서, 복수의 기판 간 상호 연결부는 제2 기판의 복수의 포스트 상호 연결부에 결합된다.

[0176] 양태 29: 양태 28의 방법에 있어서, 제1 기판은 제1 복수의 상호 연결부를 포함하며, 제1 복수의 상호 연결부는 제1 복수의 포스트 상호 연결부를 포함하고, 복수의 기판 간 상호 연결부는 제1 기판의 제1 복수의 포스트 상호 연결부에 결합된다.

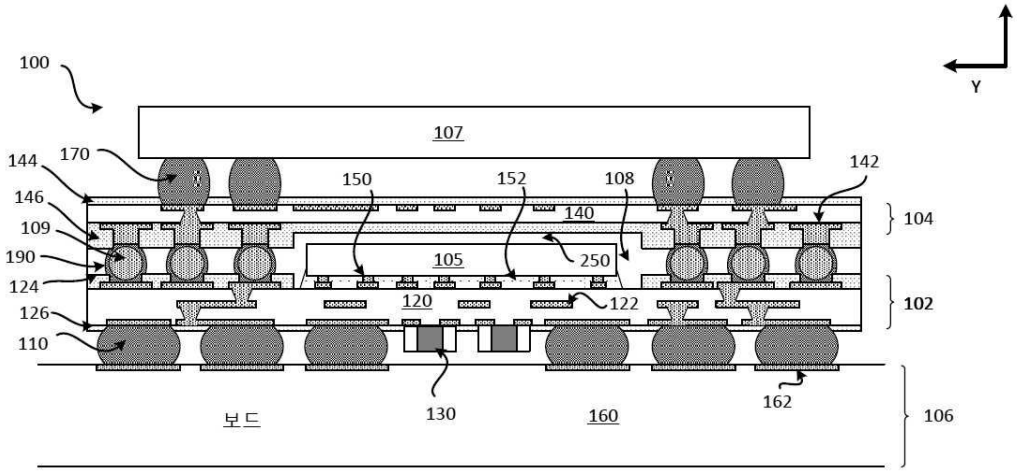
[0177] 양태 30: 양태 26 내지 29의 방법에 있어서, 복수의 기판 간 상호 연결부는 약 150 내지 270 마이크로미터의 범위에 있는 피치를 갖는 상호 연결부를 포함한다.

[0178] 본원에 설명된 본 개시의 다양한 특징은 본 개시로부터 벗어나지 않고 서로 다른 시스템에서 구현될 수 있다.

본 개시의 전술한 양태는 단지 예일 뿐이며 본 개시를 제한하는 것으로 해석되어서는 안 된다는 점에 유의해야 한다. 본 개시의 양태에 대한 설명은 예시를 위한 것이며, 청구항의 범위를 제한하려는 것은 아니다. 따라서, 본 교시는 다른 유형의 장치에 쉽게 적용될 수 있으며, 많은 대안, 수정 및 변형이 당업자에게 명백할 것이다.

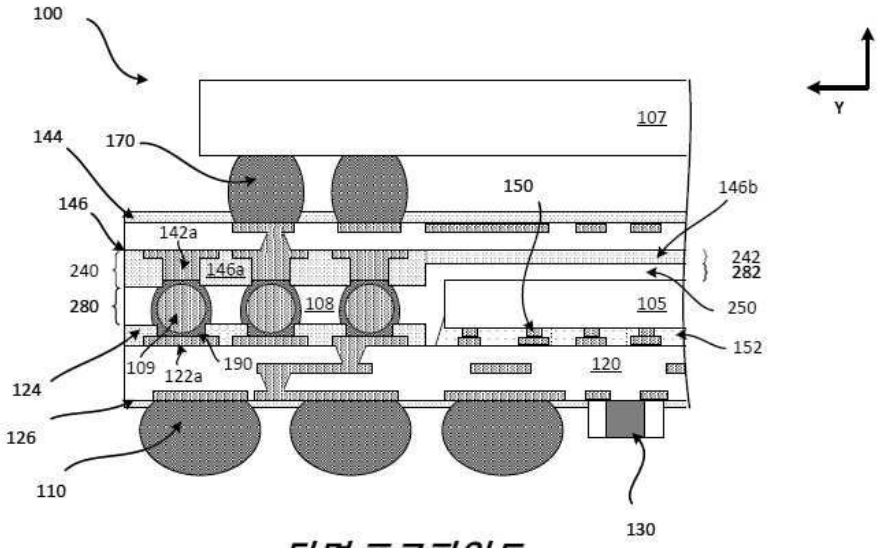
도면

도면1



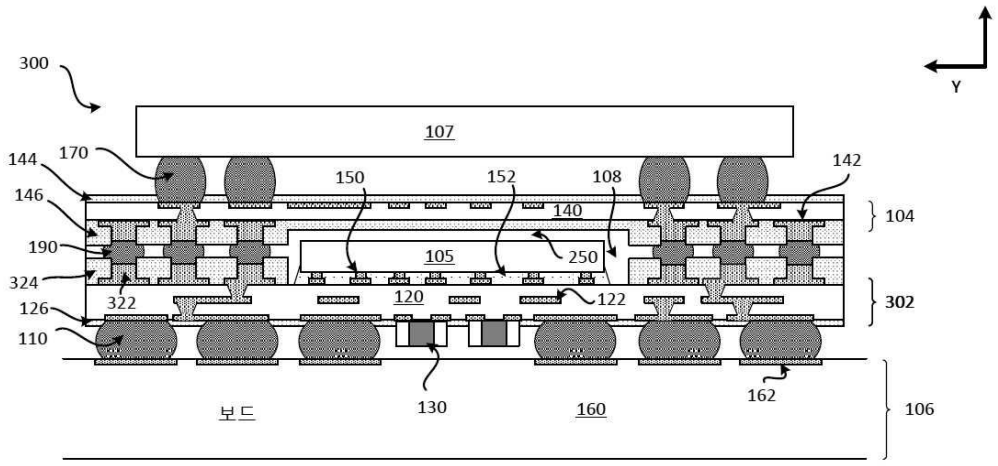
단면 프로파일도

도면2



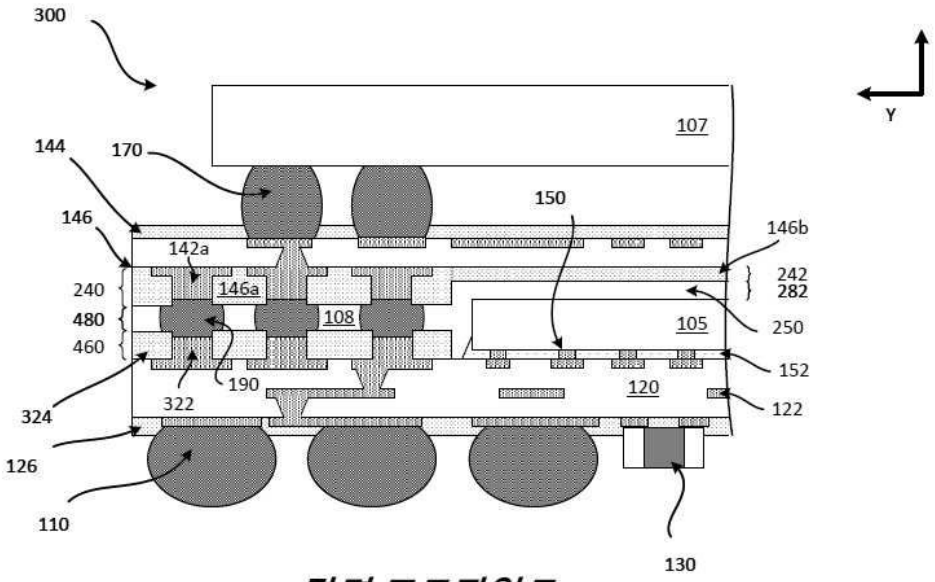
단면 프로파일도

도면3



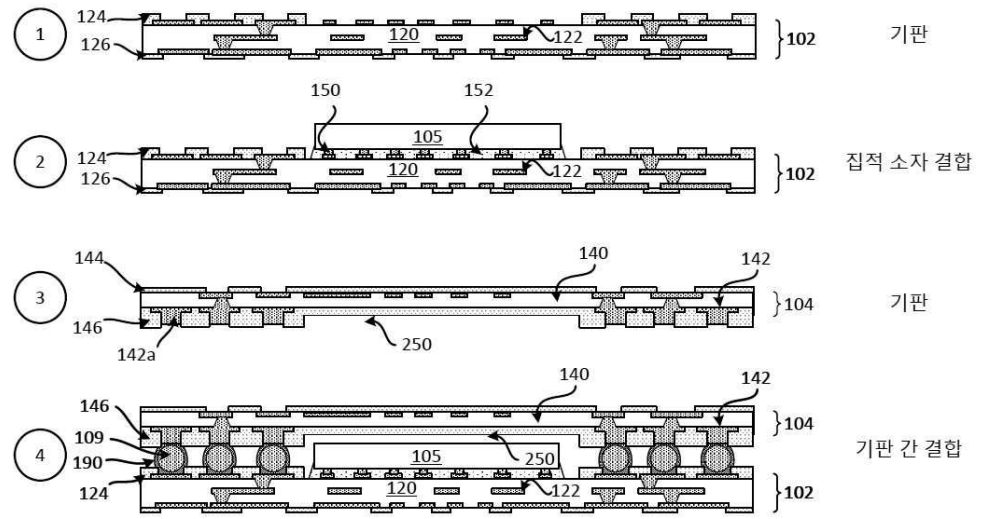
단면 프로파일도

도면4

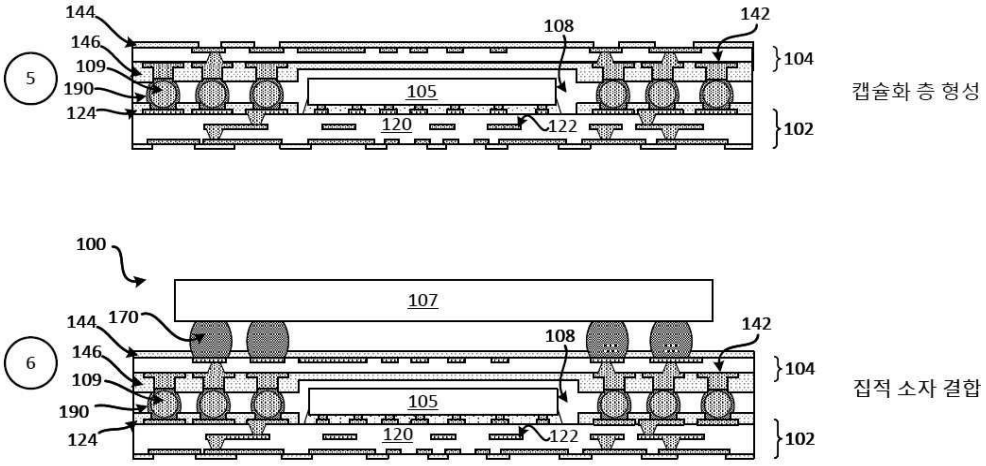


단면 프로파일도

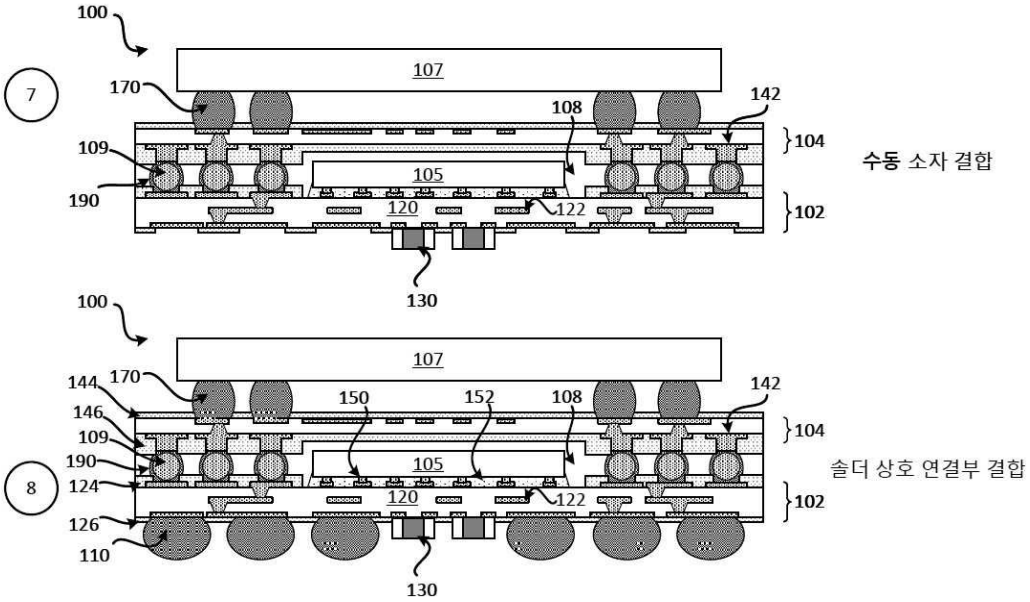
도면5a


1
124
126
120
122
102
기판
150
152
105
2
124
126
120
122
102
집적 소자 결합
144
140
142
3
146
142a
250
104
기판
140
142
146
109
190
4
124
105
250
120
122
104
102
기판 간 결합

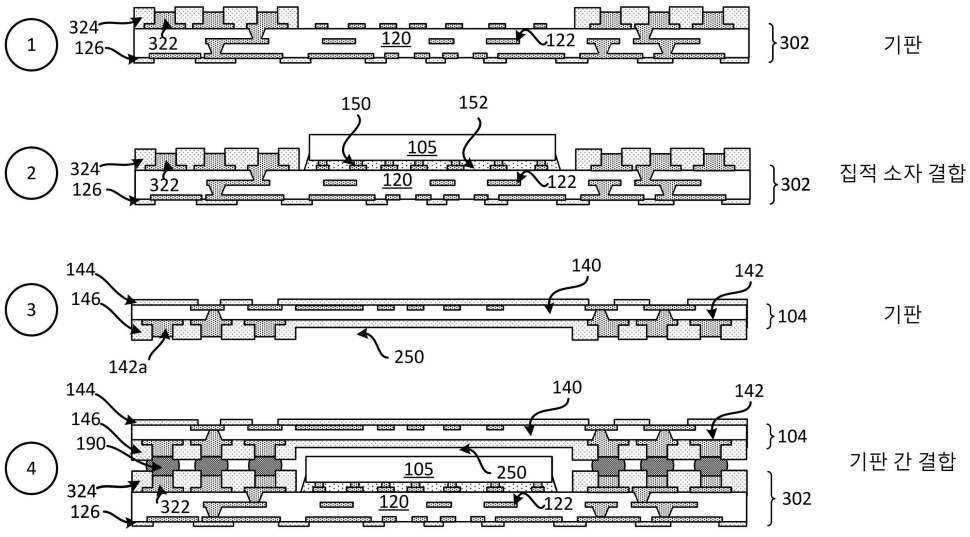
도면5b


144
146
109
190
5
124
108
142
105
120
122
104
102
캡슐화 층 형성
100
107
144
170
6
146
109
190
124
108
142
105
120
122
104
102
집적 소자 결합

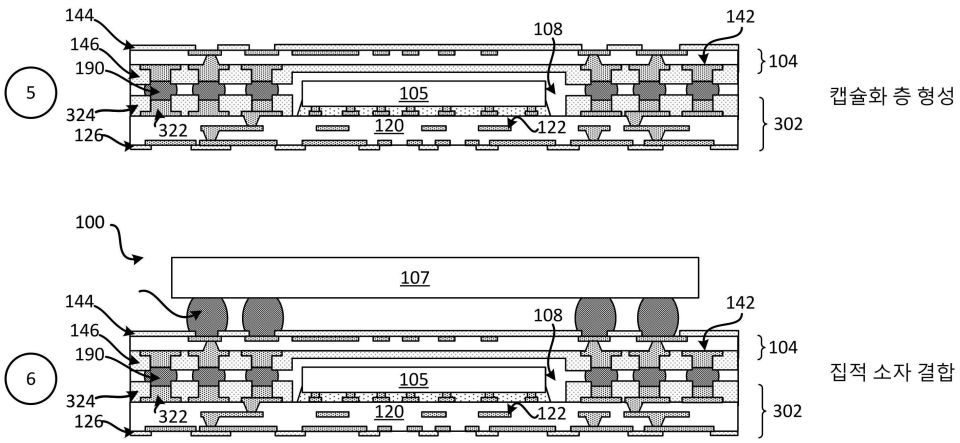
도면5c


7
100
107
170
108
142
109
104
105
190
120
122
102
130
수동 소자 결합
8
100
107
144
170
150
152
108
142
146
109
104
190
105
124
120
122
102
126
110
130
솔더 상호 연결부 결합

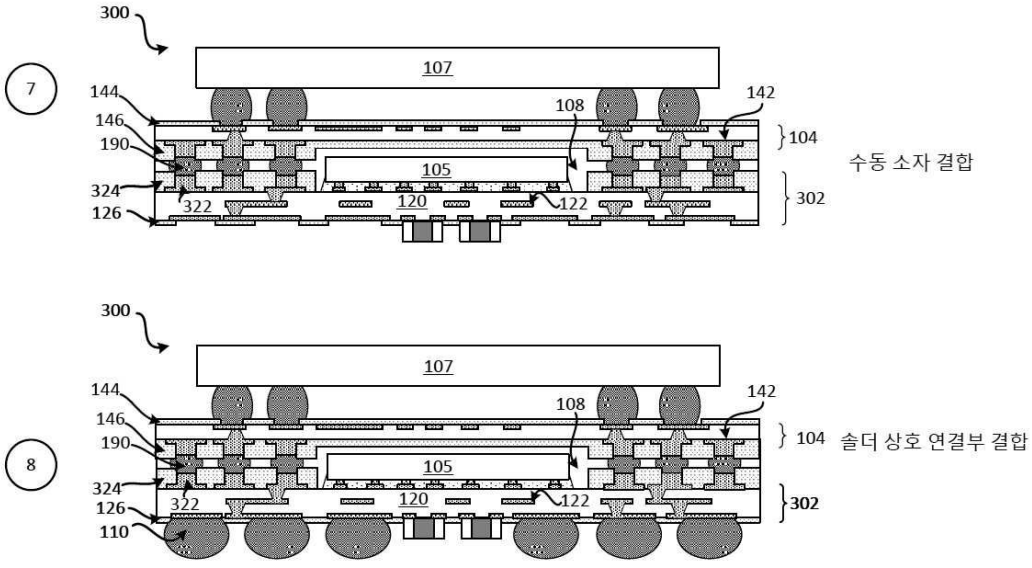
도면6a


1
324
126
322
120
122
302
기판
2
150
152
105
324
126
322
120
122
302
집적 소자 결합
3
144
146
140
142
104
250
142a
기판
4
144
146
140
142
190
104
105
250
324
126
322
120
122
302
기판 간 결합

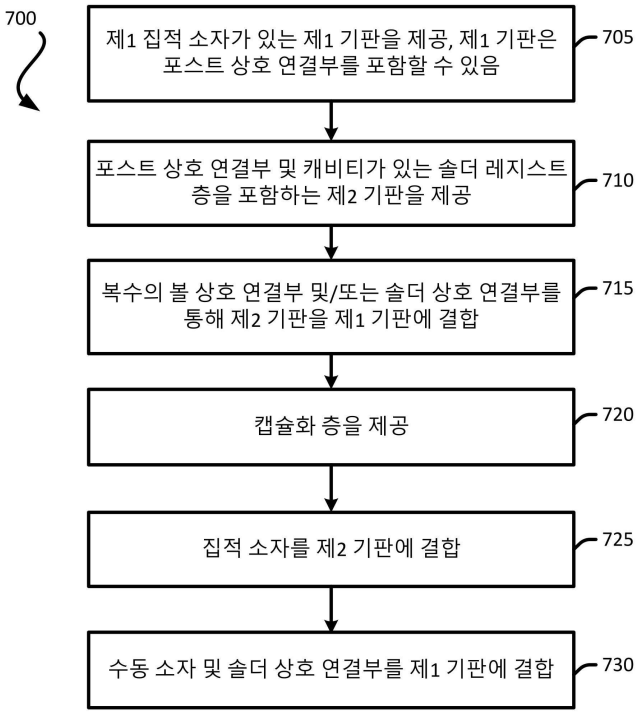
도면6b


5
144
146
190
324
126
322
108
142
105
120
122
104
302
캡슐화 층 형성
6
100
107
144
146
190
324
126
322
108
142
105
120
122
104
302
집적 소자 결합

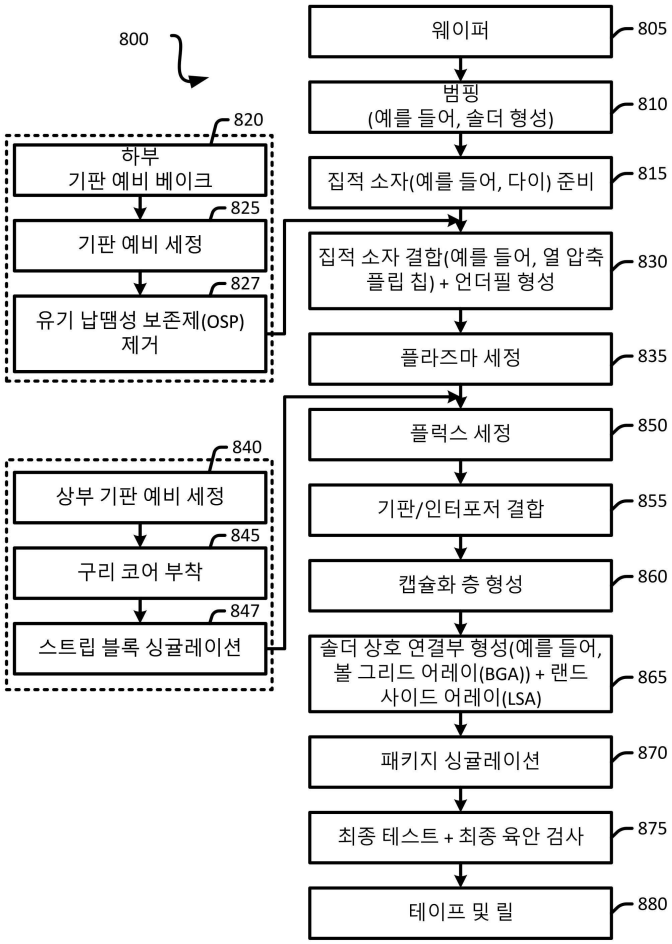
도면6c


7
300
107
144
146
190
324
126
322
108
142
105
120
122
104
302
수동 소자 결합
8
300
107
144
146
190
324
126
110
322
108
142
105
120
122
104
302
솔더 상호 연결부 결합

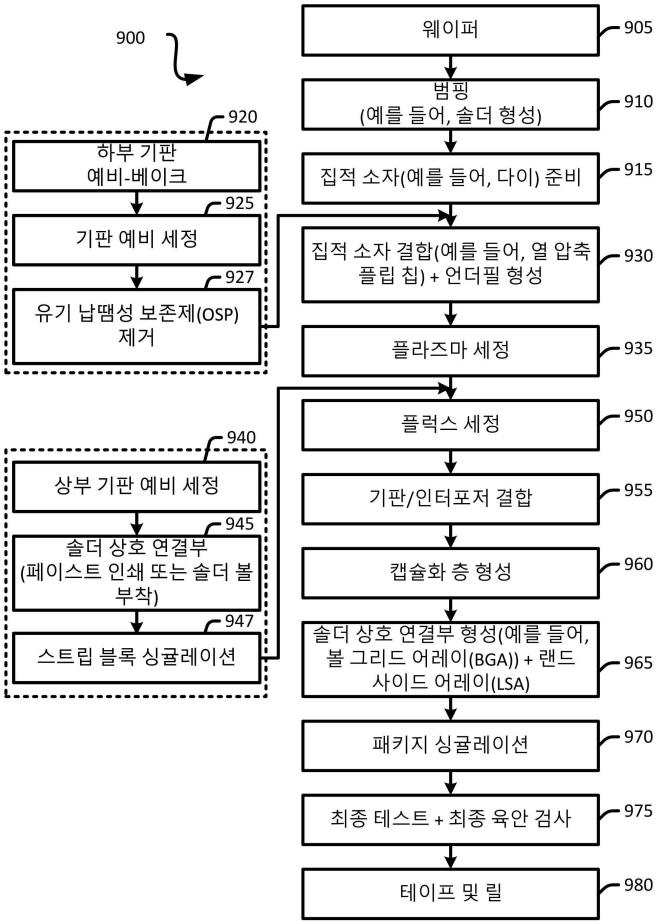
도면7


700
제1 집적 소자가 있는 제1 기판을 제공, 제1 기판은 포스트 상호 연결부를 포함할 수 있음
705
포스트 상호 연결부 및 캐비티가 있는 솔더 레지스트 층을 포함하는 제2 기판을 제공
710
복수의 볼 상호 연결부 및/또는 솔더 상호 연결부를 통해 제2 기판을 제1 기판에 결합
715
캡슐화 층을 제공
720
집적 소자를 제2 기판에 결합
725
수동 소자 및 솔더 상호 연결부를 제1 기판에 결합
730

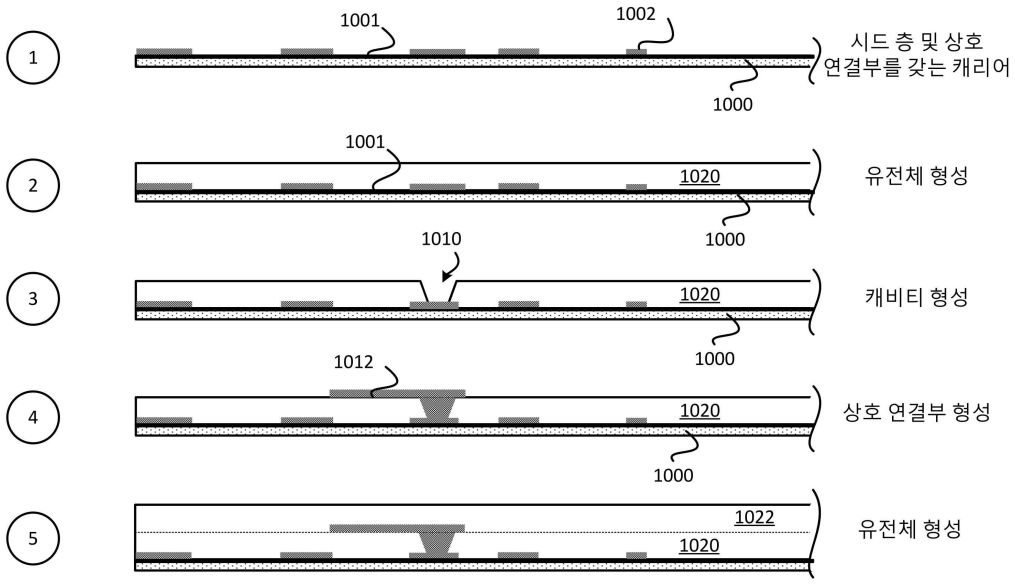
도면8


800
820
하부
기판 예비 베이크
825
기판 예비 세정
827
유기 납땜성 보존제(OSP)
제거
840
상부 기판 예비 세정
845
구리 코어 부착
847
스트립 블록 싱귤레이션
웨이퍼
805
범핑
(예를 들어, 솔더 형성)
810
집적 소자(예를 들어, 다이) 준비
815
집적 소자 결합(예를 들어, 열 압축
플립 칩) + 언더필 형성
830
플라즈마 세정
835
플럭스 세정
850
기판/인터포저 결합
855
캡슐화 층 형성
860
솔더 상호 연결부 형성(예를 들어,
볼 그리드 어레이(BGA)) + 랜드
사이드 어레이(LSA)
865
패키지 싱귤레이션
870
최종 테스트 + 최종 육안 검사
875
테이프 및 릴
880

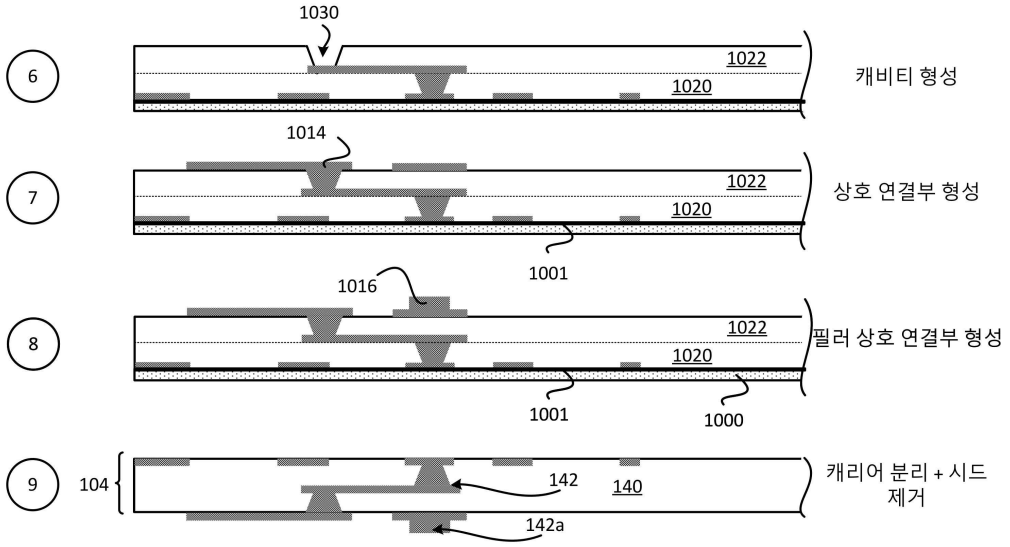
도면9


900
웨이퍼
905
범핑
(예를 들어, 솔더 형성)
910
집적 소자(예를 들어, 다이) 준비
915
집적 소자 결합(예를 들어, 열 압축 플립 칩) + 언더필 형성
930
플라즈마 세정
935
플럭스 세정
950
기판/인터포저 결합
955
캡슐화 층 형성
960
솔더 상호 연결부 형성(예를 들어, 볼 그리드 어레이(BGA)) + 랜드 사이드 어레이(LSA)
965
패키지 싱귤레이션
970
최종 테스트 + 최종 육안 검사
975
테이프 및 릴
980
920
하부 기판 예비-베이크
925
기판 예비 세정
927
유기 납땜성 보존제(OSP) 제거
940
상부 기판 예비 세정
945
솔더 상호 연결부 (페이스트 인쇄 또는 솔더 볼 부착)
947
스트립 블록 싱귤레이션

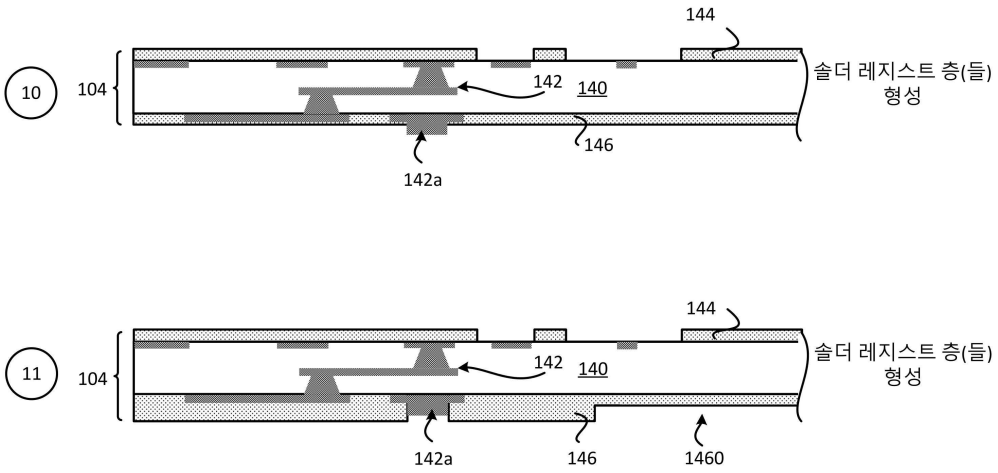
도면10a


1
1001
1002
1000
시드 층 및 상호 연결부를 갖는 캐리어
2
1001
1020
1000
유전체 형성
3
1010
1020
1000
캐비티 형성
4
1012
1020
1000
상호 연결부 형성
5
1022
1020
유전체 형성

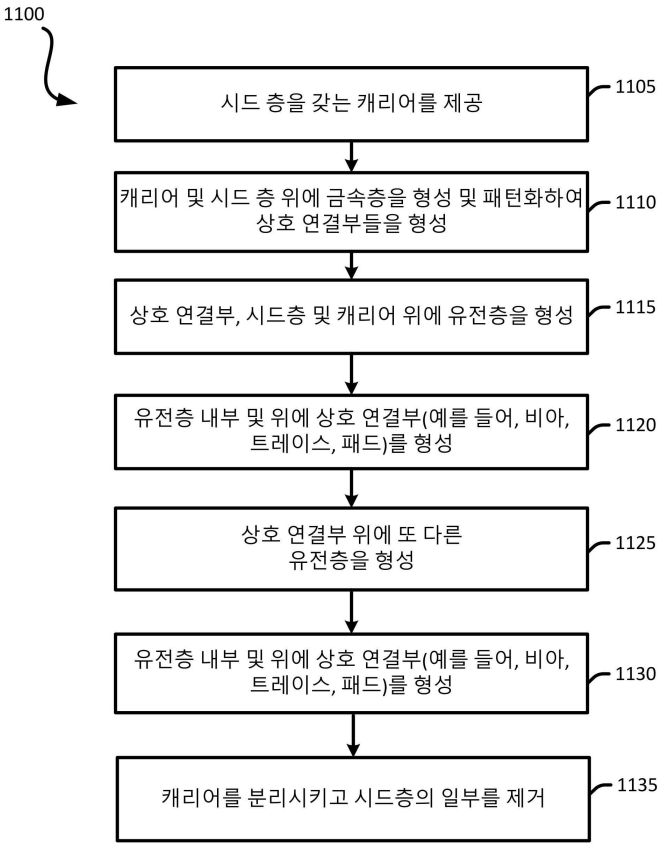
도면10b


6
1030
1022
1020
캐비티 형성
7
1014
1022
1020
1001
상호 연결부 형성
8
1016
1022
1020
1001
1000
필러 상호 연결부 형성
9
104
142
140
142a
캐리어 분리 + 시드 제거

도면10c


10
104
144
142
140
146
142a
솔더 레지스트 층(들) 형성
11
104
144
142
140
142a
146
1460
솔더 레지스트 층(들) 형성

도면11


1100
시드 층을 갖는 캐리어를 제공
1105
캐리어 및 시드 층 위에 금속층을 형성 및 패턴화하여 상호 연결부들을 형성
1110
상호 연결부, 시드층 및 캐리어 위에 유전층을 형성
1115
유전층 내부 및 위에 상호 연결부(예를 들어, 비아, 트레이스, 패드)를 형성
1120
상호 연결부 위에 또 다른 유전층을 형성
1125
유전층 내부 및 위에 상호 연결부(예를 들어, 비아, 트레이스, 패드)를 형성
1130
캐리어를 분리시키고 시드층의 일부를 제거
1135

도면12

