



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201601161 A

(43) 公開日：中華民國 105 (2016) 年 01 月 01 日

(21) 申請案號：104131466

(22) 申請日：中華民國 100 (2011) 年 02 月 16 日

(51) Int. Cl. : *G11C19/28 (2006.01)*

(30) 優先權：2010/03/02 日本

2010-044949

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：豐高耕平 TOYOTAKA, KOUHEI (JP)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：30 項 圖式數：14 共 114 頁

(54) 名稱

脈衝訊號輸出電路及移位暫存器

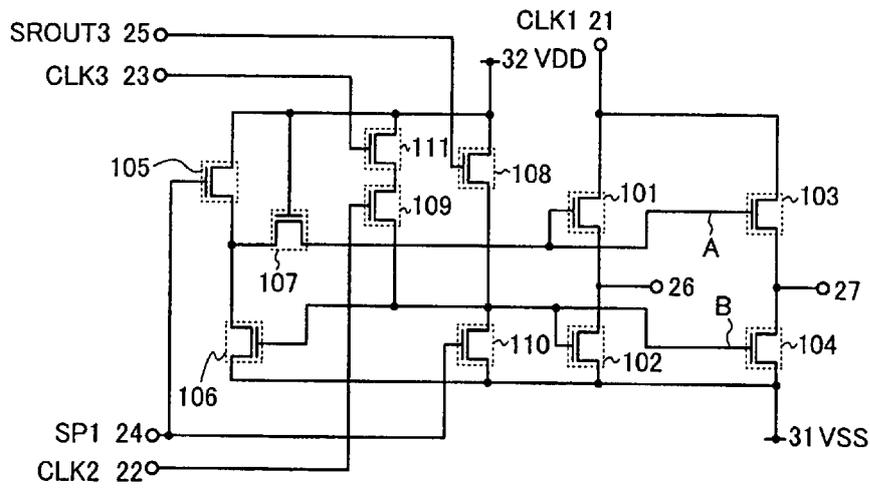
PULSE SIGNAL OUTPUT CIRCUIT AND SHIFT REGISTER

(57) 摘要

本發明的目的在於設置能夠穩定操作之脈衝訊號輸出電路以及包括該脈衝訊號輸出電路的移位暫存器。在該脈衝訊號輸出電路的實施例中，電晶體具有源極端子或汲極端子，係連接到具有形成該脈衝訊號輸出電路的輸出端子之源極端子或汲極端子的另一電晶體之閘極電極，該電晶體的該通道長度長於另一電晶體的該通道長度。藉此，可減少修改另一電晶體的該閘極電位之漏電流量，及可防止該脈衝訊號輸出電路的故障。

An object of the present invention is to provide a pulse signal output circuit capable of operating stably and a shift register including the pulse signal output circuit. In an embodiment of the pulse signal output circuit, a transistor has a source terminal or a drain terminal connected to a gate electrode of another transistor having a source terminal or a drain terminal forming an output terminal of the pulse signal output circuit, the channel length of the transistor being longer than the channel length of the other transistor. Thereby, the amount of a leakage current modifying the gate potential of the other transistor can be reduced, and a malfunction of the pulse signal output circuit can be prevented.

圖1C



- 21 . . . 輸入端子
- 22 . . . 輸入端子
- 23 . . . 輸入端子
- 24 . . . 輸入端子
- 25 . . . 輸入端子
- 26 . . . 輸出端子
- 27 . . . 輸出端子
- 31 . . . 供電線
- 32 . . . 供電線
- 101 . . . 電晶體
- 102 . . . 電晶體
- 103 . . . 電晶體
- 104 . . . 電晶體
- 105 . . . 電晶體
- 106 . . . 電晶體
- 107 . . . 電晶體
- 108 . . . 電晶體
- 109 . . . 電晶體
- 110 . . . 電晶體
- 111 . . . 電晶體

201601161

## 發明摘要

※申請案號:

10413/466 (由100/05103分案)

※申請日:

100.2.16

※IPC分類:

G11C 19/28.(2006.01)

【發明名稱】(中文/英文)

脈衝訊號輸出電路及移位暫存器

Pulse signal output circuit and shift register

【中文】

本發明的目的在於設置能夠穩定操作之脈衝訊號輸出電路以及包括該脈衝訊號輸出電路的移位暫存器。在該脈衝訊號輸出電路的實施例中，電晶體具有源極端子或汲極端子，係連接到具有形成該脈衝訊號輸出電路的輸出端子之源極端子或汲極端子的另一電晶體之閘極電極，該電晶體的該通道長度長於另一電晶體的該通道長度。藉此，可減少修改另一電晶體的該閘極電位之漏電流量，及可防止該脈衝訊號輸出電路的故障。

【英文】

An object of the present invention is to provide a pulse signal output circuit capable of operating stably and a shift register including the pulse signal output circuit. In an embodiment of the pulse signal output circuit, a transistor has a source terminal or a drain terminal connected to a gate electrode of another transistor having a source terminal or a drain terminal forming an output terminal of the pulse signal output circuit, the channel length of the transistor being longer than the channel length of the other transistor. Thereby, the amount of a leakage current modifying the gate potential of the other transistor can be reduced, and a malfunction of the pulse signal output circuit can be prevented.

【代表圖】

【本案指定代表圖】：第(1C)圖。

【本代表圖之符號簡單說明】：

21：輸入端子

22：輸入端子

23：輸入端子

24：輸入端子

25：輸入端子

26：輸出端子

27：輸出端子

31：供電線

32：供電線

101：電晶體

102：電晶體

103：電晶體

104：電晶體

105：電晶體

106：電晶體

107：電晶體

108：電晶體

109：電晶體

110：電晶體

111：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

脈衝訊號輸出電路及移位暫存器

Pulse signal output circuit and shift register

## 【技術領域】

所揭示的發明係相關於脈衝訊號輸出電路及移位暫存器。

## 【先前技術】

形成在諸如玻璃基板等平板之上及典型上被用在液晶顯示裝置中的電晶體通常包括諸如非晶矽或多晶矽等半導體材料。雖然包括非晶矽之電晶體具有低場效遷移率，但是它們可被形成在大的玻璃基板之上。相對地，雖然包括多晶矽之電晶體具有高場效遷移率，但是它們需要諸如雷射退火等結晶處理，及不總是適用於大的玻璃基板。

另一方面，包括氧化物半導體作為半導體材料之電晶體已引起注意。例如，專利文件 1 及 2 揭示使用氧化鋅或 In-Ga-Zn-O 類氧化物半導體作為半導體材料所形成及被使用作為影像顯示裝置的切換元件之電晶體的技術。

包括氧化物半導體在通道區中之電晶體具有比包括非晶矽之電晶體高的場效遷移率。另外，可藉由濺鍍法等等，以溫度 300°C 或更低來形成氧化物半導體膜；如此，包括氧化物半導體之電晶體的製造處理比包括多晶矽之電

晶體的製造處理簡單。

預期包括氧化物半導體之此種電晶體可被使用作為包括在諸如液晶顯示器、電致發光顯示器、及電子紙等等顯示裝置的像素部和驅動器電路中之切換元件。例如，非專利文件 1 揭示顯示裝置的像素部和驅動器電路包括包括氧化物半導體之電晶體。

需注意的是，包括氧化物半導體之電晶體都是 n 通道電晶體。因此，在驅動器電路包括包括氧化物半導體之電晶體的例子中，驅動器電路只包括 n 通道電晶體。

[專利文件]

[專利文件 1]日本已出版專利申請案號 2007-123861

[專利文件 2]日本已出版專利申請案號 2007-096055

[非專利文件]

[非專利文件 1]T. Osada 等人，“使用非晶 In-Ga-Zn 氧化物薄膜電晶體之驅動器整合式面板的發展”，*Proc.SID'09 文摘*，2009，第 184-187 頁。

### 【發明內容】

驅動器電路包括例如具有脈衝訊號輸出電路之移位暫存器。在移位暫存器包括具有相同導電型之電晶體的例子中，移位暫存器例如會有不穩定操作之問題。

鑑於此問題，本發明的一實施例之目的在於設置能夠穩定操作之脈衝訊號輸出電路及包括此脈衝訊號輸出電路之移位暫存器。

本發明的目的之一在於設置能夠穩定操作之脈衝訊號輸出電路及包括此脈衝訊號輸出電路之移位暫存器。在脈衝訊號輸出電路的實施例中，電晶體具有源極端子或汲極端子，其連接到具有形成脈衝訊號輸出電路的輸出端子之源極端子或汲極端子的另一電晶體之閘極電極，電晶體的通道長度長於另一電晶體的通道長度。藉此，可減少修改另一電晶體的閘極電位之漏電流量，及可防止脈衝訊號輸出電路的故障。

下面說明可利用之組態的具體例子。

本發明的實施例為脈衝訊號輸出電路，其包括第一到第九電晶體、第一輸入訊號產生電路、及第二輸入訊號產生電路。第一電晶體的第一端子和第二電晶體的第一端子係電連接到第一輸出端子，及第三電晶體的第一端子和第四電晶體的第一端子係電連接到第二輸出端子。第一輸入訊號產生電路包括第五電晶體和第六電晶體。第五電晶體的第一端子和第六電晶體的第一端子係彼此電連接，及共同充作第一輸入訊號產生電路的輸出端子。第二輸入訊號產生電路包括第七至第九電晶體。第七電晶體的第二端子、第八電晶體的第二端子、和第九電晶體的第一端子係彼此電連接，及共同充作第二輸入訊號產生電路的輸出端子。第一電晶體的閘極端子、第三電晶體的閘極端子、和第一輸入訊號產生電路的輸出端子係彼此電連接。第二電晶體的閘極端子、第四電晶體的閘極端子、和第二輸入訊號產生電路的輸出端子係彼此電連接。第六電晶體的通道

長度長於第三電晶體的通道長度並且長於第四電晶體的通道長度。第九電晶體的通道長度長於第三電晶體的通道長度並且長於第四電晶體的通道長度。

在脈衝訊號輸出電路中，較佳的是，第一時脈訊號輸入到第一電晶體的第二端子和第三電晶體的第二端子；第一電位供應到第二電晶體的第二端子、第四電晶體的第二端子、第六電晶體的第二端子、和第九電晶體的第二端子；高於第一電位之第二電位供應到第五電晶體的第二端子、第七電晶體的第一端子、和第八電晶體的第一端子；第一脈衝訊號輸入到第五電晶體的閘極端子和第九電晶體的閘極端子；第二輸入訊號產生電路的輸出訊號輸入到第六電晶體的閘極端子；第三脈衝訊號輸入到第七電晶體的閘極端子；第二時脈訊號輸入到第八電晶體的閘極端子；及第二脈衝訊號輸出自第一輸出端子或第二輸出端子。

在脈衝訊號輸出電路中，第六電晶體和第九電晶體的至少其中之一可以是具有至少兩閘極被串聯排列的多閘極結構之電晶體。

本發明的另一實施例為脈衝訊號輸出電路，其包括第一至第十一電晶體、第一輸入訊號產生電路、和第二輸入訊號產生電路。第一電晶體的第一端子和第二電晶體的第一端子係電連接到第一輸出端子，及第三電晶體的第一端子和第四電晶體的第一端子係電連接到第二輸出端子。第一輸入訊號產生電路包括第五至第七電晶體。第五電晶體的第一端子、第六電晶體的第一端子、和第七電晶體的第

一端子係彼此電連接，及第七電晶體的第二端子充作第一輸入訊號產生電路的輸出端子。第二輸入訊號產生電路包括第八至第十一電晶體。第十一電晶體的第二端子和第九電晶體的第一端子係彼此電連接，及第九電晶體的第二端子、第八電晶體的第二端子、和第十電晶體的第一端子係彼此電連接，及共同充作第二輸入訊號產生電路的輸出端子。第一電晶體的閘極端子、第三電晶體的閘極端子、和第一輸入訊號產生電路的輸出端子係彼此電連接。第二電晶體的閘極端子、第四電晶體的閘極端子、和第二輸入訊號產生電路的輸出端子係彼此電連接。第六電晶體的通道長度長於第三電晶體的通道長度並且長於第四電晶體的通道長度。第十電晶體的通道長度長於第三電晶體的通道長度並且長於第四電晶體的通道長度。

在脈衝訊號輸出電路中，較佳的是，第一時脈訊號輸入到第一電晶體的第二端子和第三電晶體的第二端子；第一電位供應到第二電晶體的第二端子、第四電晶體的第二端子、第六電晶體的第二端子、和第十電晶體的第二端子；高於第一電位之第二電位供應到第五電晶體的第二端子、第七電晶體的閘極端子、和第八電晶體的第一端子、和第十一電晶體的第一端子；第一脈衝訊號輸入到第五電晶體的閘極端子和第十電晶體的閘極端子；第二輸入訊號產生電路的輸出訊號輸入到第六電晶體的閘極端子；第三脈衝訊號輸入到第八電晶體的閘極端子；第二時脈訊號輸入到第九電晶體的閘極端子；第三時脈訊號輸入到第十一

電晶體的閘極端子；及第二脈衝訊號輸出自第一輸出端子或第二輸出端子。

在脈衝訊號輸出電路中，第六電晶體和第十電晶體的至少其中之一可以是具有至少兩閘極被串聯排列的多閘極結構之電晶體。

在本發明的實施例之脈衝訊號輸出電路中，可包括電容器，其具有電連接到第二電晶體的閘極端子、第四電晶體的閘極端子、和第二輸入訊號產生電路的輸出端子係彼此電連接之節點的端子。

在脈衝訊號輸出電路中，電晶體的至少其中之一包括氧化物半導體較佳。另外，移位暫存器可包括複數個脈衝訊號輸出電路。

需注意的是，在脈衝訊號輸出電路中，在某些例子中，電晶體包括氧化物半導體；然而，所揭示的發明並不侷限於此。

需注意的是，在此說明書等等中，諸如“在...之上”或“在...之下”等詞語並不一定意指組件置放在另一組件的“正上方”或“正下方”。例如，“閘極絕緣層之上的閘極電極”詞句並未排除另一組件置放在閘極絕緣層和閘極電極之間的情況。

此外，在此說明書等等中，諸如“電極”及“配線”等詞語並未限制組件的功能。例如，“電極”可被使用作為“配線”的部分，及“配線”可被使用作為“電極”的部分。諸如“電極”及“配線”等詞語例如亦可意指複數個

“電極”及“配線”的組合。

當例如在電路操作時使用相反極性的電晶體或改變電流流動的方向時，可互換“源極”和“汲極”的功能。因此，在此說明書中，可將“源極”和“汲極”詞語互換。

需注意的是，在此說明書等等中，“電連接”詞語包括經由具有任何電功能之物體將組件彼此連接之情況。此處，只要能夠在經由物體將彼此連接的組件之間傳輸和接收電訊號，並未特別限制具有任何電功能之物體。

“具有任何電功能之物體”的例子為諸如電晶體等切換元件、電阻器、感應器、電容器，及除了電極和配線以外之具有各種功能的元件。

可設置能夠穩定操作之脈衝訊號輸出電路及具有此脈衝訊號輸出電路之移位暫存器。

#### 【圖式簡單說明】

圖 1A 至 1C 為脈衝訊號輸出電路和移位暫存器之組態例子圖。

圖 2 為移位暫存器的時序圖。

圖 3A 至 3C 為脈衝訊號輸出電路的操作圖。

圖 4A 至 4C 為脈衝訊號輸出電路的操作圖。

圖 5A 及 5B 為脈衝訊號輸出電路的組態例子圖。

圖 6A 至 6C 為脈衝訊號輸出電路和移位暫存器的組態例子圖。

圖 7 為移位暫存器的時序圖。

圖 8A 至 8C 為脈衝訊號輸出電路的操作圖。

圖 9A 及 9B 為脈衝訊號輸出電路的操作圖。

圖 10A 及 10B 為脈衝訊號輸出電路的組態例子圖。

圖 11A 至 11D 為電晶體的結構例子圖。

圖 12A 至 12E 為製造電晶體之方法的例子圖。

圖 13A 至 13C 為半導體裝置的例子圖。

圖 14A 至 14F 為電子裝置圖。

### 【實施方式】

下面將參考圖式說明本發明的實施例之例子。需注意的是，本發明並不侷限於下面說明。精於本技藝之人士應明白，在不違背本發明的精神和範疇之下，可以各種方式改變本發明的模式和細節。因此，本發明不應被闡釋作侷限於下面實施例的說明。

需注意的是，為了便於瞭解，在某些例子中並未準確呈現圖式等等所圖解的各組件之位置、尺寸、範圍等等。因此，所揭示的發明不一定侷限於圖式等等所揭示之位置、尺寸、範圍等等。

需注意的是，在此說明書等等中，使用諸如“第一”、“第二”、及“第三”等序數，以避免組件之間的混淆及並不限制數目。

#### (實施例 1)

在此實施例中，將參考圖 1A 至 1C、圖 2、圖 3A 至

3C、和圖 4A 至 4C 說明脈衝訊號輸出電路和包括脈衝訊號輸出電路之移位暫存器的組態例子。

#### <電路組態>

首先，將參考圖 1A 至 1C 說明脈衝訊號輸出電路和包括脈衝訊號輸出電路之移位暫存器的電路組態之例子。

此實施例所說明之移位暫存器包括第一至第  $n$  脈衝訊號輸出電路  $10\_1$  至  $10\_n$  ( $n \geq 2$ ) 和傳輸時脈訊號之第一至第四訊號線 11 至 14 (見圖 1A)。第一時脈訊號 (CLK1) 被供應到第一訊號線 11。第二時脈訊號 (CLK2) 被供應到第二訊號線 12。第三時脈訊號 (CLK3) 被供應到第三訊號線 13。第四時脈訊號 (CLK4) 被供應到第四訊號線 14。

時脈訊號為以規律間隔在 H 位準訊號 (高電位) 和 L 位準訊號 (低電位) 之間輪流的訊號。此處，連續以  $1/4$  週期延遲第一至第四時脈訊號 (CLK1 至 CLK4)。在此實施例中，藉由使用時脈訊號，執行脈衝訊號輸出電路的控制等等。

第一至第  $n$  脈衝訊號輸出電路  $10\_1$  至  $10\_n$  的每一個都包括第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26、和第二輸出端子 27 (見圖 1B)。

第一輸入端子 21、第二輸入端子 22、和第三輸入端子 23 電連接到第一至第四訊號線 11 至 14 的任一者。例

如，第一脈衝訊號輸出電路  $10_1$  中的第一輸入端子 21 電連接到第一訊號線 11，第一脈衝訊號輸出電路  $10_1$  中的第二輸入端子 22 電連接到第二訊號線 12，和第一脈衝訊號輸出電路  $10_1$  中的第三輸入端子 23 電連接到第三訊號線 13。此外，第二脈衝訊號輸出電路  $10_2$  中的第一輸入端子 21 電連接到第二訊號線 12，第二脈衝訊號輸出電路  $10_2$  中的第二輸入端子 22 電連接到第三訊號線 13，和第二脈衝訊號輸出電路  $10_2$  中的第三輸入端子 23 電連接到第四訊號線 14。需注意的是，說明第二至第四訊號線 12 至 14 連接到第  $n$  脈衝訊號輸出電路  $10_n$  之例子。然而，哪一個訊號線連接到第  $n$  脈衝訊號輸出電路  $10_n$  係依據  $n$  的值。如此，需注意的是，此處所說明的組態只是例子。

在此實施例所說明之移位暫存器的第  $m$  脈衝訊號輸出電路 ( $m \geq 2$ ) 中，第四輸入端子 24 電連接到第 ( $m-1$ ) 脈衝訊號輸出電路的第一輸出端子 26。在第  $m$  脈衝訊號輸出電路 ( $m \leq n-2$ ) 中，第五輸入端子 25 電連接到第 ( $m+2$ ) 脈衝訊號輸出電路的第一輸出端子 26；第一輸出端子 26 電連接到第 ( $m+1$ ) 脈衝訊號輸出電路的第四輸入端子 24；及第二輸出端子 27 輸出訊號到  $OUT(m)$ 。

例如，第三脈衝訊號輸出電路  $10_3$  中的第四輸入端子 24 電連接到第二脈衝訊號輸出電路  $10_2$  中的第一輸出端子 26。第三脈衝訊號輸出電路  $10_3$  中的第五輸入端子 25 電連接到第五脈衝訊號輸出電路  $10_5$  中的第一輸出端子 26。第三脈衝訊號輸出電路  $10_3$  中的第一輸出端子 26

電連接到第四脈衝訊號輸出電路 10\_4 中的第四輸入端子 24 和第一脈衝訊號輸出電路 10\_1 中的第五輸入端子 25。

此外，第一起始脈衝 (SP1) 係從第五配線 15 輸入到第一脈衝訊號輸出電路 10\_1 中的第四輸入端子 24。輸出自前一階段的脈衝被輸入到第  $k$  脈衝訊號輸出電路 10\_ $k$  ( $k$  為大於或等於 2 及小於或等於  $n$  之自然數) 中的第四輸入端子 24。第二起始脈衝 (SP2) 被輸入到第 ( $n-1$ ) 脈衝輸出電路 10\_ $n-1$  中的第五輸入端子 25。第三起始脈衝 (SP3) 被輸入到第  $n$  脈衝輸出電路 10\_ $n$  中的第五輸入端子 25。第二起始脈衝 (SP2) 和第三起始脈衝 (SP3) 係可從外部輸入或者產生在電路內部。

接著，將說明第一至第  $n$  脈衝訊號輸出電路 10\_1 至 10\_ $n$  的特有組態。

第一至第  $n$  脈衝訊號輸出電路 10\_1 至 10\_ $n$  的每一個都包括：包括第一至第四電晶體 101 至 104 之脈衝訊號產生電路，包括第五至第七電晶體 105 至 107 之第一輸入訊號產生電路，和包括第八至第十一電晶體 108 至 111 之第二輸入訊號產生電路 (見圖 1C)。另外，除了第一至第五輸入端子 21 至 25 之外，訊號還從第一至第二供電線 31 及 32 供應到第一至第十一電晶體 101 至 111。

脈衝訊號產生電路的組態之特有例子如下。

第一電晶體 101 的第一端子 (在下文中，“第一端子”意謂源極端子和汲極端子的其中之一) 和第二電晶體 102 的第一端子電連接到第一輸出端子 26。同樣地，第三

電晶體 103 的第一端子和第四電晶體 104 的第一端子電連接到第二輸出端子 27。第一電晶體 101 的閘極端子、第三電晶體 103 的閘極端子、和第一輸入訊號產生電路的輸出端子係彼此電連接。第二電晶體 102 的閘極端子、第四電晶體 104 的閘極端子、和第二輸入訊號產生電路的輸出端子係彼此電連接。

第一時脈訊號被輸入到第一電晶體 101 的第二端子（在下文中，“第二端子”意謂源極端子和汲極端子的其中另一個）。第一電晶體 101 的第二端子亦充作脈衝訊號輸出電路中的第一輸入端子 21。經由第一供電線 31，將第一電位（例如，低電位  $V_{SS}$ ）供應到第二電晶體 102 的第二端子。第一時脈訊號被輸入到第三電晶體 103 的第二端子。第三電晶體 103 的第二端子亦充作脈衝訊號輸出電路中的第一輸入端子 21。經由第一供電線 31，將第一電位供應到第四電晶體 104 的第二端子。

第一輸入訊號產生電路的組態之特有例子如下。

第五電晶體 105 的第一端子、第六電晶體 106 的第一端子、和第七電晶體 107 的第一端子係彼此電連接。另外，第七電晶體 107 的第二端子充作第一輸入訊號產生電路的輸出端子。

經由第二供電線 32，將第二電位供應到第五電晶體 105 的第二端子。經由第一供電線 31，將第一電位供應到第六電晶體 106 的第二端子。來自前一階段的脈衝訊號（在第一脈衝訊號輸出電路中，脈衝訊號包括起始脈衝訊

號) 被輸入到第五電晶體 105 的閘極端子。第五電晶體 105 的閘極端子充作第一輸入訊號產生電路的第一輸入端子並且充作脈衝訊號輸出電路的第四輸入端子 24。第二輸入訊號產生電路的輸出訊號被輸入到第六電晶體 106 的閘極端子。第六電晶體 106 的閘極端子充作第一輸入訊號產生電路的第二輸入端子。經由第二供電線 32，將第二電位供應到第七電晶體 107 的閘極端子。

雖然在此實施例設置第七電晶體 107，但是可利用沒有第七電晶體 107 的組態。利用第七電晶體 107，可抑制由於開機操作所導致之第五電晶體 105 的第一端子之電位升高。也就是說，可防止施加高偏壓到第五電晶體 105 的閘極和源極之間（或閘極和汲極之間）的區域；如此，可抑制第五電晶體 105 的劣化。

第二輸入訊號產生電路的組態之特有例子如下。

第十一電晶體 111 的第二端子和第九電晶體 109 的第一端子係彼此電連接。第九電晶體的第二端子、第八電晶體的第二端子、和第十電晶體的第一端子係彼此電連接並且充作第二輸入訊號產生電路的輸出端子。

經由第二供電線 32，將第二電位供應到第八電晶體 108 的第一端子和第十一電晶體 111 的第一端子。經由第一供電線 31，將第一電位供應到第十電晶體 110 的第二端子。來自第二隨後階段的脈衝訊號被輸入到第八電晶體 108 的閘極端子，如圖 1A 及圖 1B 所示。第八電晶體 108 的閘極端子充作第二輸入訊號產生電路的第一輸入端子並

且充作脈衝訊號輸出電路中的第五輸入端子 25。第二時脈訊號輸入到第九電晶體 109 的閘極端子。第九電晶體 109 的閘極端子充作第二輸入訊號產生電路的第二輸入端子和脈衝訊號輸出電路中的第二輸入端子 22。來自前一階段的脈衝訊號（在第一脈衝訊號輸出電路中，脈衝訊號為起始脈衝訊號）被輸入到第十電晶體 110 的閘極端子。第十電晶體 110 的閘極端子充作第二輸入訊號產生電路的第三輸入端子和脈衝訊號輸出電路中的第四輸入端子 24。第三時脈訊號被輸入到第十一電晶體 111 的閘極端子。第十一電晶體 111 的閘極端子充作第二輸入訊號產生電路的第四輸入端子和脈衝訊號輸出電路中的第三輸入端子 23。

需注意的是，在此實施例所說明之脈衝訊號輸出電路中，第六電晶體 106 的通道長度長於第三電晶體 103 的通道長度並且長於第四電晶體 104 的通道長度。另外，第十電晶體 110 的通道長度長於第三電晶體 103 的通道長度並且長於第四電晶體 104 的通道長度。如此，可減少第六電晶體 106 和第十電晶體 110 的臨界電壓位移量，使得能夠抑制劣化。

需注意的是，脈衝訊號輸出電路的組件（如、脈衝訊號產生電路、第一輸入訊號產生電路、和第二輸入訊號產生電路之組態例子）只是例子，及所揭示的發明並不侷限於此。

在下面此實施例的說明中，圖 1C 所示之脈衝訊號輸

出電路中第一電晶體 101 的閘極端子、第三電晶體 103 的閘極端子、和第一輸入訊號產生電路的輸出端子彼此連接之節點被稱作節點 A。此外，第二電晶體 102 的閘極端子、第四電晶體 104 的閘極端子、和第二輸入訊號產生電路的輸出端子彼此連接之節點被稱作節點 B。

用以令人滿意地執行開機操作之電容器可設置在節點 A 和第一輸出端子 26 之間。而且，爲了保持節點 B 的電位可設置電連接到節點 B 之電容器。需注意的是，第一至第十一電晶體 101 至 111 的每一個都包括氧化物半導體較佳。當電晶體包括氧化物半導體時，可減少電晶體的關閉狀態電流。另外，與包括非晶矽等等之電晶體比較，可增加包括氧化物半導體之電晶體的開通狀態電流和場效遷移率。而且，可抑制電晶體的劣化。如此，可實現消耗低電力、可以高速操作、以更高準確性來操作之電路。需注意的是，因爲下面實施例將詳細說明，所以此處省略包括氧化物半導體之電晶體的說明。

#### <操作>

接著，將參考圖 2、圖 3A 至 3C、和圖 4A 至 4C 來說明圖 1A 至 1C 所示之移位暫存器的操作。尤其是，將參考圖 3A 至 3C 和圖 4A 至 4C 說明圖 2 所示的時序圖中之第一至第六週期 51 至 56 的每一個之操作。在時序圖中，CLK1 至 CLK4 表示時脈訊號；SP1 表示第一起始脈衝；OUT1 至 OUT4 表示來自第一至第四脈衝訊號輸出電路

10<sub>\_1</sub> 至 10<sub>\_4</sub> 之第二輸出端子的輸出；節點 A 及 B 表示節點 A 及 B 的電位；和 SROUT1 至 SROUT4 表示來自第一至第四脈衝訊號輸出電路 10<sub>\_1</sub> 至 10<sub>\_4</sub> 之第一輸出端子的輸出。

需注意的是，在下面說明中，第一至第十一電晶體 101 至 111 都是 n 通道電晶體。另外，在圖 3A 至 3C 和圖 4A 至 4C 中，由實線所指出之電晶體意指電晶體在導電狀態中（on），及由虛線所指出之電晶體意指電晶體在非導電狀態中（off）。

說明第一脈衝訊號輸出電路 10<sub>\_1</sub> 的典型操作。第一脈衝訊號輸出電路 10<sub>\_1</sub> 的組態如上述。另外，所輸入的訊號和所供應的電位之間的關係如上述。需注意的是，在下面說明中， $V_{DD}$  被用於欲待供應到輸入端子和供電線之所有高電位（亦稱作 H 位準、H 位準訊號等等），及  $V_{SS}$  被用於欲待供應到輸入端子和供電線之所有低電位（亦稱作 L 位準、L 位準訊號等等）。

在第一週期 51 中，SP1 在 H 位準中，使得高電位被供應到充作第一脈衝訊號輸出電路 10<sub>\_1</sub> 中的第四輸入端子 24 之第五電晶體 105 的閘極端子和第十電晶體 110 的閘極端子。如此，第五電晶體 105 和第十電晶體 110 被開通。在第一週期 51 中，CLK3 亦在 H 位準中，使得第十一電晶體 111 亦被開通。此外，因為高電位被供應到第七電晶體 107 的閘極端子，所以第七電晶體 107 亦被開通（見圖 3A）。

當第五電晶體 105 和第七電晶體 107 被開通時，節點 A 的電位上升。當第十電晶體 110 被開通時，節點 B 的電位下降。第五電晶體 105 的第二端子之電位為  $V_{DD}$ 。因此，第五電晶體 105 的第一端子之電位變成  $V_{DD}-V_{th105}$ ，此係藉由從第二端子的電位減去第五電晶體 105 的臨界電壓所獲得之電位。第七電晶體 107 的閘極端子之電位為  $V_{DD}$ 。因此，在第七電晶體 107 的臨界電壓之  $V_{th107}$  高於或等於  $V_{th105}$  的例子中，節點 A 的電位變成  $V_{DD}-V_{th107}$ ，藉以第七電晶體 107 被關閉。另一方面，在  $V_{th107}$  低於  $V_{th105}$  之例子中，在第七電晶體 107 保持開通的同時節點 A 的電位上升至  $V_{DD}-V_{th105}$ 。在下文中，第一週期 51 所到達之節點 A 的電位被表示作  $V_{AH}$ 。此處， $V_{th105}$  和  $V_{th107}$  分別為第五電晶體 105 的臨界電壓和第七電晶體 107 的臨界電壓。同樣可說明其他電晶體。當節點 A 的電位到達  $V_{AH}$  時，第五電晶體 105 和第七電晶體 107 被關閉；如此，在其電位保持在  $V_{AH}$  的同時使節點 A 在浮動狀態中。

當節點 A 的電位變成  $V_{AH}$  時，第一電晶體 101 和第三電晶體 103 被開通。此處，因為 CLK1 在 L 位準中，所以 L 位準訊號係輸出自第一輸出端子 26 和第二輸出端子 27。

在第二週期 52 中，CLK1 的電位從 L 位準改變成 H 位準。因為第一電晶體 101 和第三電晶體 103 是開通的，所以第一輸出端子 26 和第二輸出端子 27 的電位上升。另外，電容產生在第一電晶體 101 的閘極端子和源極端子

（或汲極端子）之間；利用電容，其閘極端子和源極端子（或汲極端子）被電容耦合。同樣地，電容產生在第三電晶體 103 的閘極端子和源極端子（或汲極端子）之間；利用電容，其閘極端子和源極端子（或汲極端子）被電容耦合。如此，浮動狀態中之節點 A 的電位隨著第一輸出端子 26 的電位和第二輸出端子 27 的電位上升（開機操作）而上升。節點 A 的電位最後變成高於  $V_{DD} + V_{th101}$ ，及第一輸出端子 26 的電位和第二輸出端子 27 的電位之每一個變成  $V_{DD}$ （H 位準）（見圖 2 及圖 3B）。

在第二週期 52 中，第十電晶體 110 是開通的；因此，節點 B 保持在 L 位準中。如此，可抑制當第一輸出端子 26 的電位從 L 位準改變成 H 位準時所發生之由於電容耦合所導致的節點 B 之電位變化，使得可防止由於電位變化所導致的故障。

在第三週期 53 中，SP1 變成 L 位準，使得第五電晶體 105 和第十電晶體 110 被關閉。另外，CLK1 保持在 H 位準中，及節點 A 的電位未改變；如此， $V_{DD}$ （H 位準訊號）係輸出自第一輸出端子 26 和第二輸出端子 27（見圖 3C）。需注意的是，在第三週期 53 中，雖然節點 B 在浮動狀態中，但是第一輸出端子 26 的電位未改變；因此，由於電容耦合所導致之故障可忽略。

在第四週期 54 中，因為 CLK2 及 CLK3 在 H 位準中，所以節點 B 的電位在短時間週期上升。另外，CLK1 變成 L 位準。結果，第二電晶體 102 和第四電晶體 104 被

開通，使得第一輸出端子 26 和第二輸出端子 27 的電位在短時間週期下降（見圖 4A）。

在第五週期 55 中，第五輸入端子 25 的電位（即、SROUT3）保持在 H 位準中，藉以保持節點 B 的電位。如此，第二電晶體 102、第四電晶體 104、和第六電晶體 106 保持開通，使得第一輸出端子 26 和第二輸出端子 27 的電位保持在 L 位準中（見圖 4B）。

在第六週期 56 中，第五輸入端子 25（即、SROUT3）變成 L 位準，使得第八電晶體 108 被關閉。此時，在保持電位的同時使節點 B 在浮動狀態中。如此，第二電晶體 102、第四電晶體 104、和第六電晶體 106 保持開通（見圖 4C）。

需注意的是，例如，節點 B 的電位由於電晶體的關閉狀態電流而下降。然而，具有足夠低的關閉狀態電流之電晶體（如、包括氧化物半導體之電晶體）未具有此種問題；如此，可抑制節點 B 的電位下降。

藉由摻雜控制包括矽之電晶體的臨界電壓，但是包括諸如氧化物半導體等寬間隙半導體之電晶體的臨界電壓無法藉由摻雜來控制。如此，在包括寬間隙半導體之電晶體中，甚至當偏壓未施加到閘極時（甚至當閘極和源極具有相同電位時），電流仍會流動在源極和汲極之間。然而，在此實施例所說明之脈衝訊號輸出電路中，使第十電晶體 110 的通道長度長於第三電晶體 103 的通道長度和第四電晶體 104 的通道長度，藉以可抑制從節點 B 所產生之漏電

流量；如此，可穩定保持節點 B 的電位。另外，使第六電晶體 106 的通道長度長於第三電晶體 103 的通道長度和第四電晶體 104 的通道長度，藉以可抑制從節點 A 所產生之漏電流量；如此，可使節點 A 中的開機操作變得穩定。也就是說，利用此實施例的結構，節點 A 的電位和節點 B 的電位仍可保持一段長時間週期；如此，例如甚至當結構被用於具有低頻的電路時，仍可防止故障。

需注意的是，爲了進一步抑制節點 B 的電位下降，可額外設置具有電連接到節點 B 之一電極的電容器 120，如圖 5A 所示。電容器 120 的另一電極例如可電連接到第一供電線 31。

另外，藉由使用具有至少兩閘極串聯排列之多閘極結構之第六電晶體 106 或第十電晶體 110，可進一步抑制節點 B 的電位下降，如圖 5B 所示。需注意的是，雖然圖 5B 圖解第六電晶體 106 和第十電晶體 110 二者都具有多閘極結構，但是可只有第六電晶體 106 和第十電晶體 110 的其中之一具有多閘極結構。當然，可組合使用圖 5A 所示之結構和圖 5B 所示之結構。

藉由使用如圖 5B 所示之具有多閘極結構的電晶體，可完成電晶體的冗餘。如此，可提高脈衝訊號輸出電路的產量。

在 CLK2 及 CLK3 二者在隨後週期都變成 H 位準之例子中，第九電晶體 109 和第十一電晶體 111 被開通，及電位被週期性供應到節點 B。因此，甚至當使用具有稍微高

的關閉狀態電流之電晶體時，仍可防止脈衝訊號輸出電路的故障。

此外，由輸出自第  $m$  脈衝訊號輸出電路之脈衝與輸出自第  $(m+1)$  脈衝訊號輸出電路之脈衝的一半重疊之驅動方法來驅動此實施例的移位暫存器。因此，與未使用驅動方法之例子比較，可以較長時間週期充電配線。也就是說，利用驅動方法，設置承受重負載和以高頻操作之脈衝訊號輸出電路。

#### (實施例 2)

在此實施例中，將參考圖 6A 至 6C、圖 7、圖 8A 至 8C、和圖 9A 及 9B 說明脈衝訊號輸出電路和具有此脈衝訊號輸出電路的移位暫存器之組態例子，它們是不同於上述實施例所說明之脈衝訊號輸出電路和移位暫存器的模式；及其操作。

#### <電路組態>

首先，將參考圖 6A 至 6C 說明脈衝訊號輸出電路和具有此脈衝訊號輸出電路的移位暫存器之電路組態的例子。

此實施例所說明之移位暫存器的組態類似於上述實施例所說明之移位暫存器的組態。它們之間的差異之一在於第三輸入端子 23 未設置在第一至第  $n$  脈衝訊號輸出電路  $10_1$  至  $10_n$  中（見圖 6A 至 6C）。即、兩種時脈訊號被

輸入到一脈衝訊號輸出電路。其他結構類似於上述實施例的結構。

因為第三輸入端子 23 未設置在第一至第  $n$  脈衝訊號輸出電路 10\_1 至 10\_n 中，所以未設置連接到第三輸入端子 23 之第十一電晶體（見圖 6C）。因此，第二輸入訊號產生電路中的連接關係被部分改變。

第二輸入訊號產生電路的組態之特有例子如下。

第九電晶體 109 的第二端子、第八電晶體 108 的第二端子、和第十電晶體 110 的第一端子係彼此電連接，並且充作第二輸入訊號產生電路的輸出端子。

經由第二供電線 32，將第二電位供應到第八電晶體 108 的第一端子和第九電晶體 109 的第一端子。經由第一供電線 31，將第一電位供應到第十電晶體 110 的第二端子。脈衝訊號被輸入到第八電晶體 108 的閘極端子。第八電晶體 108 的閘極端子充作第二輸入訊號產生電路的第一輸入端子和脈衝訊號輸出電路中的第五輸入端子 25。第二時脈訊號被輸入到第九電晶體 109 的閘極端子。第九電晶體 109 的閘極端子充作第二輸入訊號產生電路的第二輸入端子和脈衝訊號輸出電路中的第二輸入端子 22。脈衝訊號被輸入到第十電晶體 110 的閘極端子。第十電晶體 110 的閘極端子充作第二輸入訊號產生電路的第三輸入端子和脈衝訊號輸出電路中的第四輸入端子 24。

需注意的是，在此實施例所說明之脈衝訊號輸出電路中，第六電晶體 106 的通道長度長於第三電晶體 103 的通

道長度並且長於第四電晶體 104 的通道長度。另外，第十電晶體 110 的通道長度長於第三電晶體 103 的通道長度並且長於第四電晶體 104 的通道長度。如此，可減少第六電晶體 106 和第十電晶體 110 的臨界電壓位移量，使得能夠抑制劣化。

需注意的是，上述組態只是例子，及所揭示的發明並不侷限於此。

在下面此實施例的說明中，以類似於上述實施例之方式，圖 6C 所示之脈衝訊號輸出電路中第一電晶體 101 的閘極端子、第三電晶體 103 的閘極端子、和第一輸入訊號產生電路的輸出端子彼此連接之節點被稱作節點 A。此外，第二電晶體 102 的閘極端子、第四電晶體 104 的閘極端子、和第二輸入訊號產生電路的輸出端子彼此連接之節點被稱作節點 B。

用以令人滿意地執行開機操作之電容器可設置在節點 A 和第一輸出端子 26 之間。而且，爲了保持節點 B 的電位可設置電連接到節點 B 之電容器。

需注意的是，第一至第十電晶體 101 至 110 的每一個都包括氧化物半導體較佳。當電晶體包括氧化物半導體時，可減少電晶體的關閉狀態電流。另外，與包括非晶矽等等之電晶體比較，可增加包括氧化物半導體之電晶體的開通狀態電流和場效遷移率。而且，可抑制電晶體的劣化。如此，可實現消耗低電力、可以高速操作、以更高準確性來操作之電路。需注意的是，因爲下面實施例將詳細

說明，所以此處省略包括氧化物半導體之電晶體的說明。

### <操作>

接著，將參考圖 7、圖 8A 至 8C、和圖 9A 及 9B 來說明圖 6A 至 6C 所示之移位暫存器的操作。尤其是，將參考圖 8A 至 8C 和圖 9A 及 9B 說明圖 7 所示的時序圖中之第一至第五週期 51 至 55 的每一個之操作。在時序圖中，CLK1 至 CLK4 表示時脈訊號；SP1 表示第一起始脈衝；OUT1 至 OUT4 表示來自第一至第四脈衝訊號輸出電路 10\_1 至 10\_4 之第二輸出端子的輸出；節點 A 及 B 表示節點 A 及 B 的電位；和 SROUT1 至 SROUT4 表示來自第一至第四脈衝訊號輸出電路 10\_1 至 10\_4 之第一輸出端子的輸出。

需注意的是，在下面說明中，第一至第十電晶體 101 至 110 都是 n 通道電晶體。另外，在圖 8A 至 8C 和圖 9A 及 9B 中，由實線所指出之電晶體意指電晶體在導電狀態中 (on)，及由虛線所指出之電晶體意指電晶體在非導電狀態中 (off)。

說明第一脈衝訊號輸出電路 10\_1 的典型操作。第一脈衝訊號輸出電路 10\_1 的組態如上述。另外，所輸入的訊號和所供應的電位之間的關係如上述。需注意的是，在下面說明中， $V_{DD}$  被用於欲待供應到輸入端子和供電線之所有高電位 (亦稱作 H 位準、H 位準訊號等等)，及  $V_{SS}$  被用於欲待供應到輸入端子和供電線之所有低電位 (亦稱

作 L 位準、L 位準訊號等等)。

在第一週期 51 中，SP1 在 H 位準中，使得高電位被供應到充作第一脈衝訊號輸出電路 10<sub>1</sub> 中的第四輸入端子 24 之第五電晶體 105 的閘極端子和第十電晶體 110 的閘極端子。如此，第五電晶體 105 和第十電晶體 110 被開通。此外，因為高電位被供應到第七電晶體 107 的閘極端子，所以第七電晶體 107 亦被開通（見圖 8A）。

當第五電晶體 105 和第七電晶體 107 被開通時，節點 A 的電位上升。當第十電晶體 110 被開通時，節點 B 的電位下降。第五電晶體 105 的第二端子之電位為  $V_{DD}$ 。因此，第五電晶體 105 的第一端子之電位變成  $V_{DD}-V_{th105}$ ，此係藉由從第二端子的電位減去第五電晶體 105 的臨界電壓所獲得之電位。第七電晶體 107 的閘極端子之電位為  $V_{DD}$ 。因此，在第七電晶體 107 的臨界電壓之  $V_{th107}$  高於或等於  $V_{th105}$  的例子中，節點 A 的電位變成  $V_{DD}-V_{th107}$ ，藉以第七電晶體 107 被關閉。另一方面，在  $V_{th107}$  低於  $V_{th105}$  之例子中，在第七電晶體 107 保持開通的同時節點 A 的電位上升至  $V_{DD}-V_{th105}$ 。在下文中，第一週期 51 所到達之節點 A 的電位被表示作  $V_{AH}$ 。當節點 A 的電位到達  $V_{AH}$  時，第五電晶體 105 和第七電晶體 107 被關閉；如此，在其電位保持在  $V_{AH}$  的同時使節點 A 在浮動狀態中。

當節點 A 的電位變成  $V_{AH}$  時，第一電晶體 101 和第三電晶體 103 被開通。此處，因為 CLK1 在 L 位準中，所以 L 位準訊號係輸出自第一輸出端子 26 和第二輸出端子

27。

在第二週期 52 中，CLK1 的電位從 L 位準改變成 H 位準。因為第一電晶體 101 和第三電晶體 103 是開通的，所以第一輸出端子 26 和第二輸出端子 27 的電位上升。另外，電容產生在第一電晶體 101 的閘極端子和源極端子（或汲極端子）之間；利用電容，其閘極端子和源極端子（或汲極端子）被電容耦合。同樣地，電容產生在第三電晶體 103 的閘極端子和源極端子（或汲極端子）之間；利用電容，其閘極端子和源極端子（或汲極端子）被電容耦合。如此，浮動狀態中之節點 A 的電位隨著第一輸出端子 26 的電位和第二輸出端子 27 的電位上升（開機操作）而上升。節點 A 的電位最後變成高於  $V_{DD}+V_{th101}$ ，及第一輸出端子 26 的電位和第二輸出端子 27 的電位之每一個變成  $V_{DD}$ （H 位準）（見圖 7 及圖 8B）。

在第三週期 53 中，CLK2 變成 H 位準，及第九電晶體 109 被開通。因此，節點 B 的電位上升。當節點 B 的電位上升時，第二電晶體 102、第四電晶體 104 和第六電晶體 106 被開通及節點 A 的電位下降。因此，第一輸出端子 26 的電位和第二輸出端子 27 的電位變成 L 位準（見圖 8C）。

在第四週期 54 中，CLK2 變成 L 位準，及第九電晶體 109 被關閉。第五輸入端子 25（即、SROUT3）變成 H 位準，及第八電晶體 108 被開通。因此，節點 A 的電位和節點 B 的電位被保持，及第一輸出端子 26 的電位和第二

輸出端子 27 的電位保持在 L 位準中（見圖 9A）。

在第五週期 55 中，第五輸入端子 25 的電位（即、SROUT3）變成 L 位準，藉以保持節點 B 的電位。如此，第二電晶體 102、第四電晶體 104、和第六電晶體 106 保持開通，使得第一輸出端子 26 和第二輸出端子 27 的電位保持在 L 位準中（見圖 9B）。

需注意的是，例如，節點 B 的電位由於電晶體的關閉狀態電流而下降。然而，具有足夠低的關閉狀態電流之電晶體（如、包括氧化物半導體之電晶體）未具有此種問題。

藉由摻雜控制包括矽之電晶體的臨界電壓，但是包括諸如氧化物半導體等寬間隙半導體之電晶體的臨界電壓無法藉由摻雜來控制。如此，在包括寬間隙半導體之電晶體中，甚至當偏壓未施加到閘極時（甚至當閘極和源極具有相同電位時），電流仍會流動在源極和汲極之間。然而，在此實施例所說明之脈衝訊號輸出電路中，使第十電晶體 110 的通道長度長於第三電晶體 103 的通道長度和第四電晶體 104 的通道長度，藉以可抑制從節點 B 所產生之漏電流量；如此，可穩定保持節點 B 的電位。另外，使第六電晶體 106 的通道長度長於第三電晶體 103 的通道長度和第四電晶體 104 的通道長度，藉以可抑制從節點 A 所產生之漏電流量；如此，可使節點 A 中的開機操作變得穩定。也就是說，利用此實施例的結構，節點 A 的電位和節點 B 的電位仍可保持一段長時間週期；如此，例如甚至當結構

被用於具有低頻的電路時，仍可防止故障。

需注意的是，爲了進一步抑制節點 B 的電位下降，可額外設置具有電連接到節點 B 之一電極的電容器 120，如圖 10A 所示。電容器 120 的另一電極例如可電連接到第一供電線 31。

另外，藉由使用具有至少兩閘極串聯排列之多閘極結構之第六電晶體 106 或第十電晶體 110，可進一步抑制節點 B 的電位下降，如圖 10B 所示。需注意的是，雖然圖 10B 圖解第六電晶體 106 和第十電晶體 110 二者都具有多閘極結構，但是可只有第六電晶體 106 和第十電晶體 110 的其中之一具有多閘極結構。當然，可組合使用圖 10A 所示之結構和圖 10B 所示之結構。

藉由使用如圖 10B 所示之具有多閘極結構的電晶體，可完成電晶體的冗餘。如此，可提高脈衝訊號輸出電路的產量。

在 CLK2 在隨後週期變成 H 位準之例子中，第九電晶體 109 被開通，及電位被週期性供應到節點 B。因此，甚至當使用具有稍微高的關閉狀態電流之電晶體時，仍可防止脈衝訊號輸出電路的故障。

如上述，此實施例所說明之結構、方法等等可與其他實施例所說明之結構、方法等等的任一者適當組合。

### （實施例 3）

在此實施例中，參考圖 11A 至 11D 說明可用於上述

實施例所說明之脈衝訊號輸出電路和移位暫存器的電晶體之例子。並未特別限制電晶體的結構。例如，可利用諸如頂閘極結構、底閘極結構、交錯式結構、或平面結構等適當結構。另一選擇是，電晶體可具有形成一通道形成區之單閘極結構或者形成二或多個通道形成區之多閘極結構。另一選擇是，電晶體可具有兩閘極電極層係形成在通道區之上和之下，且閘極絕緣層設置在其間之結構。

圖 11A 至 11D 圖解電晶體的橫剖面結構之例子。圖 11A 至 11D 所示之電晶體各包括氧化物半導體作為半導體。使用氧化物半導體之有利點為藉由簡易的低溫處理可獲得之高遷移率和低關閉狀態電流。

圖 11A 所示之電晶體 410 為底閘極電晶體的例子，及亦被稱作反相交錯式電晶體。

電晶體 410 包括設置在具有絕緣表面的基板 400 之上的閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極電極層 405a、和汲極電極層 405b。另外，設置與氧化物半導體層 403 相接觸之絕緣層 407。保護絕緣層 409 係形成在絕緣層 407 之上。

圖 11B 所示之電晶體 420 為被稱作通道保護（通道停止）電晶體之底閘極電晶體，及亦被稱作反相交錯式電晶體。

電晶體 420 包括設置在具有絕緣表面的基板 400 之上的閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、充作通道保護層之絕緣層 427、源極電極層 405a、

和汲極電極層 405b。另外，設置保護絕緣層 409。

圖 11C 所示之電晶體 430 為底閘極電晶體的例子。電晶體 430 包括設置在具有絕緣表面的基板 400 之上的閘極電極層 401、閘極絕緣層 402、源極電極層 405a、汲極電極層 405b、和氧化物半導體層 403。另外，設置與氧化物半導體層 403 相接觸之絕緣層 407。而且，保護絕緣層 409 係形成在絕緣層 407 之上。

在電晶體 430 中，閘極絕緣層 402 係設置在基板 400 和閘極電極層 401 上並且與基板 400 和閘極電極層 401 相接觸，及源極電極層 405a 和汲極電極層 405b 係設置在閘極絕緣層 402 上並且與閘極絕緣層 402 相接觸。另外，氧化物半導體層 403 係設置在閘極絕緣層 402、源極電極層 405a、和汲極電極層 405b 之上。

圖 11D 所示之電晶體 440 為頂閘極電晶體的例子。電晶體 440 包括設置在具有絕緣表面的基板 400 之上的絕緣層 437、氧化物半導體層 403、源極電極層 405a、汲極電極層 405b、閘極絕緣層 402、和閘極電極層 401。配線層 436a 和配線層 436b 係設置成分別與源極電極層 405a 和汲極電極層 405b 相接觸。

在此實施例中，如上述，氧化物半導體層 403 被使用作為半導體層。作為用於氧化物半導體層 403 之氧化物半導體，可使用四金屬元素之氧化物，諸如 In-Sn-Ga-Zn-O 類氧化物半導體等；三金屬元素之氧化物，諸如 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-

Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、或 Sn-Al-Zn-O 類氧化物半導體等；兩金屬元素之氧化物，諸如 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、或 In-Mg-O 類氧化物半導體等；In-O 類氧化物半導體，Sn-O 類氧化物半導體，或 Zn-O 類氧化物半導體。另外，SiO<sub>2</sub> 可添加到氧化物半導體。此處，In-Ga-Zn-O 類氧化物半導體為包括至少 In（銦）、Ga（鎵）、及 Zn（鋅）之氧化物，及並未特別限制其組成比。而且，In-Ga-Zn-O 類氧化物半導體可含有除了 In（銦）、Ga（鎵）、及 Zn（鋅）以外的元素。

關於氧化物半導體層 403，可使用以化學式  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示之氧化物半導體。此處，M 表示選自 Ga、Al（鋁）、Mn（錳）、或 Co（鈷）之一或多個金屬元素。例如，M 可以是 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等等。

可大幅減少包括氧化物半導體層 403 之電晶體 410、電晶體 420、電晶體 430、及電晶體 440 的關閉狀態電流。如此，當此種電晶體被用於脈衝訊號輸出電路和移位暫存器時，各節點的電位能夠容易保持，使得脈衝訊號輸出電路和移位暫存器的故障可能性大幅降低。

並未特別限制可被使用作為具有絕緣表面的基板 400 之基板。例如，可使用用於液晶顯示裝置等等之玻璃基

板、石英基板等等。另一選擇是，例如可使用絕緣層形成在矽晶圓之上的基板。

在底閘極電晶體 410、420、及 430 的每一個中，充作基膜之絕緣膜可設置在基板和閘極電極層之間。絕緣層具有防止雜質元素從基板擴散之功能，及可被形成具有包括選自氮化矽膜、氧化矽膜、氧氮化矽膜、或氮氧化矽膜的一或多個膜之單層結構或層式結構。

閘極電極層 401 係可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳等金屬材料，或者包括這些材料的任一者作為其主要成分之合金材料來形成。閘極電極層 401 可具有單層結構或層式結構。

可藉由電漿增強型 CVD 法、濺鍍法等等，使用選自氧化矽膜、氮化矽膜、氮氧化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、氧氮化鋁膜、氧化鉛膜等等的一或多個膜來形成閘極絕緣層 402。例如，可以藉由電漿增強型 CVD 法，形成具有厚度 50 至 200 nm 之氮化矽膜 ( $\text{SiN}_y$  ( $y>0$ )) 作為第一閘極絕緣層，及藉由濺鍍法在第一閘極絕緣層之上堆疊具有厚度 5 至 300 nm 之氧化矽膜 ( $\text{SiO}_x$  ( $x>0$ )) 作為第二閘極絕緣層的此種方式來形成具有總厚度約 300 nm 之閘極絕緣層。

源極電極層 405a 和汲極電極層 405b 係可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳等金屬材料，或者包括這些材料的任一者作為其主要成分之合金材料來形成。例如，源極電極層 405a 和汲極電極層 405b 可具有包

括鋁、銅等等之金屬層和包括鈦、鉬、鎢等等之耐火金屬層的層式結構。藉由使用添加用以防止產生小丘和鬚狀物之元素（如、矽、鈹、或鈦）之鋁材可提高耐熱性。

另一選擇是，可使用導電金屬氧化物膜作為充作源極電極層 405a 和汲極電極層 405b（包括使用與源極電極層 405a 和汲極電極層 405b 相同的層所形成之配線層）之導電膜。可使用氧化銦（ $\text{In}_2\text{O}_3$ ）、氧化錫（ $\text{SnO}_2$ ）、氧化鋅（ $\text{ZnO}$ ）、氧化銦和氧化錫的合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，在某些例子中縮寫作 ITO）、氧化銦和氧化鋅的合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、包括氧化矽之這些金屬氧化物材料的任一者等等作為導電金屬氧化物。

分別與源極電極層 405a 和汲極電極層 405b 相接觸之配線層 436a 和配線層 436b 係可使用類似於源極電極層 405a 和汲極電極層 405b 的材料之材料來形成。

關於絕緣層 407、427、及 437 的每一個，典型上可使用諸如氧化矽膜、氮氧化矽膜、氧化鋁膜、或氮氧化鋁膜等無機絕緣膜。

關於保護絕緣層 409，可使用諸如氮化矽膜、氮化鋁膜、氧氮化矽膜、或氧氮化鋁膜等無機絕緣膜。

此外，用以減少由於電晶體所導致的表面不均勻之平面化絕緣膜係可形成在保護絕緣層 409 之上。關於平面化絕緣膜，可使用諸如聚醯亞胺、丙烯酸、或苯環丁烯等有機材料。除了此種有機材料之外，還可使用低介電常數材料（低 k 材料）等等。需注意的是，平面化絕緣膜係可藉

由堆疊包括這些材料的複數個絕緣膜來形成。

如上述，此實施例所說明之結構、方法等等可與其他實施例所說明之結構、方法等等的任一者適當組合。

(實施例 4)

在此實施例中，將參考圖 12A 至 12E 詳細說明包括氧化物半導體層之電晶體的例子和其製造方法的例子。

圖 12A 至 12E 為電晶體的製造處理之橫剖面圖。此處所圖解之電晶體 510 為類似於圖 11A 所示之電晶體 410 的反相交錯式電晶體。

用於此實施例之半導體層的氧化物半導體為 i 型（本徵）氧化物半導體或實質上為 i 型（本徵）氧化物半導體。i 型（本徵）氧化物半導體或實質上為 i 型（本徵）氧化物半導體係以從氧化物半導體層去除 n 型雜質之氫，及氧化物半導體被淨化，以便含有盡可能少之非氧化物半導體的主要成分之雜質的此種方式所獲得。

需注意的是，淨化的氧化物半導體包括極少的載子，及載子濃度低於  $1 \times 10^{14} / \text{cm}^3$ 、低於  $1 \times 10^{12} / \text{cm}^3$  較佳、低於  $1 \times 10^{11} / \text{cm}^3$  更好。此種少的載子使關閉狀態中的電流（關閉狀態電流）能夠足夠小。

尤其是，在包括上述氧化物半導體層之電晶體中，在電晶體的通道長度  $L$  為  $10 \mu\text{m}$  及源極-汲極電壓為  $3 \text{ V}$  之條件下，室溫（ $25^\circ\text{C}$ ）中的每一  $1 \mu\text{m}$  通道寬度之關閉狀態電流密度可以是  $100 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ）或更低、

或者進一步  $10 \text{ zA}/\mu\text{m}$  ( $1 \times 10^{-20} \text{ A}/\mu\text{m}$ ) 或更低。

包括淨化的氧化物半導體層之電晶體 510 幾乎不具有開通狀態電流的溫度相依性，並且亦具有極低的關閉狀態電流。

將參考圖 12A 至 12E 說明在基板 505 之上製造電晶體 510 的處理。

首先，導電膜係形成在具有絕緣表面的基板 505 之上，而後經由第一光致微影處理行程閘極電極層 511。需注意的是，光致微影處理所使用之抗蝕遮罩係可藉由噴墨法來形成。以噴墨法形成第一抗蝕遮罩不需要光遮罩；如此，可減少製造成本。

作為具有絕緣表面之基板 505，可使用類似於上述實施例所說明之基板 400 的基板。在此實施例中，使用玻璃基板作為基板 505。

充作基膜之絕緣層係可設置在基板 505 和閘極電極層 511 之間。絕緣層具有防止雜質元素從基板 505 擴散之功能，及可由選自氮化矽膜、氧化矽膜、氧氮化矽膜、或氮氧化矽膜等等之一或多個膜所形成。

閘極電極層 511 係可使用諸如鋁、鈦、鉻、鉭、鎢、鉛、銅、鈹、或鈳等金屬材料，或者包括這些材料的任一者作為其主要成分之合金材料來形成。閘極電極層 511 可具有單層結構或層式結構。

接著，閘極絕緣層 507 係形成在閘極電極層 511 之上。可藉由電漿增強型 CVD 法、濺鍍法等等來形成閘極

絕緣層 507。閘極絕緣層 507 係可由選自氧化矽膜、氮化矽膜、氮氧化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、氧氮化鋁膜、氧化鉛膜等等的一或多個膜來形成。

另外，爲了在閘極絕緣層 507 和氧化物半導體膜 503 中含有盡可能少的氫、氫氧根、和濕氣，在濺鍍設備的預熱室中預熱在其上形成閘極電極層 511 之基板 505 或者在其上形成閘極電極層 511 和閘極絕緣層 507 之基板 505 作爲用於形成氧化物半導體膜 530 的預處理較佳，使得吸附於基板 505 上之諸如氫和濕氣等雜質被消除。作爲抽空單元，設置低溫泵給預熱室較佳。可在其上形成上至且包括源極電極層 515a 和汲極電極層 515b 之基板 505 上執行此預熱步驟。需注意的是，可省略此預熱處理。

接著，在閘極絕緣層 507 之上，形成具有厚度大於或等於 2 nm 及小於或等於 200 nm、大於或等於 5 nm 及小於或等於 30 nm 較佳之氧化物半導體膜 530（見圖 12A）。

關於氧化物半導體膜 530，可使用上述實施例所說明之四成分金屬氧化物、三成分金屬氧化物、兩成分金屬氧化物、In-O 類氧化物半導體、Sn-O 類氧化物半導體、Zn-O 類氧化物半導體等等任一者。

作爲藉由濺鍍法形成氧化物半導體膜 530 之靶材，尤其是使用具有組成比  $\text{In:Ga:Zn} = 1:x:y$ （ $x$  爲 0 或更大及  $y$  爲大於或等於 0.5 及小於或等於 5）之靶材較佳。例如，

可使用具有組成比  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$ [莫耳比]之靶材。另一選擇是，可使用具有組成比  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ [莫耳比]之靶材、具有組成比  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:4$ [莫耳比]之靶材、或具有組成比  $\text{In}_2\text{O}_3:\text{ZnO} = 1:2$ [莫耳比]之靶材。

在此實施例中，具有非晶結構之氧化物半導體層係使用 In-Ga-Zn-O 類金屬氧化物靶材，藉由濺鍍法所形成。

金屬氧化物靶材中的金屬氧化物之相對密度大於或等於 80%、大於或等於 95%較佳、及大於或等於 99.9%更好。使用具有高相對密度之金屬氧化物靶材使其能夠形成具有濃密結構之氧化物半導體層。

形成氧化物半導體膜 530 之大氣為稀有氣體（典型上為氬）大氣、氧大氣、或含稀有氣體（典型上為氬）和氧之混合大氣較佳。尤其是，使用例如去除諸如氫、水、氫氧根、或氫化物等雜質，使得雜質濃度為 1 ppm 或更低（雜質濃度為 10 ppb 或更低較佳）之高純度氣體的大氣較佳。

在形成氧化物半導體膜 530 時，例如，處理物體被支托在維持於降壓之下的處理室中，及處理物體可被加熱，使得處理物體的溫度高於或等於 100°C 及低於 550°C、高於或等於 200°C 及低於或等於 400°C 較佳。另一選擇是，形成氧化物半導體膜 530 時之處理物體的溫度可以是室溫（25°C ±10°C）。然後，在去除處理室中的濕氣同時引進氫、水等被去除之濺鍍氣體，及使用上述靶材，藉以形成

氧化物半導體膜 530。在加熱處理物體的同時形成氧化物半導體膜 530，使得能夠減少氧化物半導體層中所含有的雜質。另外，可減少由於濺鍍所導致的破壞。為了去除處理室中的濕氣，使用誘捕式真空泵較佳。例如，可使用低溫泵、離子泵、或鈦昇華泵等等。另一選擇是，可使用設置有冷阱之渦輪分子泵。藉由以低溫泵等等的抽空，可從處理室去除氫、水等等，藉以可減少氧化物半導體膜 530 中的雜質濃度。

例如可在下面條件之下形成氧化物半導體膜 530：處理物體和靶材之間的距離為 170 mm，壓力為 0.4 Pa，直流（DC）電力為 0.5 kW，及大氣為氧大氣（氧的比例為 100%）、氫大氣（氫的比例為 100%）、或包括氧和氫之混合大氣。使用脈衝直流（DC）電源較佳，因為可減少膜形成時所產生的粉末物質（亦稱作粒子或灰塵）及可使膜厚度均勻。氧化物半導體膜 530 的厚度大於或等於 1 nm 及低於或等於 50 nm、大於或等於 1 nm 及低於或等於 30 nm 較佳、大於或等於 1 nm 及低於或等於 10 nm 更好。利用具有此種厚度之氧化物半導體膜 530，可抑制由於微型化所導致之短通道效應。需注意的是，適當厚度依據所使用的氧化物半導體材料、半導體裝置的預期使用等等而有所不同；因此，可根據材料、預期使用等等來決定厚度。

需注意的是，在藉由濺鍍法形成氧化物半導體膜 530 之前，附著於欲待形成氧化物半導體膜 530 之表面（如、

閘極絕緣層 507 的表面) 的物質係藉由引進氬氣和產生電漿之逆向濺鍍來去除較佳。此處，逆向濺鍍為離子與處理表面碰撞，使得表面被修改之方法，與離子與濺鍍靶材碰撞之一般濺鍍相反。作為用以使離子與處理表面碰撞之方法的例子，具有在氬大氣中施加高頻電壓到處理表面，使得在處理物體附近產生電漿之方法。需注意的是，可使用氮、氬、氧等等的大氣來取代氬大氣。

接著，經由第二光致微影處理將氧化物半導體膜 530 處理成島型氧化物半導體層。需注意的是，光致微影處理所使用的抗蝕遮罩係藉由噴墨法所形成。以噴墨法形成抗蝕遮罩不需要光遮罩；如此，可減少製造成本。

在閘極絕緣層 507 中形成接觸孔之例子中，可與處理氧化物半導體膜 530 同時執行形成接觸孔的步驟。

作為氧化物半導體膜 530 的蝕刻，可利用濕蝕刻或乾蝕刻或它們二者。作為用於氧化物半導體膜 530 的濕蝕刻之蝕刻劑，可使用藉由混合磷酸、乙酸、硝酸等等所獲得之溶液。亦可使用諸如 ITO-07N (由 KANTO 化學股份有限公司所製造) 等蝕刻劑。

然後，在氧化物半導體層上執行熱處理 (第一熱處理)，使得氧化物半導體層 531 被形成 (見圖 12B)。藉由第一熱處理，去除氧化物半導體層中過量的氫 (包括水和氫氧根)，及改良氧化物半導體層的結構，使得能夠減少能帶隙中的缺陷位準。第一熱處理的溫度例如高於或等於 300°C 及小於或等於 550°C、高於或等於 400°C 及低於

或等於 500°C 較佳。

可以例如將處理物體引進使用電阻加熱元件等等之電爐，及在氮大氣之下以 450°C 加熱一小時的此種方式來執行熱處理。在熱處理期間，氧化物半導體層未暴露至空氣，以防止受到水和氫的污染。

熱處理設備並不侷限於電爐；熱處理設備可以是使用來自諸如加熱氣體等媒體的熱傳導或熱輻射加熱處理物體之設備。例如，能夠使用諸如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備等 RTA（快速熱退火）設備。LRTA 設備為用以藉由從諸如鹵素燈、金屬鹵化物燈、氙弧光燈、碳弧光燈、高壓鈉燈、或高壓水銀燈等燈所發出的光之輻射（電磁波）來加熱處理物體之設備。GRTA 設備為使用高溫氣體來執行熱處理之設備。作為氣體，使用不由於熱處理而與處理物體起反應之鈍氣，諸如氮或諸如氫等稀有氣體等。

例如，作為第一熱處理，可以下面方式執行 GRTA 處理。將處理物體置放在已加熱之鈍氣大氣中，加熱幾分鐘，而後從鈍氣大氣中取出。GRTA 處理能夠短時間高溫熱處理。而且，在 GRTA 處理中，甚至可利用超過處理物體的溫度上限之溫度的條件。需注意的是，可在處理期間將鈍氣改變成包括氧之氣體。這是因為藉由在包括氧之大氣中執行第一熱處理可減少由於氧不足所導致的能帶隙之缺陷位準。

需注意的是，作為鈍氣大氣，使用含氮或稀有氣體



(如、氮、氬、或氫)作為其主要成分並且不含水、氫等等之大氣較佳。例如，引進熱處理設備之氮或諸如氮、氬、或氫等稀有氣體的純度被設定 6N (99.9999%) 或更大，7N (99.99999%) 或更大較佳 (即、雜質濃度為 1 ppm 或更低，0.1 ppm 或更低較佳)。

在任一例子中，藉由第一熱處理減少雜質，使得能夠獲得 i 型 (本徵) 或實質上為 i 型氧化物半導體層。因此，可實現具有絕佳特性之電晶體。

上述熱處理 (第一熱處理) 具有去除氫、水等等之效果，如此可被稱作脫水處理、除氫處理等等。可在形成氧化物半導體膜 530 之後和將氧化物半導體膜 530 處理成島型氧化物半導體層之前執行脫水處理或除氫處理。此種脫水處理或除氫處理可被執行一次或多次。

可在下面時序的任一者執行第一熱處理來取代上述時序：在形成源極電極層和汲極電極層之後，在形成絕緣層於源極電極層和汲極電極層之上之後等等。

接著，欲成為源極電極層和汲極電極層 (包括從與源極電極層和汲極電極層相同的層所形成之配線) 之導電膜係形成在閘極絕緣層 507 和氧化物半導體層 531 之上。用以形成源極電極層和汲極電極層之導電膜係可使用上述實施例所說明之材料的任一者來形成。

在第三光致微影處理中，抗蝕遮罩係形成在導電膜之上，及源極電極層 515a 和汲極電極層 515b 係藉由選擇性蝕刻來形成，而後去除抗蝕遮罩 (見圖 12C)。

可使用紫外光、KrF 雷射光、或 ArF 雷射光來執行第三光致微影處理中形成抗蝕遮罩時的曝光。需注意的是，由源極電極層和汲極電極層之間的距離來決定電晶體的通道長度 ( $L$ )。因此，在用以形成用於具有通道長度 ( $L$ ) 小於 25 nm 之電晶體的遮罩之曝光中，使用波長短如幾奈米至幾十奈米的超紫外光較佳。在使用超紫外光的曝光中，解析度高及焦點深度大。因為這些理由，稍後欲待形成之電晶體的通道長度 ( $L$ ) 可大於或等於 10nm 及小於或等於 1000 nm ( $1\mu\text{m}$ )，及可以高速操作電路。而且，可藉由微型化來減少半導體裝置的電力消耗。

爲了減少光遮罩數目和光致微影處理數目，可使用以多色調遮罩所形成之抗蝕遮罩來執行。因為以多色調所形成之抗蝕遮罩包括複數個厚度的區域，及可藉由執行蝕刻進一步改變形狀，所以可將抗蝕遮罩用於複數個蝕刻步驟以提供不同圖案。因此，對應於至少兩種不同圖案之抗蝕遮罩係可以一多色調遮罩來形成。如此，可減少曝光遮罩的數目以及亦可減少對應的光致微影處理數目，藉以可實現處理的簡化。

需注意的是，較佳的是，將蝕刻條件最佳化，以便當蝕刻導電膜時不蝕刻和分割氧化物半導體層 531。然而，難以獲得只蝕刻導電膜而一點都不蝕刻到氧化物半導體層 531 之蝕刻條件。在某些例子中，當蝕刻導電膜時蝕刻氧化物半導體層 531 的部分，藉以形成具有溝槽部（凹下部）之氧化物半導體層 531。

可將濕蝕刻或乾蝕刻用於導電膜的蝕刻。需注意的是，鑑於元件的微型化使用乾蝕刻較佳。根據欲待蝕刻的材料，可適當選擇蝕刻氣體和蝕刻劑。在此實施例中，使用鈦膜作為導電膜，及將 In-Ga-Zn-O 類材料用於氧化物半導體層 531；因此，在利用濕蝕刻之例子中，使用過氧化氫（氫、水、和過氧化氫的混合溶液）作為蝕刻劑。

接著，執行使用諸如  $N_2O$ 、 $N_2$ 、或 Ar 等氣體的電漿處理較佳，使得附著於氧化物半導體層的露出部位之表面的水、氫等等可被去除。在執行電漿處理之例子中，在電漿處理之後，氧化物半導體層未暴露至空氣之下，形成充作保護絕緣膜之絕緣層 516。

藉由諸如濺鍍法等諸如水或氫等雜質未引進絕緣層 516 之方法，將絕緣層 516 形成至厚度至少 1 nm 較佳。當絕緣層 516 含有氫時，使得氫能夠進入氧化物半導體層，或由氫擷取氧化物半導體層中的氧，藉以使氧化物半導體層之背通道能夠具有較低電阻（具有 n 型導電性），使得可形成寄生通道。作為絕緣層 516，使用氧化矽膜、氮氧化矽膜、氧化鋁膜、氮氧化鋁膜等等較佳。

在此實施例中，藉由濺鍍法將氧化矽膜形成至厚度 200 nm 作為絕緣層 516。沉積時之基板溫度可高於或等於室溫（ $25^\circ\text{C}$ ）及低於或等於  $300^\circ\text{C}$  及在此實施例為  $100^\circ\text{C}$ 。可在稀有氣體（典型上為氬）大氣、氧大氣、或含稀有氣體和氧之混合大氣中，以濺鍍法沉積氧化矽膜。作為靶材，可使用氧化矽靶材或矽靶材。

爲了在與沉積氧化物半導體膜 530 同時去除絕緣層 516 的沉積室中所剩餘之濕氣，使用誘捕式真空泵（諸如低溫泵等）較佳。當在使用低溫泵抽空之沉積室中沉積絕緣層 516 時，可減少絕緣層 516 中的雜質濃度。可使用設置有冷阱之渦輪分子泵作爲用以去除形成絕緣層 516 所使用之沉積室中所剩餘的濕氣之抽空單元。

形成絕緣層 516 所使用之濺鍍氣體爲去除諸如氫或水等雜質之高純度氣體較佳。

接著，在鈍氣大氣或氧氣大氣中執行第二熱處理。以溫度高於或等於 200°C 及低於或等於 450°C、高於或等於 250°C 及低於或等於 350°C 較佳來執行第二熱處理。例如，可在氮大氣中以 250°C 執行熱處理達一小時。第二熱處理可減少電晶體的電特性變化。藉由從絕緣層 516 供應氧到氧化物半導體層 531，降低氧化物半導體層 531 中的氧空位，藉以可形成 i 型（本徵）或實質上爲 i 型氧化物半導體層。

在此實施例中，在形成絕緣層 516 之後執行第二熱處理；然而，第二熱處理的時序並不侷限於此。例如，可連續執行第一熱處理和第二熱處理，或可加倍第一熱處理作爲第二熱處理。

以上述方式，經由第一熱處理和第二熱處理，氧化物半導體層 531 被淨化，以便含有盡可能少的非氧化物半導體層的主要成分之雜質，藉以氧化物半導體層 531 可變成 i 型（本徵）氧化物半導體層。

經由上述處理，形成電晶體 510（見圖 12D）。

另外形成保護絕緣層 506 在絕緣層 516 之上較佳（見圖 12E）。保護絕緣層 506 防止氫、水等等從外面進入。作為保護絕緣層 506，例如，可使用氮化矽膜、氮化鋁膜等等。並未特別限制保護絕緣層 506 的形成方法；然而，RF 濺鍍法適用於形成保護絕緣層 506，因為其達成高生產力。

在形成保護絕緣層 506 之後，可在空氣中，以溫度高於或等於 100℃ 及低於或等於 200℃，進一步執行熱處理達 1 小時至 30 小時。

包括淨化的氧化物半導體層並且根據如上述之此實施例所製造的電晶體具有明顯小的關閉狀態電流之特性。因此，藉由使用此種電晶體，可容易保持節點的電位。將此種電晶體用於脈衝訊號輸出電路和移位暫存器可明顯減少導致脈衝訊號輸出電路和移位暫存器的故障之機率。

如上述，此實施例所說明之結構、方法等等可與其他實施例所說明之結構、方法等等的任一者適當組合。

#### （實施例 5）

藉由使用實施例 1 或實施例 2 圖解說明其例子之移位暫存器，可製造具有顯示功能之半導體裝置（亦稱作顯示裝置）。另外，可將驅動器電路的部分或整個形成在與像素部相同的基板之上，藉以可獲得系統面板。

作為用於顯示裝置之顯示元件，可使用液晶元件（亦

稱作液晶顯示元件)或發光元件(亦稱作發光顯示元件)。發光元件包括其亮度受電流或電壓控制之元件在其種類中，尤其是包括無機電致發光(EL)元件、有機 EL 元件等等在其種類中。而且，可使用由電效果改變其對比之顯示媒體，諸如電子紙等。

在圖 13A 中，密封劑 4005 被設置，以便圍繞設置在第一基板 4001 之上的像素部 4002，及像素部 4002 被密封在第一基板 4001 和第二基板 4006 之間。在圖 13A 中，形成在分開備製的基板之上的掃描線驅動器電路 4004 和訊號線驅動器電路 4003 安裝在未包括於第一基板 4001 之上密封劑 4005 所圍繞的區域中。另外，從撓性印刷電路(FPC) 4018a 及 4018b 供應各種訊號和電位到分開形成之訊號線驅動器電路 4003 及掃描線驅動器電路 4004 或像素部 4002。

在圖 13B 及 13C 中，密封劑 4005 被設置，以便圍繞設置在第一基板 4001 之上的像素部 4002 和掃描線驅動器電路 4004。第二基板 4006 被設置在像素部 4002 和掃描線驅動器電路 4004 之上。結果，藉由第一基板 4001、密封劑 4005、及第二基板 4006，將像素部 4002 和掃描線驅動器電路 4004 與顯示元件密封在一起。在圖 13B 及 13C 中，形成在分開備製的基板之上的訊號線驅動器電路 4003 被安裝在不同於在第一基板 4001 之上由密封劑 4005 所圍繞的區域之區域中。在圖 13B 及 13C 中，從 FPC 4018 供應各種訊號和電位到分開形成之訊號線驅動器電

路 4003 及掃描線驅動器電路 4004 或像素部 4002。

雖然圖 13B 及 13C 各圖解訊號線驅動器電路 4003 被分開形成和安裝在第一基板 4001 之上的例子，但是本發明並不侷限於此結構。掃描線驅動器電路可被分開形成而後安裝，或者只分開形成而後安裝部分訊號線驅動器電路或部分掃描線驅動器電路。

需注意的是，並未特別限制分開形成的驅動器電路之連接方法，可使用玻璃上晶片（COG）法、佈線接合法、捲帶自動接合（TAB）法等。圖 13A 圖解藉由 COG 法安裝訊號線驅動器電路 4003 和掃描線驅動器電路 4004 之例子。圖 13B 圖解藉由 COG 法安裝訊號線驅動器電路 4003 之例子。圖 13C 圖解藉由 TAB 法安裝訊號線驅動器電路 4003 之例子。

此外，顯示裝置包括密封顯示元件之面板；及包括控制器之 IC 等等安裝在面板上的模組。

需注意的是，此說明書中的顯示裝置意指影像顯示裝置、顯示裝置、或光源（包括照明裝置）。而且，顯示裝置亦包括下面模組在其種類中：裝附諸如 FPC、TAB 捲帶、或 TCP 等連接器之模組；具有被設置有印刷配線板在其端部的 TAB 捲帶或 TCP 之模組；以及藉由 COG 法將積體電路（IC）直接安裝在顯示元件上之模組。

另外，設置在第一基板之上的像素部包括複數個電晶體，及上述實施例所圖解說明之電晶體可被用於電晶體。

在使用液晶元件作為顯示元件之例子中，使用熱向型

液晶、低分子液晶、高分子液晶、聚合物分散型液晶、鐵電液晶、非鐵電液晶等等。依據條件這些液晶材料展現膽固醇相、碟狀相、立方相、對掌性向列相、各向同性相等。

另一選擇是，可使用不需要對準膜之展現藍相的液晶。藍相為液晶相的其中之一，其僅產生在於增加膽固醇液晶的溫度同時膽固醇相變成各向同性相之前。因為藍相僅出現在狹窄的溫度範圍中，所以混合幾重量百分比或更多之對掌性作用物的液晶組成被用於液晶層，以提高溫度範圍。包括展現藍相之液晶和對掌性作用物的液晶組成具有 1 msec 或更少的短反應時間，具有光學各向同性，如此不需要對準處理，及具有小的視角相依性。此外，不需要設置對準膜，如此不需要研磨處理。因此，可防止由於研磨處理所導致之靜電放電破壞，及可減少製造處理中液晶顯示裝置的缺陷和破壞。如此，可增加液晶顯示裝置的產量。

液晶材料的特定電阻率大於或等於  $1 \times 10^9 \Omega \cdot \text{cm}$ 、大於或等於  $1 \times 10^{11} \Omega \cdot \text{cm}$  較佳、大於或等於  $1 \times 10^{12} \Omega \cdot \text{cm}$  更好。需注意的是，在  $20^\circ\text{C}$  測量此說明書中的特定電阻。

考量設置在像素部等等之電晶體的漏電流來設定形成在液晶顯示裝置中之儲存電容器的尺寸，使得電荷可保持一段預定週期。可考量電晶體的關閉狀態電流等等來設定儲存電容器的尺寸。

關於液晶顯示裝置，使用扭轉向列（TN）模式、平面轉換（IPS）模式、邊界電場轉換（FFS）模式、軸向對稱對準微胞（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式等等。

諸如利用垂直對準（VA）模式之透射式液晶顯示裝置等正常黑液晶顯示裝置較佳。指定某些例子作為垂直對準模式。例如，可利用 MVA（多域垂直對準）模式、PVA（圖案化垂直對準）模式、ASV 模式等等。

而且，本發明可應用到 VA 液晶顯示裝置。VA 液晶顯示裝置具有一種液晶顯示面板的液晶分子之對準被控制的形式。在 VA 液晶顯示裝置中，當未施加電壓時，液晶分子被對準在有關面板表面的垂直方向上。而且，能夠使用被稱作域加倍或多域設計之方法，其中像素被分成一些區域（子像素），及在其各自區域中分子被對準在不同方向上。

在顯示裝置中，適當設置黑色矩陣（阻光層）、諸如極化元件等光學元件（光學基板）、減速元件、或抗反射元件等等。例如，藉由使用極化基板和減速基板可獲得圓形極化。此外，可使用背光、側光等等作為光源。

作為像素部中之顯示方法，可利用前進法、交錯法等等。另外，在彩色顯示時於像素中控制之彩色元件並不侷限於三色：R、G、及 B（R、G、及 B 分別對應於紅、綠、及藍）。例如，可使用 R、G、B、及 W（W 對應於

白)；R、G、B、及黃、青綠色、洋紅色等等的一或多個等等。另外，顯示區的尺寸在彩色元件的各自點之間可以是不同的。需注意的是，所揭示的發明並不侷限於應用彩色顯示用的顯示裝置；所揭示的發明亦可應用到單色顯示用的顯示裝置。

另一選擇是，作為包括在顯示裝置中之顯示元件，可使用利用電致發光之發光元件。利用電致發光之發光元件可根據發光材料是有機化合物還是無機化合物加以分類。通常，前者被稱作有機 EL 元件，而後者被稱作無機 EL 元件。

在有機 EL 元件中，藉由施加電壓到發光元件，電子和電洞被分開從一對電極注射到含發光有機化合物之層，及電流流動。載子（電子和電洞）被重組，如此發光有機化合物被激發。發光有機化合物從激發狀態回到接地狀態，藉以發光。因為此種機制，所以發光元件被稱作電流激發發光元件。

無機 EL 元件係根據其元件結構而分類成分散型無機 EL 元件和薄膜無機 EL 元件。分散型無機 EL 元件具有發光材料的粒子分散在接合劑中之發光層，及其光發射機制為利用施體能階和受體能階之施體受體重組型光發射。薄膜無機 EL 元件具有發光層夾置在介電層之間，而介電層另外被夾置在電極之間的結構，及其光發射機制為利用金屬離子的內殼電子過渡之局部型光發射。

另外，可設置驅動電子墨水之電子紙作為顯示裝置。

電子紙亦被稱作電泳顯示裝置（電泳顯示）及具有的有利點為其具有與一般紙張相同的可讀性位準，其具有比其他顯示裝置低的電力消耗，及其可被設定成具有薄且明亮的形式。

電泳顯示裝置可具有各種模式。電泳顯示裝置含有複數個微型膠囊分散在溶劑或溶質中，各個微型膠囊含有帶正電的第一粒子和帶負電的第二粒子。藉由施加電場到微型膠囊，微型膠囊中的粒子在相反方向移動，及只顯示聚集在一側上之粒子的顏色。需注意的是，第一粒子和第二粒子各個含有色素及在沒有電場之下不移動。而且，第一粒子和第二粒子具有不同顏色（其可以是無色的）。

如此，電泳顯示裝置為利用具有高介電常數的物質移動到高電場區之所謂的介電泳動效應之顯示裝置。

上述微型膠囊分散在溶劑中之溶液被稱作電子墨水。此電子墨水可印刷在玻璃、塑膠、布料、紙張等的表面上。而且，藉由使用具有色素之濾色器或粒子，亦可達成彩色顯示。

需注意的是，微型膠囊中的第一粒子和第二粒子係各使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色材料、及磁泳材料之單一材料來形成，或者使用這些的任一者之合成材料來形成。

作為電子紙，可使用使用扭轉球顯示系統之顯示裝置。扭轉球顯示系統意指各個以黑和白著色之球狀粒子排

列在用於顯示元件的電極層之第一電極層和第二電極層之間，及在第一電極層和第二電極層之間產生電位差，以控制球狀粒子的對準，使得顯示被執行之方法。

實施例 1 或實施例 2 所圖解說明之脈衝訊號輸出電路被用於其例子如上所圖解說明一般之顯示裝置，藉以顯示裝置可具有各種功能。

如上述，此實施例所說明之結構、方法等等可與其他實施例所說明之結構、方法等等的任一者適當組合。

#### （實施例 6）

此說明書所揭示之半導體裝置可用在各種電子裝置中（包括遊戲機）。電子裝置的例子為電視機（亦稱作電視或電視接收器）、電腦等等的監視器、諸如數位相機或數位視頻相機等相機、數位相框、蜂巢式電話聽筒（亦稱作蜂巢式電話或蜂巢式電話裝置）、可攜式遊戲機、個人數位助理、聲頻再生裝置、諸如柏青哥機等大型遊戲機等等。

圖 14A 圖解膝上型個人電腦，其包括至少此說明書所揭示的半導體裝置作為組件。膝上型個人電腦包括主體 3001、機殼 3002、顯示部 3003、鍵盤 3004 等等。

圖 14B 圖解個人數位助理（PDA），其包括至少此說明書所揭示的半導體裝置作為組件。個人數位助理包括顯示部 3023、外部介面 3025、操作按鈕 3024 等等在主體 3021 中。包括電子筆 3022 作為操作的配件。

可使用此說明書所揭示的半導體裝置作為電子紙。圖 14C 圖解電子書閱讀器，其包括電子紙作為組件。圖 14C 圖解電子書閱讀器的例子。例如，電子書閱讀器 2700 包括兩機殼 2701 及 2703。機殼 2701 及 2703 可以鉸鏈 2711 彼此組合，使得電子書閱讀器 2700 可藉由使用鉸鏈 2711 作為軸來開闔。利用此種結構，電子書閱讀器 2700 可像紙張書本一般操作。

顯示部 2705 和顯示部 2707 被分別結合在機殼 2701 和機殼 2703 中。顯示部 2705 和顯示部 2707 可顯示一影像或不同影像。在顯示部 2705 和顯示部 2707 顯示不同影像之例子中，例如，右側上的顯示部（圖 14C 的顯示部 2705）可顯示正文，而左側上的顯示部（圖 14C 的顯示部 2707）可顯示影像。

圖 14C 圖解機殼 2701 包括操作部等等之例子。例如，機殼 2701 包括電力開關 2721、操作鍵 2723、揚聲器 2725 等等。利用操作鍵 2723，可翻動頁面。需注意的是，可將鍵盤、定位裝置等等設置在與機殼之顯示部相同的表面上。另外，外部連接端子（如、耳機端子或 USB 端子）、記錄媒體插入部等等可設置在機殼的背表面或側表面上。而且，電子書閱讀器 2700 可充作電子字典。

另外，電子書閱讀器 2700 可無線傳送和接收資料。經由無線通訊，可從電子書伺服器購買和下載想要的書籍資料等等。

圖 14D 圖解蜂巢式電話，其包括至少此說明書所揭示

之半導體裝置作為組件。蜂巢式電話包括兩機殼 2800 及 2801。機殼 2801 包括顯示面板 2802、揚聲器 2803、麥克風 2804、定位裝置 2806、相機透鏡 2807、外部連接端子 2808 等等。此外，機殼 2800 包括太陽能電池 2810，用以儲存電力在個人數位助理中；外部記憶體插槽 2811 等等。另外，天線結合在機殼 2801 中。

另外，顯示面板 2802 包括觸碰面板。在圖 14D 中以虛線指示被顯示作影像之複數個操作鍵 2805。需注意的是，蜂巢式電話包括 DC-DC 轉換器，用以將輸出自太陽能電池 2810 的電壓升高到各電路所需的電壓。

依據使用圖案適當改變顯示面板 2802 的顯示方向。另外，因為蜂巢式電話包括相機透鏡 2807 在與顯示面板 2802 相同的表面上，所以其可被使用作為視頻電話。揚聲器 2803 和麥克風 2804 可被用於視頻電話撥打、記錄、播放等等以及語音電話。而且，如圖 14D 所示一般展開之機殼 2800 及 2801 可藉由滑動而彼此重疊；如此，可減少蜂巢式電話的尺寸，其使蜂巢式電話適於攜帶。

外部連接端子 2808 可連接到 AC 配接器和諸如 USB 纜線等各種纜線，及能夠充電和與個人電腦等等資料通訊。另外，可藉由插入儲存媒體到外部記憶體插槽 2811 來儲存和移動大量資料。

另外，除了上述功能之外，蜂巢式電話還可具有紅外線通訊功能、電視接收功能等等。

圖 14E 圖解數位視頻相機，其包括至少此說明書所揭

示的半導體裝置作為組件。數位視頻相機包括主體 3051、第一顯示部 3057、目鏡部 3053、操作開關 3054、第二顯示部 3055、電池 3056 等等。

圖 14F 圖解電視機的例子，其包括至少此說明書所揭示的半導體裝置作為組件。在電視機 9600 中，顯示部 9603 結合在機殼 9601 中。顯示部 9603 可顯示影像。此處，機殼 9601 係由機座 9605 支撐。

電視機 9600 係可藉由機殼 9601 的操作開關或遙控器來操作。另外，遙控器可包括用以顯示輸出自遙控器之資料的顯示部。

需注意的是，電視機 9600 包括接收器、數據機等等。利用接收器，可接收一般電視廣播。另外，當透過數據機以線路或不以線路將電視機連接到通訊網路時，可執行單向（從發射器到接收器）或雙向（在發射器和接收器之間或者接收器之間）資料通訊。

如上述，此實施例所說明之結構、方法等等可與其他實施例所說明之結構、方法等等的任一者適當組合。

此申請案係依據日本專利局於 2010、3、2 所發表之日本專利申請案序號 2010-044949，藉以併入其全文做為參考。

#### 【符號說明】

11：訊號線

12：訊號線

- 13 : 訊號線
- 14 : 訊號線
- 21 : 輸入端子
- 22 : 輸入端子
- 23 : 輸入端子
- 24 : 輸入端子
- 25 : 輸入端子
- 26 : 輸出端子
- 27 : 輸出端子
- 31 : 供電線
- 32 : 供電線
- 51 : 週期
- 52 : 週期
- 53 : 週期
- 54 : 週期
- 55 : 週期
- 56 : 週期
- 101 : 電晶體
- 102 : 電晶體
- 103 : 電晶體
- 104 : 電晶體
- 105 : 電晶體
- 106 : 電晶體
- 107 : 電晶體

- 108 : 電晶體
- 109 : 電晶體
- 110 : 電晶體
- 111 : 電晶體
- 120 : 電容器
- 400 : 基板
- 401 : 閘極電極層
- 402 : 閘極絕緣層
- 403 : 氧化物半導體層
- 405a : 源極電極層
- 405b : 汲極電極層
- 407 : 絕緣層
- 409 : 保護絕緣層
- 410 : 電晶體
- 420 : 電晶體
- 427 : 絕緣層
- 430 : 電晶體
- 436a : 配線層
- 436b : 配線層
- 437 : 絕緣層
- 440 : 電晶體
- 505 : 基板
- 506 : 保護絕緣層
- 507 : 閘極絕緣層

- 510：電晶體
- 511：閘極電極層
- 515a：源極電極層
- 515b：汲極電極層
- 516：絕緣層
- 530：氧化物半導體膜
- 531：氧化物半導體層
- 2700：電子書閱讀器
- 2701：機殼
- 2703：機殼
- 2705：顯示部
- 2707：顯示部
- 2711：鉸鏈
- 2721：電力開關
- 2723：操作鍵
- 2725：揚聲器
- 2800：機殼
- 2801：機殼
- 2802：顯示面板
- 2803：揚聲器
- 2804：麥克風
- 2805：操作鍵
- 2806：定位裝置
- 2807：相機透鏡

- 2808 : 外部連接端子
- 2810 : 太陽能電池
- 2811 : 外部記憶體插槽
- 3001 : 主體
- 3002 : 機殼
- 3003 : 顯示部
- 3004 : 鍵盤
- 3021 : 主體
- 3022 : 電子筆
- 3023 : 顯示部
- 3024 : 操作按鈕
- 3025 : 外部介面
- 3051 : 主體
- 3053 : 目鏡部
- 3054 : 操作開關
- 3055 : 第二顯示部
- 3056 : 電池
- 3057 : 第一顯示部
- 4001 : 基板
- 4002 : 像素部
- 4003 : 訊號線驅動器電路
- 4004 : 掃描線驅動器電路
- 4005 : 密封劑
- 4006 : 基板

4018 : 撓性印刷電路

9600 : 電視機

9601 : 機殼

9603 : 顯示部

9605 : 機座

## 申請專利範圍

1. 一種半導體裝置，包括：

第一電晶體和第二電晶體，該第一電晶體的第一端子和該第二電晶體的第一端子電連接至第一輸出端子；

第三電晶體和第四電晶體，該第三電晶體的第一端子和該第四電晶體的第一端子電連接至第二輸出端子；以及

第五電晶體和第六電晶體，

其中該第五電晶體的第一端子、該第一電晶體的閘極端子和該第三電晶體的閘極端子彼此電連接，

其中該第五電晶體的閘極端子、該第六電晶體的第一端子、該第二電晶體的閘極端子和該第四電晶體的閘極端子彼此電連接，並且

其中該第五電晶體的通道和該第六電晶體的通道中的每一個比該第三電晶體的通道長。

2. 一種半導體裝置，包括：

第一電晶體和第二電晶體，該第一電晶體的第一端子和該第二電晶體的第一端子電連接至第一輸出端子；

第三電晶體和第四電晶體，該第三電晶體的第一端子和該第四電晶體的第一端子電連接至第二輸出端子；以及

第五電晶體和第六電晶體，

其中該第五電晶體的第一端子、該第一電晶體的閘極端子和該第三電晶體的閘極端子彼此電連接，

其中該第五電晶體的閘極端子、該第六電晶體的第一端子、該第二電晶體的閘極端子和該第四電晶體的閘極端

子彼此電連接，

其中該第五電晶體的通道和該第六電晶體的通道中的每一個比該第三電晶體的通道長，並且

其中該電晶體中的任何一個包括作為半導體材料的氧化物半導體。

3. 如申請專利範圍第 1 或 2 項所述的半導體裝置，

其中該第一電晶體的該第一端子和該第二電晶體的該第一端子直接連接至該第一輸出端子，

其中該第三電晶體的該第一端子和該第四電晶體的該第一端子直接連接至該第二輸出端子，

其中該第一電晶體的該閘極端子和該第三電晶體的該閘極端子直接彼此連接，並且

其中該第五電晶體的該閘極端子、該第六電晶體的該第一端子、該第二電晶體的該閘極端子和該第四電晶體的該閘極端子直接彼此連接。

4. 一種半導體裝置，包括：

第一電晶體和第二電晶體，該第一電晶體的第一端子和該第二電晶體的第一端子電連接至第一輸出端子；

第三電晶體和第四電晶體，該第三電晶體的第一端子和該第四電晶體的第一端子電連接至第二輸出端子；以及

第五電晶體至第九電晶體，

其中該第五電晶體的第一端子、該第九電晶體的第一端子、該第一電晶體的閘極端子和該第三電晶體的閘極端子彼此電連接，

其中該第五電晶體的閘極端子、該第七電晶體的第一端子、該第八電晶體的第一端子、該第六電晶體的第一端子、該第二電晶體的閘極端子和該第四電晶體的閘極端子彼此電連接，並且

其中該第五電晶體的通道和該第六電晶體的通道中的每一個比該第三電晶體的通道長。

5. 一種半導體裝置，包括：

第一電晶體和第二電晶體，該第一電晶體的第一端子和該第二電晶體的第一端子電連接至第一輸出端子；

第三電晶體和第四電晶體，該第三電晶體的第一端子和該第四電晶體的第一端子電連接至第二輸出端子；以及

第五電晶體至第九電晶體，

其中該第五電晶體的第一端子、該第九電晶體的第一端子、該第一電晶體的閘極端子和該第三電晶體的閘極端子彼此電連接，

其中該第五電晶體的閘極端子、該第七電晶體的第一端子、該第八電晶體的第一端子、該第六電晶體的第一端子、該第二電晶體的閘極端子和該第四電晶體的閘極端子彼此電連接，

其中該第五電晶體的通道和該第六電晶體的通道中的每一個比該第三電晶體的通道長，並且

其中該電晶體中的任何一個包括作為半導體材料的氧化物半導體。

6. 如申請專利範圍第 4 或 5 項所述的半導體裝置，

其中該第一電晶體的該第一端子和該第二電晶體的該第一端子直接連接至該第一輸出端子，

其中該第三電晶體的該第一端子和該第四電晶體的該第一端子直接連接至該第二輸出端子，

其中該第五電晶體的該第一端子和該第九電晶體的該第一端子直接彼此連接，

其中該第一電晶體的該閘極端子和該第三電晶體的該閘極端子直接彼此連接，並且

其中該第五電晶體的該閘極端子、該第七電晶體的該第一端子、該第八電晶體的該第一端子、該第六電晶體的該第一端子、該第二電晶體的該閘極端子以及該第四電晶體的該閘極端子直接彼此連接。

#### 7. 一種半導體裝置，包括：

第一電晶體和第二電晶體，該第一電晶體的第一端子和該第二電晶體的第一端子電連接至第一輸出端子；

第三電晶體和第四電晶體，該第三電晶體的第一端子和該第四電晶體的第一端子電連接至第二輸出端子；以及

第五電晶體至第十電晶體，

其中該第五電晶體的第一端子、該第九電晶體的第一端子、該第一電晶體的閘極端子和該第三電晶體的閘極端子彼此電連接，

其中該第五電晶體的閘極端子、該第七電晶體的第一端子、該第八電晶體的第一端子、該第六電晶體的第一端子、該第二電晶體的閘極端子和該第四電晶體的閘極端子

彼此電連接，

其中該第十電晶體的第一端子和該第八電晶體的第二端子彼此電連接，

其中該第九電晶體的第二端子、該第十電晶體的第二端子和該第七電晶體的第二端子彼此電連接，並且

其中該第五電晶體的通道和該第六電晶體的通道中的每一個比該第三電晶體的通道長。

8. 一種半導體裝置，包括：

第一電晶體和第二電晶體，該第一電晶體的第一端子和該第二電晶體的第一端子電連接至第一輸出端子；

第三電晶體和第四電晶體，該第三電晶體的第一端子和該第四電晶體的第一端子電連接至第二輸出端子；以及  
第五電晶體至第十電晶體，

其中該第五電晶體的第一端子、該第九電晶體的第一端子、該第一電晶體的閘極端子和該第三電晶體的閘極端子彼此電連接，

其中該第五電晶體的閘極端子、該第七電晶體的第一端子、該第八電晶體的第一端子、該第六電晶體的第一端子、該第二電晶體的閘極端子和該第四電晶體的閘極端子彼此電連接，

其中該第十電晶體的第一端子和該第八電晶體的第二端子彼此電連接，

其中該第九電晶體的第二端子、該第十電晶體的第二端子和該第七電晶體的第二端子彼此電連接，

其中該第五電晶體的通道和該第六電晶體的通道中的每一個比該第三電晶體的通道長，並且

其中該電晶體中的任何一個包括作為半導體材料的氧化物半導體。

9. 如申請專利範圍第 7 或 8 項所述的半導體裝置，

其中該第一電晶體的該第一端子和該第二電晶體的該第一端子直接連接至該第一輸出端子，

其中該第三電晶體的該第一端子和該第四電晶體的該第一端子直接連接至該第二輸出端子，

其中該第五電晶體的該第一端子和該第九電晶體的該第一端子直接彼此連接，

其中該第一電晶體的該閘極端子和該第三電晶體的該閘極端子直接彼此連接，

其中該第五電晶體的該閘極端子、該第七電晶體的該第一端子、該第八電晶體的該第一端子、該第六電晶體的該第一端子、該第二電晶體的該閘極端子以及該第四電晶體的該閘極端子直接彼此連接，

其中該第十電晶體的該第一端子和該第八電晶體的該第二端子彼此電連接，並且

其中該第九電晶體的該第二端子、該第十電晶體的該第二端子和該第七電晶體的該第二端子直接彼此連接。

10. 一種半導體裝置，包括：

第一電晶體和第二電晶體，該第一電晶體的第一端子和該第二電晶體的第一端子電連接至第一輸出端子；

第三電晶體和第四電晶體，該第三電晶體的第一端子和該第四電晶體的第一端子電連接至第二輸出端子；以及第五電晶體至第十一電晶體，

其中該第五電晶體的第一端子、該第九電晶體的第一端子、和該第十一電晶體的第一端子彼此電連接，

其中該第十一電晶體的第二端子、該第一電晶體的閘極端子、和該第三電晶體的閘極端子彼此電連接，

其中該第五電晶體的閘極端子、該第七電晶體的第一端子、該第八電晶體的第一端子、該第六電晶體的第一端子、該第二電晶體的閘極端子和該第四電晶體的閘極端子彼此電連接，

其中該第十電晶體的第一端子和該第八電晶體的第二端子彼此電連接，

其中該第九電晶體的第二端子、該第十電晶體的第二端子、該第七電晶體的第二端子和該第十一電晶體的閘極端子彼此電連接，並且

其中該第五電晶體的通道和該第六電晶體的通道中的每一個比該第三電晶體的通道長。

11. 一種半導體裝置，包括：

第一電晶體和第二電晶體，該第一電晶體的第一端子和該第二電晶體的第一端子電連接至第一輸出端子；

第三電晶體和第四電晶體，該第三電晶體的第一端子和該第四電晶體的第一端子電連接至第二輸出端子；以及第五電晶體至第十一電晶體，

其中該第五電晶體的第一端子、該第九電晶體的第一端子、和該第十一電晶體的第一端子彼此電連接，

其中該第十一電晶體的第二端子、該第一電晶體的閘極端子、該第三電晶體的閘極端子彼此電連接，

其中該第五電晶體的閘極端子、該第七電晶體的第一端子、該第八電晶體的第一端子、該第六電晶體的第一端子、該第二電晶體的閘極端子和該第四電晶體的閘極端子彼此電連接，

其中該第十電晶體的第一端子和該第八電晶體的第二端子彼此電連接，

其中該第九電晶體的第二端子、該第十電晶體的第二端子、該第七電晶體的第二端子和該第十一電晶體的閘極端子彼此電連接，

其中該第五電晶體的通道和該第六電晶體的通道中的每一個比該第三電晶體的通道長，並且

其中該電晶體中的任何一個包括作為半導體材料的氧化物半導體。

12. 如申請專利範圍第 10 或 11 項所述的半導體裝置，

其中該第一電晶體的該第一端子和該第二電晶體的該第一端子直接連接至該第一輸出端子，

其中該第三電晶體的該第一端子和該第四電晶體的該第一端子直接連接至該第二輸出端子，

其中該第五電晶體的該第一端子、該第九電晶體的該

第一端子和該第十一電晶體的該第一端子直接彼此連接，

其中該第十一電晶體的該第二端子、該第一電晶體的該閘極端子和該第三電晶體的該閘極端子直接彼此連接，

其中該第五電晶體的該閘極端子、該第七電晶體的該第一端子、該第八電晶體的該第一端子、該第六電晶體的該第一端子、該第二電晶體的該閘極端子以及該第四電晶體的該閘極端子直接彼此連接，

其中該第十電晶體的該第一端子和該第八電晶體的該第二端子彼此電連接，並且

其中該第九電晶體的該第二端子、該第十電晶體的該第二端子、該第七電晶體的該第二端子和該第十一電晶體的該閘極端子直接彼此連接。

13. 如申請專利範圍第 1、2、4、5、7、8、10、及 11 項中的任一項所述的半導體裝置，

其中該第五電晶體的第二端子、該第六電晶體的第二端子、該第二電晶體的第二端子和該第四電晶體的第二端子彼此電連接，

其中該第六電晶體的閘極端子電極和該第五電晶體的閘極端子電極彼此電連接。

14. 如申請專利範圍第 3、6、9 及 12 項中的任一項所述的半導體裝置，

其中該第五電晶體的第二端子、該第六電晶體的第二端子、該第二電晶體的第二端子和該第四電晶體的第二端子直接彼此連接，並且

其中該第六電晶體的閘極端子電極和該第五電晶體的閘極端子電極直接彼此連接。

15. 如申請專利範圍第 4、5、7、8、10 及 11 項中的任一項所述的半導體裝置，還包括第一電源線和第二電源線，

其中該第一電源線電連接至該第七電晶體的該第二端子，並且

其中該第二電源線電連接至該第五電晶體的第二端子、該第六電晶體的第二端子、該第二電晶體的第二端子和該第四電晶體的第二端子。

16. 如申請專利範圍第 3、6、9 及 12 項所述的半導體裝置，還包括第一電源線和第二電源線，

其中該第一電源線直接連接至該第七電晶體的該第二端子，並且

其中該第二電源線直接連接至該第五電晶體的該第二端子、該第六電晶體的該第二端子、該第二電晶體的該第二端子和該第四電晶體的該第二端子。

17. 如申請專利範圍第 1、2、4、5、7、8、10 及 11 項中的任一項所述的半導體裝置，

其中該第五電晶體和該第六電晶體中的任何一個是具有至少兩個閘極端子的多閘極端子結構的電晶體。

18. 如申請專利範圍第 1、2、4、5、7、8、10 及 11 項中任一項所述的半導體裝置，還包括電連接在該閘極端子和該第二電晶體的第二端子之間的電容器。

19. 如申請專利範圍第 1、2、4、5、7、8、10 及 11 項中任一項所述的半導體裝置，還包括移位暫存器，

其中該移位暫存器包括該第一電晶體至該第六電晶體。

20. 一種半導體裝置，包括：

第一電晶體至第十二電晶體；以及

第一電容器和第二電容器，

其中該第一電晶體至該第十二電晶體具有相同的導電型，

其中該第四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第十電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第一電晶體的源極端子和汲極端子中的一者電連接至該第二電晶體的源極端子和汲極端子中的一者，

其中該第三電晶體的源極端子和汲極端子中的一者電連接至該第四電晶體的源極端子和汲極端子中的一者，

其中該第四電晶體的該閘極端子電連接至該第二電晶體的閘極端子，

其中該第五電晶體的源極端子和汲極端子中的一者電連接至該第三電晶體的該源極端子和該汲極端子中的該一者，

其中該第五電晶體的該源極端子和該汲極端子中的另一者電連接至該第一電晶體的閘極端子，

其中該第六電晶體的該源極端子和該汲極端子中的一者直接連接至該第二電晶體的該閘極端子，

其中該第一電容器的第一電極電連接至該第二電晶體的該閘極端子，

其中該第七電晶體的源極端子和汲極端子中的一者電連接至該第八電晶體的源極端子和汲極端子中的一者，

其中該第九電晶體的源極端子和汲極端子中的一者電連接至該第十電晶體的源極端子和汲極端子中的一者，

其中該第十電晶體的該閘極端子電連接至該第八電晶體的閘極端子，

其中該第十一電晶體的源極端子和汲極端子中的一者電連接至該第九電晶體的該源極端子和該汲極端子中的該一者，

其中該第十一電晶體的該源極端子和該汲極端子中的另一者電連接至該第七電晶體的閘極端子，

其中該第十二電晶體的源極端子和汲極端子中的一者直接連接至該第八電晶體的該閘極端子，

其中該第二電容器的第一電極電連接至該第八電晶體的該閘極端子，

其中該第九電晶體的閘極端子電連接至該第一電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該源極端子和該汲極端子中的另一者電連接至第一佈線，

其中該第四電晶體的該源極端子和該汲極端子中的另

一者電連接至該第一佈線，

其中該第八電晶體的該源極端子和該汲極端子中的另一者電連接至該第一佈線，

其中該第十電晶體的該源極端子和該汲極端子中的另一者電連接至該第一佈線，

其中該第一電容器的第二電極電連接至該第一佈線，

其中該第二電容器的第二電極電連接至該第一佈線，

其中該第五電晶體的閘極端子電連接至第二佈線，

其中該第六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線，

其中該第十一電晶體的閘極端子電連接至該第二佈線，

其中該第十二電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線，

其中該第一電晶體的該源極端子和該汲極端子中的另一者電連接至第三佈線，

其中該第七電晶體的該源極端子和該汲極端子中的另一者電連接至第四佈線，

其中該第六電晶體的閘極端子電連接至該第四佈線，並且

其中該第十二電晶體的閘極端子電連接至第五佈線。

21. 一種半導體裝置，包括：

第一電晶體至第十二電晶體；以及

第一和第二電容器，

其中該第一電晶體至該第十二電晶體具有相同的導電型，

其中該第四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第十電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第一電晶體的源極端子和汲極端子中的一者直接連接至該第二電晶體的源極端子和汲極端子中的一者，

其中該第三電晶體的源極端子和汲極端子中的一者直接連接至該第四電晶體的源極端子和汲極端子中的一者，

其中該第四電晶體的該閘極端子直接連接至該第二電晶體的閘極端子，

其中該第五電晶體的源極端子和汲極端子中的一者直接連接至該第三電晶體的該源極端子和該汲極端子中的該一者，

其中該第五電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一電晶體的閘極端子，

其中該第六電晶體的該源極端子和該汲極端子中的一者直接連接至該第二電晶體的該閘極端子，

其中該第一電容器的第一電極直接連接至該第二電晶體的該閘極端子，

其中該第七電晶體的源極端子和汲極端子中的一者直接連接至該第八電晶體的源極端子和汲極端子中的一者，

其中該第九電晶體的源極端子和汲極端子中的一者直

接連接至該第十電晶體的源極端子和汲極端子中的一者，

其中該第十電晶體的該閘極端子直接連接至該第八電晶體的閘極端子，

其中該第十一電晶體的源極端子和汲極端子中的一者直接連接至該第九電晶體的該源極端子和該汲極端子中的該一者，

其中該第十一電晶體的該源極端子和該汲極端子中的另一者直接連接至該第七電晶體的閘極端子，

其中該第十二電晶體的源極端子和汲極端子中的一者直接連接至該第八電晶體的該閘極端子，

其中該第二電容器的第一電極直接連接至該第八電晶體的該閘極端子，

其中該第九電晶體的閘極端子直接連接至該第一電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該源極端子和該汲極端子中的另一者直接連接至第一佈線，

其中該第四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第八電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第一電容器的第二電極直接連接至該第一佈線，

其中該第二電容器的第二電極直接連接至該第一佈線，

其中該第五電晶體的閘極端子直接連接至第二佈線，

其中該第六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線，

其中該第十一電晶體的閘極端子直接連接至該第二佈線，

其中該第十二電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線，

其中第一信號輸入進入該第一電晶體的該源極端子和該汲極端子中的另一者，

其中第二信號輸入進入該第七電晶體的該源極端子和該汲極端子中的另一者，

其中該第二信號輸入進入該第六電晶體的閘極端子，並且

其中第三信號輸入進入該第十二電晶體的閘極端子。

22. 一種半導體裝置，包括：

移位暫存器，該移位暫存器包括第一電晶體至第十六電晶體、第一電容器和第二電容器，

其中該第一電晶體至該第十六電晶體具有相同的導電型，

其中該第一電晶體的源極端子和汲極端子中的一者直接連接至該第二電晶體的源極端子和汲極端子中的一者，

其中該第三電晶體的源極端子和汲極端子中的一者直

接連接至該第四電晶體的源極端子和汲極端子中的一者，

其中該第五電晶體的源極端子和汲極端子中的一者直接連接至該第六電晶體的源極端子和汲極端子中的一者，

其中該第七電晶體的源極端子和汲極端子中的一者直接連接至該第五電晶體的該源極端子和該汲極端子中的另一者，

其中該第八電晶體的源極端子和汲極端子中的一者直接連接至該第三電晶體的該源極端子和該汲極端子中的該一者，

其中該第八電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一電晶體的閘極端子，

其中該第二電晶體的閘極端子直接連接至該第四電晶體的閘極端子，

其中該第二電晶體的該閘極端子直接連接至該第五電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該閘極端子直接連接至該第一電容器的第一電極，

其中該第三電晶體的閘極端子直接連接至該第六電晶體的閘極端子，

其中該第九電晶體的源極端子和汲極端子中的一者直接連接至該第十電晶體的源極端子和汲極端子中的一者，

其中該第十一電晶體的源極端子和汲極端子中的一者直接連接至該第十二電晶體的源極端子和汲極端子中的一者，

其中該第十三電晶體的源極端子和汲極端子中的一者直接連接至該第十四電晶體的源極端子和汲極端子中的一者，

其中該第十五電晶體的源極端子和汲極端子中的一者直接連接至該第十三電晶體的該源極端子和該汲極端子中的另一者，

其中該第十六電晶體的源極端子和汲極端子中的一者直接連接至該第十一電晶體的該源極端子和該汲極端子中的該一者，

其中該第十六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第九電晶體的閘極端子，

其中該第十電晶體的閘極端子直接連接至該第十二電晶體的閘極端子，

其中該第十電晶體的該閘極端子直接連接至該第十三電晶體的該源極端子和該汲極端子中的該一者，

其中該第十電晶體的該閘極端子直接連接至該第二電容器的第一電極，

其中該第十一電晶體的閘極端子直接連接至該第十四電晶體的閘極端子，

其中該第十一電晶體的該閘極端子直接連接至該第一電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該源極端子和該汲極端子中的另一者直接連接至第一佈線，

其中該第四電晶體的該源極端子和該汲極端子中的另

一者直接連接至該第一佈線，

其中該第六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十二電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第一電容器的第二電極直接連接至該第一佈線，

其中該第二電容器的第二電極直接連接至該第一佈線，

其中該第五電晶體的閘極端子直接連接至第二佈線，

其中該第九電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線。

23. 一種半導體裝置，包括：

移位暫存器，該移位暫存器包括第一電晶體至第十六電晶體，

其中該第四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第十二電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第一電晶體至該第十六電晶體具有相同的導電

型，

其中該第一電晶體的源極端子和汲極端子中的一者直接連接至該第二電晶體的源極端子和汲極端子中的一者，

其中該第三電晶體的源極端子和汲極端子中的一者直接連接至該第四電晶體的源極端子和汲極端子中的一者，

其中該第五電晶體的源極端子和汲極端子中的一者直接連接至該第六電晶體的源極端子和汲極端子中的一者，

其中該第七電晶體的源極端子和汲極端子中的一者直接連接至該第五電晶體的該源極端子和該汲極端子中的另一者，

其中該第八電晶體的源極端子和汲極端子中的一者直接連接至該第三電晶體的該源極端子和該汲極端子中的該一者，

其中該第八電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一電晶體的閘極端子，

其中該第二電晶體的閘極端子直接連接至該第四電晶體的閘極端子，

其中該第二電晶體的該閘極端子直接連接至該第五電晶體的該源極端子和該汲極端子中的該一者，

其中該第三電晶體的閘極端子直接連接至該第六電晶體的閘極端子，

其中該第九電晶體的源極端子和汲極端子中的一者直接連接至該第十電晶體的源極端子和汲極端子中的一者，

其中該第十一電晶體的源極端子和汲極端子中的一者

直接連接至該第十二電晶體的源極端子和汲極端子中的一者，

其中該第十三電晶體的源極端子和汲極端子中的一者直接連接至該第十四電晶體的源極端子和汲極端子中的一者，

其中該第十五電晶體的源極端子和汲極端子中的一者直接連接至該第十三電晶體的該源極端子和該汲極端子中的另一者，

其中該第十六電晶體的源極端子和汲極端子中的一者直接連接至該第十一電晶體的該源極端子和該汲極端子中的該一者，

其中該第十六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第九電晶體的閘極端子，

其中該第十電晶體的閘極端子直接連接至該第十二電晶體的閘極端子，

其中該第十電晶體的該閘極端子直接連接至該第十三電晶體的該源極端子和該汲極端子中的該一者，

其中該第十一電晶體的閘極端子直接連接至該第十四電晶體的閘極端子，

其中該第十一電晶體的該閘極端子直接連接至該第一電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該源極端子和該汲極端子中的另一者直接連接至第一佈線，

其中該第四電晶體的該源極端子和該汲極端子中的另

一者直接連接至該第一佈線，

其中該第六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十二電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第五電晶體的閘極端子直接連接至第二佈線，

其中該第九電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線。

24. 一種半導體裝置，包括：

移位暫存器，該移位暫存器包括第一電晶體至第十六電晶體，

其中該第六電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第十四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第一電晶體至該第十六電晶體具有相同的導電型，

其中該第一電晶體的源極端子和汲極端子中的一者直接連接至該第二電晶體的源極端子和汲極端子中的一者，

其中該第三電晶體的源極端子和汲極端子中的一者直

接連接至該第四電晶體的源極端子和汲極端子中的一者，

其中該第五電晶體的源極端子和汲極端子中的一者直接連接至該第六電晶體的源極端子和汲極端子中的一者，

其中該第七電晶體的源極端子和汲極端子中的一者直接連接至該第五電晶體的該源極端子和該汲極端子中的另一者，

其中該第八電晶體的源極端子和汲極端子中的一者直接連接至該第三電晶體的該源極端子和該汲極端子中的該一者，

其中該第八電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一電晶體的閘極端子，

其中該第二電晶體的閘極端子直接連接至該第四電晶體的閘極端子，

其中該第二電晶體的該閘極端子直接連接至該第五電晶體的該源極端子和該汲極端子中的該一者，

其中該第三電晶體的閘極端子直接連接至該第六電晶體的閘極端子，

其中該第九電晶體的源極端子和汲極端子中的一者直接連接至該第十電晶體的源極端子和汲極端子中的一者，

其中該第十一電晶體的源極端子和汲極端子中的一者直接連接至該第十二電晶體的源極端子和汲極端子中的一者，

其中該第十三電晶體的源極端子和汲極端子中的一者直接連接至該第十四電晶體的源極端子和汲極端子中的一

者，

其中該第十五電晶體的源極端子和汲極端子中的一者直接連接至該第十三電晶體的該源極端子和該汲極端子中的另一者，

其中該第十六電晶體的源極端子和汲極端子中的一者直接連接至該第十一電晶體的該源極端子和該汲極端子中的該一者，

其中該第十六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第九電晶體的閘極端子，

其中該第十電晶體的閘極端子直接連接至該第十二電晶體的閘極端子，

其中該第十電晶體的該閘極端子直接連接至該第十三電晶體的該源極端子和該汲極端子中的該一者，

其中該第十一電晶體的閘極端子直接連接至該第十四電晶體的閘極端子，

其中該第十一電晶體的該閘極端子直接連接至該第一電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該源極端子和該汲極端子中的另一者直接連接至第一佈線，

其中該第四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十電晶體的該源極端子和該汲極端子中的另

一者直接連接至該第一佈線，

其中該第十二電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第五電晶體的閘極端子直接連接至第二佈線，

其中該第九電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線。

25. 一種半導體裝置，包括：

移位暫存器，該移位暫存器包括第一電晶體至第十六電晶體、第一電容器和第二電容器，

其中該第四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第十二電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第一電晶體至該第十六電晶體具有相同的導電型，

其中該第一電晶體的源極端子和汲極端子中的一者直接連接至該第二電晶體的源極端子和汲極端子中的一者，

其中該第三電晶體的源極端子和汲極端子中的一者直接連接至該第四電晶體的源極端子和汲極端子中的一者，

其中該第五電晶體的源極端子和汲極端子中的一者直接連接至該第六電晶體的源極端子和汲極端子中的一者，

其中該第七電晶體的源極端子和汲極端子中的一者直

接連接至該第五電晶體的該源極端子和該汲極端子中的另一者，

其中該第八電晶體的源極端子和汲極端子中的一者直接連接至該第三電晶體的該源極端子和該汲極端子中的該一者，

其中該第八電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一電晶體的閘極端子，

其中該第二電晶體的閘極端子直接連接至該第四電晶體的閘極端子，

其中該第二電晶體的該閘極端子直接連接至該第五電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該閘極端子直接連接至該第一電容器的第一電極，

其中該第三電晶體的閘極端子直接連接至該第六電晶體的閘極端子，

其中該第九電晶體的源極端子和汲極端子中的一者直接連接至該第十電晶體的源極端子和汲極端子中的一者，

其中該第十一電晶體的源極端子和汲極端子中的一者直接連接至該第十二電晶體的源極端子和汲極端子中的一者，

其中該第十三電晶體的源極端子和汲極端子中的一者直接連接至該第十四電晶體的源極端子和汲極端子中的一者，

其中該第十五電晶體的源極端子和汲極端子中的一者

直接連接至該第十三電晶體的該源極端子和該汲極端子中的另一者，

其中該第十六電晶體的源極端子和汲極端子中的一者直接連接至該第十一電晶體的該源極端子和該汲極端子中的該一者，

其中該第十六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第九電晶體的閘極端子，

其中該第十電晶體的閘極端子直接連接至該第十二電晶體的閘極端子，

其中該第十電晶體的該閘極端子直接連接至該第十三電晶體的該源極端子和該汲極端子中的該一者，

其中該第十電晶體的該閘極端子直接連接至該第二容器的第一電極，

其中該第十一電晶體的閘極端子直接連接至該第十四電晶體的閘極端子，

其中該第十一電晶體的該閘極端子直接連接至該第一電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該源極端子和該汲極端子中的另一者直接連接至第一佈線，

其中該第四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十電晶體的該源極端子和該汲極端子中的另

一者直接連接至該第一佈線，

其中該第十二電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第一電容器的第二電極直接連接至該第一佈線，

其中該第二電容器的第二電極直接連接至該第一佈線，

其中該第五電晶體的閘極端子直接連接至第二佈線，

其中該第九電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線。

26. 一種半導體裝置，包括：

移位暫存器，該移位暫存器包括第一電晶體至第十六電晶體、第一電容器和第二電容器，

其中該第六電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第十四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第一電晶體至該第十六電晶體具有相同的導電型，

其中該第一電晶體的源極端子和汲極端子中的一者直接連接至該第二電晶體的源極端子和汲極端子中的一者，

其中該第三電晶體的源極端子和汲極端子中的一者直

接連接至該第四電晶體的源極端子和汲極端子中的一者，

其中該第五電晶體的源極端子和汲極端子中的一者直接連接至該第六電晶體的源極端子和汲極端子中的一者，

其中該第七電晶體的源極端子和汲極端子中的一者直接連接至該第五電晶體的該源極端子和該汲極端子中的另一者，

其中該第八電晶體的源極端子和汲極端子中的一者直接連接至該第三電晶體的該源極端子和該汲極端子中的該一者，

其中該第八電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一電晶體的閘極端子，

其中該第二電晶體的閘極端子直接連接至該第四電晶體的閘極端子，

其中該第二電晶體的該閘極端子直接連接至該第五電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該閘極端子直接連接至該第一電容器的第一電極，

其中該第三電晶體的閘極端子直接連接至該第六電晶體的閘極端子，

其中該第九電晶體的源極端子和汲極端子中的一者直接連接至該第十電晶體的源極端子和汲極端子中的一者，

其中該第十一電晶體的源極端子和汲極端子中的一者直接連接至該第十二電晶體的源極端子和汲極端子中的一者，

其中該第十三電晶體的源極端子和汲極端子中的一者直接連接至該第十四電晶體的源極端子和汲極端子中的一者，

其中該第十五電晶體的源極端子和汲極端子中的一者直接連接至該第十三電晶體的該源極端子和該汲極端子中的另一者，

其中該第十六電晶體的源極端子和汲極端子中的一者直接連接至該第十一電晶體的該源極端子和該汲極端子中的該一者，

其中該第十六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第九電晶體的閘極端子，

其中該第十電晶體的閘極端子直接連接至該第十二電晶體的閘極端子，

其中該第十電晶體的該閘極端子直接連接至該第十三電晶體的該源極端子和該汲極端子中的該一者，

其中該第十電晶體的該閘極端子直接連接至該第二電容器的第一電極，

其中該第十一電晶體的閘極端子直接連接至該第十四電晶體的閘極端子，

其中該第十一電晶體的該閘極端子直接連接至該第一電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該源極端子和該汲極端子中的另一者直接連接至第一佈線，

其中該第四電晶體的該源極端子和該汲極端子中的另

一者直接連接至該第一佈線，

其中該第六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十二電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第一電容器的第二電極直接連接至該第一佈線，

其中該第二電容器的第二電極直接連接至該第一佈線，

其中該第五電晶體的閘極端子直接連接至第二佈線，

其中該第九電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線。

27. 一種半導體裝置，包括：

移位暫存器，該移位暫存器包括第一電晶體至第十六電晶體，

其中該第四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第十二電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第六電晶體具有多閘極結構並且包括兩個閘極

端子，

其中該第十四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第一電晶體至該第十六電晶體具有相同的導電型，

其中該第一電晶體的源極端子和汲極端子中的一者直接連接至該第二電晶體的源極端子和汲極端子中的一者，

其中該第三電晶體的源極端子和汲極端子中的一者直接連接至該第四電晶體的源極端子和汲極端子中的一者，

其中該第五電晶體的源極端子和汲極端子中的一者直接連接至該第六電晶體的源極端子和汲極端子中的一者，

其中該第七電晶體的源極端子和汲極端子中的一者直接連接至該第五電晶體的該源極端子和該汲極端子中的另一者，

其中該第八電晶體的源極端子和汲極端子中的一者直接連接至該第三電晶體的該源極端子和該汲極端子中的該一者，

其中該第八電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一電晶體的閘極端子，

其中該第二電晶體的閘極端子直接連接至該第四電晶體的閘極端子，

其中該第二電晶體的該閘極端子直接連接至該第五電晶體的該源極端子和該汲極端子中的該一者，

其中該第三電晶體的閘極端子直接連接至該第六電晶

體的閘極端子，

其中該第九電晶體的源極端子和汲極端子中的一者直接連接至該第十電晶體的源極端子和汲極端子中的一者，

其中該第十一電晶體的源極端子和汲極端子中的一者直接連接至該第十二電晶體的源極端子和汲極端子中的一者，

其中該第十三電晶體的源極端子和汲極端子中的一者直接連接至該第十四電晶體的源極端子和汲極端子中的一者，

其中該第十五電晶體的源極端子和汲極端子中的一者直接連接至該第十三電晶體的該源極端子和該汲極端子中的另一者，

其中該第十六電晶體的源極端子和汲極端子中的一者直接連接至該第十一電晶體的該源極端子和該汲極端子中的該一者，

其中該第十六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第九電晶體的閘極端子，

其中該第十電晶體的閘極端子直接連接至該第十二電晶體的閘極端子，

其中該第十電晶體的該閘極端子直接連接至該第十三電晶體的該源極端子和該汲極端子中的該一者，

其中該第十一電晶體的閘極端子直接連接至該第十四電晶體的閘極端子，

其中該第十一電晶體的該閘極端子直接連接至該第一

電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該源極端子和該汲極端子中的另一者直接連接至第一佈線，

其中該第四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十二電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第五電晶體的閘極端子直接連接至第二佈線，

其中該第九電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線。

28. 一種半導體裝置，包括：

移位暫存器，該移位暫存器包括第一電晶體至第十六電晶體、第一電容器和第二電容器，

其中該第四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第十二電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第六電晶體具有多閘極結構並且包括兩個閘極

端子，

其中該第十四電晶體具有多閘極結構並且包括兩個閘極端子，

其中該第一電晶體至該第十六電晶體具有相同的導電型，

其中該第一電晶體的源極端子和汲極端子中的一者直接連接至該第二電晶體的源極端子和汲極端子中的一者，

其中該第三電晶體的源極端子和汲極端子中的一者直接連接至該第四電晶體的源極端子和汲極端子中的一者，

其中該第五電晶體的源極端子和汲極端子中的一者直接連接至該第六電晶體的源極端子和汲極端子中的一者，

其中該第七電晶體的源極端子和汲極端子中的一者直接連接至該第五電晶體的該源極端子和該汲極端子中的另一者，

其中該第八電晶體的源極端子和汲極端子中的一者直接連接至該第三電晶體的該源極端子和該汲極端子中的該一者，

其中該第八電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一電晶體的閘極端子，

其中該第二電晶體的閘極端子直接連接至該第四電晶體的閘極端子，

其中該第二電晶體的該閘極端子直接連接至該第五電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該閘極端子直接連接至該第一電

容器的第一電極，

其中該第三電晶體的閘極端子直接連接至該第六電晶體的閘極端子，

其中該第九電晶體的源極端子和汲極端子中的一者直接連接至該第十電晶體的源極端子和汲極端子中的一者，

其中該第十一電晶體的源極端子和汲極端子中的一者直接連接至該第十二電晶體的源極端子和汲極端子中的一者，

其中該第十三電晶體的源極端子和汲極端子中的一者直接連接至該第十四電晶體的源極端子和汲極端子中的一者，

其中該第十五電晶體的源極端子和汲極端子中的一者直接連接至該第十三電晶體的該源極端子和該汲極端子中的另一者，

其中該第十六電晶體的源極端子和汲極端子中的一者直接連接至該第十一電晶體的該源極端子和該汲極端子中的該一者，

其中該第十六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第九電晶體的閘極端子，

其中該第十電晶體的閘極端子直接連接至該第十二電晶體的閘極端子，

其中該第十電晶體的該閘極端子直接連接至該第十三電晶體的該源極端子和該汲極端子中的該一者，

其中該第十電晶體的該閘極端子直接連接至該第二電

容器的第一電極，

其中該第十一電晶體的閘極端子直接連接至該第十四電晶體的閘極端子，

其中該第十一電晶體的該閘極端子直接連接至該第一電晶體的該源極端子和該汲極端子中的該一者，

其中該第二電晶體的該源極端子和該汲極端子中的另一者直接連接至第一佈線，

其中該第四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第六電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十二電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第十四電晶體的該源極端子和該汲極端子中的另一者直接連接至該第一佈線，

其中該第一電容器的第二電極直接連接至該第一佈線，

其中該第二電容器的第二電極直接連接至該第一佈線，

其中該第五電晶體的閘極端子直接連接至第二佈線，

其中該第九電晶體的該源極端子和該汲極端子中的另一者直接連接至該第二佈線。

29. 如申請專利範圍第 1 至 11 項以及申請專利範圍第 20 至 28 項中的任一項所述的半導體裝置，還包括：

基板；

掃描線驅動器電路，位於該基板上；

像素部，位於該基板上，

其中該掃描線驅動器電路包括該電晶體，並且

其中該半導體裝置是顯示裝置。

30. 如申請專利範圍第 1、2、4、5、7、8、10、11、及 20 至 28 項中的任一項所述的半導體裝置，還包括：

基板；以及

撓性印刷電路，

其中該電晶體形成於該基板上，並且

其中該撓性印刷電路電連接至該電晶體。

圖式

圖 1A

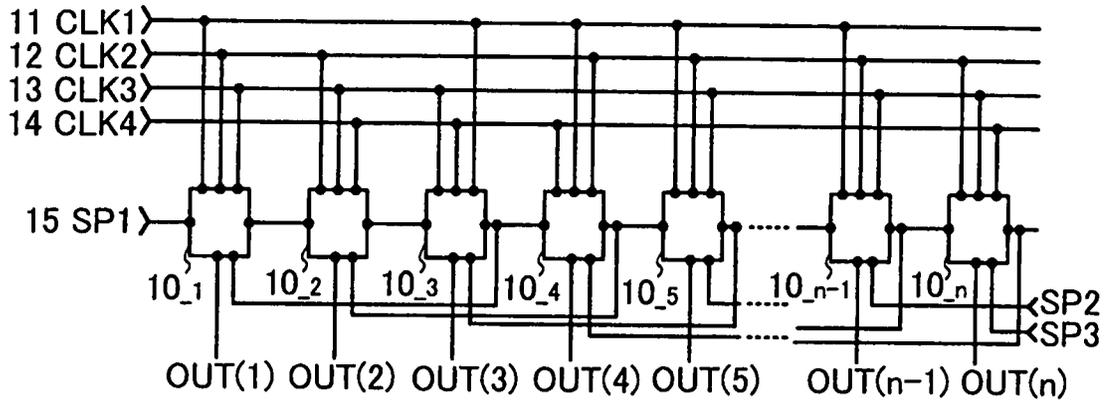


圖 1B

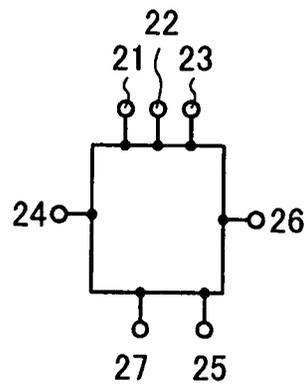


圖 1C

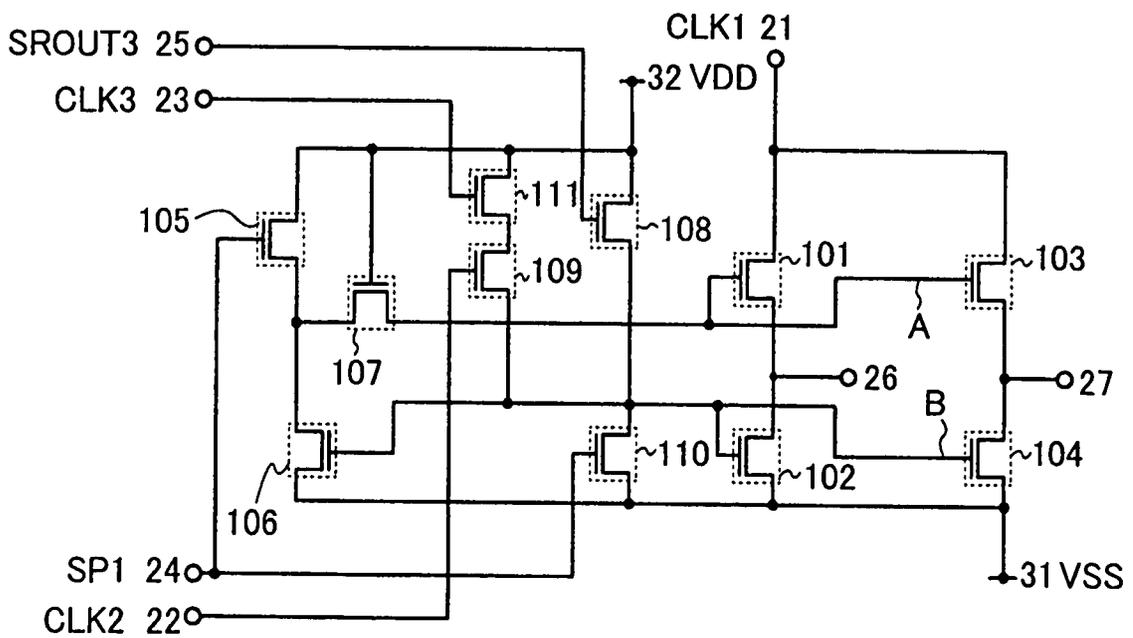


圖 2

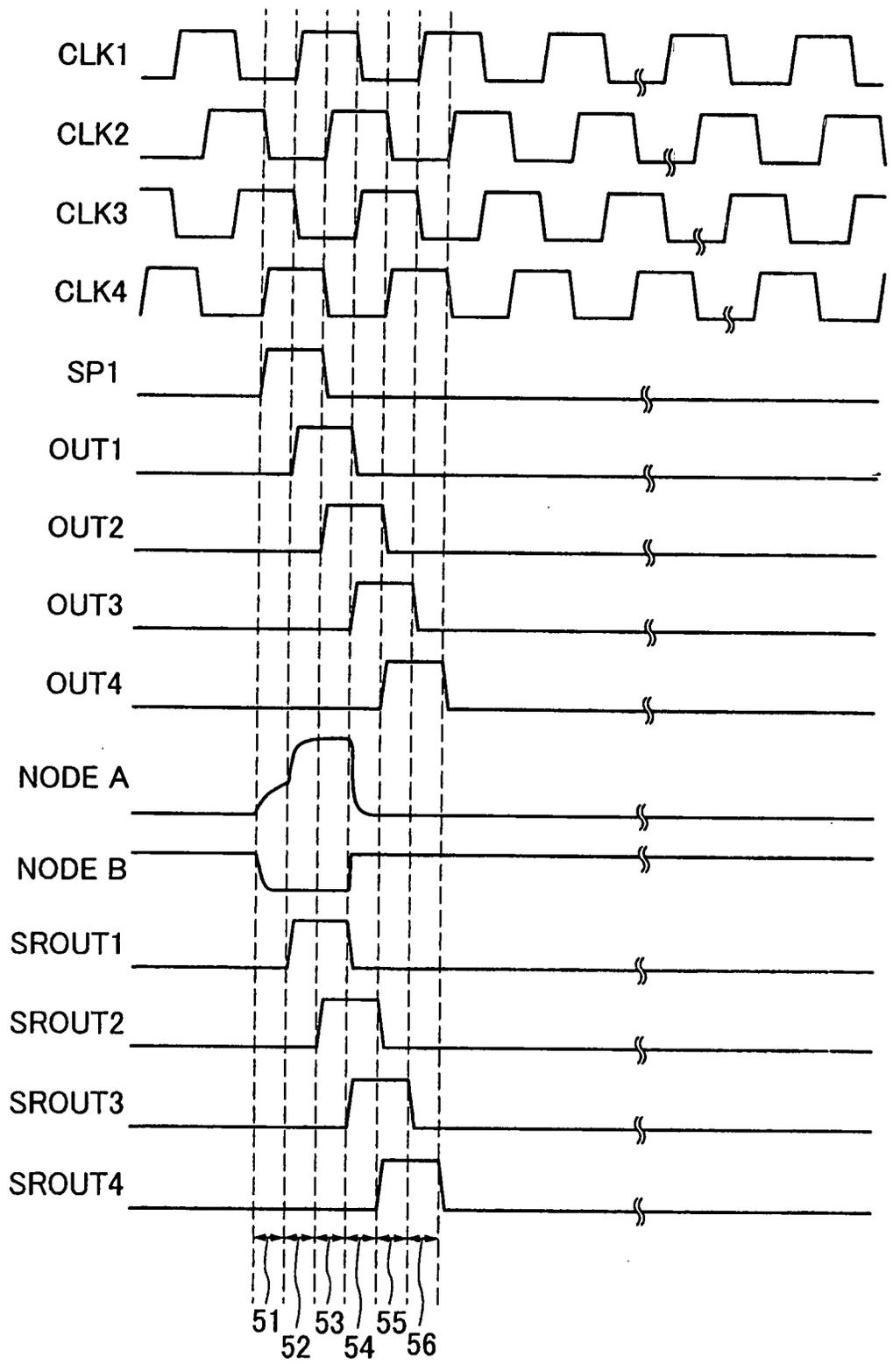


圖 3A

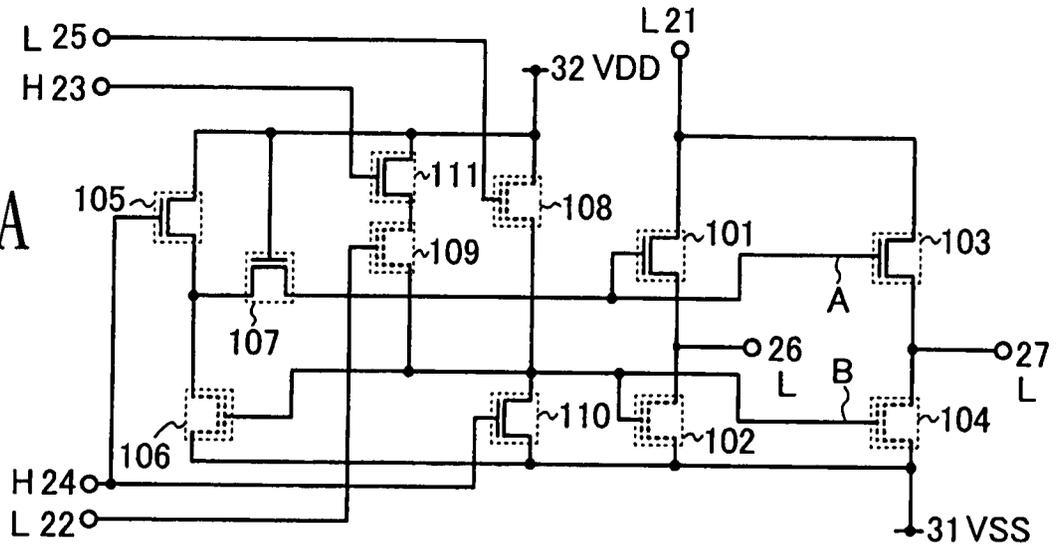


圖 3B

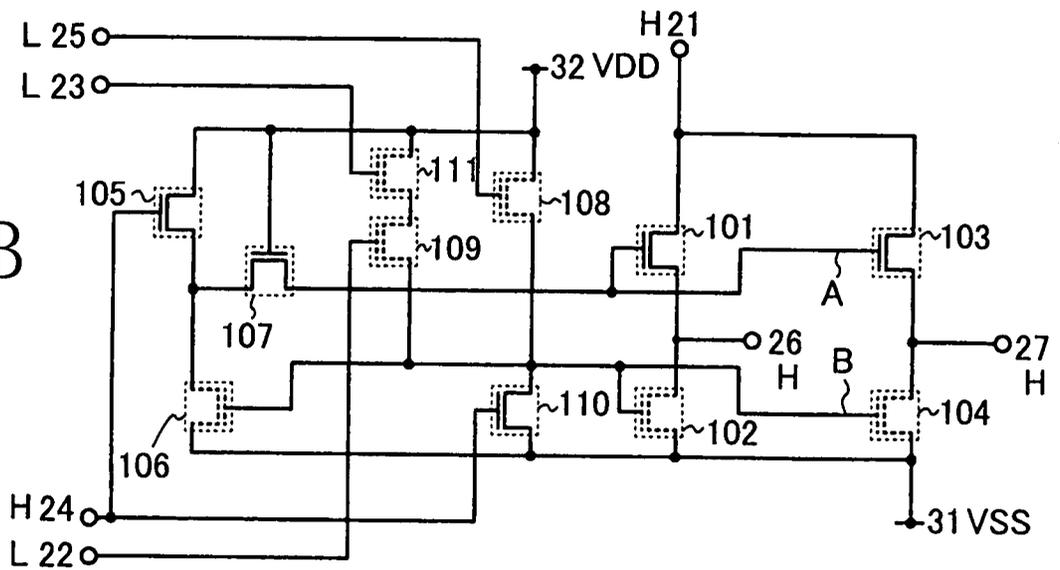


圖 3C

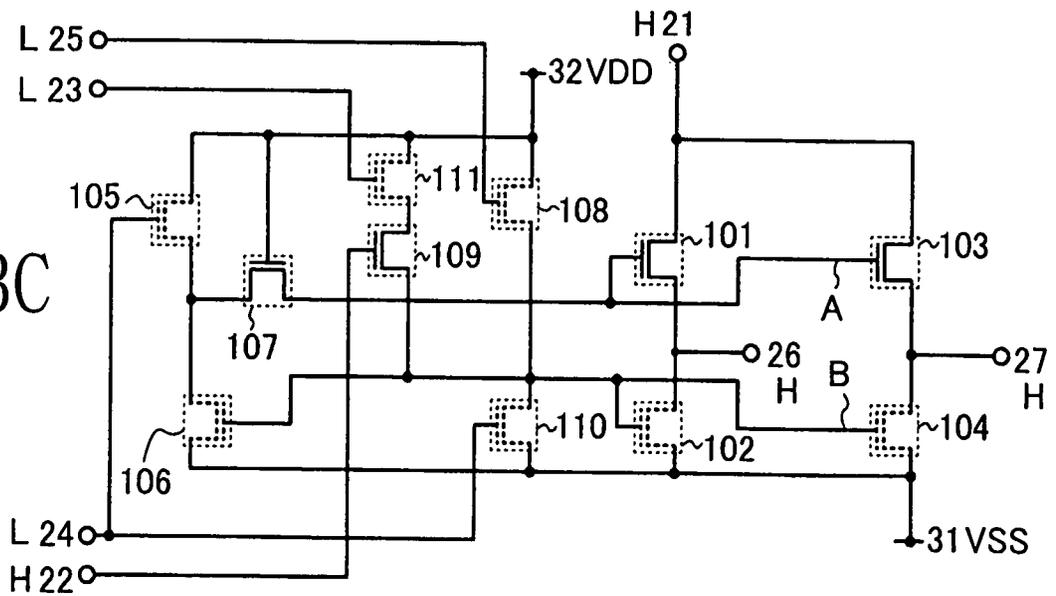


圖 4A

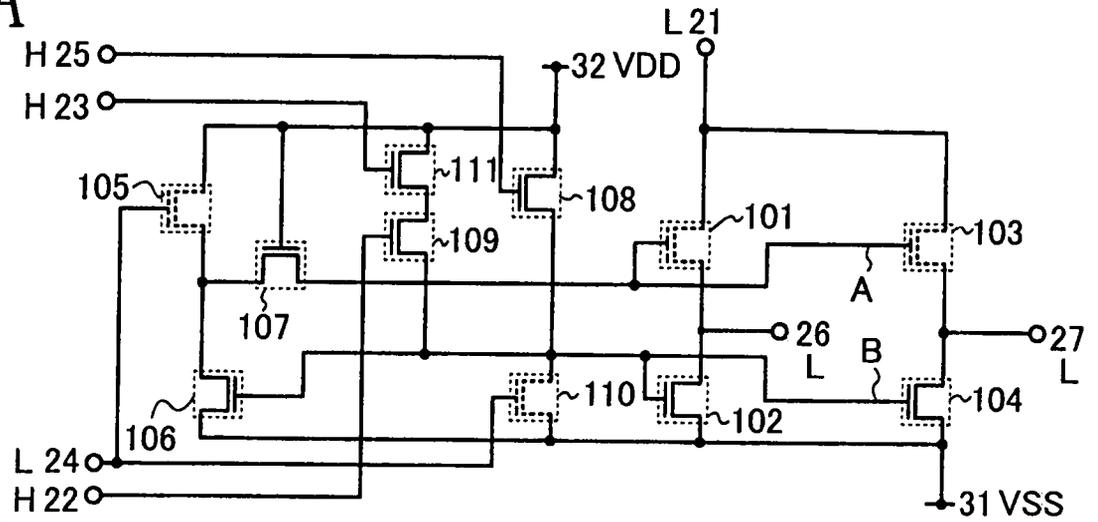


圖 4B

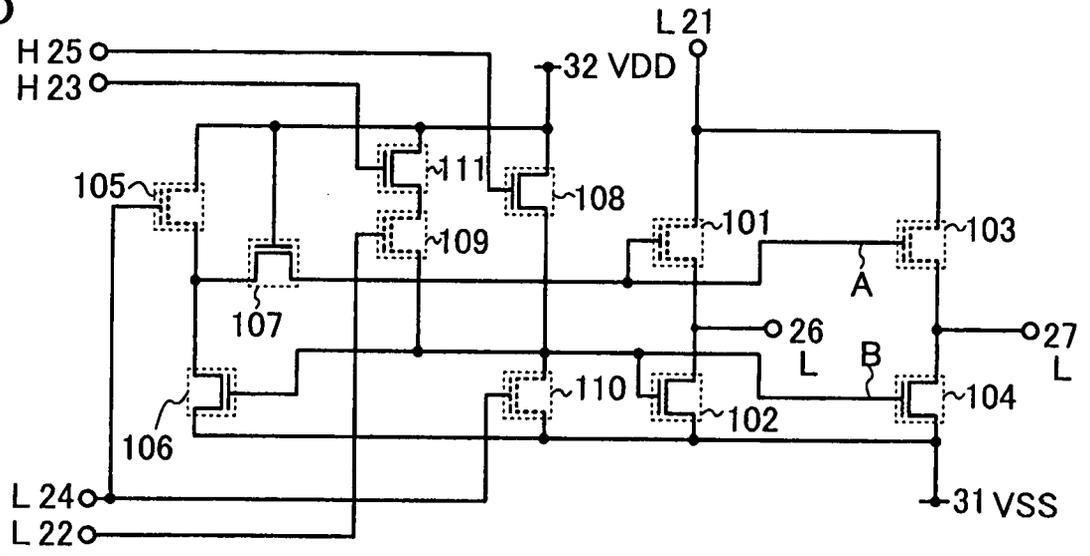


圖 4C

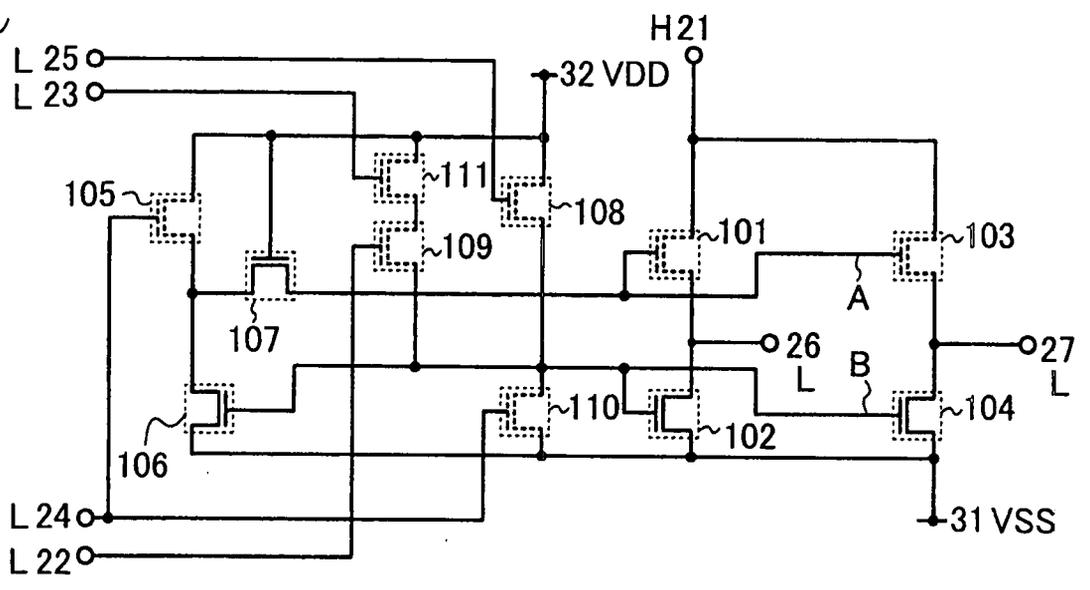




圖 6A

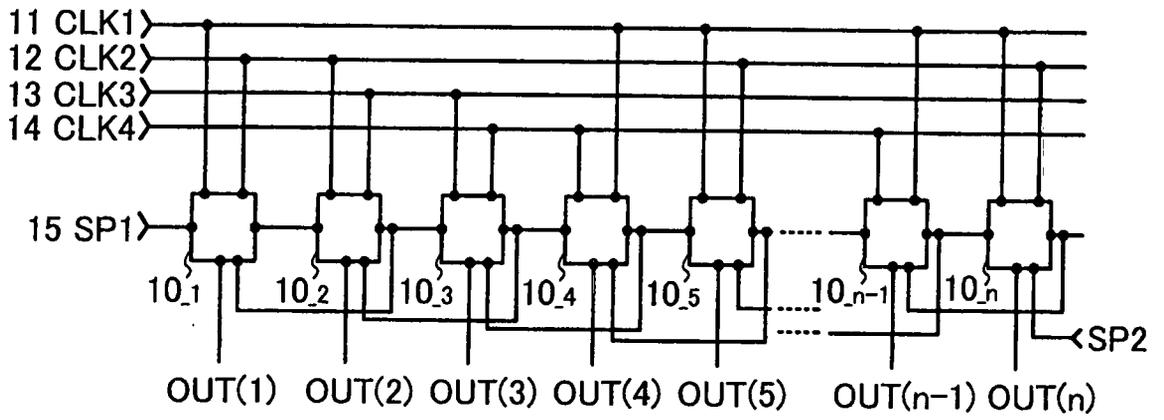


圖 6B

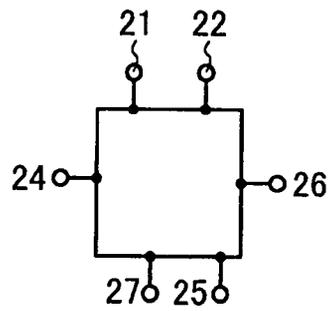


圖 6C

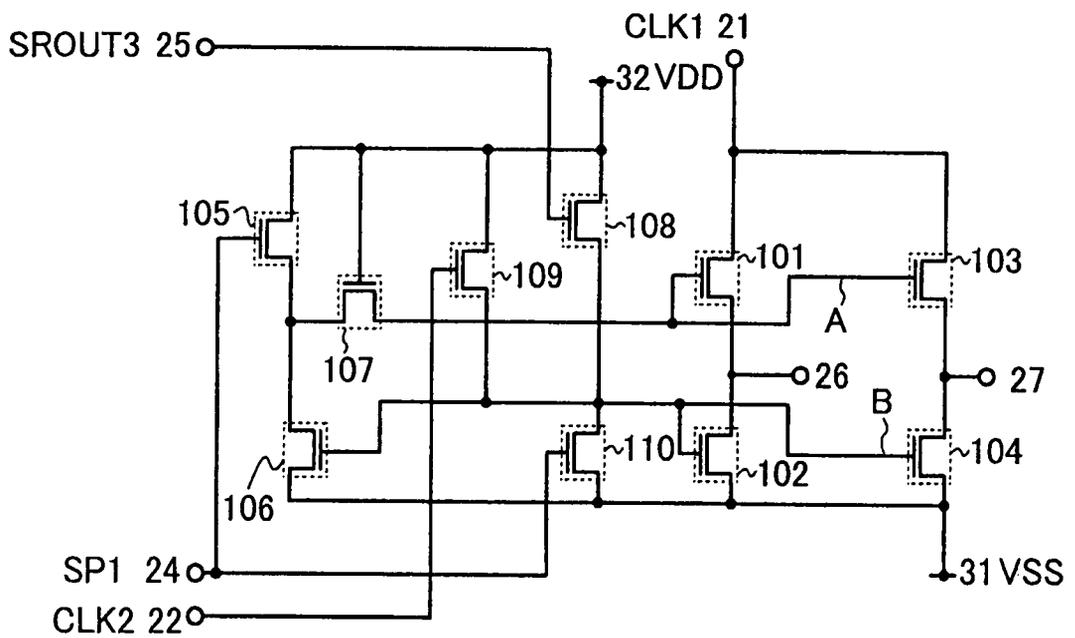


圖 7

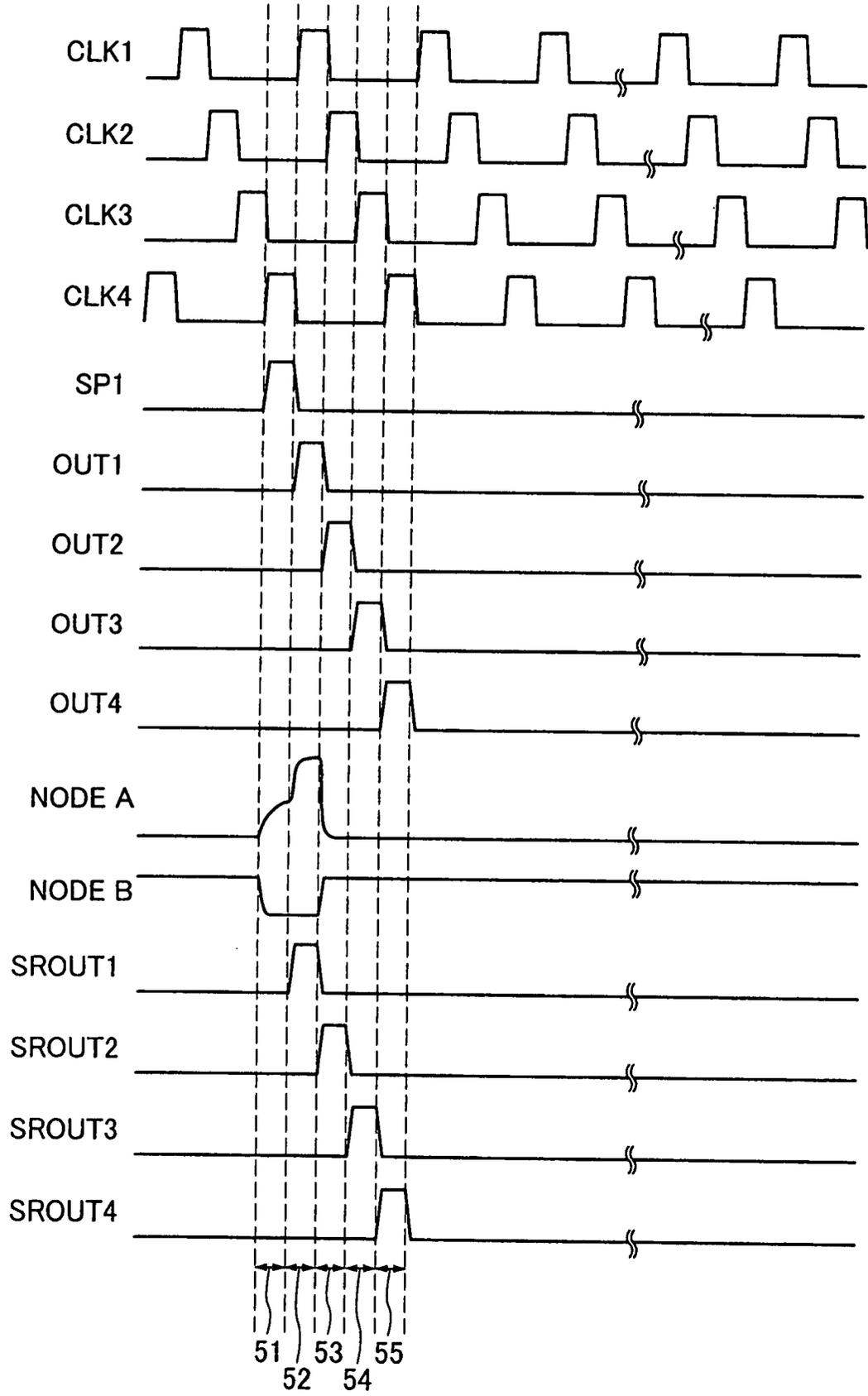


圖 8A

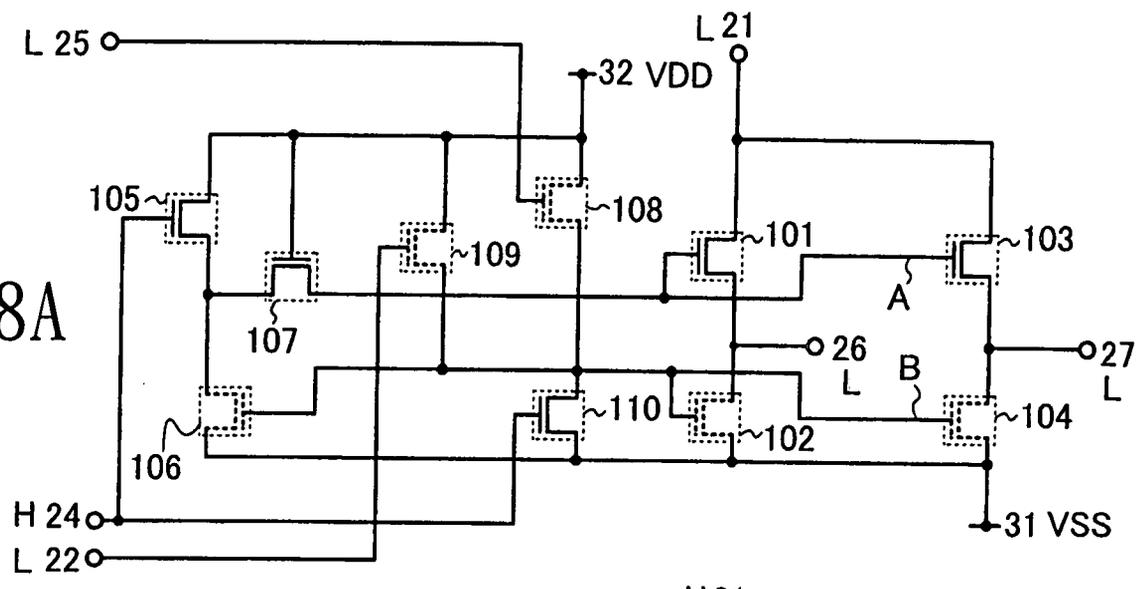


圖 8B

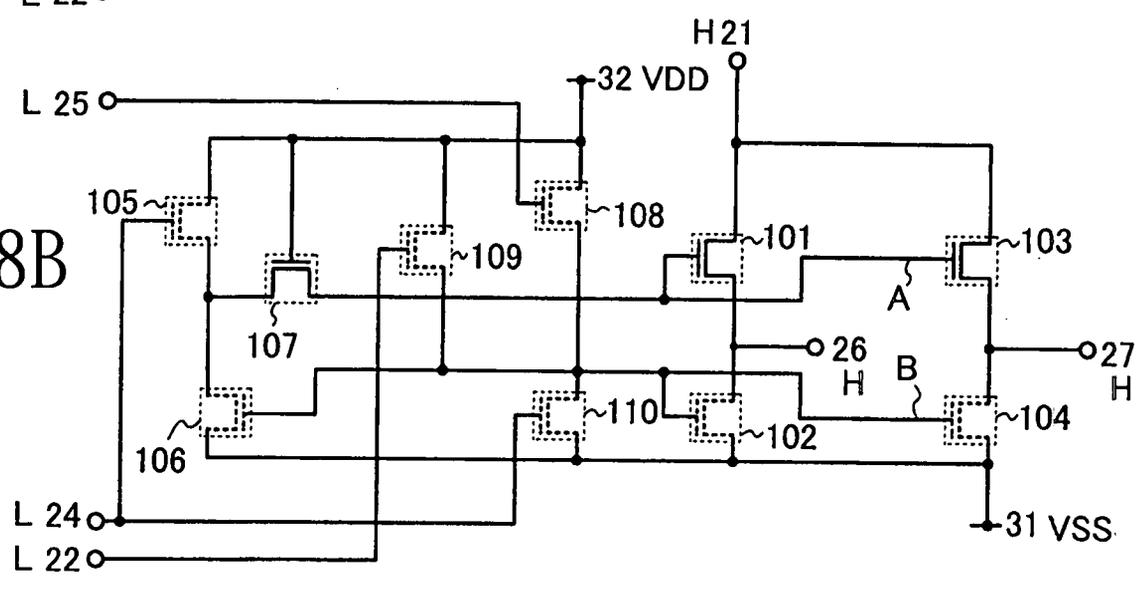


圖 8C

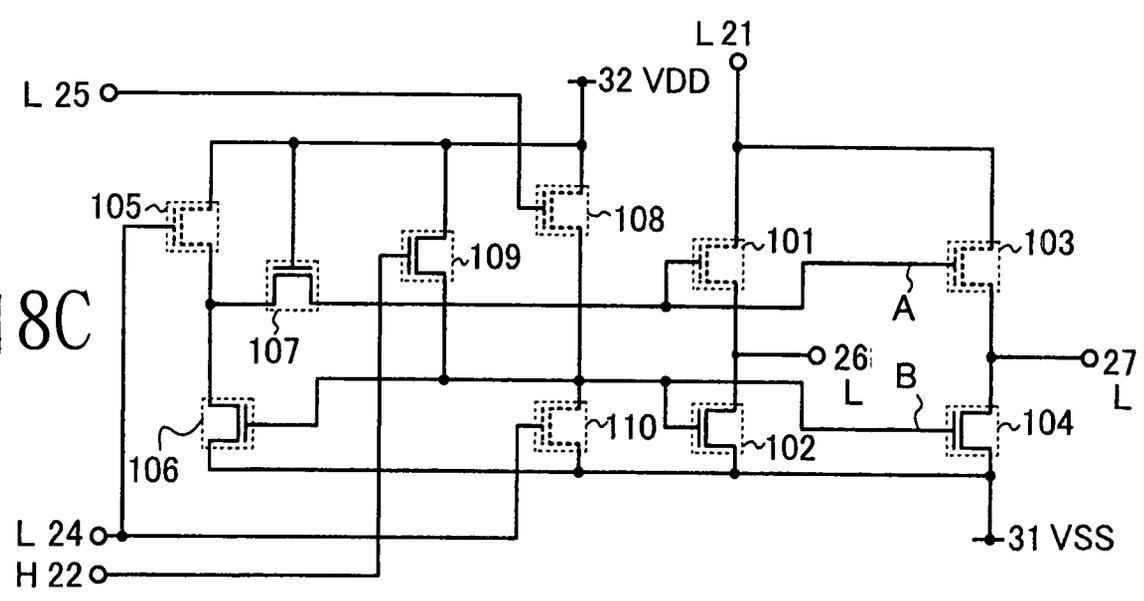


圖 9A

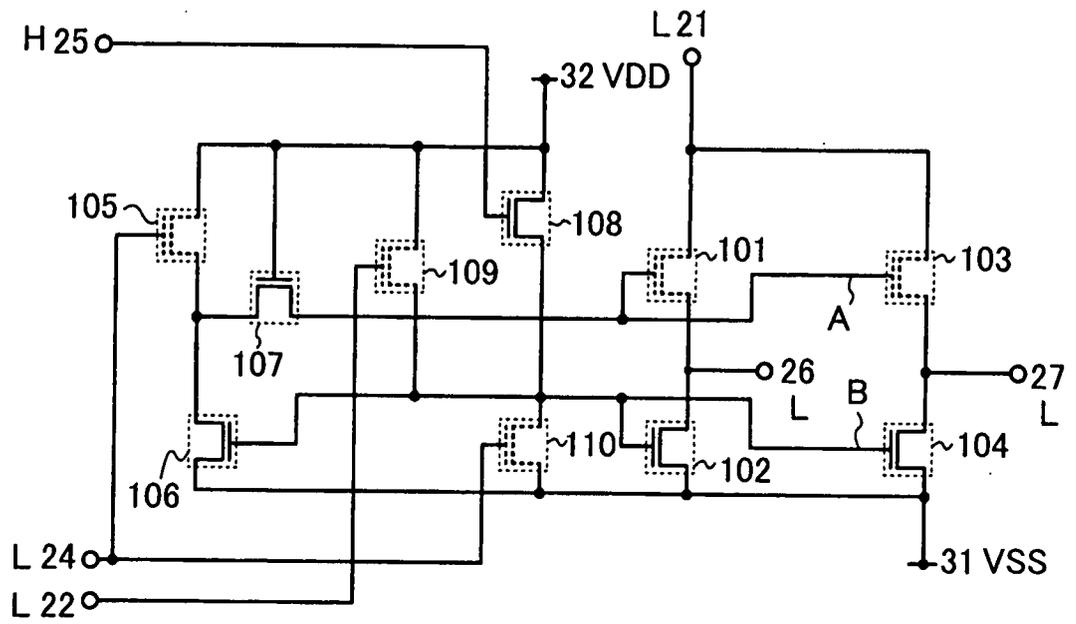


圖 9B

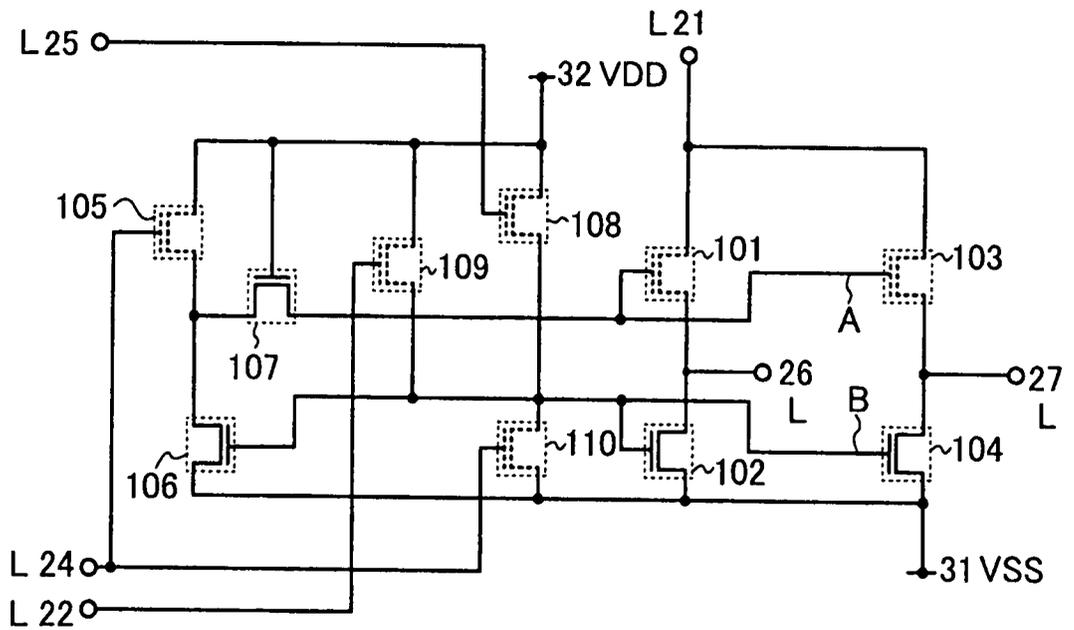


圖 10A

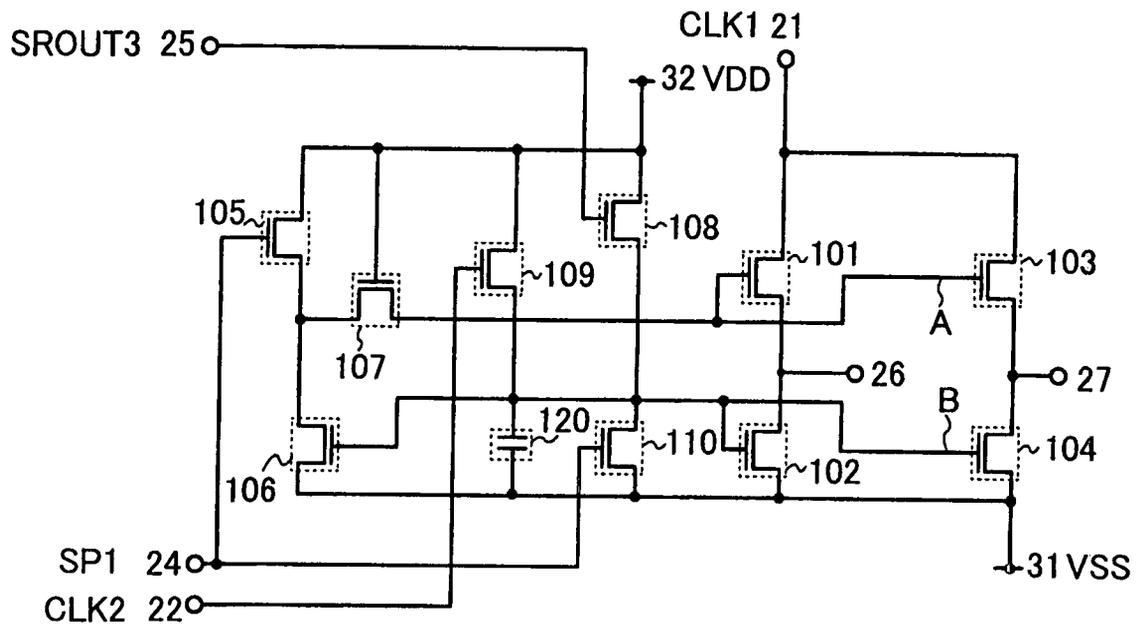


圖 10B

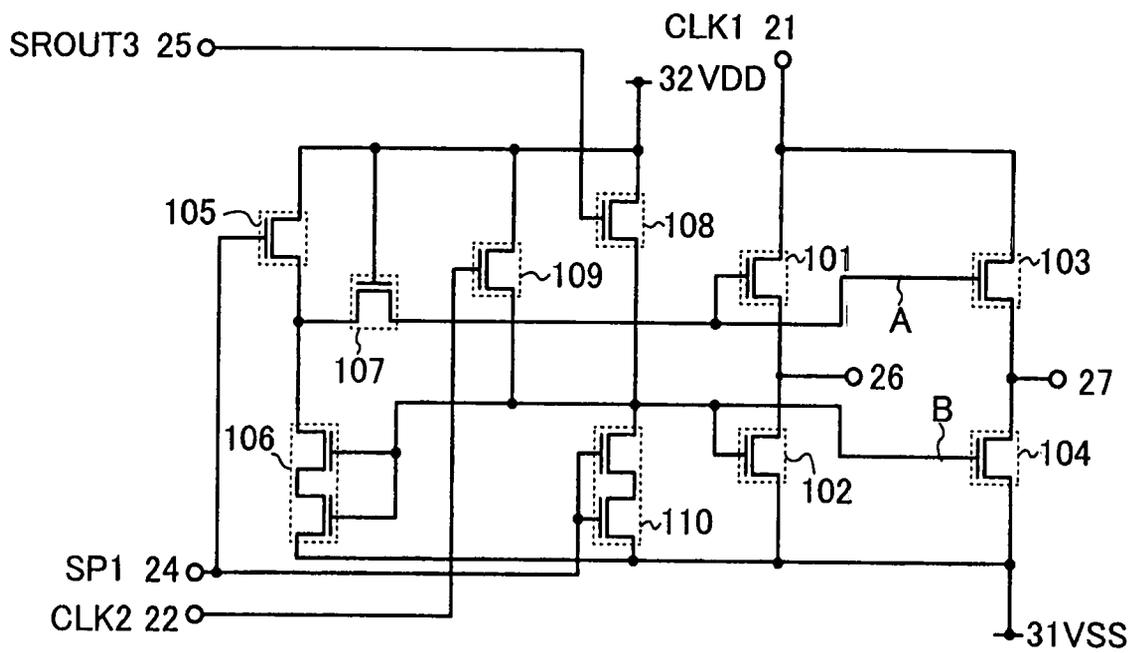


圖 11A

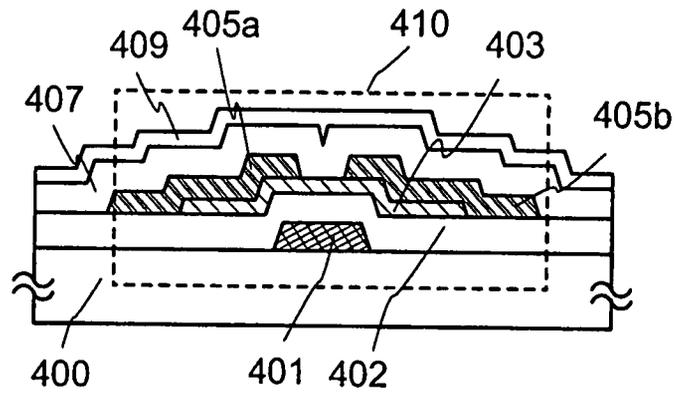


圖 11B

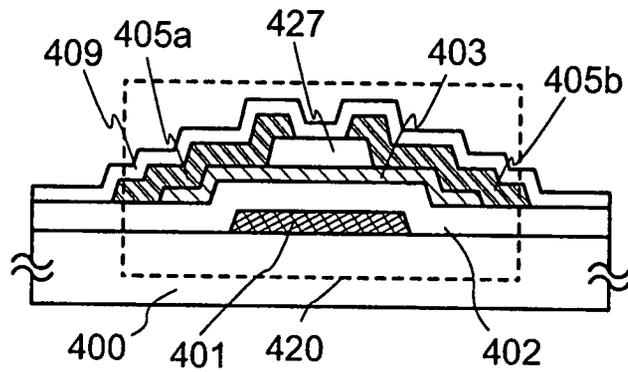


圖 11C

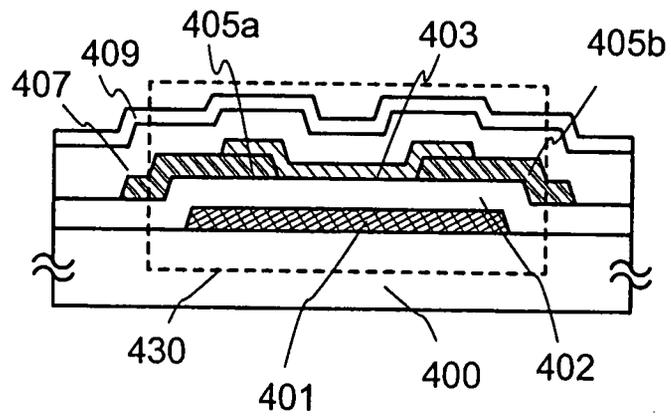


圖 11D

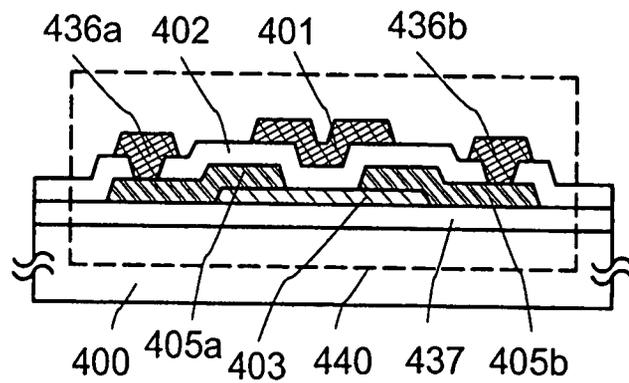


圖 12A

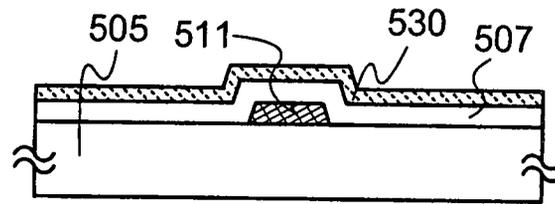


圖 12B

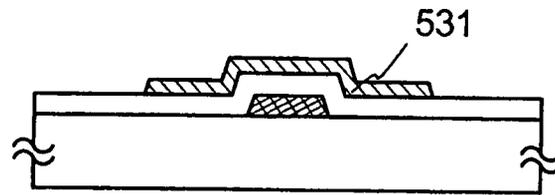


圖 12C

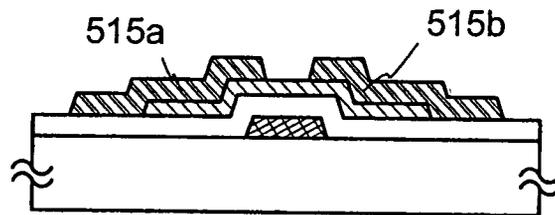


圖 12D

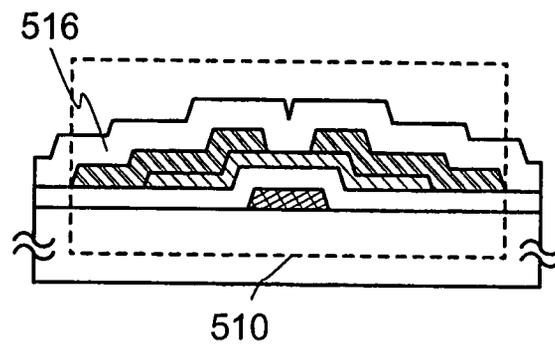


圖 12E

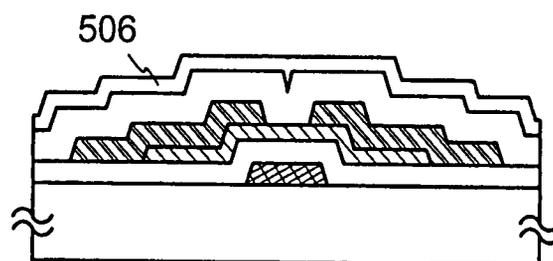


圖 13A

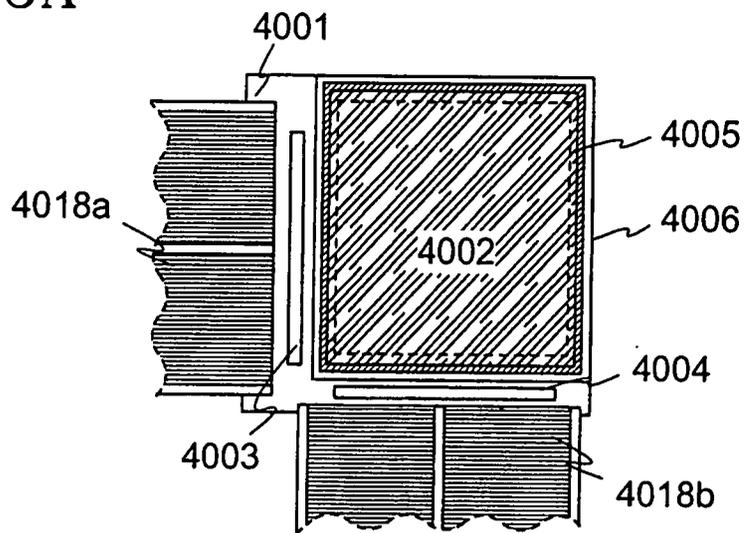


圖 13B

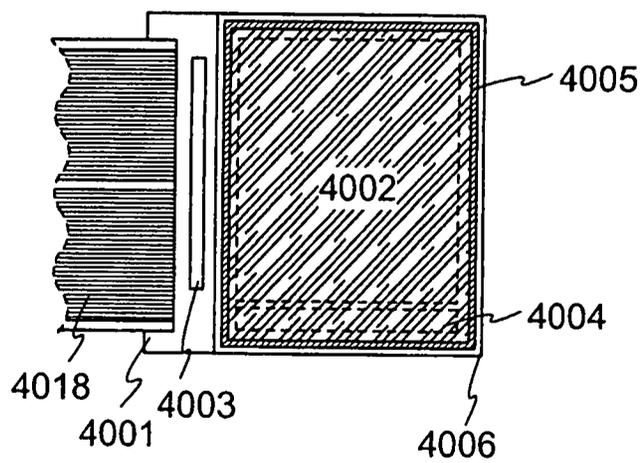


圖 13C

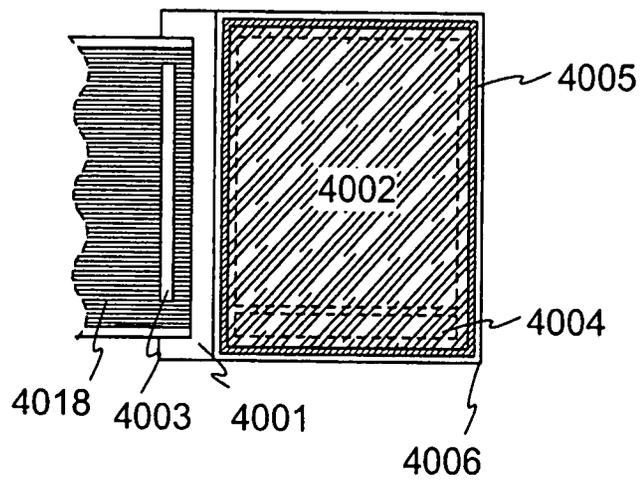


圖 14A

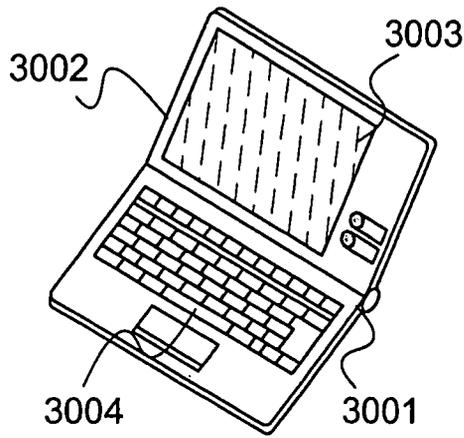


圖 14B

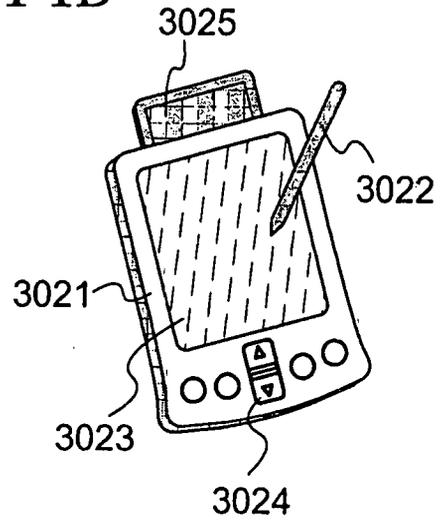


圖 14C

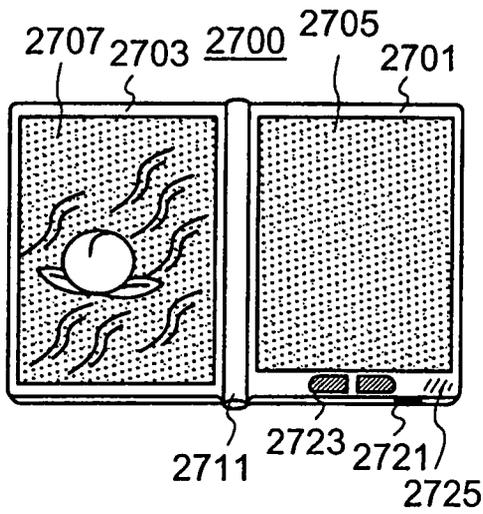


圖 14D

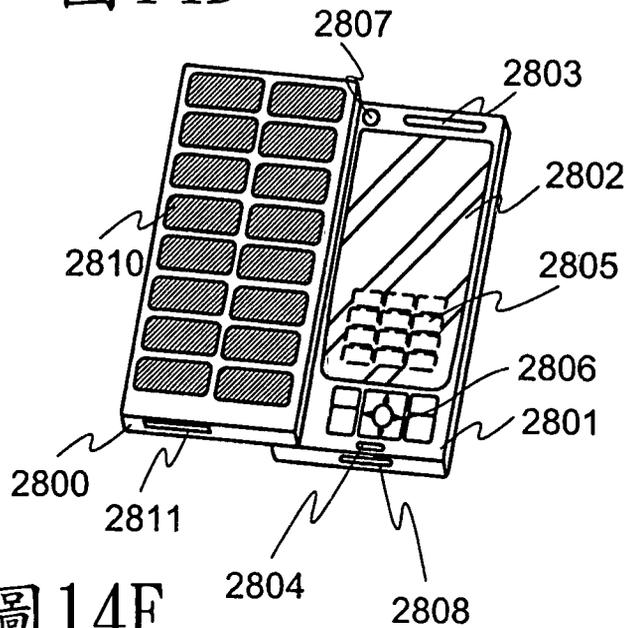


圖 14E

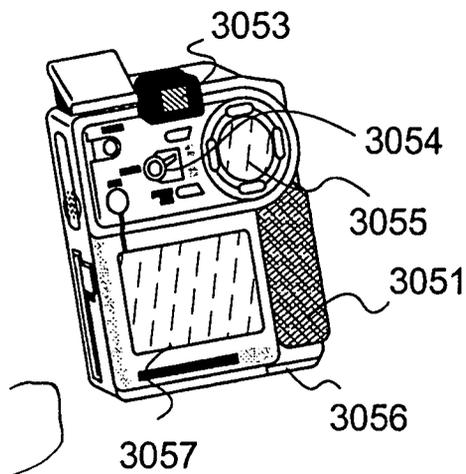


圖 14F

