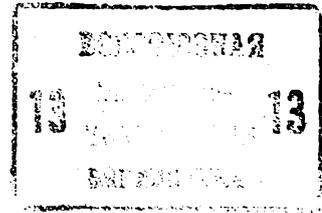




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3568265/24-21
(22) 24.03.83
(46) 15.04.85. Бюл. № 14
(72) Б.В.Шевкопляс
(53) 621.374.322(088.8)
(56) 1. Мейзда Ф. Интегральные схемы. Технология и применение. Пер. с англ. М., "Мир", 1981, с. 82.

2. Заявка Японии, кл. 98(9)Д91, 1969.

3. Авторское свидетельство СССР № 630755, кл. Н 03 К 23/02, 1978 (прототип).

(54) (57) ДВОИЧНЫЙ СЧЕТЧИК, содержащий первый регистр результата, выходы которого являются выходами счетчика, а вход младшего разряда, который выполнен в виде счетного триггера, - входом счетчика, и первый блок вычисления последующего кода, выходы которого соединены с входами всех разрядов первого регистра результата, кроме входа младшего разряда, прямой выход триггера младшего разряда первого регистра результата соединен с управляющим входом первого блока вычисления последующего кода, отличающийся тем, что, с целью уменьшения времени регистрации, первый регистр результата во всех разрядах, кроме младшего, выполнен в виде параллельного регистра, синхронизирующий вход которого соединен с инверсным выходом счетного триггера младшего разряда первого регистра результата, первый блок вычисления последующего кода содержит второй регистр результата, младшие разряды которого выполнены в виде группы счетных триггеров,

которые соединены последовательно, а старшие разряды - в виде параллельного регистра, выходы второго регистра результата являются выходами первого блока вычисления последующего кода, а вход младшего разряда второго регистра результата - управляющим входом первого блока вычисления последующего кода, второй блок вычисления последующего кода, выходы которого соединены с входами старших разрядов второго регистра результата, прямой выход триггера старшего разряда группы счетных триггеров второго регистра результата соединен с управляющим входом второго блока вычисления последующего кода, инверсный выход триггера старшего разряда группы счетных триггеров второго регистра результата соединен с синхронизирующим входом параллельного регистра старших разрядов второго регистра результата, последующий К-й блок вычисления последующего кода, который содержит (К+1)-й регистр результата, младшие разряды которого выполнены в виде последовательно соединенной группы счетных триггеров, а старшие разряды - в виде параллельного регистра, выходы (К+1)-го регистра результата являются выходами К-го блока вычисления последующего кода, а вход младшего разряда (К+1)-го регистра результата - управляющим входом К-го блока вычисления последующего кода, (К+1)-й блок вычисления последующего кода, выходы которого соединены с входами параллельного регистра старших разрядов

(19) SU (11) 1150758 A

(K+1)-го регистра результата, прямой выход триггера старшего разряда группы счетных триггеров, которые соединены последовательно, (K+1)-го регистра результата соединен с управляющим входом (K+1)-го блока вычис-

ления последующего кода, инверсный выход триггера старшего разряда группы младших разрядов (K+1)-го регистра результата соединен с синхронизирующим входом параллельного регистра старших разрядов K+1-го регистра результата.

1

Изобретение относится к импульсной технике, в частности к двоичным счетным устройствам.

Известен двоичный счетчик со сквозным переносом, содержащий в каждом разряде J-K триггер с объединенными J-K входами, вход счетчика соединен со всеми входами синхронизации J-K триггеров, J-K входы триггера любого разряда, кроме младшего, соединены с выходом соответствующего элемента И, входы которого соединены с выходами всех предыдущих разрядов, начиная с младшего, J-K входы триггера младшего разряда соединены с шиной единичного логического сигнала [1].

Недостатком этого счетчика является линейная зависимость числа входов элементов И и нагрузки на выходы младших разрядов от разрядности счетчика. Это приводит к необходимости каскадирования элементов И и умощнения сигналов, что, в свою очередь приводит к снижению максимально допустимой частоты работы счетчика и к увеличению времени регистрации.

Известен двоичный счетчик, содержащий регистры результата, каждый из которых содержит счетные триггеры, которые соединены последовательно, и регистры, синхронизирующие входы которых соединены с управляющим входом регистра результата, выход которого является выходом регистра, входы которого соединены с выходами счетных триггеров [2].

Недостатком этого двоичного счетчика является сравнительно большое время регистрации, равное задержке появления кода на выходе после поступления входного импульса.

Наиболее близким по технической сущности к предлагаемому является двоичный счетчик, содержащий регистр

2

результата и блок вычисления последующего кода, регистр результата выполнен на счетных триггерах, вход триггера младшего разряда является входом счетчика, выходы счетных триггеров являются выходами счетчика, выходы всех триггеров, за исключением выхода триггера старшего разряда, соединены с входами блока вычисления последующего кода, выполненного на двухвходовых элементах И по схеме группового переноса [3].

Недостатком этого двоичного счетчика является большое время регистрации.

Цель изобретения - уменьшение времени регистрации счетчика.

Поставленная цель достигается тем, что в двоичном счетчике, содержащем первый регистр результата, выходы которого являются выходами счетчика, а вход младшего разряда, выполненного в виде счетного триггера, - входом счетчика, и первый блок вычисления последующего кода, выходы которого соединены с входами всех разрядов первого регистра результата, кроме входа младшего разряда, прямой выход триггера младшего разряда первого регистра результата соединен с управляющим входом первого блока вычисления последующего кода, первый регистр результата во всех разрядах, кроме младшего, выполнен в виде параллельного регистра, синхронизирующий вход которого соединен с инверсным выходом счетного триггера младшего разряда первого регистра результата, первый блок вычисления последующего кода содержит второй регистр результата, младшие разряды которого выполнены в виде группы счетных триггеров, которые соединены последовательно, а старшие разряды - в виде параллельного регистра, выходы вто-

рого регистра результата являются выходами первого блока вычисления последующего кода, а вход младшего разряда второго регистра результата - управляющим входом первого блока вычисления последующего кода, второй блок вычисления последующего кода, выходы которого соединены с входами старших разрядов второго регистра результата, прямой выход триггера старшего разряда группы счетных триггеров второго регистра результата соединен с управляющим входом второго блока вычисления последующего кода, инверсный выход триггера старшего разряда группы счетных триггеров второго регистра результата соединен с синхронизирующим входом параллельного регистра старших разрядов второго регистра результата, последующий K -й блок вычисления последующего кода, который содержит $(K+1)$ -й регистр результата, младшие разряды которого выполнены в виде последовательно соединенной группы счетных триггеров, а старшие разряды - в виде параллельного регистра, выходы $(K+1)$ -го регистра результата являются выходами K -го блока вычисления последующего кода, а вход младшего разряда $(K+1)$ -го регистра результата - управляющим входом K -го блока вычисления последующего кода, $(K+1)$ -й блок вычисления последующего кода, выходы которого соединены с входами параллельного регистра старших разрядов $(K+1)$ -го регистра результата, прямой выход триггера старшего разряда группы счетных триггеров, которые соединены последовательно, $(K+1)$ -го регистра результата соединен с управляющим входом $(K+1)$ -го блока вычисления последующего кода, инверсный выход триггера старшего разряда группы младших разрядов $(K+1)$ -го регистра результата соединен с синхронизирующим входом параллельного регистра старших разрядов $(K+1)$ -го регистра результата.

На фиг. 1 и 2 представлены примеры выполнения предлагаемого двоичного счетчика; на фиг. 3 - пример выполнения последовательного счетчика на D -триггерах; на фиг. 4 - временная диаграмма работы двоичного счетчика.

Двоичный счетчик (фиг. 1) содержит первый регистр 1 результата, выходы

2 которого являются выходами счетчика, а вход 3 младшего разряда, выполненный на счетном триггере 4, - входом счетчика. Устройство содержит также первый блок 5 вычисления последующего кода, выходы которого соединены с входами всех разрядов регистра 1, кроме входа 3 младшего разряда. Выход прямого плеча триггера 4 соединен с управляющим входом 6 блока 5.

Регистр 1 результата во всех разрядах, кроме младшего, выполнен в виде параллельного регистра 7, синхронизирующий вход 8 которого соединен с выходом нулевого плеча триггера 4.

Блок 5 содержит второй регистр результата 9, выходы которого являются выходами блока 5, а вход младшего разряда 10 группы счетных триггеров регистра 11, которые соединены последовательно - входом 6 блока 5. Блок 5 содержит второй блок 12 вычисления последующего кода, выходы которого соединены с входами всех разрядов регистра 9, кроме входов группы 11 счетных триггеров этого регистра. Прямой выход триггера 13 старшего разряда группы регистра 11 соединен с управляющим входом 14 блока 12. Инверсный выход триггера 13 соединен с синхронизирующим входом 15 параллельного регистра 16 остальных разрядов регистра 9.

Блок 12 содержит третий регистр результата 17, выходы которого являются выходами блока 12, а вход младшего разряда 18 группы 19 счетных триггеров этого регистра, которые соединены последовательно, - входом 14 блока 12. Блок 12 содержит третий блок вычисления последующего кода, выполненный по схеме счетчика 20 с последовательным переносом, выходы которого соединены с входами всех разрядов регистра 17, кроме входа последовательно соединенной группы 19 счетных триггеров этого регистра. Прямой выход триггера старшего разряда 21 группы 19 соединен со счетным входом 22 счетчика 20. Инверсный выход триггера 21 соединен с синхронизирующим входом 23 параллельного регистра 24 остальных разрядов регистра 17.

Счетчик (фиг. 2) содержит счетные триггеры 25, 26 и 27, последовательный двухзарядный счетчик 28 и регистр

ры с параллельным приемом информации 29, 30 и 31. Инверсные выходы триггеров 25, 26 и 27 соединены с входами синхронизации регистров 29, 30 и 31. Прямой выход триггера 25 соединен со 5 счетным входом триггера 26, прямой выход которого соединен со счетным входом триггера 27 и с входом младшего регистра 29. Прямой выход триггера 27 соединен со счетным входом счетчика 10 28 и с входом младшего разряда регистра 30. Счетчик 28 и регистры 31, 30 и 29 соединены последовательно, выход триггера 25 и выходы регистра 29 являются выходами счетчика.

На фиг.3 показан пример выполнения группы 19 счетных триггеров в виде группы D-триггеров 32, которые соединены последовательно, в каждом из которых инверсный выход 20 соединен с D-входом и с входом синхронизации триггера следующего разряда.

На фиг.4 приведены временные диаграммы, поясняющие работу счетчика, показанного на фиг.1. Эпюры 33-43 соответствуют входному сигналу f и сигналам в точках Q_1-Q_{10} схемы, приведенной на фиг.1.

Работа счетчика основана на предварительном формировании заготовок последующих кодов и дальнейшем их использовании при возникновении условий переноса. Эти заготовки формируются в свободное время и поэтому задержка распространения переноса скрыта от пользователя. 30 Время между положительным фронтом сигнала на входе счетчика 3 и моментом установления кода на всех его выходах 2 равно двум задержкам триггера и не зависит ни от текущей кодовой комбинации, ни от числа разрядов счетчика.

Пусть в исходном состоянии все триггеры, входящие в состав устройства (т.е. все разряды всех его регистров и внутренних счетчиков), находятся в нулевом состоянии (цепи сброса на фиг.1 не показаны). Предположим, что задержка срабатывания любого триггера составляет 20% от 50 длительности периода T входных импульсов, поступающих на вход 3. Это предположение соответствует наиболее тяжелому режиму работы счетчика данной конфигурации (фиг.1). Максимально допустимая частота повы-

шается с уменьшением разрядности счетного регистра при правильном выборе разрядности счетчика.

При поступлении на вход 3 первого импульса на выходе Q_1 триггера 4 формируется сигнал логической единицы (с элементарной задержкой, равной одной пятой части периода T). Положительный фронт сигнала в точке 6 переводит триггер в единичное состояние, подготавливая тем самым заготовку последующего кода "2" в регистре 9. При окончании входного импульса состояние устройства не 15 изменяется.

При поступлении на вход 3 второго импульса триггер 4 возвращается в нулевое состояние, при этом на входе 8 регистра 7 формируется сигнал логической единицы. Положительный фронт сигнала на входе 8 производит перепись заранее подготовленного кода из блока 5 в регистр 7. Состояние триггеров блока 5 в это 20 время является стабильным, что исключает "гэнки". Таким образом, на выходы 2 подается код "2", что и требуется. Задержка формирования этого кода относительно начала второго импульса на входе 3 определяется суммой задержек триггера 4 и триггера соседнего разряда регистра 7 (путь 3-4-10 пройден заранее при 30 воздействии на вход 3 первого импульса, когда необходимости в переносе еще не было).

При поступлении на вход 3 третьего импульса на выходе Q_1 вновь формируется сигнал логической единицы, а в счетном регистре формируется код 010 - заготовка для числа "4", которая переписывается в регистр 7 при поступлении на вход 3 четвертого импульса и т.д. 40

При поступлении на вход 3 седьмого импульса, как видно из диаграммы (фиг.4), срабатывает цепочка 3-4-10-13-18, в результате чего в регистре 17 формируется заготовка второго 45 порядка для числа "16", которая в нужные моменты времени передается в регистр 9, а затем через две элементарные задержки от начала 16-го импульса - на выходы 2 счетчика.

При поступлении логической единицы с выхода прямого плеча триггера 21 на вход 22 счетного регистра в нем производится вычисление новой заго-

товки третьего порядка, которая в дальнейшем в строго predeterminedенные для этого моменты времени продвигается к выходам устройства.

Таким образом, в счетчике постоянно на разных уровнях ведется скрытая работа по вычислению очередного кода и поэтому задача ускоренного распространения переноса подменяется простой переписью готового результата в выходной регистр.

Максимальное число каскадов регистра 11 выбирается исходя из следующего.

За время существования единичного сигнала в точке 6 нужно по крайней мере успеть пройти по цепи 10-13-15-16, т.е. преодолеть четыре элементарные задержки с тем, чтобы к моменту записи в регистр 7 (т.е. к моменту исчезновения единичного сигнала в точке 6), его входная информация уже установилась (с временным запасом, большим или равным элементарной задержке). Из этого следует, что при указанном ранее соотношении периода T и элементарной задержки разрядность регистра 11 должна быть меньшей или равной трем.

При разрядности регистра 11, равной единице, максимально допустимая частота работы счетчика повышается. При этом задержка триггера в предельном случае может составлять 33,3% от периода T входных импульсов.

Максимальное число каскадов регистра 19 определяется аналогично. За время существования единичного сигнала в точке 14, т.е. за 40 элементарных задержек (см. фиг.4, эшора Q_4 , условие $Q_4=1$ с учетом выбранного соотношения 1:5), можно в худшем случае, пройти через 38 каскадов регистра 19, через один каскад 24 и иметь в запасе одну элементарную задержку, как и ранее.

Принимая разрядность регистра 11 равной трем и разрядность регистра 19 равной 38, получим, что длительность положительного импульса в точке 22 составляет $2^{41}T$, откуда максимально допустимая длина регистра 20 составляет $(5 \cdot 2^{41} - 1)$ каскадов. Этот результат приведен для того, чтобы показать, что при использовании одностипных по быстродействию триггеров число ярусов не превышает показанного на фиг.1. Из этого также следует, что по мере снижения от яруса к ярусу можно использовать все более "медленные" логические элементы.

В таблице показаны все возможные состояния всех элементов (триггеров) 5-разрядного двоичного счетчика, приведенного на фиг.2.

В исходном состоянии (верхняя строка таблицы) все элементы счетчика сброшены. По положительному фронту первого входного импульса (строка 1 таблицы) устанавливаются в единичное состояние триггеры 25, 26 и 27 и триггер младшего разряда счетчика 28. При поступлении второго импульса триггер 25 сбрасывается в нулевое состояние, состояние триггера 26 не изменяется, а код с выхода триггера 26 и регистра 30 переписывается в регистр 29. В момент поступления 25-го импульса (см. выделенные строки в таблице) срабатывает самая длинная цепь 25-26-27-28. При этом, однако, перенос распространяется вглубь структуры и влияет лишь на значения заготовок, не вызывая при этом необходимости выжидания его распространения по указанной цепи.

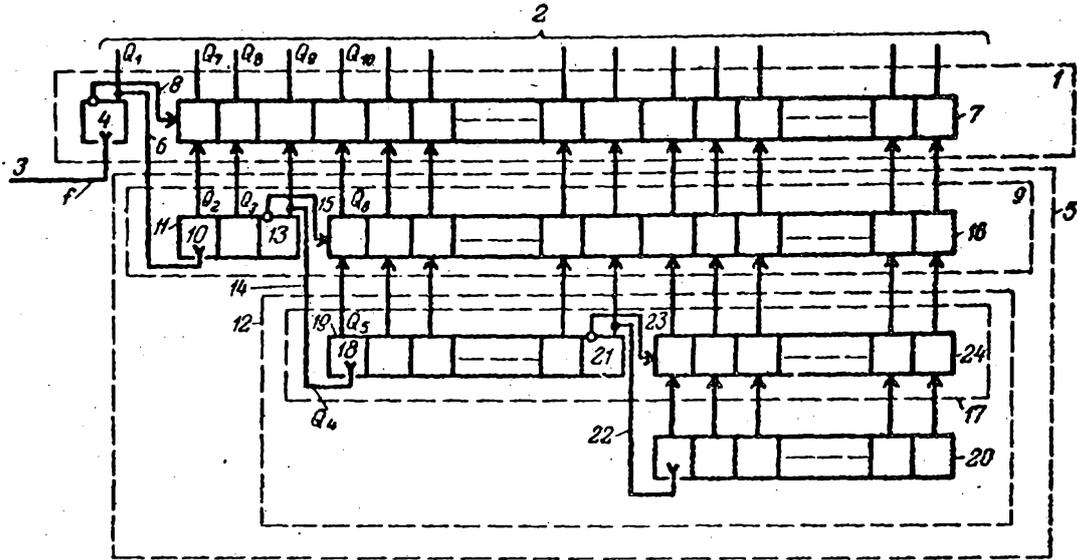
Использование изобретения позволяет уменьшить время регистрации счетчика в 2-5 раз и обеспечить практически полную независимость этого времени от разрядности счетчика.

№ п/п	a_5	a_4	a_3	a_2	a_1	b_4	b_3	b_2	b_1	c_3	c_2	c_1	d_2	d_1
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	1	0	0	1	0	1
2	0	0	0	1	0	0	0	0	1	0	0	1	0	1
3	0	0	0	1	1	0	0	1	0	0	0	1	0	1

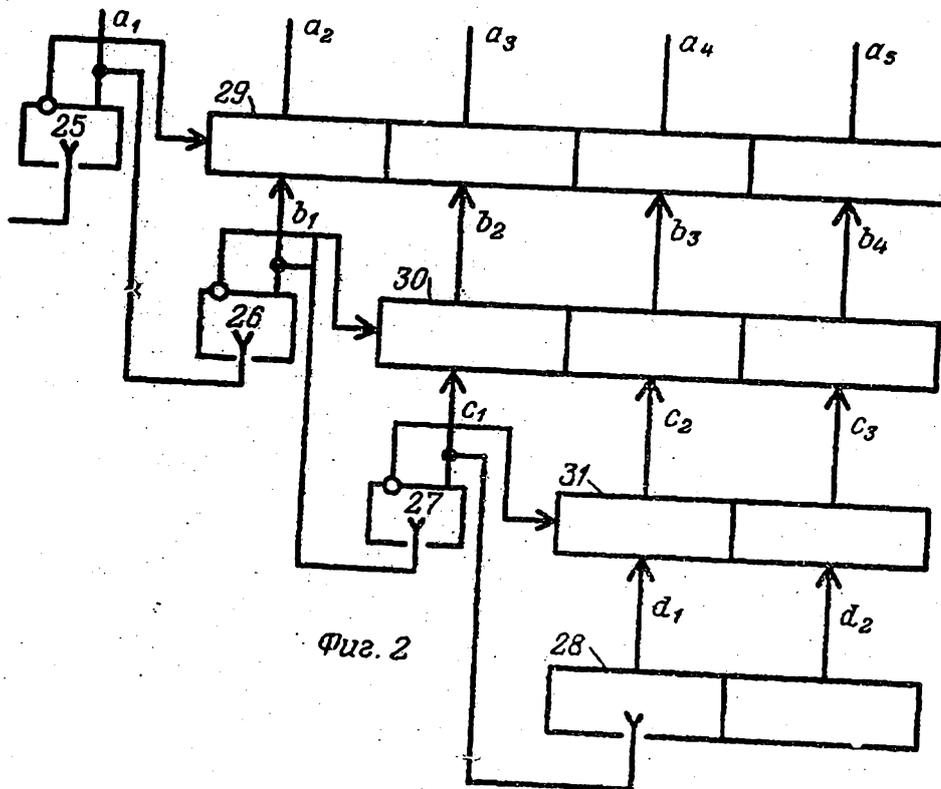
Продолжение таблицы

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
4	0	0	1	0	0	0	0	1	0	0	0	1	0	1
5	0	0	1	0	1	0	0	1	1	0	1	0	0	1
6	0	0	1	1	0	0	0	1	1	0	1	0	0	1
7	0	0	1	1	1	0	1	0	0	0	1	0	0	1
8	0	1	0	0	0	0	1	0	0	0	1	0	0	1
9	0	1	0	0	1	0	1	0	1	0	1	1	1	0
10	0	1	0	1	0	0	1	0	1	0	1	1	1	0
11	0	1	0	1	1	0	1	1	0	0	1	1	1	0
12	0	1	1	0	0	0	1	1	0	0	1	1	1	0
13	0	1	1	0	1	0	1	1	1	1	0	0	1	0
14	0	1	1	1	0	0	1	1	1	1	0	0	1	0
15	0	1	1	1	1	1	0	0	0	1	0	0	1	0
16	1	0	0	0	0	1	0	0	0	1	0	0	1	0
17	1	0	0	0	1	1	0	0	1	1	0	1	1	1
18	1	0	0	1	0	1	0	0	1	1	0	1	1	1
19	1	0	0	1	1	1	0	1	0	1	0	1	1	1
20	1	0	1	0	0	1	0	1	0	1	0	1	1	1
21	1	0	1	0	1	1	0	1	1	1	1	0	1	1
22	1	0	1	1	0	1	0	1	1	1	1	0	1	1
23	1	0	1	1	1	1	1	0	0	1	1	0	1	1
24	1	1	0	0	0	1	1	0	0	1	1	0	1	1
25	1	1	0	0	1	1	1	0	1	1	1	1	0	0
26	1	1	0	1	0	1	1	0	1	1	1	1	0	0
27	1	1	0	1	1	1	1	1	0	1	1	1	0	0
28	1	1	1	0	0	1	1	1	0	1	1	1	0	0
29	1	1	1	0	1	1	1	1	1	0	0	0	0	0
30	1	1	1	1	0	1	1	1	1	0	0	0	0	0
31	1	1	1	1	1	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

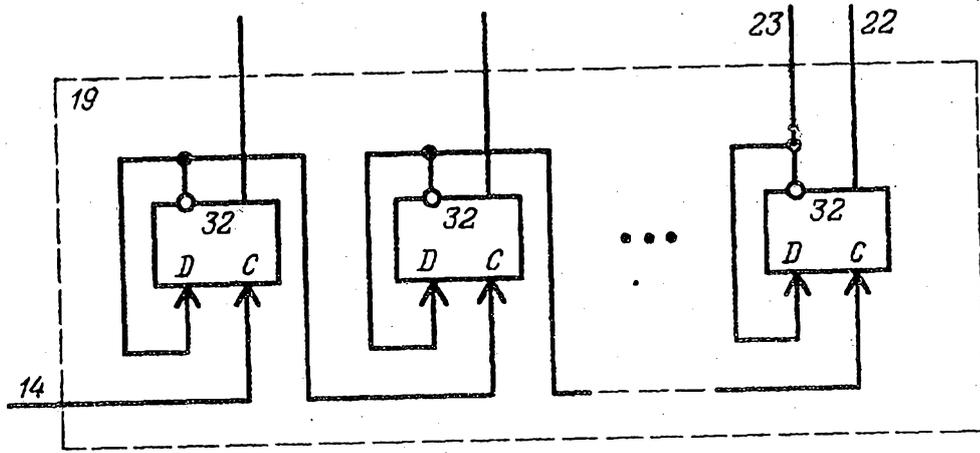
и т.д.



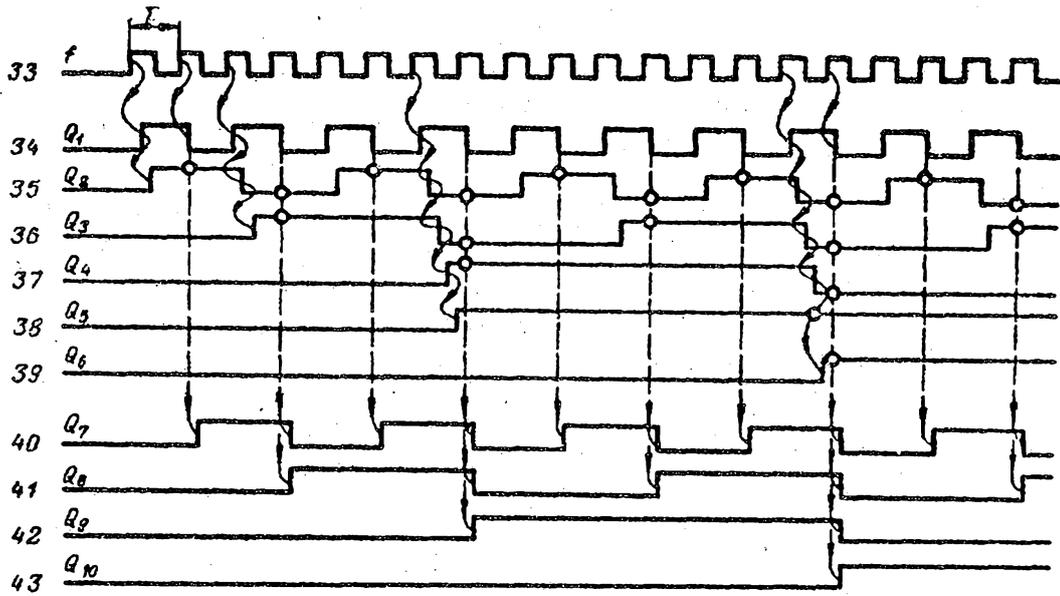
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4

Составитель О.Скворцов
 Редактор Л.Веселовская Техред Т.Дубинчак Корректор С.Черни

Заказ 2174/44 Тираж 872 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал НИИ "Патент", г. Ужгород, ул. Проектная, 4