



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0045012
(43) 공개일자 2009년05월07일

(51) Int. Cl.

H01L 23/28 (2006.01)

(21) 출원번호 10-2008-0103373

(22) 출원일자 2008년10월22일

심사청구일자 없음

(30) 우선권주장

JP-P-2007-281345 2007년10월30일 일본(JP)

(71) 출원인

신코오덴기 교교 가부시키키가이샤

일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자

스노하라 마사히로

일본국 나가노켄 나가노시 오시마다마치 80 신코오덴기 교교 가부시키키가이샤 내

(74) 대리인

문기상, 문두현

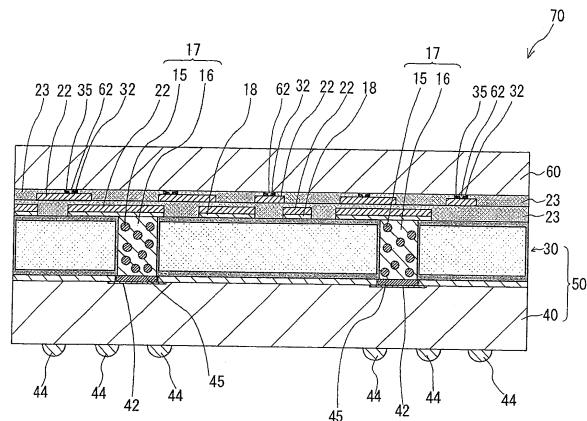
전체 청구항 수 : 총 7 항

(54) 실리콘 인터포저 제조 방법, 실리콘 인터포저 및 실리콘 인터포저를 구비하는 반도체 장치 패키지 및 반도체 장치

(57) 요약

본 발명의 실리콘 인터포저 제조 방법은 실리콘 웨이퍼(11)에 관통홀(12)을 형성하고, 실리콘 웨이퍼(11) 상에 산화 피복(13)을 형성하고, 관통홀(12)의 일 표면에 도금용 급전층(14)을 설치하고, 관통홀 전극(17)의 도전성 재료(16)의 열팽창 계수보다 열팽창 계수가 낮은 저열팽창 필러(15)를 관통홀(12)에 공급하고, 관통홀(12) 내에 도금에 의해 도전성 재료(16)를 채워서 관통홀 전극(17)을 형성하고, 도금용 급전층(14)을 제거하는 공정을 포함한다.

대표도 - 도8



특허청구의 범위

청구항 1

배선 기판과 반도체 소자 사이에 유지되어, 상기 배선 기판과 상기 반도체 소자를 관통홀 전극을 통해 전기적으로 접속하는 실리콘 인터포저(interposer)를 제조하는 방법에 있어서,

실리콘 웨이퍼에 관통홀을 형성하는 공정,

상기 실리콘 웨이퍼 상에 산화 피복을 형성하는 공정,

상기 관통홀의 일 표면에 도금용 급전층을 설치하는 공정,

상기 관통홀에 상기 관통홀 전극의 도전성 재료의 열팽창 계수보다 열팽창 계수가 낮은 저열팽창 필러를 공급하는 공정,

상기 관통홀 내에 상기 도전성 재료를 도금에 의해 채워서, 상기 관통홀 전극을 형성하는 공정, 및

상기 도금용 급전층을 제거하는 공정을 포함하는 것을 특징으로 하는 실리콘 인터포저 제조 방법.

청구항 2

배선 기판과 반도체 소자 사이에 유지되어, 상기 배선 기판과 상기 반도체 소자를 관통홀 전극을 통해 전기적으로 접속하는 실리콘 인터포저를 제조하는 방법에 있어서,

실리콘 웨이퍼에 관통홀을 형성하는 공정,

상기 실리콘 웨이퍼 상에 산화 피복을 형성하는 공정,

상기 관통홀의 일 표면에 도금용 급전층을 설치하는 공정,

상기 관통홀 전극의 도전성 재료의 열팽창 계수보다 열팽창 계수가 낮은 저열팽창 필러를 포함하는 도금액을 사용하고, 상기 도전성 재료 및 상기 저열팽창 필러를 상기 관통홀에 채움으로써 상기 관통홀 전극을 형성하는 공정, 및

상기 도금용 급전층을 제거하는 공정을 포함하는 것을 특징으로 하는 실리콘 인터포저 제조 방법.

청구항 3

제 2 항에 있어서,

상기 관통홀 전극을 형성하는 공정에서 상기 도금액을 교반하는 것을 특징으로 하는 실리콘 인터포저 제조 방법.

청구항 4

배선 기판과 반도체 소자 사이에 유지되어, 상기 배선 기판과 상기 반도체 소자를 관통홀 전극을 통해 전기적으로 접속하는 실리콘 인터포저에 있어서,

얇은 실리콘 웨이퍼, 및

상기 얇은 실리콘 웨이퍼에 설치되고, 도전성 재료 및 상기 도전성 재료의 열팽창 계수보다 열팽창 계수가 낮은 재료로 이루어진 저열팽창 필러가 채워지는 상기 관통홀 전극을 포함하는 것을 특징으로 하는 실리콘 인터포저.

청구항 5

제 4 항에 있어서,

상기 저열팽창 필러는 실리카, 알루미늄 및 실리콘 중 어느 하나인 것을 특징으로 하는 실리콘 인터포저.

청구항 6

청구항 4에 따른 실리콘 인터포저가 배선 기판에 전기적으로 접속되는 것을 특징으로 하는 반도체 장치 패키지.

청구항 7

청구항 4에 따른 실리콘 인터포저가 반도체 소자와 배선 기판 사이에 유지되어 상기 반도체 소자와 상기 배선 기판을 전기적으로 접속하는 것을 특징으로 하는 반도체 장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 실리콘 인터포저 제조 방법, 실리콘 인터포저 및 실리콘 인터포저를 구비하는 반도체 장치 패키지 및 반도체 장치에 관한 것이다.

배경 기술

- <2> 예를 들면, 글래스(glass) 에폭시 재료로 이루어지고 배선 패턴이 형성되는 배선 기판 상에, 반도체 소자를 탑재하고 솔더링(soldering)을 수행함으로써, 반도체 장치를 제조하는 경우에, 배선 기판 및 반도체 소자를 솔더 용융 온도까지 가열할 필요가 있다. 이 때, 글래스 에폭시 재료로 이루어진 배선 기판의 열팽창 계수는 실리콘으로 이루어진 반도체 소자의 열팽창 계수와 상이하므로, 배선 기판과 반도체 소자 사이의 접속부에는 크랙이 발생할 수 있고, 솔더링 처리의 완료 후, 배선 기판과 반도체 소자가 냉각될 때, 반도체 소자가 손상될 수 있다.
- <3> 배선 기판과 반도체 소자 사이의 열팽창 계수의 차이로 인한 상술한 문제를 해결할 목적으로, 배선 기판과 반도체 소자 사이의 열팽창 계수의 차이로 인해 발생된 스트레스를 완화하는 동시에 배선 기판과 반도체 소자 사이의 전기적인 접속을 이루도록, 배선 기판과 반도체 소자 사이에 반도체 소자와 동일한 재료로 이루어진 실리콘 기판이 유지되는, 소위 실리콘 인터포저가 공지되어 있다.
- <4> 실리콘 인터포저 등을 구비하는 반도체 장치의 예로서는, 특허 문헌 1에 개시된 반도체 장치를 들 수 있다. 특허 문헌 1은 실리콘 기판(실리콘 인터포저)에 관통홀 전극을 형성하는 방법을 기재하고 있다. 구체적으로, 실리콘 기판에 관통홀 전극을 형성한 후, 실리콘 기판의 일 면 측에 제 1 금속층을 형성하고 보호 테이프를 부착하고, 제 1 금속층을 급전층으로 이용하여 전해 도금을 수행함으로써, 실리콘 기판의 다른 면 측으로부터 관통홀 전극 내에 제 1 금속층을 채우고, 이어서 관통홀 전극의 주변 이외의 제 1 금속층을 제거한다.
- <5> [특허 문헌 1] 일본 공개 특허 제2006-351968호 공보

발명의 내용

해결 하고자하는 과제

- <6> 그러나, 실리콘 인터포저를 구비하는 반도체 장치에서도, 관통홀 전극에 채워진 구리가 배선층을 보호하는 절연막으로서 기능하는 실리콘 산화물에 직접 접촉하는 부분에서는, 구리의 열팽창 계수(18.3 ppm/deg C)가 실리콘 산화물의 열팽창 계수(0.4 ppm/deg C)와 크게 상이하어, 이 접속부에서 크랙이 발생하는 문제가 생긴다.
- <7> 상기 문제를 해결하기 위해서, 본 발명은 관통홀 전극의 열팽창 계수를 관통홀 전극에 접속된 절연막의 열팽창 계수에 가깝게 함으로써, 열적 부하(thermal load)가 반복적으로 가해질지라도, 관통홀 전극과 관통홀 전극에 접촉하는 절연막 사이에 크랙이 야기되지 않는 실리콘 인터포저 제조 방법 및 실리콘 인터포저를 제공하고, 또한 본 발명은 실리콘 인터포저를 구비하는 반도체 장치 패키지 및 반도체 장치를 제공하는 것이다.

과제 해결수단

- <8> 본 발명의 제 1 양태에 따르면, 배선 기판과 반도체 소자 사이에 유지되어, 상기 배선 기판과 상기 반도체 소자를 관통홀 전극을 통해 전기적으로 접속하는 실리콘 인터포저를 제조하는 방법이 제공되고, 상기 방법은 실리콘 웨이퍼에 관통홀을 형성하는 공정, 상기 실리콘 웨이퍼 상에 산화 피복을 형성하는 공정, 상기 관통홀의 일 표면에 도금용 급전층을 설치하는 공정, 상기 관통홀에 상기 관통홀 전극의 도전성 재료의 열팽창 계수보다 열팽창 계수가 낮은 저열팽창 필러를 공급하는 공정, 상기 관통홀 내에 상기 도전성 재료를 도금에 의해 채워서, 상기 관통홀 전극을 형성하는 공정, 및 상기 도금용 급전층을 제거하는 공정을 포함한다.

- <9> 또한, 본 발명의 제 2 양태에 따르면, 배선 기판과 반도체 소자 사이에 유지되어, 상기 배선 기판과 상기 반도체 소자를 관통홀 전극을 통해 전기적으로 접속하는 실리콘 인터포저를 제조하는 방법이 제공되고, 상기 방법은 실리콘 웨이퍼에 관통홀을 형성하는 공정, 상기 실리콘 웨이퍼 상에 산화 피복을 형성하는 공정, 상기 관통홀의 일 표면에 도금용 급전층을 설치하는 공정, 상기 관통홀 전극의 도전성 재료의 열팽창 계수보다 열팽창 계수가 낮은 저열팽창 필러를 포함하는 도금액을 사용하고 상기 도전성 재료 및 상기 저열팽창 필러를 상기 관통홀에 채움으로써 상기 관통홀 전극을 형성하는 공정, 및 상기 도금용 급전층을 제거하는 공정을 포함한다.
- <10> 또한, 본 발명의 제 3 양태에 따르면, 상기 관통홀 전극을 형성하는 공정에서 상기 도금액을 교반하는 제 2 양태에 따른 방법이 제공된다.
- <11> 그러므로, 관통홀 전극을 도전성을 띠게 하는 도전성 재료 및 저열팽창 필러가 도금액에 균일하게 분산될 수 있어, 도전용 도전성 재료 및 저열팽창 필러는 관통홀 전극에 균일하게 채워질 수 있다.
- <12> 또한, 본 발명의 제 4 양태에 따르면, 배선 기판과 반도체 소자 사이에 유지되어, 상기 배선 기판과 상기 반도체 소자를 관통홀 전극을 통해 전기적으로 접속하는 실리콘 인터포저가 제공되고, 상기 실리콘 인터포저는 얇은 실리콘 웨이퍼, 및 상기 얇은 실리콘 웨이퍼에 설치되고 도전성 재료 및 상기 도전성 재료의 열팽창 계수보다 열팽창 계수가 낮은 재료로 이루어진 저열팽창 필러가 채워지는 상기 관통홀 전극을 포함한다.
- <13> 또한, 본 발명의 제 5 양태에 따르면, 상기 저열팽창 필러는 실리카, 알루미늄 및 실리콘 중 어느 하나인 제 4 양태에 따른 실리콘 인터포저가 제공된다.
- <14> 그러므로, 저열팽창 필러를 저비용으로 용이하게 제조할 수 있다.
- <15> 또한, 본 발명의 제 6 양태에 따르면, 제 4 양태 또는 제 5 양태에 따른 실리콘 인터포저가 배선 기판에 전기적으로 접속되는 반도체 장치 패키지가 제공된다.
- <16> 또한, 본 발명의 제 7 양태에 따르면, 제 4 양태 또는 제 5 양태에 따른 실리콘 인터포저가 반도체 소자와 배선 기판 사이에 유지되어, 상기 반도체 소자와 상기 배선 기판을 전기적으로 접속하는 반도체 장치가 제공된다.

효 과

- <17> 본 발명에 따른 실리콘 인터포저 제조 방법, 실리콘 인터포저, 실리콘 인터포저를 구비하는 반도체 장치 패키지 및 반도체 장치에 의하면, 관통홀 전극 전체의 열팽창 계수는 관통홀 전극에 접속된 절연 피복 및 절연막의 열팽창 계수에 가까워질 수 있다. 따라서, 열적 부하가 반복적으로 가해질지라도, 관통홀 전극과 관통홀 전극에 접촉하는 절연 피복 및 절연막 사이에 크랙이 야기되지 않는 실리콘 인터포저를 제공할 수 있고, 또한 상기 실리콘 인터포저를 포함하는 반도체 장치 패키지 및 반도체 장치를 제공할 수 있다.
- <18> 또한, 도전성 재료 이외의 필러가 관통홀에 채워지므로, 관통홀 전극의 도전성 재료를 전해 도금에 의해 채우는 경우의 도금 시간이 현저하게 줄어드는 효과를 얻을 수 있다. 따라서, 실리콘 인터포저 및 실리콘 인터포저를 구비하는 반도체 장치 패키지 및 반도체 장치를 효과적으로 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

- <19> (제 1 실시예)
- <20> 이하에서는 본 발명에 따른 실리콘 인터포저(interposer)의 실시예를 도면에 의거하여 설명한다. 도 1a 내지 도 1d 및 도 5a와 도 5b는 이 실시예에 따른 실리콘 인터포저의 각각의 제조 공정에서의 관통홀 전극의 주변의 상태를 나타내는 단면도이다.
- <21> 우선, 도 1a에 나타난 바와 같이, 실리콘 웨이퍼(10)를 얇게 절단한 후, 연삭기 등을 사용하여 300 μm 의 두께로 연삭한다. 실리콘 웨이퍼(10)를 도 1b에 나타난 얇은 실리콘 웨이퍼(11)로 가공한 후, 얇은 실리콘 웨이퍼(11)의 표면을 관통홀(12)이 형성되는 영역에 개구부를 가지는 마스크로 덮고, 에칭을 수행함으로써, 도 1c에 나타난 관통홀(12)을 형성한다. 이 실시예에 따른 관통홀(12)은 60 μm 의 직경을 가지도록 형성된다. 관통홀(12)은 나중에 도전성 재료가 채워져서, 실리콘 인터포저(30)의 관통홀 전극(17)으로 형성된다.
- <22> 이어서, 얇은 실리콘 웨이퍼(11)를 열산화(thermal oxidation) 처리하여, 도 1d에 나타난 바와 같이 얇은 실리콘 웨이퍼(11)의 외측 표면에 실리콘 산화 피복(13)을 형성한다. 이 실시예에서, 얇은 실리콘 웨이퍼(11)를 산소로(oxygen furnace) 내부에서 6 시간 동안 1000 $^{\circ}\text{C}$ 로 열 산화 처리한다. 이 방식으로 형성된 실리콘 산화 피

복(13)의 두께는, 대략 $1.5\ \mu\text{m}$ 이다.

- <23> 얇은 실리콘 웨이퍼(11) 상에 실리콘 산화 피복(13)을 형성한 후에, 도 2a에 나타난 바와 같이 얇은 실리콘 웨이퍼(11)의 일 면에 구리막 등의 금속막(14)을 본딩한다. 금속막(14)은 전해 도금을 수행할 때, 급전층으로서 사용되고, 관통홀(12) 내에 채워지는 저열팽창 필러(low thermal expansion filler)로서 기능하는 실리카 입자(15) 및 도전성 재료로서 기능하는 구리(16)를 지지할 수 있는 두께를 가지도록 형성되어야만 한다.
- <24> 이어서, 도 2b에 나타난 바와 같이 관통홀(12) 내에 실리카 입자(15)를 채운다. 실리카 입자(15)는, 도 2b에 나타난 바와 같이 관통홀(12) 내에 관통홀(12)의 높이 전체에 걸쳐 채워지는 것이 바람직하다.
- <25> 관통홀(12) 내에 소정량의 실리카 입자(15)를 채운 후, 관통홀(12) 내에 관통홀 전극(17)의 도전성 재료로 기능하는 구리(16)를 채운다. 이 실시예에서, 구리(16)는 전해 구리 도금법을 이용하여 관통홀(12) 내에 채워진다. 앞서 관통홀(12)에 채워진 실리카 입자의 비중은 2이고, 전해 구리 도금용 도금액의 비중은 대략 1.2이다. 그러므로, 전해 구리 도금을 수행하는 경우, 관통홀(12)에 이미 채워진 실리카 입자(15)는 부상(浮上)하지 않으며 관통홀(12)로부터 방출되지 않는다.
- <26> 또한, 구리(16)를 전해 구리 도금법을 이용하여 관통홀(12)에 채우므로, 관통홀(12)에 실리카 입자(15)를 미리 채웠을지라도, 실리카 입자(15, 15) 사이 공간에 구리(16)를 조밀하게 채울 수 있어, 관통홀 전극(17)의 도전(conduction)에는 문제가 없다. 이로써, 상술한 바와 같이 관통홀 전극(17)이 완성된다. 이 구성은 본 발명에 따른 관통홀 전극(17)을 형성하는데 필요한 시간이 구리(16)로만 관통홀 전극(17)을 형성하는 종래 기술에 따른 도금에 필요한 시간의 대략 절반으로 저감될 수 있다는 점에서 이점이 있다.
- <27> 실리카 입자(15) 및 구리(16)는, 도 2c에 나타난 바와 같이 관통홀 전극(17)에 대략 동일한 간격으로 채워진다. 상술한 바와 같이 관통홀 전극(17)을 형성한 후, 급전층으로서 사용된 금속막(14)을, 도 2d에 나타난 바와 같이 얇은 실리콘 웨이퍼(11)의 하면으로부터 제거한다. 전해 구리 도금이 되는 관통홀 전극(17)의 상층의 표면이 평탄하지 않은 경우에는, 관통홀 전극(17)의 표면을 필요에 따라 평탄화 처리한다.
- <28> 이하에서는 관통홀 전극(17)을 구성하는 실리카 입자(15) 및 구리(16)의 특성을 설명한다.
- <29> 관통홀 전극(17)을 도전성을 띠게 하는 구리(16)의 열팽창 계수는, 전술한 바와 같이 $18.3\ \text{ppm/deg C}$ 이고, 이 수치는 관통홀 전극(17)에 접속된 부분의 절연 피복 및 절연막으로서 기능하는 실리콘 산화물의 열팽창 계수($0.4\ \text{ppm/deg C}$)보다 현저하게 크다. 그러므로, 저열팽창 필러로 기능하고 관통홀 전극(17)의 도전성 재료로서 기능하는 구리(16)보다 열팽창 계수가 낮은 실리카 입자(15)를 관통홀(12) 내에 채움으로써, 관통홀 전극(17) 전체의 열팽창 계수를 낮출 수 있다.
- <30> 이 실시예에서, 관통홀 전극(17)의 열팽창 계수는 $10.0\ \text{ppm/deg C}$ 보다 낮게 설정된다. 관통홀 전극(17) 전체의 목표 열팽창 계수가 결정되면, 관통홀(12) 내에 채워질 실리카 입자(15)와 구리(16) 사이의 체적비가 계산에 의해 구해될 수 있다. 관통홀(12) 내에 채워질 실리카 입자(15)의 체적이 구해지면, 실리카 입자의 직경이 결정될 수 있다.
- <31> 이어서, 도 3a에 나타난 바와 같이, 얇은 실리콘 웨이퍼(11)의 반도체 소자 탑재면(솔더(16)가 채워지는 측의 관통홀 전극(17)의 면)에 스퍼터링(sputtering) 등에 의해 티타늄 또는 크롬으로 이루어진 시드층(도금된 시드층)(18)을 형성한다. 이 실시예에서, 도금된 시드층(18)은 $100\ \text{nm}$ 의 티타늄 스퍼터막을 형성하고, 이어서 티타늄 스퍼터막에 $300\ \text{nm}$ 의 구리 스퍼터막을 중첩시킴으로써 형성된다. 도면에서는, 티타늄 스퍼터막 및 구리 스퍼터막을 통합된 상태로 나타낸다.
- <32> 도 3b에 나타난 바와 같이, 상술한 바와 같이 형성된 도금된 시드층(18) 상에 솔더 레지스트(19)를 피복하고, 솔더 레지스트(19)를 노광 및 현상하여 도 3c에 나타난 레지스트 패턴(20)을 형성한다. 레지스트 패턴(20)을 형성한 후, 전해 구리 도금을 수행하여, 도 3d에 나타난 바와 같이 도전층(21)을 형성한다. 이 실시예에 따른 도전층(21)은 $3\ \mu\text{m}$ 의 두께를 가지도록 형성된다. 도전층(21)을 형성한 후에, 도 4a에 나타난 바와 같이 에칭을 수행하여 레지스트 패턴(20)을 제거한다. 이어서, 레지스트 패턴(20)으로 덮인 도금된 시드층(18)을 선택적으로 제거하여, 도 4b에 나타난 바와 같이 도전층(21)이 독립되는 배선 패턴(22)을 형성한다.
- <33> 이어서, 도 4c에 나타난 바와 같이, 배선 패턴(22)의 표면을 실리콘 산화막으로 형성된 절연막(23)으로 덮는다. 이 실시예에서, 실리콘 산화막은, 대략 $200\ ^\circ\text{C}$ 에서 저온 CVD법을 이용하여 형성된다. 절연막(23)을 형성한 후에, 도 4d에 나타난 바와 같이 절연막(23)의 상면을 연삭하여 평탄화한다. 이 실시예에서, 배선 패턴(22) 상의 절연막(23)은 $1\ \mu\text{m}$ 의 두께를 가지도록 평탄화된다.

- <34> 이어서, 도 5a에 나타난 바와 같이 절연막(23)을 에칭에 의해 부분적으로 제거하여서, 배선 패턴(22)의 일 부분이 외부로 노출되어 접속 패드(32)로서 기능하게 함으로써, 실리콘 인터포저(30)가 형성된다. 이 실시예에 따른 절연막(23)에 대한 에칭법으로서는 RIE(reactive ion etching)가 적용된다.
- <35> 또한, 도 5b에 나타난 바와 같이 실리콘 인터포저(30)의 상면 측(반도체 소자가 탑재되는 측)에는 필요에 따라 다층 배선(24)이 형성될 수 있다. 상층의 배선 패턴은, 절연막(23)으로서 실리콘 산화막을 사용하고, 상술한 방법과 동일한 방법을 이용하여 도금된 시드층을 형성하고, 도금된 시드층 상에 솔더 레지스트를 피복하고, 노광 및 현상을 수행하여 레지스트 패턴을 형성하고, 이어서 전해 도금을 수행하여 도전층을 형성하는 절차를 수행함으로써 형성될 수 있다.
- <36> 절연막(23)으로서 실리콘 산화막을 사용하는 것은 층 사이의 절연막(23)이 평탄화될 수 있고 미세 배선의 형성으로 인한 고밀도를 얻을 수 있으므로 유리하다.
- <37> 도 6은 이 실시예에 따른 실리콘 인터포저의 관통홀 전극의 주변의 구성을 나타내는 단면도이다. 도 6에 나타난 바와 같이, 이 실시예에 따른 실리콘 인터포저(30)에는 얇은 실리콘 웨이퍼(11)를 그 두께 방향으로 관통하는 관통홀(12)이 형성되고, 관통홀(12)의 내벽면을 포함하는 얇은 실리콘 웨이퍼(11)의 표면 전체에는 산화 피복(13)이 형성된다. 관통홀(12) 내에는 실리카 입자(15) 및 구리(16)가 채워져, 관통홀 전극(17)을 형성한다.
- <38> 관통홀 전극(17)을 도전성을 띠게 하는 구리(16) 및 저열팽창 필러로서 기능하고 구리(16)보다 열팽창 계수가 낮은 실리카 입자(15)가 관통홀 전극(17)에 채워지므로, 관통홀 전극(17) 전체의 열팽창 계수는 관통홀 전극을 구리(16)로만 형성하는 경우보다 현저하게 낮아질 수 있다. 즉, 관통홀 전극(17)이 가열 및 냉각되더라도, 관통홀 전극(17)의 열팽창 양 및 열수축 양은 실리콘 산화물로 이루어지고 관통홀 전극(17)에 접속된 절연 피복(13) 및 절연막(23)의 열팽창 양 및 열수축 양에 가까워진다. 그러므로, 열팽창 양 및 열수축 양으로 인한 스트레스 집중이 제거될 수 있다. 즉, 관통홀 전극(17)과 절연 피복(13) 및 절연막(23) 사이의 접속부에서 크랙의 발생이 방지되므로, 관통홀 전극(17)의 전기적 접속의 신뢰성은 향상될 수 있다.
- <39> 관통홀 전극(17)에서, 반도체 소자(60)가 탑재되는 측(도면에서 상면 측)의 얇은 실리콘 웨이퍼(11) 상에는, 도금된 시드층(18)이 산화 피복(13) 상에 형성되고, 세미애디티브법(semi-additive method)을 이용하여 다층의 배선 패턴(22) 및 절연막(23)이 설치됨으로써, 다층 배선(24)이 형성된다. 다층 배선(24)의 상면에는, 배선 패턴(22)의 일 부분이 에칭에 의해 외부로 노출되어서, 실리콘 인터포저(30)의 접속 패드(32)를 형성한다.
- <40> 관통홀 전극(17)에 균일하게 채워진 실리카 입자(15)의 열팽창 계수는 구리(16)의 열팽창 계수보다 작으므로, 후술하는 바와 같이 실리콘 인터포저(30)를 반도체 소자(60)에 접속할 시, 상술한 구성을 가지는 실리콘 인터포저(30)를 솔더 용융 온도로 가열하고 이어서 실온으로 냉각하는 경우에, 관통홀 전극(17) 전체의 열팽창 계수는 절연 피복(13) 및 절연막(23)의 열팽창 계수에 가까워진다. 즉, 관통홀 전극(17)과 절연 피복(13) 및 절연막(23) 사이의 접속부 주변의 열팽창 계수의 차이로 인한 열 스트레스 집중이 현저하게 저감되므로, 크랙의 발생이 방지된다. 이 구성은, 전술한 바와 같이 관통홀 전극(17)의 전기적 접속의 신뢰성이 향상됨에 따라, 실리콘 인터포저(30)의 전기적 접속의 신뢰성이 향상되는 것에서 이점이 있다.
- <41> 상술한 바와 같이 형성된 실리콘 인터포저(30)에서, 관통홀 전극(17)의 하면 측(금속막(14)이 본딩되는 면의 측)에는, 접속 패드(42) 및 외부 접속 단자(44)가 형성되고 솔더(45)가 접속 패드(42)에 가해지는 빌드업 기관 등의 배선 기관(40)이 전기적으로 접속됨으로써, 도 7에 나타난 반도체 장치 패키지(50)를 얻을 수 있다.
- <42> 또한, 도 7에 나타난 반도체 장치 패키지(50)의 상면의 다층 배선(24)의 표면에 형성된 접속 패드(32)에는 솔더(35)가 가해지고, 접속 패드(32)에는 금(gold) 범프 등의 전극(62)이 형성된 반도체 소자(60)가 탑재된다. 이어서, 반도체 소자(60)를 반도체 장치 패키지(50)에 전기적으로 접속함으로써, 도 8에 나타난 반도체 장치(70)를 얻을 수 있다.
- <43> 또한, 반도체 장치(70)가 외부 접속 단자(44)를 통해 도시 생략한 마더 보드 등에 탑재되고 반도체 장치(70) 및 마더보드 서로는 전기적으로 접속될 수 있다.
- <44> 상술한 바와 같이 형성된 반도체 장치 패키지(50) 및 반도체 장치(70)에서, 반도체 소자(60)의 열팽창 양(열수축 양)은 실리콘 인터포저(30)의 열팽창 양(열수축 양)에 필적할 수 있다. 그러므로, 실리콘 인터포저(30)를 솔더 용융 온도로 가열하여 실리콘 인터포저(30)의 접속 패드(32)를 반도체 소자(60)의 전극(62)에 접속하고, 그 후 실온으로 냉각하여도, 그 열팽창 양 및 열수축 양이 매우 작으므로, 반도체 소자(60)를 손상시킬 위험은 없다. 또한, 실리콘 인터포저(30)에 형성된 관통홀 전극(17)에 실리카 입자(15)가 채워져서, 관통홀 전극(17)

전체의 열팽창 계수가 실리콘 산화물로 형성되고 관통홀 전극(17)에 접속된 절연 피복(13) 및 절연막(23)의 열팽창 계수에 가까워지므로, 관통홀 전극(17)의 주변에서 크랙이 발생하는 것을 확실히 방지할 수 있다.

<45> 그러므로, 반도체 장치 패키지(50) 및 반도체 장치(70)는 매우 높은 신뢰성을 가질 수 있다.

<46> (제 2 실시예)

<47> 도 9는 제 2 실시예에 따른 실리콘 인터포저의 관통홀 전극의 주변의 상태를 나타내는 단면도이다.

<48> 이 실시예는 관통홀(12) 내에 실리카 입자(15, 15, ...)를 다수의 미세 입자 형태로 채우는 대신에, 관통홀(12) 내에 수용될 수 있는 큰 직경을 가지도록 형성된 단일 실리카 입자(15)가 수용되는 것이 특징이다. 이 실시예에 따른 구성을 채택하면, 실리카 입자(15)의 제조가 용이할 수 있고 실리카 입자(15)의 관통홀(12) 내로의 수용 작업이 용이하게 수행될 수 있다는 이점이 있다.

<49> (제 3 실시예)

<50> 도 10은 제 3 실시예에 따른 실리콘 인터포저의 관통홀 전극의 주변의 상태를 나타내는 단면도이다.

<51> 이 실시예는 관통홀(12) 내에 수용될 수 있는 크기를 가지도록 형성된 바늘형(acicular) 실리카 조각(15A)이 그 내에 수용되는 것을 특징으로 한다. 이 실시예에 따른 바늘형 실리카 조각(15A)의 높이는 관통홀(12)의 높이와 대략 동일한 것이 바람직하다. 또한, 도 10의 관통홀(12) 내에는 다수의 바늘형 실리카 조각(15A)이 수용되지만, 단일 바늘형 실리카 조각(15A)이 관통홀(12) 내에 수용될 수 있음은 물론이다.

<52> 제 2 실시예 및 제 3 실시예에 따른 실리콘 인터포저(30)와 실리콘 인터포저(30)를 구비하는 반도체 장치 패키지(50) 및 반도체 장치(70)의 제조 방법은 제 1 실시예에 따른 제조 방법과 동일하므로, 그 제조 방법의 설명은 생략한다.

<53> (제 4 실시예)

<54> 도 11a 내지 도 11c는 제 4 실시예에 따른 실리콘 인터포저의 관통홀 전극의 주변의 상태를 나타내는 단면도이다.

<55> 앞선 실시예에서는, 관통홀(12) 내에 그 전체 높이를 따라 실리카 입자(15)를 채운 후에, 실리카 입자(15)의 사이 공간에 전해 구리 도금법에 의해 구리(16)를 채우는(퇴적하는) 두 개의 공정에 의해 관통홀 전극(17)을 형성하는 방법을 설명하였다. 그러나, 이 실시예는 관통홀 전극(17)의 도전성 재료로서 기능하는 구리(16) 및 구리(16)보다 열팽창 계수가 낮은 저열팽창 필러로서 기능하는 실리카 입자(15)를 하나의 공정에 의해, 관통홀(12) 내에 균일하게 채우는 것을 특징으로 한다.

<56> 얇은 실리콘 웨이퍼(11)에 관통홀(12)을 형성하고, 얇은 실리콘 웨이퍼(11)의 외측 표면에 산화 피복(13)을 형성하고, 얇은 실리콘 웨이퍼(11)의 하면에 전해 도금법에서 급전층으로서 기능하는 금속막(14)을 본딩하는 공정까지의 이 실시예에 따른 실리콘 인터포저(30)를 제조하는 방법은 제 1 실시예에 따른 실리콘 인터포저(30)를 제조하는 방법과 동일하므로, 여기에서는 그 상세한 설명을 생략한다. 도 11a에 나타난 바와 같이, 관통홀(12)을 가지는 얇은 실리콘 웨이퍼(11)의 표면에 산화 피복(13)을 형성하고 그 하면에 금속막(14)을 본딩한 후에, 관통홀 전극(17)의 도전성 재료로서 기능하는 구리(16) 및 구리(16)보다 열팽창 계수가 낮고 관통홀(12) 내에 퇴적될(채워질) 수 있는 필러로서 기능하는 실리카 입자(15)가 혼합되는 구리 도금액을 사용하는 전해 구리 도금법에 의해 도금을 수행한다.

<57> 이 실시예에서는, 도시 생략한 베스(bath) 내부에 교반기(stirrer)를 배치해서 도금액을 뒤섞으면서 전해 도금이 수행되므로, 구리 도금액의 비중(약 1.2)보다 높은 비중(약 2)을 가지는 실리카 입자(15)는 도금액에 퇴적되지 않는다. 이로써, 관통홀(12) 내에 구리(16) 및 실리카 입자(15)를 균일하게 채움으로써, 관통홀 전극(17)이 단일 공정에 의해 형성될 수 있다(도 11b에 도시한 바와 같음).

<58> 이 실시예에서, 전해 도금의 수행 시에 도금 베스 내부에 교반기를 배치할 필요가 있지만, 관통홀(12) 내에 실리카 입자(15)를 채우는 시간 및 노력은 저감될 수 있다. 그러므로, 이 구성은 관통홀 전극(17)을 형성하는 시간 및 노력이 현저하게 줄어든 수 있다는 점에서 이점이 있다.

<59> 관통홀 전극(17)을 형성한 후에, 도 11c에 나타난 바와 같이 급전층으로서 기능하는 금속막(14)을 제거하고, 관통홀 전극(17)의 상면이 평탄하지 않은 경우에는 연삭 등에 의해서 평탄화한다. 후속 공정은 제 1 실시예에 따른 도 3a 내지 도 3d와 도 5a 및 도 5b에 기초하여 설명한 방법(세미에디티브법)의 공정과 동일하므로, 후속 제

조 공정의 설명은 생략한다.

- <60> 이 실시예에 따라 얻어진 실리콘 인터포저(30)와 실리콘 인터포저(30)를 구비하는 반도체 장치 패키지(50) 및 반도체 장치(70)의 구성은 제 1 실시예에서 설명한 실리콘 인터포저(30)와 실리콘 인터포저(30)를 구비하는 반도체 장치 패키지(50) 및 반도체 장치(70)(도 6 내지 도 8 참조)의 구성과 동일하게 될 수 있으므로, 그 특성도 역시 제 1 실시예에 따른 실리콘 인터포저(30)와 실리콘 인터포저(30)를 구비하는 반도체 장치 패키지(50) 및 반도체 장치(70)와 동일하다.
- <61> 본 발명의 실시예에 따른 실리콘 인터포저(30)와 실리콘 인터포저(30)를 구비하는 반도체 장치 패키지(50) 및 반도체 장치(70)를 상술하였지만, 본 발명은 상술한 실시예에 한정되는 것은 아니고, 본 발명의 기술적 범주 내에서 다른 실시예가 이루어질 수 있음도 물론이다.
- <62> 예를 들면, 실시예에서, 두 가지의 구성, 즉 관통홀 전극(17)을 도전성을 띠게 하는 도전성 재료 및 도전성 재료보다 열팽창 계수가 낮은 필러를 관통홀(12) 내에 채우는 경우, 관통홀(12) 내에 채워지는 구리(16)보다 열팽창 계수가 낮은 실리카 입자(15) 또는 바늘형 실리카 조각(15A)을 관통홀(12) 내에 미리 채우고, 이어서 전해 도금법을 수행하여 관통홀 전극(17)을 형성하는 구성(제 1 실시예 내지 제 3 실시예에 따름)과, 구리(16) 및 실리카 입자(15)의 혼합물을 포함하는 도금액을 사용하여 구리(16) 및 실리카 입자(15)를 관통홀(12) 내에 채우고, 도금액을 교반하면서 전해 도금법을 수행하여 관통홀 전극(17)을 형성하는 구성(제 4 실시예에 따름)을 설명하였다. 그러나, 이들 구성에 따른 관통홀 전극(17)을 형성하는 방법 이외에, 관통홀 전극(17)을 도전성을 띠게 하는 도전성 재료를 포함하는 도전성 페이스트 및 도전성 재료보다 열팽창 계수가 낮은 필러를 인쇄법을 수행하여 관통홀(12) 내에 채우는 관통홀 전극을 형성하는 방법도 채택할 수 있다. 상술한 바와 같은 관통홀(12)의 개구 단부 측에 인쇄법을 이용하는 것은 관통홀 전극(17)을 평탄화하는 공정을 생략할 수 있으므로 이점이 있다.
- <63> 또한, 관통홀 전극(17)의 구성으로서, 상술한 실시예에서는 도전성 재료로서 구리(16)를 채택하고, 구리(16)보다 열팽창 계수 낮은 필러로서 단일 크기로 형성된 실리카 입자(15) 및 바늘형 실리카 조각(15a) 각각을 채택하는 구성을 설명하였다. 그러나, 관통홀 전극(17)의 구성은 상술한 것에 한정되지 않고, 다른 재료로 이루어진 구성요소의 구성 역시 채용될 수 있음은 물론이다. 예를 들면, 다른 크기를 가지는 바늘형 실리카 조각 및 실리카 입자(15)를 별개로 또는 조합으로 사용하는 것이 가능할 수 있다. 주안점은 관통홀 전극(17)이 그에 요구되는 충분한 도전성을 가지며 관통홀 전극(17) 전체의 열팽창 계수가 실리콘 산화물(절연 피복 및 절연막)의 열팽창 계수에 가까워지도록, 그 구성이 준비되어야만 한다는 것이다.
- <64> 즉, 관통홀 전극(17)을 도전성을 띠게 하는 도전성 재료로서 구리(16)를 사용하는 것이 바람직하지만, 다른 도전성 재료도 사용될 수 있다. 또한, 관통홀 전극(17) 전체의 열팽창 계수가 실리콘 산화물의 열팽창 계수에 가까워질 수 있다면, 실리카 입자(15) 및 바늘형 실리카 조각(15A) 이외에, 알루미늄 입자, 주상(柱狀) 알루미늄 조각, 실리콘 입자 및 주상 실리콘 조각 등의 필러가 사용될 수 있음은 물론이다. 필러의 도전성은 고려하지 않는다.

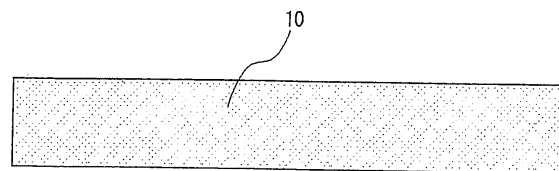
도면의 간단한 설명

- <65> 도 1a 내지 도 1d는 제 1 실시예에 따른 실리콘 인터포저의 각각의 제조 공정에서의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <66> 도 2a 내지 도 2d는 제 1 실시예에 따른 실리콘 인터포저의 각각의 제조 공정에서의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <67> 도 3a 내지 도 3d는 제 1 실시예에 따른 실리콘 인터포저의 각각의 제조 공정에서의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <68> 도 4a 내지 도 4d는 제 1 실시예에 따른 실리콘 인터포저의 각각의 제조 공정에서의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <69> 도 5a 및 도 5b는 제 1 실시예에 따른 실리콘 인터포저의 각각의 제조 공정에서의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <70> 도 6은 제 1 실시예에 따른 실리콘 인터포저의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <71> 도 7은 제 1 실시예에 따른 반도체 장치 패키지의 관통홀 전극의 주변의 상태를 나타내는 단면도.

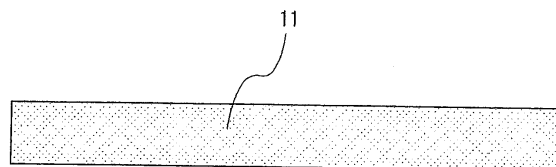
- <72> 도 8은 제 1 실시예에 따른 반도체 장치의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <73> 도 9는 제 2 실시예에 따른 실리콘 인터포저의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <74> 도 10은 제 3 실시예에 따른 실리콘 인터포저의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <75> 도 11a 내지 도 11c는 제 4 실시예에 따른 실리콘 인터포저의 관통홀 전극의 주변의 상태를 나타내는 단면도.
- <76> * 도면의 주요 부분에 대한 부호의 설명 *
- <77> 11 : 얇은 실리콘 웨이퍼 12 : 관통홀
- <78> 13 : 산화 피복 14 : 금속막
- <79> 15 : 실리카 입자 16 : 구리
- <80> 17 : 관통홀 전극 18 : 도금된 시드층
- <81> 20 : 레지스트 패턴 21 : 도전층
- <82> 22 : 배선 패턴 23 : 절연막
- <83> 24 : 다층 배선 30 : 실리콘 인터포저
- <84> 32 : 접속 패드 35 : 솔더
- <85> 40 : 배선 기판 42 : 접속 패드
- <86> 44 : 외부 접속 단자 50 : 반도체 장치 패키지
- <87> 62 : 전극 70 : 반도체 장치

도면

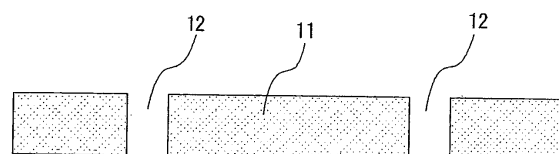
도면1a



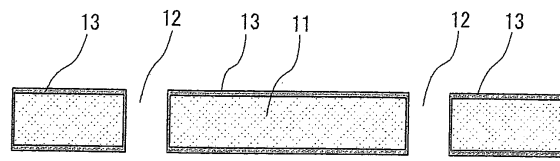
도면1b



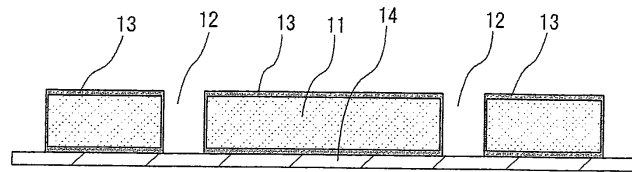
도면1c



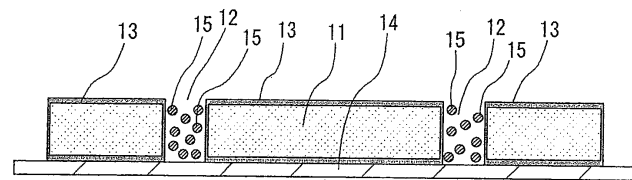
도면1d



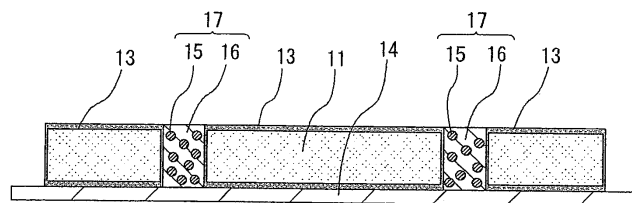
도면2a



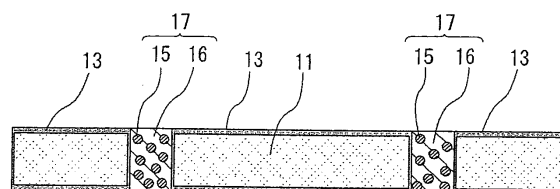
도면2b



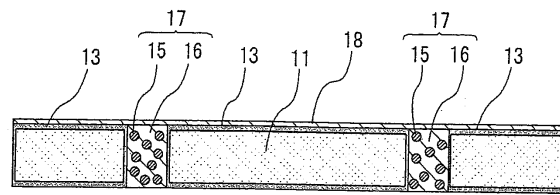
도면2c



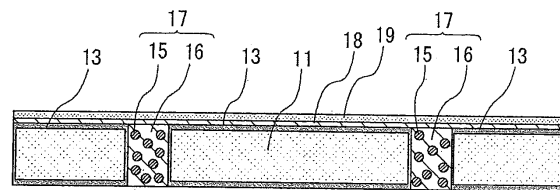
도면2d



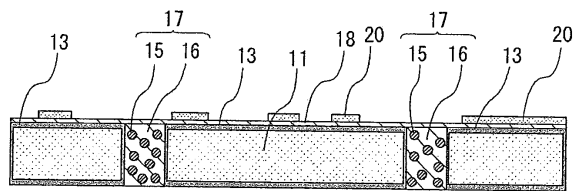
도면3a



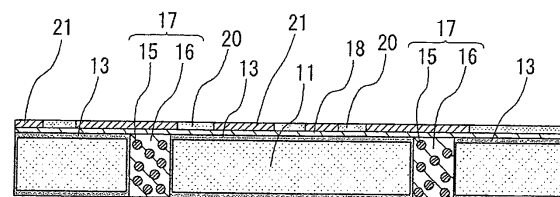
도면3b



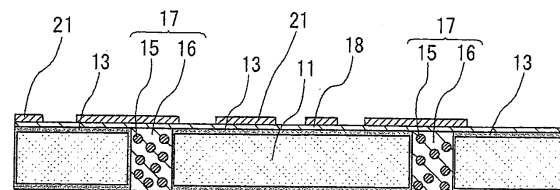
도면3c



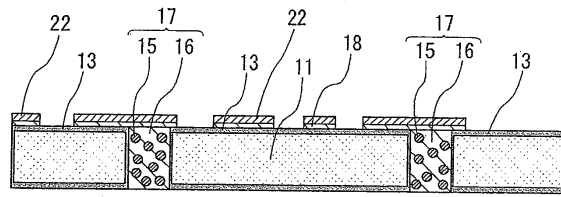
도면3d



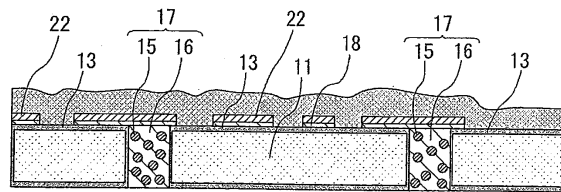
도면4a



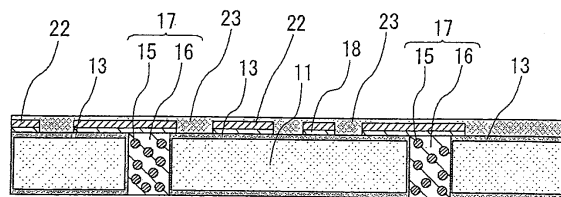
도면4b



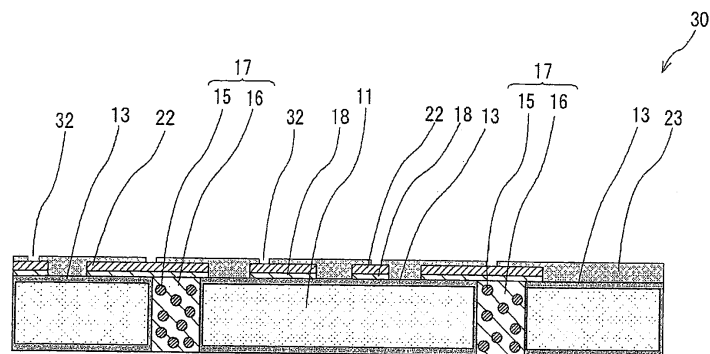
도면4c



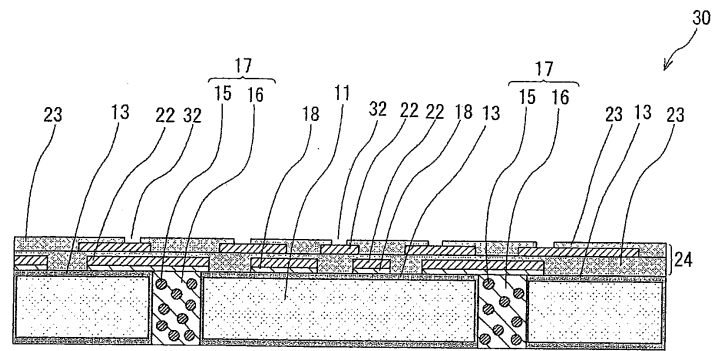
도면4d



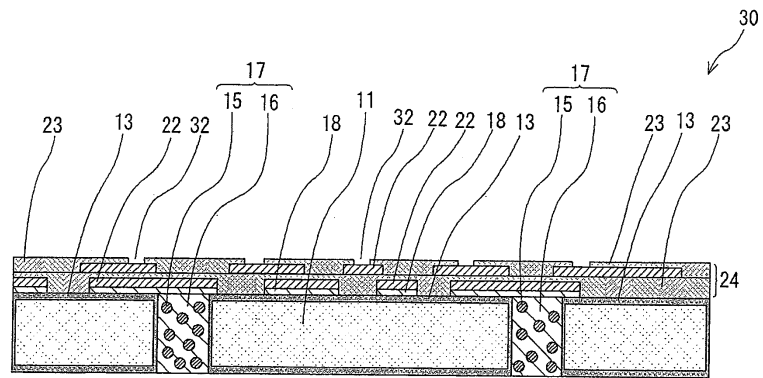
도면5a



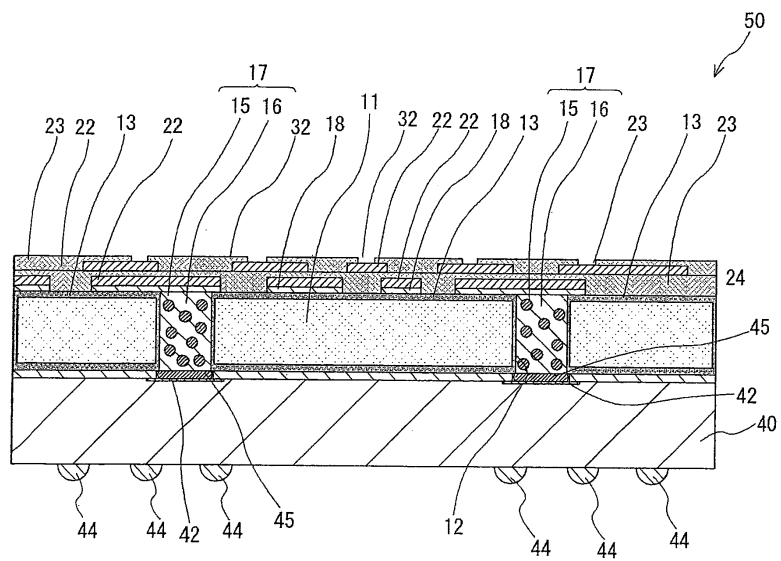
도면5b



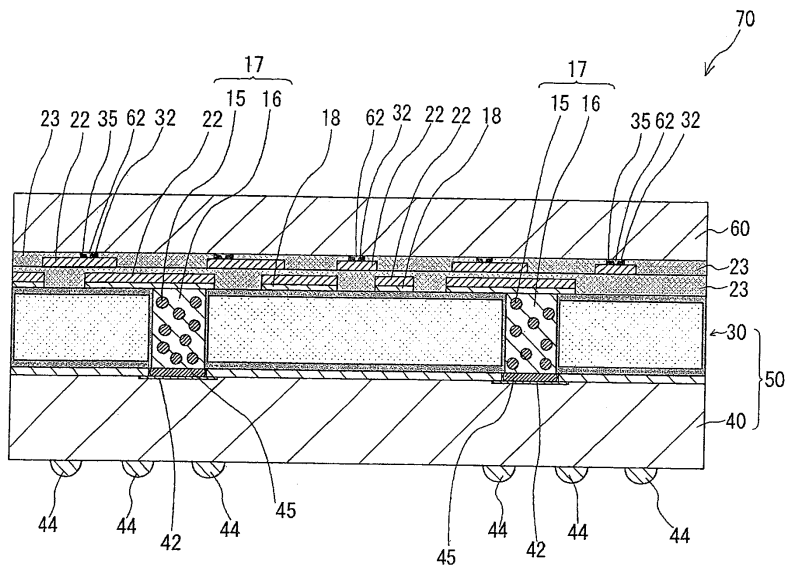
도면6



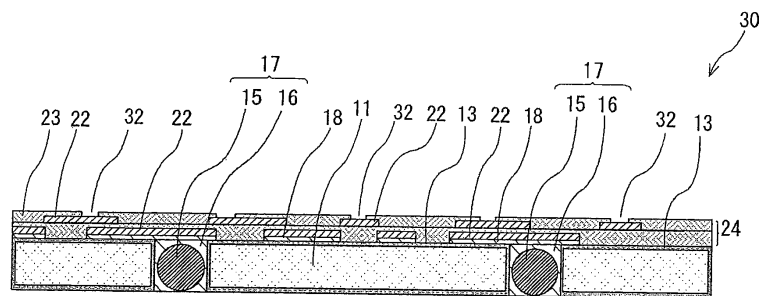
도면7



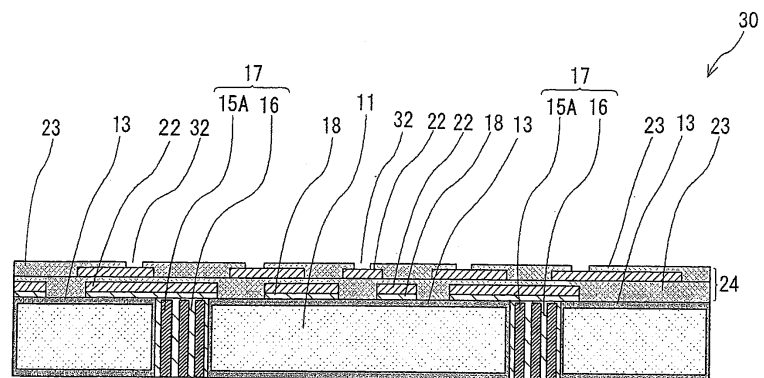
도면8



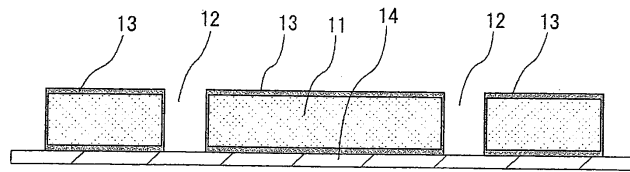
도면9



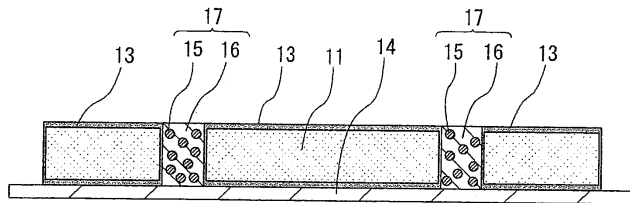
도면10



도면11a



도면11b



도면11c

