



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월19일
(11) 등록번호 10-1093785
(24) 등록일자 2011년12월07일

- (51) Int. Cl.
H01L 29/786 (2006.01) H01L 21/31 (2006.01)
H01L 21/20 (2006.01)
- (21) 출원번호 10-2006-7023279
- (22) 출원일자(국제출원일자) 2005년03월28일
심사청구일자 2010년03월10일
- (85) 번역문제출일자 2006년11월06일
- (65) 공개번호 10-2007-0012458
- (43) 공개일자 2007년01월25일
- (86) 국제출원번호 PCT/US2005/010574
- (87) 국제공개번호 WO 2005/101521
국제공개일자 2005년10월27일
- (30) 우선권주장
10/819,441 2004년04월07일 미국(US)
- (56) 선행기술조사문헌
US20030020070 A1
US20030008521 A1
US20030027408 A1

- (73) 특허권자
글로벌파운드리즈 인크.
케이만 아일랜드 케이와이1-1104 그랜드 케이만
어그랜드 하우스 피.오.박스 309 메이플즈 코포레
이트 서비스즈 리미티드
- (72) 발명자
시양 쿨
미국 캘리포니아 95129 산호세 탬즈 드라이브
1119
- (74) 대리인
박장원

전체 청구항 수 : 총 8 항

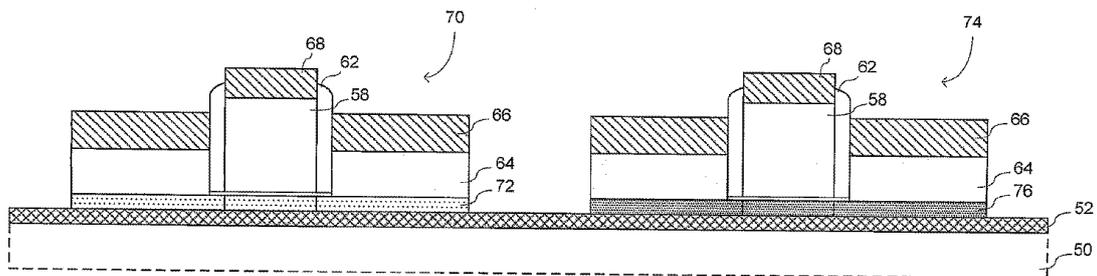
심사관 : 이상호

(54) SOI 기관 상의 반도체 및 이로부터 형성된 디바이스

(57) 요약

SOI 장치는 회토 스캔데이트와 같은, 페로브스카이트 격자를 포함한 유전체 물질층(52)으로 구성된다. 상기 유전체 물질(52)은 유전체(52) 위에 직접 다이아몬드 격자를 갖는 반도체 물질(54)의 성장을 가능하게 하는 효과적인 격자 상수를 구비하도록 선택된다. 상기 회토 스캔데이트 유전체의 일례는 가돌리늄 스캔데이트($GdScO_3$), 디스프로슘 스캔데이트($DyScO_3$), 및 가돌리늄과 디스프로슘 스캔데이트의 합금($Gd_xDy_xScO_3$)을 포함한다.

대표도



특허청구의 범위

청구항 1

SOI(Semiconductor On Insulator) 장치로서,
 페로브스카이트 격자를 가지는 유전체 물질(52)의 층으로 구성된 기판;
 상기 유전체 물질(52)의 층 위에 형성된 반도체 물질(54)의 층; 및
 그 채널 영역 내에 상기 반도체 물질(54)의 층을 내장한 MOSFET을 포함하여 이루어지며,
 상기 페로브스카이트 격자를 가지는 상기 유전체 물질(52)은 희토 스칸데이트이고, 상기 희토 스칸데이트는 가
 돌리늄 스칸데이트($GdScO_3$), 디스프로슘 스칸데이트($DyScO_3$) 및 가돌리늄과 디스프로슘 스칸데이트의 합금($Gd_{1-x}Dy_xScO_3$)중 어느 하나인 것을 특징으로 하는 SOI 장치.

청구항 2

제1항에 있어서,
 상기 반도체 물질(54)의 층은, 상기 페로브스카이트 격자에 의해 신장성 변형이 부여된 실리콘층인 것을 특징으
 로 하는 SOI 장치.

청구항 3

제1항에 있어서,
 상기 반도체 물질(54)의 층은, 상기 페로브스카이트 격자에 의해 압축성 변형이 부여된 실리콘 게르마늄층인 것
 을 특징으로 하는 SOI 장치.

청구항 4

제1항에 있어서,
 상기 반도체 물질(54)의 층은 다이아몬드 격자를 가지는 반도체 물질의 화합물(compound)인 것을 특징으로 하는
 SOI 장치.

청구항 5

SOI(Semiconductor On Insulator) MOSFET 장치를 형성하는 방법으로서,
 페로브스카이트 격자를 가지는 유전체 물질(52)의 층으로 이루어진 기판을 제공하는 단계;
 상기 유전체 물질(52)의 상기 페로브스카이트 격자의 (001) 단면 위에 다이아몬드 격자를 가지는 반도체 물질
 (54)의 층을 성장시키는 단계; 및
 그 채널 영역에 상기 반도체 물질(54)을 내장한 MOSFET을 형성하는 단계를 포함하여 이루어지며,
 상기 페로브스카이트 격자를 가지는 상기 유전체 물질(52)은 희토 스칸데이트이고, 상기 희토 스칸데이트는 가
 돌리늄 스칸데이트($GdScO_3$), 디스프로슘 스칸데이트($DyScO_3$) 및 가돌리늄과 디스프로슘 스칸데이트의 합금($Gd_{1-x}Dy_xScO_3$)중 어느 하나인 것을 특징으로 하는 SOI MOSFET 장치를 형성하는 방법.

청구항 6

SOI(Semiconductor On Insulator) 장치로서,
 페로브스카이트 격자를 가지는 유전체 물질(52)의 층으로 구성된 기판,
 상기 유전체 물질(52)의 층 위에 형성된 제 1 반도체 물질(72)의 영역, 상기 유전체 물질(52)의 층은 신장성 변
 형을 상기 제 1 반도체 물질(72)에 부여하며;

상기 제 1 반도체 물질(72)의 영역에 형성되고, 그 채널 영역 내에 상기 제 1 반도체 물질(72)을 내장한 제 1 MOSFET(70);

상기 유전체 물질(52)의 층 위에 형성된 제 2 반도체 물질(76)의 영역, 상기 유전체 물질(52)의 층은 압축성 변형을 제 2 반도체 물질(76)에 부여하며; 및

상기 제 2 반도체 물질(76)의 영역에 형성되고, 그 채널 영역 내에 상기 제 2 반도체 물질(76)을 내장한 제 2 MOSFET(74)

을 포함하여 이루어진 것을 특징으로 하는 SOI 장치.

청구항 7

제 6 항에 있어서,

상기 유전체 물질(52)은 희토 스칸데이트인 것을 특징으로 하는 SOI 장치.

청구항 8

제 6 항에 있어서,

상기 제 1 반도체 물질(72)은 상기 유전체 물질(52)의 유효 격자 상수보다 적은 격자 상수를 가지는 실리콘 게르마늄 합금이며,

상기 제 2 반도체 물질(76)은 상기 유전체 물질(52)의 유효 격자 상수보다 큰 격자 상수를 가지는 실리콘 게르마늄 합금인 것을 특징으로 하는 SOI 장치.

청구항 9

삭제

청구항 10

삭제

명세서

기술분야

[0001] 본 발명은 일반적으로 절연 게이트 전계효과 트랜지스터(MOSFET)의 제조에 관한 것으로, 특히 절연 기판 위에 형성된 MOSFET에 관한 것이다.

배경기술

[0002] MOSFET는 집적회로(IC)의 일반적인 구성소자이다. 도 1은 통상적인 MOSFET 소자의 횡단면도이다. 상기 MOSFET는 얇은 트렌치 절연부(shallow trench isolation : 12)에 의해 경계가 지워진 활성 영역내의 벌크 실리콘 기판(10)위에 제조된다. 얇은 트렌치 절연부(12)는 상기 기판(10) 위에 제조된 다른 IC 구성소자로부터 상기 MOSFET의 활성 영역을 전기적으로 절연한다. 상기 MOSFET는 실리콘 옥사이드(silicon oxide) 또는 실리콘 옥시나이트라이드(silicon oxynitride)와 같은 게이트 절연체(18)에 의해 분리되는 게이트(14)와 채널 영역(16)으로 이루어진다. 상기 게이트(14)는 일반적으로 폴리실리콘(polysilicon)과 같이 밀도 높게 도핑된 반도체 물질로 형성된다. 상기 MOSFET의 소오스와 드레인 영역은 상기 채널 영역(16)을 마주보고 형성된 얇은 소오스 및 드레인 영역(24)과 깊은 소오스 및 드레인 영역(20)으로 이루어진다. 상기 얇은 소오스 및 드레인 영역(24)은 상기 기판 위에 보호층(26)을 형성한 다음 주입된다. 그 다음 상기 깊은 소오스 및 드레인 영역(20)은 게이트(14) 주위에 스페이서(22)를 형성한 다음 이온 주입법으로 형성된다. 소오스와 드레인 실리사이드(silicide; 28)는, 옴 접촉(ohmic contacts)를 제공하고 접촉 저항을 감소시키기 위하여 상기 깊은 소오스 및 드레인 영역(20)에 형성된다. 실리사이드(28)는 코발트(Co) 또는 니켈(Ni)과 같은 금속 및 기판 반도체 물질로 구성된다. 실리사이드(30)가 또한 상기 게이트(14)의 상부 표면에 형성된다.

[0003] 벌크 반도체 기판위에 소자를 형성하는 다른 방법이 SOI(semiconductor on insulator) 구조이다. SOI 구조에 있어서, MOSFET는 상기 MOSFET 활성 영역 아래에 유전체 물질층을 포함하는 기판 위에 형성된다. SOI 소자는

벌크 반도체 기관상에 제조되는 것보다 많은 장점을 가진다. 예를 들면, 소자간 더 나은 절연성, 누설전류의 감소, CMOS 소자 사이에 래치-업(latch-up) 감소, 칩 캐패시턴스(chip capacitance) 감소 및 소오스와 드레인 영역 사이에 쇼트 채널 커플링(short channel coupling)의 감소 또는 제거 등이다. 도 2는 통상적인 완전 공핍된(fully depleted) SOI MOSFET의 일 예를 도시한 도면이다. 상기 SOI MOSFET는 실리콘층(32)과 유전체층(34)으로 구성된 SOI 기관에 형성된다. 상기 MOSFET 구조는 개별적인 소자가 형성되어 있는 개별적인 아일랜드(island)를 한정하기 위하여 식각된 실리콘층의 절연 영역(36)에 형성된다. 얇은 도핑 되지 않은 채널 영역(16)이 상기 실리콘 영역(36)의 중심에 있다. 소오스와 드레인 확장부(24)는 게이트 절연체(18) 위에 형성된 게이트(14)의 양 측면에서 실리콘 영역(36)으로 주입된다. 스페이서(22)의 형성에 후속하여, 상승한(elevated) 소오스와 드레인 영역(38)은 상기 실리콘 영역(38)에서 성장하고, 실리콘사이드 소오스, 드레인 콘택(contact; 28) 및 규실리사이드 게이트 콘택(30)이 그 다음으로 형성된다.

[0004] MOSFET 성능을 향상시키기 위한 한 가지 선택은 저항 및 전력 소모를 줄이고 구동 전류, 주파수 응답 및 동작 속도를 증가시키기 위하여 반도체 물질의 캐리어 이동성을 증가시키는 것이다. 캐리어 이동성을 증가시키는 것으로 최근 관심을 집중시키는 방법은, 변형(strain)이 인가된 실리콘 물질을 사용하는 것이다. 신장 변형된 실리콘(tensile strained silicon)은 실리콘 게르마늄 기관 위에 반도체의 에피택셜층(epitaxial layer)을 성장시켜 형성될 수 있다. 상기 실리콘 게르마늄 격자(silicon germanium lattice)는 상기 격자 내에서 더욱 커진 게르마늄 원자의 존재때문에 순수 실리콘 격자보다 다소 커진 격자 상수를 가진다. 에피택셜 성장된 실리콘은 상기 실리콘 게르마늄 격자에 스스로 정렬한 후, 신장 변형이 상기 실리콘 격자에서 생성된다. 적당한 신장 변형(moderate tensile strain)은 전자의 이동성을 증가시키고, 더 많은 양의(more substantial) 신장 변형은 홀의 이동성을 증가시킨다. 신장 변형의 양은 상기 실리콘 게르마늄 격자에 있는 게르마늄 비율에 따라 증가한다. 적당한 압축 변형 역시 홀의 이동성을 증가시킨다고 알려져 있다.

[0005] 신장 변형된 실리콘층을 내장한 MOSFET의 일 예가 도 3에 도시되어 있다. 상기 MOSFET는 실리콘층(10)에서 성장한 실리콘 게르마늄층(32)을 포함한 기관 위에 제조된다. 상기 실리콘 게르마늄층은, 전형적으로 원하는 변형의 양에 따라, 게르마늄 내용물이 0에서 10% 내지 40% 사이까지 점진적으로 증가되는, 경사진 층(graded layer)이다. 변형된 실리콘(34) 에피택셜층은 상기 실리콘 게르마늄층(32)에서 성장된다. 상기 MOSFET는 깊은 소오스 및 드레인영역(20), 얇은 소오스 및 드레인 확장부(24), 게이트 산화물층(18), 보호층(16)으로 둘러싸인 게이트(14), 스페이서(22), 소오스 및 드레인 실리콘사이드(28), 게이트 실리콘사이드(30) 및 얇은 트렌치 절연부(12)를 포함한 종래의 MOSFET 구조를 사용한다. 상기 채널 영역(16)내에 변형된 실리콘 물질은 상기 소오스와 드레인 사이에 향상된 캐리어 이동성을 제공한다.

[0006] 변형된 실리콘은 또한 SOI 기관 위에 형성된 MOSFET에 내장될 수 있다. 도 4는 변형된 실리콘 SOI MOSFET의 일 예를 도시한 도면이다. 이러한 장치에 있어서, MOSFET는 유전체층(40)위에 있는 실리콘 게르마늄층으로 이루어진 SOI 기관상에 형성된다. 상기 실리콘 게르마늄층은 개별적인 MOSFET가 형성된 절연 영역(42)을 한정하기 위하여 패터닝된다. 변형된 실리콘층(44)은 상기 실리콘 게르마늄층에서 성장된다. 그런 다음, 상기 MOSFET는 도 3의 종래 변형된 실리콘 장치와 유사한 방식으로 형성된다.

[0007] 변형된 실리콘 채널을 내장하는 완전 공핍된 SOI(fully depleted SOI) 장치를 제조하는 것은 매우 어렵다. 쇼트 채널 효과를 제어하기 위하여, 완전하게 공핍된 SOI MOSFET는 대략 채널 길이의 삼분의 일을 넘지않는 채널 영역의 두께를 가지는 것이 바람직하다. 그러나, 상기 변형된 채널 아래에 실리콘 게르마늄의 지지층을 제공할 필요가 있으며, 층 채널 두께는 채널길이에 제한받게 되거나 또는 변형된 실리콘의 두께가 현저한 이동성 향상을 제공하기에는 충분하지가 않다.

[0008] 다른 고려사항들은 일반적으로 SOI 장치의 소형화에 대한 걸림돌로 남아있다. 종래의 완전하게 공핍된 SOI 장치에 있어서, 일반적으로 원하는 두께의 반도체 물질이 남아있을 때까지 화학 기계 연마(chemical mechanical polishing; CMP)를 수행하여 상기 기관 위에 아주 얇은 채널층을 제조하였다. 그러나, CMP는 100Å 정도의 두께 변동을 가질 수 있는 불균일한 표면을 생성한다. 임계 치수(critical dimension)가 감소함에 따라, 위와 같은 두께 변동성은 용납하기 어려워졌다. 예를 들면, 45nm 장치의 경우, 대략 150Å의 채널 영역 두께를 원하게 된다. 연마된 층의 두께가 변동한다면, 이러한 차원에서 정확한 두께를 가지는 채널 영역을 신뢰성 있게 제조하기 어렵다.

[0009] 완전히 균일한 두께의 채널 영역을 획득하기 위해서는, 유전체 물질 상에 반도체 물질층을 성장시키는 것이 바람직하다. 하지만, 종래의 반도체 장치 제조 기술에서는, 결정 격자의 사용은 추가적인 결정 물질의 성장을 위한 형판(template)으로서의 사용에 의존하고 있다. 예를 들면, 실리콘 웨이퍼는 규칙적인 결정 격자를 제공하기

위하여 결정 표면 중 한 면을 따라 절단된 단일 결정 실리콘으로 구성되었다. 이러한 격자는 증착(deposited)에 따라 정렬될 동일한 격자 구조를 가지는 실리콘 또는 다른 소자의 원자를 증착시키는 형판으로서 적당하고, 따라서, 부가적인 단결정 물질을 형성한다. 위와 같은 형판이 없으면, 증착된 실리콘은, 둘러싸인 그레인(grain)에 대하여 무작위로 편향된 결정 격자를 갖는 개별적인 그레인들 각각으로 구성된 다결정 실리콘 또는 비정질 실리콘의 형태를 취한다. 이러한 형태의 실리콘은 단결정 실리콘과 비교하여 불량한 전도성을 나타내기 때문에 MOSFET의 활성 영역에서 사용하기에 바람직하지 못하다. 따라서, 다른 물질, 특히 실리콘 옥사이드 및 실리콘 옥시나이트라이드와 같은 종래 유전체 위에서 단결정 실리콘을 성장시키는 것은 일반적으로 가능하지 않다. 그 구조는 본질적으로 비결정질이거나 상기 실리콘 격자와 부합하지 않는다.

[0010] 따라서, 절연체 장치 위에서 반도체를 제조하는 종래 기술은 적은 임계 치수를 가지는 장치 및 변형된 실리콘을 내장하는 장치를 제조하는데 만족스럽지 못하였다.

발명의 상세한 설명

[0011] 본 발명의 실시예들은 반도체층이 직접 성장될 수 있는 유전체층으로 구성된 SOI 디바이스들을 제공한다. 상기 유전체층의 특성과 상기 반도체층의 특성은 상기 유전체층이 신장성 변형 또는 압축성 변형을 반도체 물질에 부여하도록 선택될 수 있다.

[0012] 본 발명의 다른 실시예는 위와 같은 장치를 형성하는 방법을 제공한다.

[0013] 본 발명의 특정한 바람직한 실시예는 페로브스카이트 격자 구조(perovskite lattice structure)를 가지는 유전체 물질층을 사용한다. 페로브스카이트 구조는 다이아몬드 격자 반도체의 성장에 필요한 적절한 형판을 제공하는 것으로 알려져 있다. 페로브스카이트 격자 구조를 가지는 유전체의 예들은 가돌리늄 스칸데이트(gadolinium scandate; $GdScO_3$), 디스프로슘 스칸데이트(dysprosium scandate; $DyScO_3$) 및 가돌리늄과 디스프로슘 스칸데이트의 합금(alloys of gadolinium and dysprosium scandate; $Gd_{1-x}Dy_xScO_3$)과 같은 희토 스칸데이트 화합물(rare earth scandate compounds)을 포함한다. 상기 희토 스칸데이트와 양립하는 다이아몬드 격자 구조를 가지는 반도체 물질은 일예는 실리콘, 게르마늄, 실리콘과 게르마늄의 합금 및 갈륨 아르세나이드(gallium arsenide)와 같은 III-V 형 반도체 물질을 포함한다. 희토 스칸데이트와 반도체 물질의 화학량론적 구조는 상기 희토 스칸데이트가 신장성 변형 또는 압축성 변형을 그 위에서 성장한 상기 반도체 물질에 부여하도록 설계될 수 있다. 위와 같은 유전체 물질은 상기 유전체층 위에 얇은 반도체층이 직접 성장하는 것을 허용하여, 절연체 MOSFET 상의 반도체에서 유전체층으로 사용될 수 있다.

[0014] 이하, 첨부된 도면을 참고로 하여, 본 발명의 실시예를 설명하고자 한다.

실시예

[0022] 본 발명의 실시예에 있어서, 다이아몬드 격자를 가지는 단일 결정 반도체 물질은 페로브스카이트 격자를 가지는 유전체층에서 성장될 수 있다. 다이아몬드 격자를 가지는 반도체 물질은 실리콘, 게르마늄 및 실리콘 게르마늄 합금을 포함한다. 첨가연광(zinc blende) 격자로서 종종 언급되는 다이아몬드 격자의 종류를 가지는 화합물 반도체는 페로브스카이트 격자 위에서 또한 성장될 수 있으며 본 발명의 목적을 위하여 다이아몬드 격자를 가지도록 고려될 것이다. 위와 같은 화합물 반도체의 일예는 갈륨 아르세나이드(GaAs)와 같은 III-V 형 반도체는 물론 특정한 II-VI 형 반도체를 포함한다. 페로브스카이트 격자 구조를 가지는 유전체의 예들은 가돌리늄 스칸데이트($GdScO_3$), 디스프로슘 스칸데이트($DyScO_3$) 및 가돌리늄과 디스프로슘 스칸데이트의 합금($Gd_{1-x}Dy_xScO_3$)과 같은 희토 스칸데이트 화합물을 포함한다. 희토 스칸데이트와 반도체 물질의 화학량론적 조성은 상기 희토 스칸데이트가 신장 변형 또는 압축 변형을 그 위에서 성장한 상기 반도체 물질에 부여하도록 설계될 수 있다.

[0023] 하나의 예시적인 실시예에 있어서, 희토 스칸데이트 가돌리늄 스칸데이트($GdScO_3$)의 층이 유전체층으로 사용되고, 신장 변형된 실리콘 또는 실리콘 게르마늄층의 성장에 필요한 지지층으로 사용된다. 단결정 가돌리늄 스칸데이트는 22-35의 유전체 상수를 가지며 따라서 SOI 응용분야에 필요한 뛰어난 유전체 물질이다.

[0024] 도 5a는 가돌리늄 스칸데이트($GdScO_3$)의 페로브스카이트 격자에서 단위 셀의 (001) 단면을 예시한다. 그 이상적인 형태에 있어서, 상기 페로브스카이트 격자는 Pm3m 대칭성을 가진다. 다시 말하면, 상기 격자의 상기 단위 셀은 입방체(cube)의 중심에 양이온 중 하나(예를 들면, Gd), 각각의 모서리에서 양이온 중 다른 것(예를 들면, Sc) 그리고 각각의 모서리를 따라 중심을 향하여 하나의 음이온(O)을 가지는 입방체이다. 최고의 페로브스카이트 격자에 있어서, 상기 격자는 격자내의 특정한 원자들의 결과로서 완전한 입방체 형태로부터 다소

왜곡되지만, 일반적인 구조는 동일함을 유지한다. 따라서, 상기 단위 셀의 단면은 면심입방격자(face centered cubic lattice)가 없는 사실상 정사각형이다.

- [0025] 도 5b는 실리콘의 상기 다이아몬드 격자 내 단위 셀의 (001) 단면을 예시한 도면이다. 상기 다이아몬드 격자는 두 개의 상호 침투 면심입방격자(interpenetrating face-centered atom) 로 사실상 이루어진다. 입방체 격자는 각기 세 개의 공간 축을 각각 따라 격자 상수 길이의 사분의 일씩을 다른 격자로부터 상쇄한다.
- [0026] 상기 다이아몬드 격자가 상기 페로브스카이트 격자와 구조적으로 상이함에도 불구하고, 상기 두 개의 격자는 각각의 격자에서 원자의 간격에 따라 에피택셜 성장을 목적으로 양립할 수 있다. 도 5c에 도시한 바와 같이, 상기 실리콘 다이아몬드 격자의 단면에 있는 상기 원자는 상기 실리콘 격자의 (001) 평면이 상기 가돌리움 스칸데이트 격자의 상기(001) 평면에 대하여 46 도 회전할 때 상기 가돌리움 스칸데이트 페로브스카이트 격자의 빈 단면에 정렬한다. 따라서, 상기 가돌리움 스칸데이트 격자는 실리콘의 성장에 필요한 형판으로 사용될 수 있다.
- [0027] 도 5a 에 도시한 바와 같이, 상기 가돌리움 스칸데이트 격자의 상기 (001) 단면에서 상기 격자 상수는 3.94Å 이고, 도 5b에 도시한 바와 같이, 상기 느슨해진 실리콘 격자의 상기 (001) 단면에서의 상기 격자 상수는 5.431 Å 이다. 그러나, 상기 가돌리움 스칸데이트 격자내의 단면의 중심 사이에서 대각선 거리는 순수한 느슨해진 실리콘의 격자 상수인 5.431Å 보다 대략 2.7% 커진 5.572Å 이다. 비교를 목적으로, 순수한 느슨해진 게르마늄은 실리콘 격자 상수보다 대략 4.2% 커진 5.657Å 의 게르마늄 격자 상수를 가진다. 종래 변형된 실리콘 장치는 이러한 2 가지 값 사이에 있으며 격자 내의 게르마늄의 양에 좌우되는 격자 상수를 가지는 실리콘 게르마늄(Si-_xGe_x)으로 이루어진 지지층을 사용한다. 대략 10% 와 40% 사이에 있는 게르마늄 퍼센트는 종래의 변형된 실리콘 장치에서 사용되어, 격자는 전형적으로 실리콘 격자 상수보다 0.9% 내지 1.7% 더 큰 퍼센트 사이에서 유효 격자 상수를 가지게 된다.
- [0028] 페로브스카이트 격자와 다이아몬드 격자 사이에서 미스매치(mismatch) 격자의 특성을 나타내기 위하여, 이러한 내용이 페로브스카이트 격자의 "유효 격자 상수"로 언급된 양을 사용할 것이다. 본질적인 입방체 단위 셀을 가지는 페로브스카이트 격자에 있어서, 유효 격자 상수는 대각선으로 편향된 단위 셀 단면의 중심 사이에 거리로 한정될 수 있다. 입방체 형태로부터 다소 왜곡되고 상이한 대각선 길이로 된 다이아몬드형 단위 셀 단면을 가지는 페로브스카이트 격자에 있어서, 단면 중심사이에 대각선 길이는 측정 방향에 의존적이게 될 것이다. 위와 같은 경우, 유효 격자 상수는 단면 중심 사이에 두 개의 대각선 길이의 평균으로 한정될 수 있다. 그러나, 다른 방향과 비교하여 한 방향에서 더 커진 크기를 갖는 방식으로 기초(overlying) 반도체 격자에 변형을 나누어 주는 구현예처럼 이와같은 특성이 활용되는 구현예에 있어서, 유효 격자 상수는 더 길어지거나 짧아진 거리 방향의 대각선 단면 중심 사이의 거리로 정의될 수 있다.
- [0029] 주어진 상기의 예시적인 치수는 GdScO₃ 에 특정되는 것이고, 상이한 유효 격자 상수를 가지는 다른 희토 스칸데이트는, 에피택셜 반도체 격자에 대하여 원하지 않는 정도의 미스매치를 제조하도록 설계될 수 있다. 예를 들면, 이와는 다르게 화합물 디스프로슘 스칸데이트(DyScO₃)가 사용될 수 있다. 디스프로슘 스칸데이트(DyScO₃) 는 대략 5.6Å 의 유효 격자 상수를 가진다. 또 다르게, 가돌리움과 디스프로슘 스칸데이트의 합금(Gd-_xDy_xScO₃)과 같은 희토 스칸데이트 합금이, 원하는 유효 격자 상수를 제공하기 위하여 선택된 가돌리움과 디스프로슘의 화학량론적 비율로 설계될 수 있다. 일반적으로, 희토 스칸데이트 유전체 상에 신장 변형된 실리콘을 성장시키는데 있어서, 상기 희토 스칸데이트의 유효 격자 상수가 느슨한 실리콘의 격자 상수(5.431Å) 보다 큰 것이 바람직하고, 느슨한 게르마늄의 격자 상수(5.657Å)에 비해 작은 것이 바람직하며, 40%의 게르마늄으로 이루어진 느슨한 실리콘 게르마늄 합금의 격자 상수(격자 상수 5.519Å)에 비해 작은 것이 더욱 바람직하다.
- [0030] 희토 스칸데이트와 같은 페로브스카이트 격자 구조를 가지는 유전체층의 사용은 실리콘, 게르마늄, 실리콘 게르마늄 합금 또는 화합물 반도체 물질을 상기 유전체층 위에 직접 성장시킬 수 있도록 한다. 상기 실리콘 게르마늄 합금에서 실리콘과 게르마늄의 비율은 다양한 효과를 창출하기 위하여 상기 유전체 기판의 상기 유효 격자 상수에 대하여 선택될 수 있다. 예를 들면, 상기 실리콘 게르마늄 합금은 상기 유전체 물질의 유효 격자 상수보다 작은 격자 상수를 가지도록 설계될 수 있는바, 따라서 원하는 양의 신장 변형이 실리콘 게르마늄 합금에 인가될 수 있다. 이와 달리, 상기 실리콘 게르마늄 합금은 상기 유전체 물질의 유효 격자 상수보다 큰 격자 상수를 가지도록 설계될 수도 있는데, 이 경우에는 원하는 양의 압축성 변형이 상기 실리콘 게르마늄 합금에 인가될 수 있다. 압축 변형된 게르마늄은 또한 상기 희토 스칸데이트 유전체 상에서 성장될 수 있다. 더욱이, 주어진 유효 격자 상수를 가지는 희토 스칸데이트층을 구비한 기판이 주어지면, 상이한 화학량론적 비율을 가지는 실리콘 및 실리콘 게르마늄 합금이 상기 기판 위의 선택된 위치에서 성장되어 신장 변형 및 압축 변형된 반도체 물

질의 공존영역을 제공한다. 이것은 예를 들면, 향상된 전자 이동성을 제공하는 신장 변형된 채널을 가지는 NMOS 장치와 향상된 홀(hole) 이동성을 제공하는 압축 변형된 채널을 가지는 PMOS 장치로 구성된 CMOS 장치를 생산하는데 사용될 수 있다.

[0031] 가돌리늄 스칸데이트 유전체층 또는 다른 희토 스칸데이트 유전체층을 포함하는 SOI 기판은 여러 방식으로 생산될 수 있다. 가돌리늄 스칸데이트는 분자 빔 에피택시(molecular beam epitaxy)로 증착될 수 있으며, 빔 각각의 기본 구성요소는 초진공(ultra-high vacuum)을 통해 화학적으로 결합한 기판을 향하여 화학량론적 양으로 정해진다. 이와는 달리, 펄스 레이저 증착방법(pulsed laser deposition)이 사용될 수 있다. 가돌리늄 스칸데이트 타겟은 자외선 레이저에 의해 증발되고, 상기 기판의 표면상에서 다시 결정화된다. 더욱 빠른 성장을 제조할 수 있기 때문에, 펄스 레이저 증착 방법이 분자 빔 에피택시 보다 바람직하다. 화학 증발 증착방법(chemical vapor deposition)도 역시 사용될 수 있다. 이러한 방법들은 비교적 매끄러운 표면을 가지는 유전체층을 생산한다는 것으로 알려져 있다. 상기 유전체층위에서 계속 성장한 반도체층은 연마에 의해 얇아진 층의 두께보다 사실상 적은 두께 변동성을 가진다.

[0032] 전형적으로, 상기 희토 스칸데이트층은 그 표면에 실리콘 게르마늄층을 가지는 기판 위에 형성된다. 상기 실리콘 게르마늄층은 전형적으로 실리콘 웨이퍼 위에서 게르마늄 함유량의 퍼센트가 0에서 원하는 퍼센트까지 차차 증가되는, 점진적인 방식으로 성장한다. 이는 원하는 격자 상수를 가지는 느슨한 실리콘 게르마늄층의 성장을 허용한다. 그런 다음 상기 희토 스칸데이트는 앞서 공지한 기술중 어느 한 기술에 의해 상기 실리콘 게르마늄층 위에 형성된다. 수행 방법에 좌우하여, 상기 실리콘 게르마늄층은 상기 희토 스칸데이트의 유효 격자 상수와 부합하거나 또는 상기 희토 스칸데이트 격자를 압축하고 그 유효 격자 상수를 감소시키기 위하여 상기 희토 스칸데이트의 유효 격자 상수보다 작은 격자 상수를 가지도록 설계될 수 있다.

[0033] 도 6a-6f는 본 발명의 예시적인 실시예에 따라, 신장 변형된 SOI MOSFET 제조시에 형성되는 구조를 도시한 도면이다. 도 6a는 실리콘 게르마늄층(50)으로 이루어진 SOI 기판을 도시한 도면이다. 앞서 공지한 바와 같이, 상기 실리콘 게르마늄층(50)은 전형적으로 실리콘 웨이퍼 위에서 성장하며, 원하는 격자 상수를 제공하는 표면에서 게르마늄 함유량의 퍼센트를 가진 점진적 조성물을 가진다. 예를 들면, 예시적인 실시예에 있어서, 상기 실리콘 게르마늄층의 표면은 대략 20%의 게르마늄으로 구성된 느슨한 실리콘 게르마늄 합금일 수 있다.

[0034] 페로브스카이트 격자를 가지는 물질의 유전체층(52)은 상기 실리콘 게르마늄층(50) 위에서 형성된다. 예시적인 실시예에 있어서, 상기 유전체층은 가돌리움 스칸데이트와 같은 희토 스칸데이트이다. 상기 유전체층(52)은 분자빔 에피택시, 펄스 레이저 증착방법 또는 화학 증발 증착방법과 같은 여러 기술에 의해 형성될 수 있다. 예시적인 실시예에 있어서, 상기 가돌리움 스칸데이트층은 100Å-200Å의 두께로 형성된다.

[0035] 반도체층(54)은 상기 유전체층(52) 위에서 성장한다. 상기 반도체층(54)은 단일 크리스탈층이며 실리콘, 게르마늄, 실리콘 게르마늄 합금, III-V 또는 II-VI 형 반도체와 같은 화합물 반도체 또는 다이아몬드 격자를 가지는 다른 반도체 물질로 구성될 수 있다. 상기 반도체층의 두께는 특정한 수행예에 따라 선택될 수 있다. 예시적인 실시예에 있어서, 상기 반도체층은 대략 200Å의 두께를 가지는 실리콘층이다. 완전하게 공핍된 SOI 장치에 있어서, 상기 반도체층(54)은 전형적으로 도핑되지 않지만, 특정한 구현예에 따라서 도핑이 수행될 수도 있다.

[0036] 도 6b는 도 6a의 후속도면으로서, 개별적인 장치가 형성될 반도체 물질의 절연된 아일랜드(isolated islands)를 형성하기 위하여 상기 반도체층(54)을 선택적으로 식각한 구조를 도시한 도면이다.

[0037] 도 6c는 도 6b의 후속도면으로서, 상기 반도체층(54)을 덮는 게이트 절연층(56)을 형성하고 난 뒤, 상기 게이트 절연층(56) 위에 폴리실리콘 게이트(58)을 형성한 구조를 도시한 도면이다. 상기 게이트 절연층(56)은 상기 반도체층(54)의 열 산화(thermal oxidation) 또는 유전체 물질의 증착에 의해 성장될 수 있다. 상기 폴리실리콘 게이트는 폴리실리콘층의 블랭킷 증착방법(blanket deposition)에 의해 형성될 수 있으며, 상기 폴리실리콘층을 패터닝하는 공정이 후속한다.

[0038] 도 6d는 도 6c의 후속도면으로서, 상기 게이트(58) 양 측면의 상기 반도체층(54)에 소오스 및 드레인 확장부(60)을 형성하기 위하여 이온 주입법에 의해 도펀트(dopant)를 주입한 다음, 상기 게이트(58) 주위에 스페이서(62)를 형성한 구조를 도시한 도면이다. 상기 게이트(58)는 상기 소오스 및 드레인 확장부(60)의 주입시 상기 채널 영역을 마스크한다. 상기 스페이서(62)는 실리콘 옥사이드의 블랭킷 증착에 의해 형성될 수 있으며, 상기 수평 표면에서 산화물(oxide)을 제거하기 위하여 방향성 에치 백 프로세스(directional etch back process)가 후속한다.

[0039] 도 6e는 도 6d의 후속도면으로서, 상기 게이트(58)의 인접한 측면에 상기 반도체층(54)과 접촉하여 높아진 소오

스 및 드레인 영역(64)을 형성한 구조를 도시한 도면이다. 상기 높아진 소오스 및 드레인 영역(64)은 실리콘의 선택적 에피택셜 성장에 의해 성장한다. 전형적으로 상기 반도체층(54) 위에서의 실리콘의 성장 비율은, 주위의 노광된 유전체층(surrounding exposed dielectric layer; 52) 위에서의 실리콘의 성장 비율보다 현저하게 높다. 게다가, 증착 챔버 내의 대기는 증착된 실리콘을 소량이나마 식각하는 HCl을 포함하는 것이 전형적이다. 상기 유전체층(52)의 노출된 부분 위에서는 실리콘이 거의 형성되지 않도록(zero net growth of silicon), 증착 파라미터들의 제어를 통해, 상기 에피택셜 성장 프로세스가 최적화될 수 있다. 이와는 달리, 상기 유전체층(52)에 적층된 그 어떤 실리콘도 제거하기 위하여 상기 높아진 소오스 및 드레인 영역(64)을 형성한 다음에 간략한 에치-백이 수행될 수 있다. 상기 소오스 및 드레인 영역(64)은 인-시츄(in situ)로 또는 주입 프로세스에 의해 도핑될 수 있다.

[0040] 도 6f는 도 6e의 후속도면으로서, 소오스 및 드레인 실리사이드(66)를 형성한 다음 게이트 실리사이드(68)를 형성한 구조를 도시한 도면이다. 상기 실리사이드(66, 68)는 상기 게이트(58)와 상기 소오스 및 드레인 영역(64)의 실리콘 물질과 코발트(Co) 또는 니켈(Ni)과 같은 금속으로 이루어진 화합물로 형성된다. 상기 실리사이드(66, 68)는, 금속의 얇은 등각층(conformal layer)을 전체 구조 상에 증착시킨 다음, 상기 금속과 기초 반도체 물질 사이의 접촉지점에서 실리사이드 형성을 촉진하기 위하여 어닐링하고 (annealing), 그 다음 잔류 금속을 벗겨냄으로써 형성된다. 실리사이드가 형성될 상기 소오스 및 드레인 영역과 게이트의 일부에서 산화물 및 보호층을 제거하기 위한 패터닝 단계 이후에 실리사이드 형성공정이 수행되는 것이 일반적이다.

[0041] 도 6a-6f의 프로세싱은 실리콘 게르마늄층에 형성된 회도 스캔데이트층으로 이루어진 SOI 기판을 사용하는 MOSFET 형성의 일례를 도시한 도면이다. 하지만 MOSFET 구조의 여러 변형이 수행될 수도 있다. 일반적으로, 본 발명의 실시예에 따른 전자 장치는 페로브스카이트 격자를 가지는 유전체 물질의 층과 상기 페로브스카이트 물질의 층으로 형성된 단결정 반도체 물질의 층을 포함하는 기판으로 이루어진다. 채널 영역에 상기 반도체 물질을 내장한 MOSFET 가 기판 위에 형성될 수 있다. 상기 MOSFET 는 이하 도시한 방식이나 여러 가지 다른 방식으로 제조될 수 있다. 상기 유전체 물질과 상기 반도체 물질은 상기 반도체 물질 내에 원하는 양의 신장성 또는 압축성 변형을 생산하도록 설계될 수 있다. 이러한 변형은 상기 유전체 물질의 단위 셀의 단면 형태에 따라 방향성일 수 있다.

[0042] 도 7은 본 발명의 실시예에 따라 형성된 제 1 및 제 2 SOI MOSFET 로 구성된 CMOS 장치의 소자를 예시한 도면이다. 이러한 구조에 있어서, n-타입 MOSFET 장치(70)는 기판의 유전체층(52)위에 형성된 반도체 영역(72)을 포함한다. 상기 반도체 영역(72)은 상기 유전체층(52)의 유효 격자 상수보다 적은 격자 상수를 가지는 제 1 실리콘 게르마늄 합금으로 구성되어, 신장성 변형을 상기 반도체 영역(72)에 부여하고 n-타입 MOSFET에서 전자의 이동성을 증가시킨다. 또한 상기 구조는 기판의 유전체층(52) 위에 형성된 반도체 영역(76)을 내장한 p-타입 MOSFET 장치(74)를 포함한다. 상기 반도체 영역(76)은 상기 유전체층(52)의 유효 격자 상수보다 큰 격자 상수를 가지는 제 2 실리콘 게르마늄 합금으로 구성되어, 압축성 변형을 상기 반도체 영역(76)에 부여하고 상기 p-타입 MOSFET에서 홀의 이동성을 증가시킨다. 상기 n-타입과 p-타입 MOSFET 는 CMOS 장치를 형성하기 위하여 연결될 수 있으며, 각 장치는 상기 유전체층에 의해 부여되는 서로 다른 형태의 변형들을 갖는 서로 다른 실리콘 게르마늄 합금들의 사용을 통하여, 향상된 캐리어 이동성의 수혜를 받는다.

[0043] 도 7의 구조는 여러 가지 방식으로 제조될 수 있다. 전형적으로는, n-타입과 p-타입 각각의 장치에 필요한 서로 다른 격자 상수를 가지는 반도체 영역들을 성장시키기 위하여, 두 개의 독립적인 성장 단계가 수행될 것이다. 이러한 영역들은 상기 장치에서 활용될 예정인 형태로 성장될 수 있거나 또는 정확한 크기로 성장된 다음에 패터닝될 수 있다. 대안적으로는, 합금층 어느 하나의 층이 웨이퍼를 가로질러 성장될 수 있으며, 그리고 선택된 영역들에게 실리콘 또는 게르마늄이 이온주입될 수 있는바, 이는 이들 영역내에서 화학량론적 비율을 변경하여 제 2 합금을 형성하기 위한 것이다.

[0044] 비록, 도7의 구조에서는 nMOS 와 pMOS 장치를 위한 서로 다른 유형의 변형들을 생산하기 위하여 두 개의 서로 다른 실리콘 게르마늄 합금들이 이용되고 있지만, 본 발명의 대안적인 실시예에서는 적절한 격자 상수들을 가지는 상이한 유형의 반도체 물질들이 사용될 수도 있다. 더욱이, 유전체 물질의 격자 특성은 변형의 방향성을 제공하도록 설계될 수 있다. MOSFET 는 도 7에 도시된 방식이나 여러 가지 다른 방식으로 제조될 수 있다.

[0045] 상술한 프로세스들에서 개시된 과정들은 다른 과정들을 배제할 필요가 없으며, 형성될 특정한 구조에 따라서 또 다른 과정들이 상기 프로세스 내에 병합될 수도 있다. 예를 들면, 프로세스 과정들 사이에 패시베이션층(passivation layer) 또는 보호층의 형성 또는 제거, 포토레지스트 마스크 및 다른 마스크 층의 형성 또는 제거, 도핑 및 역-도핑(counter-doping), 세척, 평탄화(planarization) 및 다른 과정과 같은 중간 프로세스 과

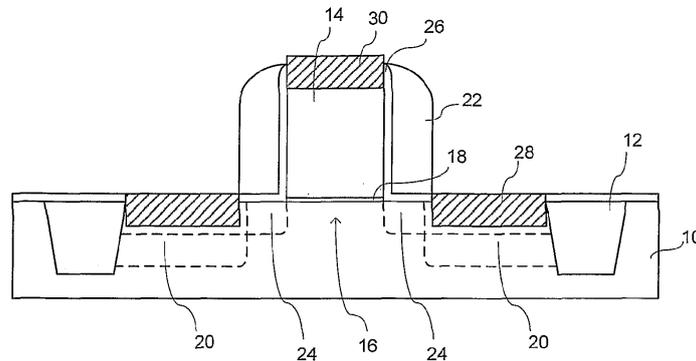
정이 앞서 특별하게 개시된 과정을 따라 수행될 수도 있다. 더욱이, 여기에 공지한 프로세스는 전체 웨이퍼와 같은 전체 기판상에서는 수행될 필요가 없지만, 기판의 일부분 위에서 선택적으로 수행될 수 있다. 또한 본 명세서에 개시된 구조를 제조할 때에 수행된 과정들은, 예시를 목적으로 특정 순서에 따라 발생하는 대로 도시된 것이며, 몇몇 경우에 상기 과정들은 프로세스의 목적을 달성하면서도 상이한 순서대로 수행될 수도 있다. 따라서, 도면에 예시되어 있으며 앞서 공지된 실시예는 현재 선호되는 것이며, 이들 실시예는 단지 예시를 위한 목적으로 제공되었음을 인지해야만 한다. 본 발명은 특정한 실시예에 한정되는 것이 아니라, 첨부된 특허청구의 범위의 양상 내에 속하는 여러 변형, 조합 및 변형과 그 등가물까지 확대된다.

도면의 간단한 설명

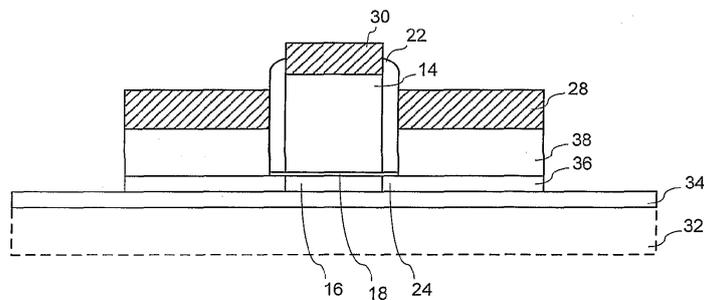
- [0015] 도 1은 종래 프로세싱에 따라서 형성된 종래 MOSFET 를 도시한 도면.
- [0016] 도 2는 종래의 SOI MOSFET를 도시한 도면.
- [0017] 도 3은 종래의 변형된 실리콘 MOSFET 를 도시한 도면.
- [0018] 도 4는 종래 기술을 사용하여 SOI 기판 위에서 형성된 변형된 실리콘 MOSFET 를 도시한 도면.
- [0019] 도 5a, 5b 및 5c는 페로브스카이트 및 다이아몬드 격자와 이러한 격자와 양립하는 방식을 도시한 도면.
- [0020] 도 6a, 6b, 6c, 6d, 6e 및 6f는 본 발명의 예시적인 실시예에 따라서 변형된 실리콘 SOI MOSFET 의 제조시 형성된 구조를 도시한 도면.
- [0021] 도 7은 예시적인 실시예에 따른 CMOS 장치의 소자를 도시한 도면.

도면

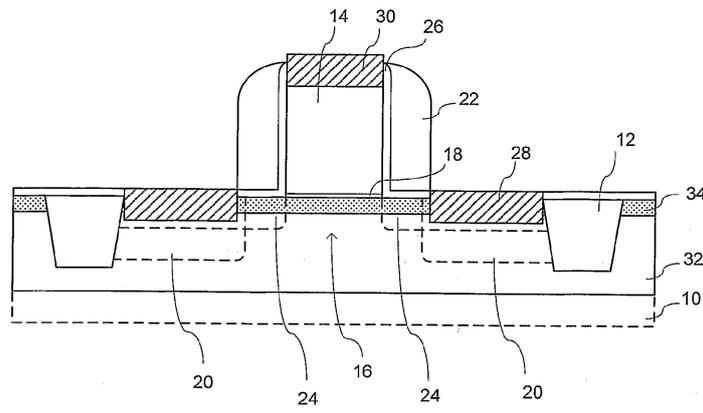
도면1



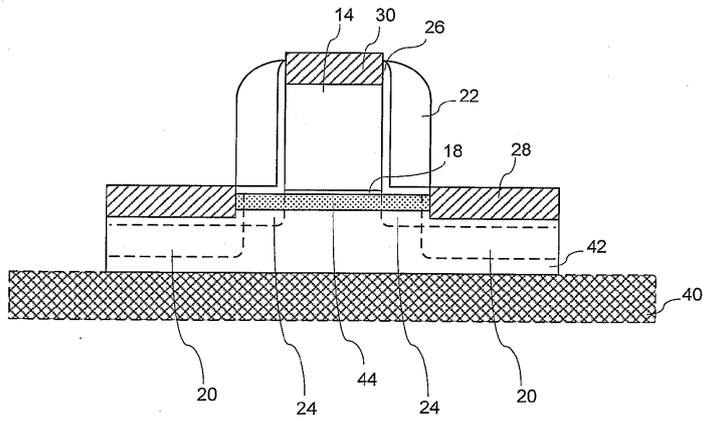
도면2



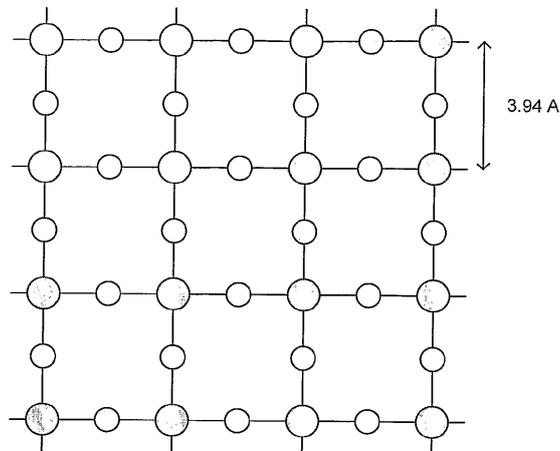
도면3



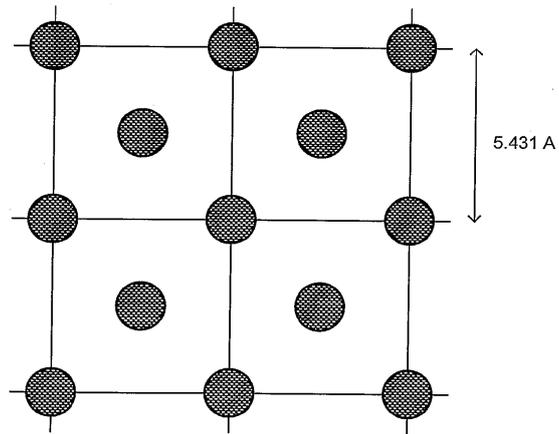
도면4



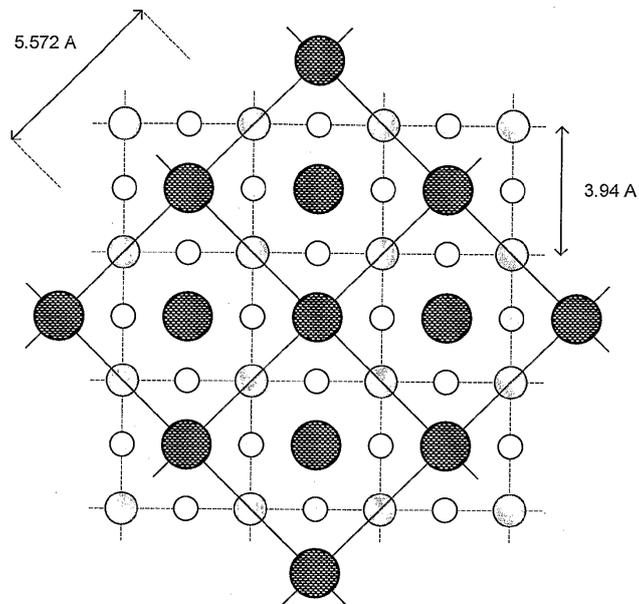
도면5a



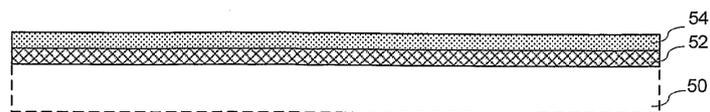
도면5b



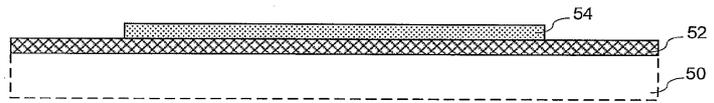
도면5c



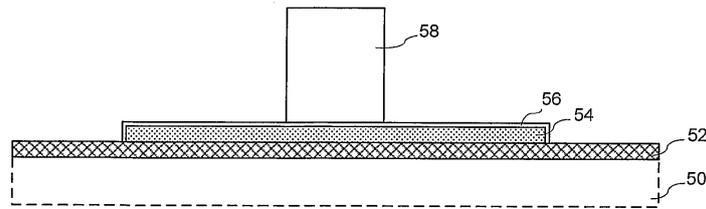
도면6a



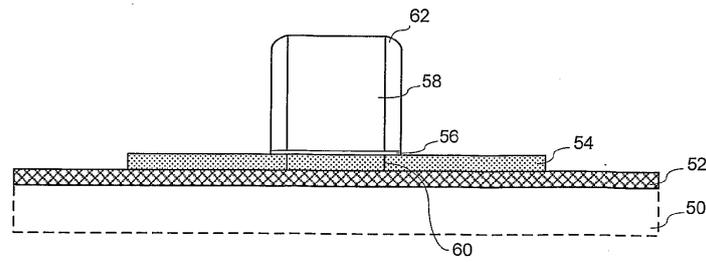
도면6b



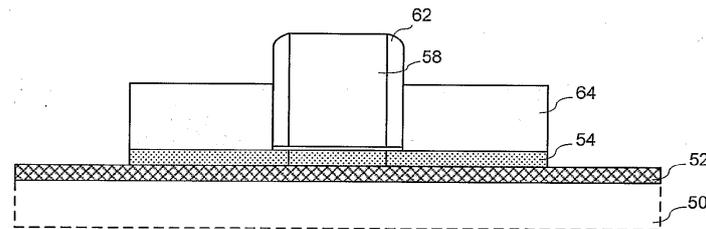
도면6c



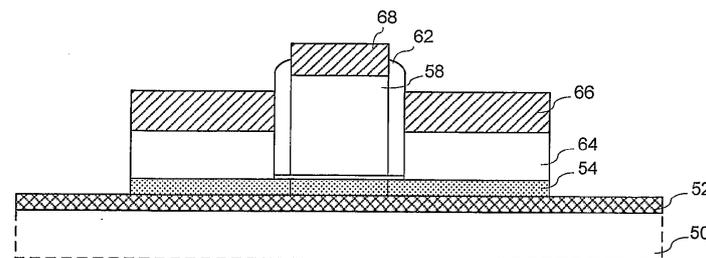
도면6d



도면6e



도면6f



도면7

