



(12) 发明专利

(10) 授权公告号 CN 102870219 B

(45) 授权公告日 2016. 04. 27

(21) 申请号 201180020397. 5

(22) 申请日 2011. 04. 07

(30) 优先权数据

2010-100197 2010. 04. 23 JP

(85) PCT国际申请进入国家阶段日

2012. 10. 23

(86) PCT国际申请的申请数据

PCT/JP2011/059224 2011. 04. 07

(87) PCT国际申请的公布数据

W02011/132590 EN 2011. 10. 27

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

US 2009/0261325 A1, 2009. 10. 22,

CN 101454892 A, 2009. 06. 10,

CN 101621075 A, 2010. 01. 06,

WO 2008/126879 A1, 2008. 10. 23,

US 2010/0032668 A1, 2010. 02. 11,

审查员 陈袁园

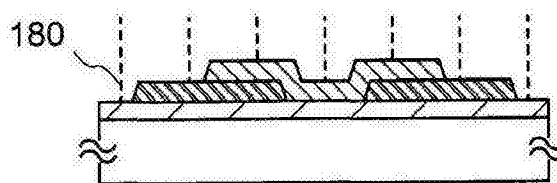
权利要求书2页 说明书38页 附图19页

(54) 发明名称

半导体装置的制造方法

(57) 摘要

本发明的一个实施方式的目的之一是对包括氧化物半导体的半导体装置赋予稳定的电特性, 以实现高可靠性。一种半导体装置的制造方法, 包括如下步骤: 形成第一绝缘膜; 在第一绝缘膜上形成源电极及漏电极以及与源电极及漏电极电连接的氧化物半导体膜; 对氧化物半导体膜进行热处理以去除氧化物半导体膜中的氢原子; 对去除了氢原子的氧化物半导体膜进行氧掺杂处理来对氧化物半导体膜供给氧原子; 在被供给有氧原子的氧化物半导体膜上形成第二绝缘膜; 以及在第二绝缘膜上的与氧化物半导体膜重叠的区域上形成栅电极。



1. 一种半导体装置的制造方法,包括如下步骤:

形成第一绝缘膜;

在所述第一绝缘膜之上形成源电极、漏电极以及与所述源电极及所述漏电极电连接的氧化物半导体膜;

对所述氧化物半导体膜执行热处理以去除所述氧化物半导体膜中的氢原子;

在所述热处理之后,对所述氧化物半导体膜执行氧掺杂处理来向所述氧化物半导体膜供给氧原子,其中,以使所述氧化物半导体膜包含超过所述氧化物半导体膜的化学计量比且小于所述化学计量比的两倍的比率的氧原子的方式对所述氧化物半导体膜执行所述氧掺杂处理;

在所述氧掺杂处理之后,在所述氧化物半导体膜之上形成第二绝缘膜;以及

以与所述氧化物半导体膜重叠的方式在所述第二绝缘膜之上形成栅电极。

2. 一种半导体装置的制造方法,包括如下步骤:

形成含氧原子作为其成分的第一绝缘膜;

对所述第一绝缘膜执行氧掺杂处理以向所述第一绝缘膜供给氧原子,

在所述第一绝缘膜之上形成源电极、漏电极以及与所述源电极及所述漏电极电连接的氧化物半导体膜;

对所述氧化物半导体膜执行热处理以去除所述氧化物半导体膜中的氢原子;

在所述热处理之后,对所述氧化物半导体膜执行氧掺杂处理来向所述氧化物半导体膜供给氧原子,其中,以使所述氧化物半导体膜包含超过所述氧化物半导体膜的化学计量比且小于所述化学计量比的两倍的比率的氧原子的方式对所述氧化物半导体膜执行所述氧掺杂处理;

在对所述氧化物半导体膜执行所述氧掺杂处理之后,在所述氧化物半导体膜上形成含氧原子作为其成分的第二绝缘膜;

对所述第二绝缘膜执行氧掺杂处理以向所述第二绝缘膜供给氧原子;以及

以与所述氧化物半导体膜重叠的方式在所述第二绝缘膜之上形成栅电极。

3. 一种半导体装置的制造方法,包括如下步骤:

形成第一绝缘膜;

在所述第一绝缘膜之上形成源电极、漏电极以及与所述源电极及所述漏电极电连接的氧化物半导体膜;

对所述氧化物半导体膜执行热处理以去除所述氧化物半导体膜中的氢原子;

在所述热处理之后,在所述氧化物半导体膜之上形成第二绝缘膜;

通过所述第二绝缘膜对所述氧化物半导体膜执行氧掺杂处理来向所述氧化物半导体膜供给氧原子,其中,以使所述氧化物半导体膜包含超过所述氧化物半导体膜的化学计量比且小于所述化学计量比的两倍的比率的氧原子的方式对所述氧化物半导体膜执行所述氧掺杂处理;以及

以与所述氧化物半导体膜重叠的方式在所述第二绝缘膜之上形成栅电极。

4. 根据权利要求3所述的半导体装置的制造方法,还包括如下步骤:

在形成所述第二绝缘膜之前,对所述氧化物半导体膜执行氧掺杂处理,以向所述氧化物半导体膜供给氧原子。

5. 根据权利要求 1 至 3 中任一项所述的半导体装置的制造方法，
其中，所述第一绝缘膜和所述第二绝缘膜中的一个包括具有所述氧化物半导体膜的成分元素的绝缘膜。
6. 根据权利要求 1 至 3 中任一项所述的半导体装置的制造方法，
其中，所述第一绝缘膜和所述第二绝缘膜中的一个包括：
包含所述氧化物半导体膜的成分元素的第三绝缘膜；以及
包含与所述成分元素不同的元素的第四绝缘膜，
并且，所述第三绝缘膜夹在所述氧化物半导体膜和所述第四绝缘膜之间。
7. 根据权利要求 1 至 3 中任一项所述的半导体装置的制造方法，
其中，所述第一绝缘膜和所述第二绝缘膜中的一个包括含氧化镓的绝缘膜。
8. 根据权利要求 1 至 3 中任一项所述的半导体装置的制造方法，
其中，所述第一绝缘膜和所述第二绝缘膜中的一个包括：
含氧化镓的第三绝缘膜；以及
含与氧化镓不同的材料的第四绝缘膜，
并且，所述第三绝缘膜夹在所述氧化物半导体膜和所述第四绝缘膜之间。
9. 根据权利要求 1 至 3 中任一项所述的半导体装置的制造方法，还包括如下步骤：
以覆盖所述栅电极的方式形成包含氮的绝缘膜。

半导体装置的制造方法

技术领域

[0001] 本发明涉及一种半导体装置及半导体装置的制造方法。

[0002] 在本说明书中半导体装置是指能够通过利用半导体特性而工作的所有装置,因此电光装置、半导体电路以及电子设备都是半导体装置。

背景技术

[0003] 使用形成在具有绝缘表面的衬底上的半导体薄膜构成晶体管的技术受到关注。该晶体管被广泛地应用于如集成电路(IC)及图像显示装置(显示装置)等的电子设备。作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。但是,作为其他材料,氧化物半导体受到关注。

[0004] 例如,已经公开了,作为晶体管的有源层使用电子载流子浓度低于 $10^{18}/\text{cm}^3$ 的包含铟(In)、镓(Ga)、锌(Zn)的非晶氧化物的晶体管(参照专利文献1)。

[0005] [专利文献1] 日本专利申请公开 2006-165528 号公报

[0006] 但是,当在装置制造工序中氧化物半导体中混入用于形成电子供体的氢或水分时,有可能导致导电率变化。该现象是导致使用氧化物半导体的晶体管的电特性变动的主要原因。

发明内容

[0007] 鉴于上述问题,本发明的目的之一是使使用氧化物半导体的半导体装置具有稳定的电特性,以实现高可靠性。

[0008] 在具有氧化物半导体膜的晶体管的制造工序中,进行利用热处理的脱水化或脱氢化以及氧掺杂处理。在具有氧化物半导体膜的晶体管的制造工序中至少进行氧掺杂处理。

[0009] 所公开的发明的一个方式是一种半导体装置的制造方法,包括如下步骤:形成第一绝缘膜;在第一绝缘膜上形成源电极及漏电极以及与源电极及漏电极电连接的氧化物半导体膜;对氧化物半导体膜进行热处理以去除氧化物半导体膜中的氢原子;对去除了氢原子的氧化物半导体膜进行氧掺杂处理来对氧化物半导体膜供给氧原子;在所述氧化物半导体膜上形成第二绝缘膜;以及以与所述氧化物半导体膜重叠的方式在第二绝缘膜上形成栅电极。

[0010] 所公开的发明的另一个方式是一种半导体装置的制造方法,包括如下步骤:形成作为成分包含氧原子的第一绝缘膜;对第一绝缘膜进行氧掺杂处理以对第一绝缘膜供给氧原子;在第一绝缘膜上形成源电极及漏电极以及与源电极及漏电极电连接的氧化物半导体膜;对氧化物半导体膜进行热处理以去除氧化物半导体膜中的氢原子;对所述氧化物半导体膜进行氧掺杂处理来对所述氧化物半导体膜供给氧原子;在所述氧化物半导体膜上形成作为成分包含氧原子的第二绝缘膜;对第二绝缘膜进行氧掺杂处理以对第二绝缘膜供给氧原子;以及以与氧化物半导体膜重叠的方式在第二绝缘膜上形成栅电极。

[0011] 在上述半导体装置的制造方法中,有时以使氧化物半导体膜包含超过化学计量比

的一倍至两倍的比率的氧原子的方式对氧化物半导体膜进行掺杂处理。另外,有时形成包含氧化物半导体膜的成分元素的绝缘膜作为第一绝缘膜或第二绝缘膜。或者,有时形成包含氧化物半导体膜的成分元素的绝缘膜以及包含与该绝缘膜的成分元素不同的元素的膜作为第一绝缘膜或第二绝缘膜。或者,有时形成包含氧化镓的绝缘膜作为第一绝缘膜或第二绝缘膜。或者,有时形成包含氧化镓的绝缘膜以及包含与氧化镓不同的材料的膜作为第一绝缘膜或第二绝缘膜。注意,在本说明书中,“氧化镓”这一用语在没有特殊说明的情况下表示作为成分元素的氧和镓,并不限制为单指氧化镓。例如,也可以将“含有氧化镓的绝缘膜”读为“含有氧和镓的绝缘膜”。

[0012] 另外,在上述半导体装置的制造方法的结构中,有时以覆盖栅电极的方式形成包含氮的绝缘膜。像这样,当在上方形成不包含氢或氢含量极少的氮化硅等的绝缘膜时,可以防止被添加的氧放出到外部并可以防止从外部混入氢或水。从这一点上来看可以说该绝缘膜的重要性较高。

[0013] 注意,上述“氧掺杂”是指将氧(至少包含氧自由基、氧原子、氧离子中的任一种)添加到块体中的处理。注意,“块体(bulk)”这一用语是为了表明不仅将氧添加到薄膜的表面还将氧添加到薄膜的内部。另外,“氧掺杂”包括将等离子体化的氧添加到块体中的“氧等离子体掺杂”。

[0014] 通过上述氧掺杂处理,氧化物半导体膜的膜中(块体中)、绝缘膜的膜中(块体中)、氧化物半导体膜与绝缘膜的界面中的至少一处以上存在超过化学计量比的含量的氧。氧的含量优选为超过化学计量比的1倍至4倍(小于4倍),更优选为超过1倍至2倍(小于2倍)。这里,超过化学计量比的氧过剩的氧化物是指例如在表示为 $\text{In}_a\text{Ga}_b\text{Zn}_c\text{Si}_d\text{Al}_e\text{Mg}_f\text{O}_g$ ($a, b, c, d, e, f, g \geq 0$) 时,满足 $2g > 3a + 3b + 2c + 4d + 3e + 2f$ 的氧化物。另外,通过氧掺杂处理添加的氧有可能存在于氧化物半导体的晶格间。

[0015] 另外,添加氧使脱水化、脱氢化之后的氧化物半导体膜中的氧的含量至少多于氢的含量。只要至少上述结构中的任何一个中使添加的氧的含量多于氢,氧即可以扩散而与其他导致不稳定的原因的氢发生反应而将氢固定(非可动离子化)。即,可以降低或充分地降低可靠性的不稳定性。另外,通过使氧过剩,可以在降低起因于氧缺损的阈值电压 V_{th} 的不均匀的同时降低阈值电压的偏移量 ΔV_{th} 。

[0016] 另外,更优选氧化物半导体膜的膜中(块体中)、绝缘膜的膜中(块体中)、氧化物半导体膜与绝缘膜的界面中的至少两处以上存在上述量的氧。

[0017] 另外,在没有缺陷(氧缺损)的氧化物半导体中,只要包含与化学计量比一致的量的氧即可,但是为了确保如抑制晶体管的阈值电压的变动等的可靠性,优选使氧化物半导体包含超过化学计量比的量的氧。同样地,在没有缺陷(氧缺损)的氧化物半导体中,不需要使用氧过剩的绝缘膜作为基底膜,但是为了确保如抑制晶体管的阈值电压的变动等的可靠性,考虑到在氧化物半导体层中可能产生氧缺损状态的情况优选使用氧过剩的绝缘膜作为基底膜。

[0018] 在此,示出利用上述“氧等离子体掺杂”处理对块体中添加氧的样子。注意,通常在对作为成分之一包含氧的氧化物半导体膜中进行氧掺杂处理时,很难确认氧浓度的增减。所以,这里使用硅片对氧掺杂处理的效果进行了确认。

[0019] 氧掺杂处理通过利用电感耦合等离子体(ICP:Inductively Coupled Plasma)方式

来进行。其条件如下:ICP 功率为 800W、RF 偏置功率为 300W 或 0W、压力为 1.5Pa、氧气体流量为 75sccm、衬底温度为 70℃。图 15 表示根据 SIMS(Secondary Ion Mass Spectrometry: 二次离子质谱)分析的硅片的深度方向的氧浓度分布。在图 15 中,纵轴表示氧浓度,横轴表示距离硅片表面的深度。

[0020] 根据图 15 可知:当 RF 偏置功率为 0W 时及当 RF 偏置功率为 300W 时都可以确认出氧的添加。另外,可以确认出与 RF 偏置为 0W 的情况相比,当 RF 偏置为 300W 时氧被添加到更深的深度中。

[0021] 接着,在图 16A 和图 16B 中示出利用 STEM (Scanning Transmission Electron Microscopy;扫描投射电子显微镜)对进行氧掺杂处理之前的硅片与进行了氧掺杂处理之后的硅片的截面进行观察的结果。图 16A 是进行氧掺杂处理之前的 STEM 图像,图 16B 是在 RF 偏置功率为 300W 的条件下进行氧掺杂处理之后的 STEM 图像。由图 16B 可知通过进行氧掺杂处理硅片中形成有氧高掺杂区域。

[0022] 如上所示,通过对硅片进行氧掺杂,可以在硅片中添加氧。由此可以认为,通过对氧化物半导体进行氧掺杂可以对氧化物半导体膜中添加氧。

[0023] 至于所公开的发明的一个方式的上述结构的效果,按照下述考察就很容易理解。但是,以下说明只不过是一个考察而已。

[0024] 当对栅电极施加正电压时,从氧化物半导体膜的栅电极一侧到背沟道一侧(与栅极绝缘膜相反一侧)产生电场,由此存在于氧化物半导体膜中的具有正电荷的氢离子移动到背沟道一侧并蓄积在氧化物半导体膜与绝缘膜的界面中的氧化物半导体膜一侧。由于正电荷从所蓄积的氢离子移动到绝缘膜中的电荷俘获中心(氢原子、水或污染物质等),在氧化物半导体膜的背沟道一侧蓄积有负电荷。也就是说,在晶体管的背沟道一侧发生寄生沟道,阈值电压向负值一侧偏移,从而晶体管趋于常通(normally-on)。

[0025] 如上所述,由于绝缘膜中的氢或水等的电荷俘获中心捕获正电荷而使正电荷移动到绝缘膜中导致晶体管的电特性变化,所以为了抑制晶体管的电特性的变动,不使绝缘膜中存在上述电荷俘获中心或者电荷俘获中心的含量少尤为重要。所以,优选利用成膜(film deposition)时的氢含量少的溅射法形成绝缘膜。利用溅射法形成的绝缘膜的膜中不存在电荷俘获中心或电荷俘获中心少,与利用 CVD 法等成膜的情况相比,不容易发生正电荷的移动。因此,可以抑制晶体管的阈值电压的偏移,并可以使晶体管成为常关闭(normally-off)型。

[0026] 另外,在顶栅型的晶体管中,通过在成为基底的绝缘膜上形成氧化物半导体膜之后进行热处理,可以在去除包含在氧化物半导体膜中的水或氢的同时去除包含在绝缘膜中的水或氢。因此,在绝缘膜中,捕获由氧化物半导体膜移动而来的正电荷的电荷俘获中心很少。像这样,由于用来对氧化物半导体膜进行脱水化或脱氢化的热处理不仅对氧化物半导体膜进行,还对存在于氧化物半导体膜的下层的绝缘膜进行,所以在顶栅型晶体管中,也可以利用等离子体 CVD 法等 CVD 法形成成为基底的绝缘膜。

[0027] 另外,当对栅电极施加负电压时,从背沟道一侧到栅电极一侧产生电场,由此存在于氧化物半导体膜中的氢离子移动到栅极绝缘膜一侧并蓄积在氧化物半导体膜与栅极绝缘膜的界面中的氧化物半导体膜一侧。由此,晶体管的阈值电压向负值一侧偏移。

[0028] 另外,在施加电压为 0 的条件下,从电荷俘获中心正电荷被释放,晶体管的阈值电

压向正值一侧偏移而回到初始状态,或者有时与初始状态相比进一步向正值一侧偏移。该现象说明氧化物半导体膜中存在容易移动的离子,并可以认为最小原子的氢离子成为最容易移动的离子。

[0029] 另外,由于氧化物半导体膜吸收光,由此光能将氧化物半导体膜中的金属元素(M)与氢原子(H)间的键合(也称为M-H键)断开。注意,波长为400nm左右的光能和金属元素与氢原子间的键合能大致相同。当对氧化物半导体膜中的金属元素与氢元素间的键合断开的晶体管施加负栅极偏压时,从金属元素脱离的氢离子被引到栅极一侧,因此电荷分布发生变化,晶体管的阈值电压向负值一侧偏移而趋于常通。

[0030] 另外,当停止施加电压时,因为对晶体管的光照射和负栅极偏压的施加而移动到栅极绝缘膜界面的氢离子回到初始状态。该现象被认为是氧化物半导体膜中的离子移动的典型例子。

[0031] 作为对于这种因电压施加导致的电特性的变动(BT退化)或因光照射导致的电特性的变动(光退化)的对策,最重要的是,从氧化物半导体膜彻底去除氢原子或水等包含氢原子的杂质,来使氧化物半导体膜高纯度化。当电荷密度小至 10^{15}cm^{-3} ,即单位面积的电荷小至 10^{10}cm^{-2} 时,该电荷不对晶体管的特性造成影响,或者即使有影响也是极小的。因此,电荷密度优选为 10^{15}cm^{-3} 以下。当假设氧化物半导体膜中包含的氢的10%的氢在氧化物半导体膜中移动时,优选氢浓度为 10^{16}cm^{-3} 以下。并且,为了防止在完成装置后氢从外部侵入,优选使用利用溅射法形成的氮化硅膜作为钝化膜覆盖晶体管。

[0032] 并且,通过相对于包含在氧化物半导体膜中的氢掺杂过剩的氧(使得(氢原子数) $\ll$ (氧自由基数)或(氧离子数)),可以从氧化物半导体膜中去除氢或水。具体来说,利用射频波(RF)使氧等离子体化,并加大衬底偏压,将氧自由基和/或氧离子掺杂或添加到衬底上的氧化物半导体膜中,以使氧化物半导体膜中的氧多于残留氢。由于氧的电负性为3.0而高于电负性为2.0左右的氧化物半导体膜中的金属(Zn、Ga、In),通过与氢相比包含过剩的氧,夺取M-H基中的氢而形成OH基。另外,该OH基也可能与M键合而形成M-O-H基。

[0033] 另外,优选以与化学计量比相比氧化物半导体膜的氧含量过剩的方式进行氧掺杂。例如,当作为氧化物半导体膜使用In-Ga-Zn-O类氧化物半导体膜时,优选通过氧掺杂等使氧的比率超过化学计量比的1倍至2倍(小于2倍)。例如,当将In-Ga-Zn-O类氧化物半导体的单晶的化学计量比设定为In:Ga:Zn:O=1:1:1:4时,在其组成以 InGaZnO_x 表示的氧化物半导体薄膜中,更优选x超过4且小于8。。

[0034] 由于光能或BT应力,氢从M-H基脱离而成为退化的原因,但是,在通过上述掺杂注入氧的情况下,所注入的氧与氢离子键合而成为OH基。由于该OH基的键合能较大,因此即使对晶体管进行光照射或施加BT应力也不放出氢离子,而且,由于其质量也比氢离子大,所以不容易在氧化物半导体膜中移动。因此,通过氧掺杂而形成的OH基不会成为晶体管退化的原因,或可以抑制退化。

[0035] 另外,已经确认到如下倾向,即:氧化物半导体膜的膜厚度越厚晶体管的阈值电压的变化越增大。可以推测这是由于如下缘故:氧化物半导体膜中的氧缺陷是阈值电压变动的一个原因,而氧化物半导体膜的厚度越厚该氧缺陷越多。在根据本发明的一个方式的晶体管中,对氧化物半导体膜掺杂氧的工序不仅能够去除氧化物半导体膜中的氢或水,而且能够填补膜中的氧缺陷。由此,根据本发明的一个方式的晶体管可以控制阈值电压的变化。

[0036] 另外,夹着氧化物半导体膜设置由与氧化物半导体膜相同种类的成分构成的金属氧化物膜的结构,也对防止电特性的变动是很有效的。作为由与氧化物半导体膜相同种类的成分构成的金属氧化物膜,具体来说,优选使用包含从氧化物半导体膜的成分元素中选择的一种或多种金属元素的氧化物的膜。这种材料与氧化物半导体膜的搭配良好,通过夹着氧化物半导体膜设置该金属氧化物膜,可以保持与氧化物半导体膜的界面的良好状态。也就是说,通过设置使用上述材料的金属氧化物膜作为与氧化物半导体膜接触的绝缘膜,可以抑制或防止氢离子蓄积在该金属氧化物膜与氧化物半导体膜的界面及其附近。从而,与夹着氧化物半导体膜设置如氧化硅膜等的由与氧化物半导体膜不同的成分构成的绝缘膜的情况相比,可以充分降低影响晶体管的阈值电压的氧化物半导体膜界面的氢浓度。

[0037] 另外,作为该金属氧化物膜,优选使用氧化镓膜。氧化镓的带隙(E_g)较大,因此通过以氧化镓膜夹着氧化物半导体膜,在氧化物半导体膜与金属氧化物膜的界面形成有能垒,该能垒妨碍该界面的载流子的移动。因此,载流子不从氧化物半导体移动到金属氧化物,而在氧化物半导体膜中移动。另一方面,氢离子穿过氧化物半导体与金属氧化物的界面,蓄积在金属氧化物与绝缘膜的界面附近。即使氢离子蓄积在与绝缘膜的界面附近,由于用作金属氧化物膜的氧化镓膜中不形成有可能发生载流子流动的寄生沟道,所以不会影响到晶体管的阈值电压或者影响极小。另外,在使氧化镓与 In-Ga-Zn-O 类材料接触时,能垒在导带一侧为 0.8eV 左右而在价电子带一侧为 0.9eV 左右。

[0038] 根据所公开的发明的一个方式的晶体管的技术思想在于:通过氧掺杂处理至少增大与氧化物半导体膜接触的绝缘膜中、氧化物半导体膜中或这些膜的界面附近中的一处的氧含量。

[0039] 当作为氧化物半导体膜使用包含铟的氧化物半导体材料时,由于铟与氧的键合力较弱,当与氧化物半导体膜接触的绝缘膜中含有如硅等的与氧的键合力强的材料时,由于热处理氧化物半导体膜中的氧被抽出而有可能在氧化物半导体膜的界面附近形成氧缺损。但是,根据所公开的发明的一个方式的晶体管,通过对氧化物半导体膜供给过剩的氧,可以抑制氧缺损的形成。

[0040] 这里,在晶体管的制造工序中,在进行了氧掺杂处理之后,有时氧化物半导体膜或与氧化物半导体膜接触的绝缘膜所包含的与化学计量比相比过剩的氧量在各层中彼此不同。在过剩的氧量不同的状态下,各层的氧的化学势不同,可以认为该化学势的不同是由于在晶体管的制造工序中的热处理等接近平衡状态或者变为平衡状态的缘故。下面对平衡状态下的氧分布进行分析。

[0041] 在某一温度 T 、压力 P 下的平衡状态是指全体系的吉布斯(Gibbs)自由能 G 最小的状态,并可以由如下式(1)表示。

[0042] [式 1]

[0043] $G(N_a, N_b, N_c, \dots, T, P) =$

[0044] $G^{(1)}(N_a, N_b, N_c, \dots, T, P) + G^{(2)}(N_a, N_b, N_c, \dots, T, P) + G^{(3)}(N_a, N_b, N_c, \dots, T, P) \dots (1)$

[0045] 在式(1)中, $G^{(1)}$ 、 $G^{(2)}$ 、 $G^{(3)}$ 表示各层的吉布斯自由能。另外, N_a 、 N_b 、 N_c 表示粒子数, a 、 b 、 c 表示粒子的种类。粒子 a 从 i 层向 j 层移动 $\delta N_a^{(j)}$ 时,吉布斯自由能的变化如下面的式(2)所示那样。

[0046] [式 2]

$$[0047] \quad \delta G = -\frac{\partial G^{(i)}}{\partial N_a^{(i)}} \delta N_a^{(i)} + \frac{\partial G^{(j)}}{\partial N_a^{(j)}} \delta N_a^{(j)} \quad \dots (2)$$

[0048] 这里,在 δG 为 0,即满足下面的式(3)时,体系成为平衡状态。

[0049] [式 3]

$$[0050] \quad \frac{\partial G^{(i)}}{\partial N_a^{(i)}} = \frac{\partial G^{(j)}}{\partial N_a^{(j)}} \quad \dots (3)$$

[0051] 吉布斯自由能的粒子数微分相当于化学势,因此,在平衡状态下,所有层中的粒子的化学势彼此相等。

[0052] 具体来说,当与绝缘膜相比氧化物半导体膜包含过剩的氧时,绝缘膜中的氧的化学势相对小,而氧化物半导体膜中的氧的化学势相对大。

[0053] 并且,通过在晶体管的制造工序中进行热处理,整个体系(这里,是氧化物半导体膜和与其接触的绝缘膜)的温度充分提高,当原子开始扩散到层内及层间时,氧以化学势成为相同的方式移动。也就是说,当氧化物半导体膜的氧移动到绝缘膜中时,氧化物半导体膜的化学势减小而绝缘膜的化学势增大。

[0054] 由此,通过氧掺杂处理供给到氧化物半导体膜中的过剩的氧,通过之后的热处理使体系内的化学势成为平衡状态,而扩散并被供给到绝缘膜(包括界面)中。因此,当氧化物半导体膜存在大量过剩的氧时,也可能使与氧化物半导体膜接触的绝缘膜(包括界面)变为氧过剩。

[0055] 由此,可以说对氧化物半导体膜供给足够补偿绝缘膜或与绝缘膜之间的界面的氧不足缺陷的量(补偿氧不足缺陷还有剩余的过剩的量)的氧,有重要的意义。

[0056] 作为具有经过利用热处理的脱水化或脱氢化处理以及氧掺杂处理的氧化物半导体膜的晶体管,在偏压-热应力(BT)试验前后的晶体管的阈值电压的变化量得到降低,从而可以实现具有稳定的电特性且可靠性高的晶体管。

[0057] 此外,根据所公开的发明的一个方式可以制造各种各样的具有电特性良好且可靠性高的晶体管的半导体装置。

附图说明

[0058] 图 1A 至图 1C 是说明半导体装置的一个方式的图;

[0059] 图 2A 至图 2G 是说明半导体装置的制造方法的一个方式的图;

[0060] 图 3A 至图 3D 是说明半导体装置的一个方式的图;

[0061] 图 4A 至图 4F 是说明半导体装置的制造方法的一个方式的图;

[0062] 图 5A 至图 5C 是说明半导体装置的制造方法的一个方式的图;

[0063] 图 6A 至图 6F 是说明半导体装置的制造方法的一个方式的图;

[0064] 图 7A 至图 7C 是半导体装置的截面图、俯视图及电路图;

[0065] 图 8A 至图 8C 是说明半导体装置的一个方式的图;

[0066] 图 9 是说明半导体装置的一个方式的图;

[0067] 图 10 是说明半导体装置的一个方式的图;

[0068] 图 11 是说明半导体装置的一个方式的图;

[0069] 图 12A 和图 12B 是说明半导体装置的一个方式的图;

- [0070] 图 13A 和图 13B 是表示电子设备的图；
[0071] 图 14A 至 14F 是表示电子设备的图；
[0072] 图 15 是表示 SIMS 测试的结果的图；
[0073] 图 16A 和图 16B 是说明截面 STEM 图像的图；
[0074] 图 17A 和图 17B 是等离子体装置的俯视图以及截面图。

具体实施方式

[0075] 下面,参照附图详细地说明本说明书所公开的发明的实施方式。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是本说明书所公开的发明的方式及详细内容可以被变换为各种各样的形式而不局限于以下说明。并且,本说明书所公开的发明不应被看作仅限制于以下实施方式的描述内容。

[0076] 另外,本说明书等中使用的“第一”、“第二”、“第三”等序数词用来避免构成要素的混同,而不是用来在数目方面上进行限制的。

[0077] 实施方式 1

[0078] 在本实施方式中,参照图 1A 至 1C、图 2A 至 2G、图 3A 至图 3D 对半导体装置及半导体装置的制造方法进行说明。

[0079] 〈半导体装置的结构例〉

[0080] 图 1A 至 1C 示出晶体管 120 的结构例。在此,图 1A 是平面图,而图 1B 及图 1C 分别是沿着图 1A 中的 A-B 截面及 C-D 截面的截面图。注意,在图 1A 中为了避免复杂,而省略晶体管 120 的构成要素的一部分(例如,栅极绝缘膜 110)。

[0081] 图 1A 至 1C 所示的晶体管 120 包括:衬底 100 上的绝缘膜 102;源电极 104a;漏电极 104b;氧化物半导体膜 108;栅极绝缘膜 110;栅电极 112。

[0082] 在图 1A 至 1C 所示的晶体管 120 中,氧化物半导体膜 108 是被进行了氧掺杂处理的氧化物半导体膜。通过进行氧掺杂处理,可以实现可靠性高的晶体管 120。

[0083] 〈半导体装置的制造工序例〉

[0084] 以下,参照图 2A 至 2G 对图 1A 至 1C 所示的半导体装置的制造工序的一个例子进行说明。

[0085] 首先,在衬底 100 上形成绝缘膜 102(参照图 2A)。

[0086] 虽然对衬底 100 的材料性质等没有很大的限制,但是至少需要具有能够承受后面的热处理程度的耐热性。例如,衬底 100 可以使用玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。另外,作为衬底 100,也可以应用硅或碳化硅等的单晶半导体衬底、多晶半导体衬底、硅锗等的化合物半导体衬底、SOI 衬底等,并且也可以使用在这些衬底上设置有半导体元件的衬底。

[0087] 另外,作为衬底 100,也可以使用柔性衬底。在柔性衬底上设置晶体管时,既可以在柔性衬底上直接形成晶体管,又可以在其他衬底上形成晶体管之后,分离其并转置到柔性衬底。注意,为了分离晶体管并转置到柔性衬底,优选在上述其他衬底与晶体管之间形成分离层。

[0088] 绝缘膜 102 是用作基底的绝缘膜。具体而言,作为绝缘膜 102 使用氧化硅、氮化硅、氧化铝、氮化铝、氧化镓、这些的混合材料等即可。另外,绝缘膜 102 既可以采用包含上述材

料的绝缘膜的单层结构,又可以采用叠层结构。

[0089] 对绝缘膜 102 的制造方法没有特别的限制。例如,可以利用等离子体 CVD 法或溅射法等成膜方法形成绝缘膜 102。此外,从氢或水等不容易混入这一点来看,优选利用溅射法。

[0090] 另外,作为绝缘膜 102,特别优选使用由与后面形成的氧化物半导体膜相同种类的成分构成的绝缘材料。这是因为,这种材料与氧化物半导体膜的搭配良好,由此通过将其用作绝缘膜 102,可以保持与氧化物半导体膜之间的界面的良好状态。这里,“与氧化物半导体膜相同种类的成分”是指选自氧化物半导体膜的成分元素中的一种或多种元素。例如,在氧化物半导体膜由 In-Ga-Zn-O 类的氧化物半导体材料构成的情况下,作为由与其相同种类的成分构成的绝缘材料,可以举出氧化镓等。

[0091] 另外,在利用叠层结构的绝缘膜 102 的情况下,更优选采用由与氧化物半导体膜相同种类的成分的绝缘材料构成的膜(以下称为“膜 a”)和包含与该膜 a 的成分材料不同的材料的膜(以下称为“膜 b”)的叠层结构。这是因为如下缘故:通过采用从氧化物半导体膜一侧按顺序层叠膜 a 和膜 b 的结构,与氧化物半导体膜和膜 a 的界面相比,膜 a 和膜 b 的界面的电荷俘获中心优先地俘获电荷,因此,可以充分抑制氧化物半导体膜界面的电荷俘获,从而可以提高半导体装置的可靠性。

[0092] 另外,作为上述叠层结构,可以使用氧化镓膜和氧化硅膜的叠层结构、氧化镓膜和氮化硅膜的叠层结构等。

[0093] 接着,在绝缘膜 102 上形成用来形成源电极及漏电极(包括使用与源电极及漏电极相同的层形成的布线)的导电膜,对该导电膜进行加工,形成源电极 104a 及漏电极 104b(参照图 2B)。注意,根据这里形成的源电极 104a 的端部与漏电极 104b 的端部之间的距离决定晶体管的沟道长度 L。

[0094] 作为用作源电极 104a 及漏电极 104b 的导电膜,例如有含有选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)等。另外,还可以使用在 Al、Cu 等的金属膜的下侧或上侧的一方或双方层叠 Ti、Mo、W 等的高熔点金属膜或它们的金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)的导电膜。

[0095] 此外,用于源电极 104a 及漏电极 104b 的导电膜也可以使用导电金属氧化物形成。作为导电金属氧化物,可以使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$, 缩写为 ITO)、氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$)或使这些金属氧化物材料包含氧化硅的材料。

[0096] 可以通过使用抗蚀剂掩模的蚀刻对导电膜进行加工。作为利用该蚀刻形成抗蚀剂掩模时的曝光,可以使用紫外线、KrF 激光或 ArF 激光等。

[0097] 另外,在当沟道长度 L 短于 25nm 时进行曝光的情况下,例如使用波长极短,即几 nm 至几十 nm 的超紫外线(Extreme Ultraviolet)进行形成抗蚀剂掩模时的曝光即可。使用超紫外线的曝光的分辨率高且其聚焦深度也大。从而,可以使后面形成的晶体管的沟道长度 L 减小,而可以提高电路的工作速度。

[0098] 此外,也可以使用所谓多级灰度掩模形成的抗蚀剂掩模进行蚀刻工序。由于使用多级灰度掩模形成的抗蚀剂掩模成为具有多种膜厚度的形状,并且通过进行灰化可以进一步改变形状,因此可以用于加工为不同图案的多个蚀刻工序。由此,通过使用一个多级灰度

掩模,可以形成至少对应于两种以上的不同图案的抗蚀剂掩模。就是说,可以实现工序的简化。

[0099] 接着,在绝缘膜 102 上形成与源电极 104a 及漏电极 104b 接触的氧化物半导体膜,对该氧化物半导体膜进行加工来形成岛状氧化物半导体膜 106 (参照图 2C)。

[0100] 氧化物半导体膜优选利用不容易混进氢或水等的方法形成。例如,可以利用溅射法等形成氧化物半导体膜。此外,氧化物半导体膜的厚度优选为 3nm 以上且 30nm 以下。这是因为若使氧化物半导体膜的厚度过厚(例如,厚度为 50nm 以上),则有晶体管成为常导通状态的担忧。

[0101] 作为用于氧化物半导体膜的材料,例如有含有铟的氧化物半导体材料、或含有铟及镓的氧化物半导体材料等。

[0102] 另外,作为用于氧化物半导体膜的材料,可以使用:四元金属氧化物的 In-Sn-Ga-Zn-O 类材料;三元金属氧化物的 In-Ga-Zn-O 类材料、In-Sn-Zn-O 类材料、In-Al-Zn-O 类材料、Sn-Ga-Zn-O 类材料、Al-Ga-Zn-O 类材料、Sn-Al-Zn-O 类材料;二元金属氧化物的 In-Zn-O 类材料、Sn-Zn-O 类材料、Al-Zn-O 类材料、Zn-Mg-O 类材料、Sn-Mg-O 类材料、In-Mg-O 类材料、In-Ga-O 类材料;或者单元金属氧化物的 In-O 类材料、Sn-O 类材料、Zn-O 类材料等。另外,也可以使上述材料包含氧化硅。在此,例如,In-Ga-Zn-O 类材料是指具有铟(In)、镓(Ga)、锌(Zn)的氧化物膜,并对其组成比并没有限制。另外,也可以使 In-Ga-Zn-O 类材料包含 In、Ga、Zn 以外的元素。

[0103] 另外,氧化物半导体膜也可以使用以化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料的薄膜。在此,M 表示选自 Ga、Al、Mn 和 Co 中的一种或多种金属元素。例如,作为 M,有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

[0104] 另外,当作为氧化物半导体膜使用 In-Zn-O 类材料时,将所使用的靶材的组成比设定为原子数比为 In:Zn=50:1 至 1:2 (换算为摩尔比则为 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 1:4),优选为 In:Zn=20:1 至 1:1 (换算为摩尔比则为 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 1:2),更优选为 In:Zn=15:1 至 1.5:1 (换算为摩尔比则为 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 3:4)。例如,作为用于形成 In-Zn-O 类氧化物半导体的靶材,当原子数比为 In:Zn:O=X:Y:Z 时,将其设定为 $Z>1.5X+Y$ 。

[0105] 在本实施方式中,通过溅射法并使用 In-Ga-Zn-O 类氧化物半导体成膜用靶材形成氧化物半导体膜。

[0106] 作为 In-Ga-Zn-O 类氧化物半导体成膜用靶材,例如可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩尔比] 的组成比的氧化物半导体成膜用靶材。注意,不必局限于上述靶材的材料及组成。例如还可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩尔比] 的组成比的氧化物半导体成膜用靶材。

[0107] 氧化物半导体成膜用靶材的填充率为 90% 以上且 100% 以下,优选为 95% 以上且 99.9% 以下。通过使用高填充率的氧化物半导体成膜用靶材,可以使所形成的氧化物半导体膜成为致密的膜。

[0108] 作为成膜的气氛,采用稀有气体(典型的是氩)气氛下、氧气氛下或稀有气体和氧的混合气氛下等即可。另外,为了防止在氧化物半导体膜中混入氢、水、羟基、氢化物等,优选采用使用充分去除了氢、水、羟基、氢化物等的含氢原子的杂质的高纯度气体的气氛。

[0109] 更具体而言,例如可以采用如下方法形成氧化物半导体膜。

[0110] 首先,在保持为减压状态的成膜室内保持衬底 100,并且将衬底温度设定为 100℃ 以上且 600℃ 以下,优选为 200℃ 以上且 400℃ 以下。通过边加热衬底 100 边进行成膜,可以降低在氧化物半导体膜中含有的杂质浓度。另外,可以减轻由于溅射带来的氧化物半导体膜的损伤。

[0111] 接着,边去除残留在成膜室内的水分边引入去除了氢及水分等的含氢原子的杂质的高纯度气体并使用上述靶材在衬底 100 上形成氧化物半导体膜。为了去除残留在成膜室内的水分,作为排气装置,优选使用吸附型真空泵,例如,低温泵、离子泵、钛升华泵等。另外,作为排气装置,也可以使用配备有冷阱的涡轮分子泵。由于利用低温泵进行了排气的成膜室中,如氢分子、水(H₂O)等的包含氢原子的化合物(优选还包括包含碳原子的化合物)等被去除,由此可以降低利用该成膜室形成的氧化物半导体膜中含有的杂质浓度。

[0112] 作为成膜条件的一个例子,可以采用如下条件:衬底与靶材之间的距离为 100mm;压力为 0.6Pa;直流(DC)电源为 0.5kW;成膜气氛为氧(氧流量比率为 100%)气氛。另外,当使用脉冲直流电源时,可以减少成膜时产生的粉状物质(也称为微粒、尘屑),并且膜厚度不均匀也小,所以是优选的。

[0113] 通过在氧化物半导体膜上形成所希望的形状的掩模之后对该氧化物半导体膜进行蚀刻可以进行氧化物半导体膜的加工。上述掩模可以利用光刻工序等方法形成。或者,也可以利用喷墨法等方法形成掩模。

[0114] 此外,氧化物半导体膜的蚀刻可以采用干蚀刻或湿蚀刻。当然,也可以组合上述蚀刻使用。

[0115] 然后,对氧化物半导体膜 106 进行热处理,形成被高纯度化的氧化物半导体膜 108(参照图 2D)。通过该热处理,可以去除氧化物半导体膜 106 中的氢(包括水及羟基)而改善氧化物半导体膜的结构,从而降低能隙中的缺陷能级。将上述热处理的温度设定为 250℃ 以上且 650℃ 以下,优选为 450℃ 以上且 600℃ 以下。此外,上述热处理的温度优选为低于衬底的应变点。

[0116] 作为热处理,例如,可以将被处理物放入使用电阻发热体等的电炉中,并在氮气气氛下以 450℃ 加热 1 个小时。在此期间,不使氧化物半导体膜 106 接触大气以防止水或氢的混入。

[0117] 热处理装置不限于电炉,还可以使用利用被加热的气体等的介质的热传导或热辐射来加热被处理物的装置。例如,可以使用 LRTA(Lamp Rapid Thermal Anneal:灯快速热退火)装置、GRTA(Gas Rapid Thermal Anneal:气体快速热退火)装置等的 RTA(Rapid Thermal Anneal:快速热退火)装置。LRTA 装置是通过从卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯、或者高压汞灯等的灯发射的光(电磁波)辐射来加热被处理物的装置。GRTA 装置是利用高温气体进行热处理的装置。作为气体,使用如氩等的稀有气体或氮等的即使进行热处理也不与被处理物产生反应的惰性气体。

[0118] 例如,作为上述热处理,也可以进行如下 GRTA 处理,即将被处理物引入到被加热的惰性气体气氛中,进行加热几分钟,然后从该惰性气体气氛中抽出被处理物。通过使用 GRTA 处理,可以短时间进行高温热处理。另外,即使温度条件超过被处理物的耐热温度,也可以应用该方法。另外,在处理中,还可以将惰性气体换为含有氧的气体。这是因为如下缘故:通过在含有氧的气氛中进行热处理,可以降低由于氧缺损而引起的能隙中的缺陷能级。

[0119] 另外,作为惰性气体气氛,优选采用以氮或稀有气体(氮、氦、氩等)为主要成分且不含有水、氢等的气氛。例如,优选引入热处理装置中的氮或氮、氦、氩等的稀有气体的纯度为6N(99.9999%)以上,更优选为7N(99.99999%)以上(即,杂质浓度为1ppm以下,优选为0.1ppm以下)。

[0120] 总之,通过利用上述热处理减少杂质以形成i型(本征)半导体或基本上i型的氧化物半导体膜,可以实现具有极优越的特性的晶体管。

[0121] 此外,由于上述热处理具有去除氢或水等的效果,所以可以将该热处理也称为脱水化处理、脱氢化处理等。该脱水化处理、脱氢化处理例如也可以在将氧化物半导体膜加工为岛状之前的时序进行。另外,这样的脱水化处理、脱氢化处理不局限于进行一次,而也可以进行多次。

[0122] 接着,对氧化物半导体膜108进行利用氧180的处理(也称为氧掺杂处理或氧等离子体掺杂处理)(参照图2E)。这里,在氧180中至少包含氧自由基、氧原子和氧离子中的一种。通过对氧化物半导体膜108进行氧掺杂处理,可以使在氧化物半导体膜108中、氧化物半导体膜108的界面附近或在氧化物半导体膜108中及该界面附近含有氧。在此情况下,将氧的含量设定为超过氧化物半导体膜108的化学计量比的程度,优选为超过化学计量比的1倍至2倍(大于1倍且小于2倍)。或者,当以单晶中的氧量为Y时,可以将氧含量设定为超过Y的程度,优选为超过Y至2Y。或者,当以不进行氧掺杂处理时的氧化物半导体膜中的氧量Z为基准时,可以将氧含量设定为超过Z的程度,优选为超过Z至2Z。另外,在上述优选的范围中存在有上限是因为在氧含量过多时,如氢贮藏合金(hydrogen-storing alloy)那样反而氧化物半导体膜108会吸收氢的缘故。此外,在氧化物半导体膜中的氧含量大于氢含量。

[0123] 当使用其结晶结构由 $\text{InGaO}_3(\text{ZnO})_m(m>0)$ 表示的材料时,例如在以 $m=1(\text{InGaZnO}_4)$ 的结晶结构为基准时,在 InGaZnO_x 中x可以超过4至8,而在以 $m=2(\text{InGaZn}_2\text{O}_5)$ 的结晶结构为基准时,在 $\text{InGaZn}_2\text{O}_x$ 中x可以超过5至10。这里,只要在氧化物半导体的一部分(包括界面)存在有这样的氧过剩区域即可。

[0124] 此外,在氧化物半导体膜中,氧是主要成分之一。因此,难以通过SIMS(Secondary Ion Mass Spectroscopy:二次离子质谱分析技术)等方法准确估计氧化物半导体膜中的氧浓度。也就是说,难以判断是否有意地对氧化物半导体膜添加氧。

[0125] 另外,氧有 ^{17}O 和 ^{18}O 等同位素,并且,一般认为在自然界的 ^{17}O 和 ^{18}O 的存在比率分别是氧原子整体的0.037%和0.204%左右。也就是说,在氧化物半导体膜中的上述同位素的浓度为通过SIMS等方法可估计的程度,因此通过测量这些浓度,有时可以进一步准确地估计氧化物半导体膜中的氧浓度。由此,可以通过测量这些浓度判断是否有意地对氧化物半导体膜添加氧。

[0126] 例如,当以 ^{18}O 的浓度为基准时,在氧化物半导体膜中,添加有氧的区域中的氧同位素的浓度 $D1(^{18}\text{O})$ 和不添加有氧的区域中的氧同位素的浓度 $D2(^{18}\text{O})$ 之间的关系为 $D1(^{18}\text{O})>D2(^{18}\text{O})$ 。

[0127] 另外,添加到氧化物半导体膜的氧180的至少一部分优选在氧化物半导体中具有悬空键。这是因为,具有悬空键可以与有可能残留在膜中的氢键合而使氢固定化(非可动离子化)的缘故。

[0128] 上述氧 180 可以利用等离子体产生装置或臭氧产生装置而产生。更具体来说,例如,可以通过利用能够对半导体装置进行蚀刻处理的装置或对抗蚀剂掩模进行灰化处理的装置等产生氧 180,并对氧化物半导体膜 108 进行处理。

[0129] 另外,为了更好地进行氧添加,优选对衬底施加电偏压。

[0130] 另外,也可以对进行了氧掺杂处理的氧化物半导体膜 108 进行热处理(温度 150℃至 470℃)。通过该热处理,可以从氧化物半导体膜去除因氧或氧化物半导体材料与氢的反应而产生的水、氢氧化物等。在水、氢等被充分降低的氮、氧、超干燥空气(使用 CRDS(cavityring-down laser spectroscopy:光腔衰荡光谱法)方式的露点仪来测定时的水分量为 20ppm(露点换算为 -55℃)以下,优选为 1ppm 以下,更优选为 10ppb 以下的空气)、稀有气体(氩、氦等)等气氛下进行热处理。此外,也可以重复进行氧掺杂处理和热处理。通过重复进行该处理,可以进一步提高晶体管的可靠性。此外,可以适当地设定重复次数。

[0131] 接着,形成与氧化物半导体膜 108 的一部分接触且覆盖源电极 104a 及漏电极 104b 的栅极绝缘膜 110(参照图 2F)。

[0132] 栅极绝缘膜 110 可以与绝缘膜 102 同样形成。就是说,栅极绝缘膜 110 使用氧化硅、氮化硅、氧化铝、氮化铝、氧化镓、这些材料的混合材料等形成即可。但是,考虑到用作晶体管的栅极绝缘膜,也可以使用氧化铪、氧化钽、氧化钼、硅酸铪(HfSi_xO_y ($x>0, y>0$))、添加有氮的硅酸铪(HfSi_xO_y ($x>0, y>0$))、添加有氮的铝酸铪(HfAl_xO_y ($x>0, y>0$))等高介电常数材料。

[0133] 另外,也可以与绝缘膜 102 同样地采用叠层结构。在此情况下,优选采用由与氧化物半导体膜相同种类的成分的绝缘材料构成的膜(以下称为“膜 a”)和包含与该膜 a 的成分材料不同的材料的膜(以下称为“膜 b”)的叠层结构。这是因为如下缘故:通过采用从氧化物半导体膜一侧按顺序层叠膜 a 和膜 b 的结构,与氧化物半导体膜和膜 a 的界面相比,膜 a 和膜 b 的界面的电荷俘获中心优先地俘获电荷,因此,可以充分抑制氧化物半导体膜界面的电荷俘获,从而可以提高半导体装置的可靠性。

[0134] 另外,作为上述叠层结构,可以使用氧化镓膜和氧化硅膜的叠层结构、氧化镓膜和氮化硅膜的叠层结构等。

[0135] 在形成上述栅极绝缘膜 110 之后,优选进行热处理。将该热处理的温度设定为 250℃以上且 700℃以下,优选为 450℃以上且 600℃以下。此外,该热处理的温度优选为低于衬底的应变点。

[0136] 上述热处理在氮、氧、超干燥空气(水的含量为 20ppm 以下,优选为 1ppm 以下,更优选为 10ppb 以下的空气)、或者稀有气体(氩、氦等)的气氛下进行,即可。但是,上述氮、氧、超干燥空气、稀有气体等的气氛优选不包含水、氢等。此外,优选将引入热处理装置中的氮、氧、稀有气体的纯度设定为 6N(99.9999%)以上(即,杂质浓度为 1ppm 以下),更优选为 7N(99.99999%)以上(即,杂质浓度为 0.1ppm 以下)。

[0137] 在根据本实施方式的上述热处理中,在氧化物半导体膜 108 与栅极绝缘膜 110 接触的状态下被加热。因此,虽然由上述脱水化(或脱氢化)处理有可能减少氧,但可以向氧化物半导体膜 108 供应氧。在这意思上也可以将该热处理称为加氧化。

[0138] 另外,以加氧化为目的的热处理的时序只要在形成氧化物半导体膜 108 之后就没有特别的限制。例如,也可以在形成栅电极之后进行以加氧化为目的的热处理。或者,也可

以在进行以脱水化等为目的的热处理之后继续进行以加氧化为目的的热处理,也可以将以脱水化等为目的的热处理兼作以加氧化为目的的热处理,也可以将以加氧化为目的的热处理兼作以脱水化等为目的的热处理。

[0139] 如上那样,通过应用以脱水化等为目的的热处理和氧掺杂处理或以加氧化为目的的热处理,可以以尽量不包含杂质的方式使氧化物半导体膜 108 实现高纯度化。被高纯度化的氧化物半导体膜 108 中的源自供体的载流子极少(近零)。

[0140] 然后,形成栅电极 112(参照图 2G)。栅电极 112 可以使用钼、钛、钽、钨、铝、铜、钕、钐等金属材料或以该金属材料为主要成分的合金材料形成。此外,栅电极 112 可以为单层结构或者叠层结构。

[0141] 另外,在形成栅电极 112 之后,还可以形成绝缘膜。该绝缘膜例如可以使用氧化硅、氮化硅、氧化铝、氮化铝、氧化镓、这些材料的混合材料等形成。尤其是在作为绝缘膜使用氮化硅膜时,在可以防止所添加的氧放出到外部的同时,可以有效地抑制从外部氢等混入到氧化物半导体膜 108 中,因此是优选的。此外,还可以形成与源电极 104a 漏电极 104b、或栅电极 112 等连接的布线。

[0142] 通过上述工序形成晶体管 120。

[0143] 注意,上述说明是对被加工为岛状并被高纯度化的氧化物半导体膜 108 进行氧掺杂处理的例子,但是所公开的发明的一个方式不局限于此。例如,既可以在进行高纯度化及氧掺杂处理之后,将氧化物半导体膜加工为岛状,又可以在形成源电极 104a 及漏电极 104b 之后进行氧掺杂处理。

[0144] < 半导体装置的变型例 >

[0145] 在图 3A 至 3D 中,作为图 1A 至 1C 所示的晶体管 120 的变型例示出晶体管 130、晶体管 140、晶体管 150、晶体管 160 的截面图。

[0146] 图 3A 所示的晶体管 130 与晶体管 120 的共同点是包括绝缘膜 102、源电极 104a、漏电极 104b、氧化物半导体膜 108、栅极绝缘膜 110、栅电极 112。晶体管 130 与晶体管 120 的不同点是存在覆盖上述构成要素的绝缘膜 114。就是说,晶体管 130 具有绝缘膜 114。其他构成要素与图 1A 至 1C 中的晶体管 120 同样,所以详细内容可以参考关于图 1A 至 1C 的记载。

[0147] 图 3B 所示的晶体管 140 与图 1A 至 1C 所示的晶体管 120 的共同点是包括上述各构成要素。晶体管 140 与晶体管 120 的不同点是源电极 104a 及漏电极 104b 和氧化物半导体膜 108 的叠层顺序。就是说,在晶体管 120 中先形成源电极 104a 及漏电极 104b,而在晶体管 140 中先形成氧化物半导体膜 108。其他构成要素与图 1A 至 1C 同样。注意,如晶体管 130 那样,晶体管 140 也可以采用具有绝缘膜 114 的结构。

[0148] 图 3C 所示的晶体管 150 与图 1A 至 1C 所示的晶体管 120 的共同点是包括上述各构成要素。晶体管 150 与晶体管 120 的不同点是衬底 100 一侧的绝缘膜。就是说,在晶体管 150 中具备绝缘膜 102a 和绝缘膜 102b 的叠层结构。其他构成要素与图 1B 同样。

[0149] 像这样,通过采用绝缘膜 102a 和绝缘膜 102b 的叠层结构,绝缘膜 102a 与绝缘膜 102b 界面的电荷俘获中心优先地俘获电荷,因此,可以充分抑制氧化物半导体膜 108 界面的电荷俘获,从而可以提高半导体装置的可靠性。

[0150] 另外,优选的是,作为绝缘膜 102b 使用由与氧化物半导体膜 108 相同种类的成分

构成的绝缘材料的膜,并且作为绝缘膜 102a 使用包含与绝缘膜 102b 的成分材料不同材料的膜。例如,在氧化物半导体膜 108 由 In-Ga-Zn-O 类的氧化物半导体材料构成的情况下,作为由与其相同种类的成分构成的绝缘材料,可以举出氧化镓等。在此情况下,可以应用氧化镓膜和氧化硅膜的叠层结构、氧化镓膜和氮化硅膜的叠层结构等。

[0151] 图 3D 所示的晶体管 160 与图 1A 至 1C 所示的晶体管 120 的共同点是包括上述各构成要素。晶体管 160 与晶体管 120 的不同点是衬底 100 一侧的绝缘膜及栅极绝缘膜。就是说,在晶体管 160 中具备绝缘膜 102a 和绝缘膜 102b 的叠层结构,并具备栅极绝缘膜 110a 和栅极绝缘膜 110b 的叠层结构。其他构成要素与图 1A 至 1C 同样。

[0152] 像这样,通过采用绝缘膜 102a 和绝缘膜 102b 的叠层结构,并采用栅极绝缘膜 110a 和栅极绝缘膜 110b 的叠层结构,绝缘膜 102a 与绝缘膜 102b 或栅极绝缘膜 110a 与栅极绝缘膜 110b 界面优先地俘获电荷,因此,可以充分抑制氧化物半导体膜 108 界面的电荷俘获,从而可以提高半导体装置的可靠性。

[0153] 另外,优选的是,作为绝缘膜 102b、栅极绝缘膜 110a(即,与氧化物半导体膜 108 接触的绝缘膜)使用由与氧化物半导体膜 108 相同种类的成分构成的绝缘材料的膜,并且作为绝缘膜 102a、栅极绝缘膜 110b 使用包含与绝缘膜 102b、栅极绝缘膜 110a 的成分材料不同材料的膜。例如,在氧化物半导体膜 108 由 In-Ga-Zn-O 类的氧化物半导体材料构成的情况下,作为由与其相同种类的成分构成的绝缘材料,可以举出氧化镓等。在此情况下,可以应用氧化镓膜和氧化硅膜的叠层结构、氧化镓膜和氮化硅膜的叠层结构等。

[0154] 根据本实施方式的晶体管采用如下氧化物半导体膜:即,通过进行热处理,从氧化物半导体排除氢、水、羟基或氢化物(也称为氢化合物)等的含氢原子的杂质,且通过供应在杂质排除工序中有可能减少的氧,来实现高纯度化及 i 型(本征)化的氧化物半导体膜。包括上述那样被高纯度化的氧化物半导体膜的晶体管的阈值电压等电特性变动被抑制,由此该晶体管在电性能上稳定。

[0155] 尤其是,通过利用氧掺杂处理增大氧化物半导体膜中的氧含量,可以抑制由电偏压应力或热应力所引起的退化,并可以降低由光导致的退化。

[0156] 如上所述,根据所公开的发明的一个方式可以提供高可靠性的晶体管。

[0157] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0158] 实施方式 2

[0159] 在本实施方式中,参照图 4A 至 4F 和图 5A 至图 5C 对半导体装置的制造方法的其他例子进行说明。

[0160] 〈半导体装置的结构例〉

[0161] 利用本实施方式的制造方法制造的半导体装置的结构与上述实施方式的晶体管 120 同样。就是说,在该半导体装置中包括:衬底 100 上的绝缘膜 102;源电极 104a;漏电极 104b;氧化物半导体膜 108;栅极绝缘膜 110;栅电极 112(参照图 1A 至 1C)。

[0162] 如上述实施方式所说明那样,在晶体管 120 中,氧化物半导体膜 108 是被进行了氧掺杂处理的氧化物半导体膜。再者,在本实施方式中,也对绝缘膜 102 及栅极绝缘膜 110 进行氧掺杂处理。通过上述氧掺杂处理,可以实现进一步提高可靠性的晶体管 120。注意,与上述实施方式同样,也可以制造结构改变的晶体管(参照图 3A 至 3D)。

[0163] 〈半导体装置的制造工序例〉

[0164] 以下,参照图 4A 至 4F 和图 5A 至 5C 对上述半导体装置的制造工序的一个例子进行说明。

[0165] 首先,在衬底 100 上形成绝缘膜 102 (参照图 4A)。

[0166] 虽然对衬底 100 的材质等没有很大的限制,但是至少需要具有能够承受后面的热处理程度的耐热性。例如,衬底 100 可以使用玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。另外,作为衬底 100,也可以应用硅或碳化硅等的单晶半导体衬底、多晶半导体衬底、硅锗等的化合物半导体衬底、SOI 衬底等,并且也可以使用在这些衬底上设置有半导体元件的衬底。

[0167] 另外,作为衬底 100,也可以使用柔性衬底。在柔性衬底上设置晶体管时,既可以在柔性衬底上直接形成晶体管,又可以在其他衬底上形成晶体管之后,分离其并转置到柔性衬底。注意,为了分离晶体管并转置到柔性衬底,优选在上述其他衬底与晶体管之间形成分离层。

[0168] 绝缘膜 102 是用作基底的绝缘膜。具体而言,作为绝缘膜 102 使用氧化硅、氮化硅、氧化铝、氮化铝、氧化镓、这些的混合材料等即可。另外,绝缘膜 102 既可以采用包含上述材料的绝缘膜的单层结构,又可以采用叠层结构。

[0169] 对绝缘膜 102 的制造方法没有特别的限制。例如,可以利用等离子体 CVD 法或溅射法等成膜方法形成绝缘膜 102。此外,从氢或水等不容易混入这一点来看,优选利用溅射法。

[0170] 另外,作为绝缘膜 102,特别优选使用由与后面形成的氧化物半导体膜相同种类的成分构成的绝缘材料。这是因为,这种材料与氧化物半导体膜的搭配良好,由此通过将其用作绝缘膜 102,可以保持与氧化物半导体膜之间的界面的良好状态。这里,“与氧化物半导体膜相同种类的成分”是指选自氧化物半导体膜的成分元素中的一种或多种元素。例如,在氧化物半导体膜由 In-Ga-Zn-O 类的氧化物半导体材料构成的情况下,作为由与其相同种类的成分构成的绝缘材料,可以举出氧化镓等。

[0171] 另外,在利用叠层结构的绝缘膜 102 的情况下,优选采用由与氧化物半导体膜相同种类的成分的绝缘材料构成的膜(以下称为“膜 a”)和包含与该膜 a 的成分材料不同的材料的膜(以下称为“膜 b”)的叠层结构。这是因为如下缘故:通过采用从氧化物半导体膜一侧按顺序层叠膜 a 和膜 b 的结构,与氧化物半导体膜和膜 a 的界面相比,膜 a 和膜 b 的界面的电荷俘获中心优先地俘获电荷,因此,可以充分抑制氧化物半导体膜界面的电荷俘获,从而可以提高半导体装置的可靠性。

[0172] 另外,作为上述叠层结构,可以使用氧化镓膜和氧化硅膜的叠层结构、氧化镓膜和氮化硅膜的叠层结构等。

[0173] 接着,对绝缘膜 102 进行利用氧 180a 的处理(也称为氧掺杂处理或氧等离子体掺杂处理)(参照图 4B)。在氧 180a 中至少包含氧自由基、氧原子和氧离子中的一种。通过对绝缘膜 102 进行氧掺杂处理,可以使在绝缘膜 102 中含有氧,并且在后面形成的氧化物半导体膜 108 中、氧化物半导体膜 108 界面附近或在氧化物半导体膜 108 中及该界面附近含有氧。在此情况下,将绝缘膜 102 中的氧的含量设定为超过绝缘膜 102 的化学计量比的程度,优选为超过化学计量比的 1 倍至 4 倍(大于 1 倍且小于 4 倍),更优选为超过 1 倍至 2 倍(大

于 1 倍小于 2 倍)。或者,当以单晶中的氧量为 Y 时,可以将氧含量设定为超过 Y 的程度,优选为超过 Y 至 4Y。或者,当以不进行氧掺杂处理时的绝缘膜中的氧量 Z 为基准时,可以将氧含量设定为超过 Z 的程度,优选为超过 Z 至 4Z。

[0174] 例如,在使用组成为 GaO_x ($x>0$) 表示的氧化镓的情况下,由于单晶的氧化镓是 Ga_2O_3 ,所以可以将 x 设定为超过 1.5 至 6 (即 O 的量超过 Ga 的 1.5 倍至 6 倍)。此外,例如在使用组成为 SiO_x ($x>0$) 表示的氧化硅的情况下,当采用 SiO_2 (即 O 是 Si 的 2 倍) 时,可以将 x 设定为超过 2 至 8 (即超过 Si 的 2 倍至 8 倍)。注意,只要在绝缘膜的一部分(包括界面)存在有这样的氧过剩区域即可。

[0175] 另外,添加到绝缘膜的氧 180a 的至少一部分优选在供应到氧化物半导体之后在氧化物半导体中具有悬空键。这是因为,具有悬空键可以与有可能残留在膜中的氢键合而使氢固定化(非可动离子化)的缘故。

[0176] 上述氧 180a 可以利用等离子体产生装置或臭氧产生装置而产生。更具体来说,例如,可以通过利用能够对半导体装置进行蚀刻处理的装置或对抗蚀剂掩模进行灰化处理的装置等产生氧 180a,并对绝缘膜 102 进行处理。

[0177] 另外,为了更好地进行氧添加,优选对衬底施加电偏压。

[0178] 接着,在绝缘膜 102 上形成用来形成源电极及漏电极(包括使用与源电极及漏电极相同的层形成的布线)的导电膜,对该导电膜进行加工,形成源电极 104a 及漏电极 104b (参照图 4C)。注意,根据这里形成的源电极 104a 的端部与漏电极 104b 的端部之间的距离决定晶体管的沟道长度 L。

[0179] 作为用作源电极 104a 及漏电极 104b 的导电膜,例如有含有选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)等。另外,还可以使用在 Al、Cu 等的金属膜的下侧或上侧的一方或双方层叠 Ti、Mo、W 等的高熔点金属膜或它们的金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)的导电膜。

[0180] 此外,用于源电极 104a 及漏电极 104b 的导电膜也可以使用导电金属氧化物形成。作为导电金属氧化物,可以使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$, 缩写为 ITO)、氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$) 或使这些金属氧化物材料包含氧化硅的材料。

[0181] 可以通过使用抗蚀剂掩模的蚀刻对导电膜进行加工。作为利用该蚀刻形成抗蚀剂掩模时的曝光,可以使用紫外线、KrF 激光或 ArF 激光等。

[0182] 另外,在当沟道长度 L 短于 25nm 时进行曝光的情况下,例如使用波长极短,即几 nm 至几十 nm 的超紫外线(Extreme Ultraviolet)进行形成抗蚀剂掩模时的曝光即可。使用超紫外线的曝光的分辨率高且其聚焦深度也大。从而,可以使后面形成的晶体管的沟道长度 L 减小,而可以提高电路的工作速度。

[0183] 此外,也可以使用所谓多级灰度掩模形成的抗蚀剂掩模进行蚀刻工序。由于使用多级灰度掩模形成的抗蚀剂掩模成为具有多种膜厚度的形状,并且通过进行灰化可以进一步改变形状,因此可以用于加工为不同图案的多个蚀刻工序。由此,通过使用一个多级灰度掩模,可以形成至少对应于两种以上的不同图案的抗蚀剂掩模。就是说,可以实现工序的简化。

[0184] 接着,在绝缘膜 102 上形成与源电极 104a 及漏电极 104b 接触的氧化物半导体膜,

对该氧化物半导体膜进行加工来形成岛状氧化物半导体膜 106 (参照图 4D)。

[0185] 氧化物半导体膜优选利用不容易混进氢或水等的方法形成。例如,可以利用溅射法等形成氧化物半导体膜。此外,氧化物半导体膜的厚度优选为 3nm 以上且 30nm 以下。这是因为若使氧化物半导体膜的厚度过厚(例如,厚度为 50nm 以上),则有晶体管成为常导通状态的担忧。

[0186] 作为用于氧化物半导体膜的材料,可以使用:四元金属氧化物的 In-Sn-Ga-Zn-O 类材料;三元金属氧化物的 In-Ga-Zn-O 类材料、In-Sn-Zn-O 类材料、In-Al-Zn-O 类材料、Sn-Ga-Zn-O 类材料、Al-Ga-Zn-O 类材料、Sn-Al-Zn-O 类材料;二元金属氧化物的 In-Zn-O 类材料、Sn-Zn-O 类材料、Al-Zn-O 类材料、Zn-Mg-O 类材料、Sn-Mg-O 类材料、In-Mg-O 类材料、In-Ga-O 类材料;或者单元金属氧化物的 In-O 类材料、Sn-O 类材料、Zn-O 类材料等。另外,也可以使上述材料包含氧化硅。在此,例如,In-Ga-Zn-O 类材料是指具有铟(In)、镓(Ga)、锌(Zn)的氧化物膜,并对其组成比并没有限制。另外,也可以使 In-Ga-Zn-O 类材料包含 In、Ga、Zn 以外的元素。

[0187] 另外,氧化物半导体膜也可以使用以化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料的薄膜。在此,M 表示选自 Ga、Al、Mn 和 Co 中的一种或多种金属元素。例如,作为 M,有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

[0188] 另外,当作为氧化物半导体膜使用 In-Zn-O 类材料时,将所使用的靶材的组成比设定为原子数比为 In:Zn=50:1 至 1:2 (换算为摩尔比则为 In_2O_3 :ZnO=25:1 至 1:4),优选为 In:Zn=20:1 至 1:1 (换算为摩尔比则为 In_2O_3 :ZnO=10:1 至 1:2),更优选为 In:Zn=15:1 至 1.5:1 (换算为摩尔比则为 In_2O_3 :ZnO=15:2 至 3:4)。例如,作为用于形成 In-Zn-O 类氧化物半导体的靶材,当原子数比为 In:Zn:O=X:Y:Z 时,将其设定为 $Z>1.5X+Y$ 。

[0189] 在本实施方式中,通过溅射法并使用 In-Ga-Zn-O 类氧化物半导体成膜用靶材形成氧化物半导体膜。

[0190] 作为 In-Ga-Zn-O 类氧化物半导体成膜用靶材,例如可以使用具有 In_2O_3 :Ga₂O₃:ZnO=1:1:1 [摩尔比] 的组成比的氧化物半导体成膜用靶材。注意,不局限于上述靶材的材料及组成。例如还可以使用具有 In_2O_3 :Ga₂O₃:ZnO=1:1:2 [摩尔比] 的组成比的氧化物半导体成膜用靶材。

[0191] 氧化物半导体成膜用靶材的填充率为 90% 以上且 100% 以下,优选为 95% 以上且 99.9% 以下。通过使用高填充率的氧化物半导体成膜用靶材,可以使所形成的氧化物半导体膜成为致密的膜。

[0192] 作为成膜的气氛,采用稀有气体(典型的是氩)气氛下、氧气氛下或稀有气体和氧的混合气氛下等即可。另外,为了防止在氧化物半导体膜中混入氢、水、羟基、氢化物等,优选采用使用充分去除了氢、水、羟基、氢化物等的含氢原子的杂质的高纯度气体的气氛。

[0193] 另外,在形成氧化物半导体膜时,有时绝缘膜 102 中的氧供应到氧化物半导体膜中。像这样,通过对绝缘膜 102 添加氧,可以形成充分添加有氧的氧化物半导体膜。

[0194] 更具体而言,例如可以采用如下方法形成氧化物半导体膜。

[0195] 首先,在保持为减压状态的成膜室内保持衬底 100,并且将衬底温度设定为 100℃ 以上且 600℃ 以下,优选为 200℃ 以上且 400℃ 以下。通过边加热衬底 100 边进行成膜,可以降低在氧化物半导体膜中含有的杂质浓度。另外,可以减轻由于溅射带来的氧化物半导体

膜的损伤。

[0196] 接着,边去除残留在成膜室内的水分边引入去除了氢及水等的含氢原子的杂质的高纯度气体并使用上述靶材在衬底 100 上形成氧化物半导体膜。为了去除残留在成膜室内的水分,作为排气装置,优选使用吸附型真空泵,例如,低温泵、离子泵、钛升华泵等。另外,作为排气装置,也可以使用配备有冷阱的涡轮分子泵。由于利用低温泵进行了排气的成膜室中,如氢分子、水(H₂O)等的包含氢原子的化合物(优选还包括包含碳原子的化合物)等被去除,由此可以降低利用该成膜室形成的氧化物半导体膜中含有的杂质浓度。

[0197] 作为成膜条件的一个例子,可以采用如下条件:衬底与靶材之间的距离为 100mm;压力为 0.6Pa;直流(DC)电源为 0.5kW;成膜气氛为氧(氧流量比率为 100%)气氛。另外,当使用脉冲直流电源时,可以减少成膜时产生的粉状物质(也称为微粒、尘屑),并且膜厚度不均匀也小,所以是优选的。

[0198] 通过在氧化物半导体膜上形成所希望的形状的掩模之后对该氧化物半导体膜进行蚀刻可以进行氧化物半导体膜的加工。上述掩模可以利用光刻工序等的方法形成。或者,也可以利用喷墨法等的方法形成掩模。

[0199] 此外,氧化物半导体膜的蚀刻可以采用干蚀刻或湿蚀刻。当然,也可以组合上述蚀刻使用。

[0200] 然后,对氧化物半导体膜 106 进行热处理,形成被高纯度化的氧化物半导体膜 108(参照图 4E)。通过该热处理,可以去除氧化物半导体膜 106 中的氢(包括水及羟基)而改善氧化物半导体膜的结构,从而降低能隙中的缺陷能级。此外,通过该热处理,有时绝缘膜 102 中的氧供应到氧化物半导体膜中。将上述热处理的温度设定为 250℃ 以上且 650℃ 以下,优选为 450℃ 以上且 600℃ 以下。此外,上述热处理的温度优选为低于衬底的应变点。

[0201] 作为热处理,例如,可以将被处理物放入使用电阻发热体等的电炉中,并在氮气气氛下以 450℃ 加热 1 个小时。在此期间,不使氧化物半导体膜 106 接触大气以防止水或氢的混入。

[0202] 热处理装置不限于电炉,还可以使用利用被加热的气体等的介质的热传导或热辐射来加热被处理物的装置。例如,可以使用 LRTA(Lamp Rapid Thermal Anneal:灯快速热退火)装置、GRTA(GasRapid Thermal Anneal:气体快速热退火)装置等的 RTA(RapidThermal Anneal:快速热退火)装置。LRTA 装置是通过从卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯、或者高压汞灯等的灯发射的光(电磁波)辐射来加热被处理物的装置。GRTA 装置是利用高温气体进行热处理的装置。作为气体,使用如氩等的稀有气体或氮等的即使进行热处理也不与被处理物产生反应的惰性气体。

[0203] 例如,作为上述热处理,也可以进行如下 GRTA 处理,即将被处理物引入到被加热的惰性气体气氛中,进行加热几分钟,然后从该惰性气体气氛中抽出被处理物。通过使用 GRTA 处理,可以短时间进行高温热处理。另外,即使温度条件超过被处理物的耐热温度,也可以应用该方法。另外,在处理中,还可以将惰性气体换为含有氧的气体。这是因为如下缘故:通过在含有氧的气氛中进行热处理,可以降低由于氧缺损而引起的能隙中的缺陷能级。

[0204] 另外,作为惰性气体气氛,优选采用以氮或稀有气体(氦、氖、氩等)为主要成分且不含有水、氢等的气氛。例如,优选引入热处理装置中的氮或氦、氖、氩等的稀有气体的纯度为 6N(99.9999%)以上,更优选为 7N(99.99999%)以上(即,杂质浓度为 1ppm 以下,优选

为 0.1ppm 以下)。

[0205] 总之,通过利用上述热处理减少杂质以形成 i 型(本征)半导体或基本上 i 型的氧化物半导体膜,可以实现具有极优越的特性的晶体管。

[0206] 由于上述热处理具有去除氢或水等的效果,所以可以将该热处理也称为脱水化处理、脱氢化处理等。该脱水化处理、脱氢化处理例如也可以在将氧化物半导体膜加工为岛状之前的时序进行。另外,这样的脱水化处理、脱氢化处理不局限于进行一次,而也可以进行多次。

[0207] 接着,对氧化物半导体膜 108 进行利用氧 180b 的处理(参照图 4F)。在氧 180b 中至少包含氧自由基、氧原子和氧离子中的一种。通过对氧化物半导体膜 108 进行氧掺杂处理,可以使在氧化物半导体膜 108 中、氧化物半导体膜 108 的界面附近或在氧化物半导体膜 108 中及该界面附近含有氧。在此情况下,将氧的含量设定为超过氧化物半导体膜 108 的化学计量比的程度,优选为超过化学计量比的 1 倍至 2 倍(大于 1 倍且小于 2 倍)。或者,当以单晶中的氧量为 Y 时,可以将氧含量设定为超过 Y 的程度,优选为超过 Y 至 2Y。或者,当以不进行氧掺杂处理时的氧化物半导体膜中的氧量 Z 为基准时,可以将氧含量设定为超过 Z 的程度,优选为超过 Z 至 2Z。另外,在上述优选的范围中存在有上限是因为在氧含量过多时,如氢贮藏合金那样反而氧化物半导体膜 108 会吸收氢的缘故。

[0208] 当使用其结晶结构由 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料时,例如在以 $m=1$ (InGaZnO_4) 的结晶结构为基准时,在 InGaZnO_x 中 x 可以超过 4 至 8,而在以 $m=2$ ($\text{InGaZn}_2\text{O}_5$) 的结晶结构为基准时,在 $\text{InGaZn}_2\text{O}_x$ 中 x 可以超过 5 至 10。这里,只要在氧化物半导体膜的一部分(包括界面)存在有这样的氧过剩区域即可。

[0209] 另外,添加到氧化物半导体膜的氧 180b 的至少一部分优选在氧化物半导体中具有悬空键。这是因为,具有悬空键可以与有可能残留在膜中的氢键合而使氢固定化(非可动离子化)的缘故。

[0210] 上述氧 180b 可以利用等离子体产生装置或臭氧产生装置而产生。更具体来说,例如,可以通过利用能够对半导体装置进行蚀刻处理的装置或对抗蚀剂掩模进行灰化处理的装置等产生氧 180b,并对氧化物半导体膜 108 进行处理。

[0211] 另外,为了更好地进行氧添加,优选对衬底施加电偏压。

[0212] 另外,也可以对进行了氧掺杂处理的氧化物半导体膜 108 进行热处理(温度 150℃ 至 470℃)。通过该热处理,可以从氧化物半导体膜去除因氧或氧化物半导体材料与氢的反应而产生的水、氢氧化物等。在水、氢等被充分降低的氮、氧、超干燥空气(水分量为 20ppm 以下,优选为 1ppm 以下,更优选为 10ppb 以下的空气)、稀有气体(氩、氦等)等气氛下进行热处理。此外,也可以反复进行氧掺杂处理和热处理。通过反复进行该处理,可以进一步提高晶体管的可靠性。此外,可以适当地设定反复次数。

[0213] 接着,形成与氧化物半导体膜 108 的一部分接触且覆盖源电极 104a 及漏电极 104b 的栅极绝缘膜 110 (参照图 5A)。

[0214] 栅极绝缘膜 110 可以与绝缘膜 102 同样形成。就是说,栅极绝缘膜 110 使用氧化硅、氮化硅、氧化铝、氮化铝、氧化镓、这些材料的混合材料等形成即可。但是,考虑到用作晶体管的栅极绝缘膜,也可以使用氧化铪、氧化钽、氧化钇、硅酸铪(HfSi_xO_y ($x>0, y>0$))、添加有氮的硅酸铪(HfSi_xO_y ($x>0, y>0$))、添加有氮的铝酸铪(HfAl_xO_y ($x>0, y>0$)) 等高介电常

数材料。

[0215] 另外,也可以与绝缘膜 102 同样地采用叠层结构。在此情况下,优选采用由与氧化物半导体膜相同种类的成分的绝缘材料构成的膜(以下称为“膜 a”)和包含与该膜 a 的成分材料不同的材料的膜(以下称为“膜 b”)的叠层结构。这是因为如下缘故:通过采用从氧化物半导体膜一侧按顺序层叠膜 a 和膜 b 的结构,与氧化物半导体膜和膜 a 的界面相比,膜 a 和膜 b 的界面的电荷俘获中心优先地俘获电荷,因此,可以充分抑制氧化物半导体膜界面的电荷俘获,从而可以提高半导体装置的可靠性。

[0216] 另外,作为上述叠层结构,可以使用氧化镓膜和氧化硅膜的叠层结构、氧化镓膜和氮化硅膜的叠层结构等。

[0217] 在形成上述栅极绝缘膜 110 之后,优选进行热处理。将该热处理的温度设定为 250℃ 以上且 700℃ 以下,优选为 450℃ 以上且 600℃ 以下。此外,该热处理的温度优选为低于衬底的应变点。

[0218] 上述热处理在氮、氧、超干燥空气(水的含量为 20ppm 以下,优选为 1ppm 以下,更优选为 10ppb 以下的空气)、或者稀有气体(氩、氦等)的气氛下进行,即可。但是,上述氮、氧、超干燥空气、稀有气体等的气氛优选不包含水、氢等。此外,优选将引入热处理装置中的氮、氧、稀有气体的纯度设定为 6N (99.9999%) 以上(即,杂质浓度为 1ppm 以下),更优选为 7N (99.99999%) 以上(即,杂质浓度 0.1ppm 以下)。

[0219] 在根据本实施方式的上述热处理中,在氧化物半导体膜 108 与绝缘膜 102、栅极绝缘膜 110 接触的状态下被加热。因此,虽然由上述脱水化(或脱氢化)处理有可能减少氧,但可以从绝缘膜 102 等向氧化物半导体膜 108 供应氧。在这意思上也可以将该热处理称为加氧化。

[0220] 另外,以加氧化为目的的热处理的时序只要在形成氧化物半导体膜 108 之后就没有特别的限制。例如,也可以在形成栅电极之后进行以加氧化为目的的热处理。或者,也可以在以进行以脱水化等为目的的热处理之后继续进行以加氧化为目的的热处理,也可以将以脱水化等为目的的热处理兼作以加氧化为目的的热处理,也可以将以加氧化为目的的热处理兼作以脱水化等为目的的热处理。

[0221] 如上那样,通过应用以脱水化等为目的的热处理和氧掺杂处理或以加氧化为目的的热处理,可以以尽量不包含杂质的方式使氧化物半导体膜 108 实现高纯度化。被高纯度化的氧化物半导体膜 108 中的源自供体的载流子极少(近零)。

[0222] 接着,对栅极绝缘膜 110 进行利用氧 180c 的处理(参照图 5B)。这里,在氧 180c 中至少包含氧自由基、氧原子和氧离子中的一种。通过对栅极绝缘膜 110 进行氧掺杂处理,可以使在栅极绝缘膜 110 中、氧化物半导体膜 108 中、氧化物半导体膜 108 的界面附近或在氧化物半导体膜 108 中及该界面附近含有氧。在此情况下,将栅极绝缘膜 110 中的氧的含量设定为超过栅极绝缘膜 110 的化学计量比的程度,优选为超过化学计量比的 1 倍至 4 倍(大于 1 倍且小于 4 倍),更优选为超过 1 倍至 2 倍(大于 1 倍小于 2 倍)。或者,当以单晶中的氧量为 Y 时,可以将氧含量设定为超过 Y 的程度,优选为超过 Y 至 4Y。或者,当以不进行氧掺杂处理时的栅极绝缘膜中的氧量 Z 为基准时,可以将氧含量设定为超过 Z 的程度,优选为超过 Z 至 4Z。

[0223] 例如,在使用组成为 GaO_x ($x>0$) 表示的氧化镓的情况下,由于单晶的氧化镓是

Ga_2O_3 , 所以可以将 x 设定为超过 1.5 至 6 (即 O 的量超过 Ga 的 1.5 倍至 6 倍)。此外, 例如在使用组成为 SiO_x ($x>0$) 表示的氧化硅的情况下, 当采用 SiO_2 (即 O 是 Si 的 2 倍) 时, 可以将 x 设定为超过 2 至 8 (即超过 Si 的 2 倍至 8 倍)。注意, 只要在绝缘膜的一部分 (包括界面) 存在有这样的氧过剩区域即可。

[0224] 另外, 添加到绝缘膜的氧 180c 的至少一部分优选在供应到氧化物半导体之后在氧化物半导体中具有悬空键。这是因为, 具有悬空键可以与有可能残留在膜中的氢键合而使氢固定化 (非可动离子化) 的缘故。

[0225] 上述氧 180c 可以利用等离子体产生装置或臭氧产生装置而产生。更具体来说, 例如, 可以通过利用能够对半导体装置进行蚀刻处理的装置或对抗蚀剂掩模进行灰化处理的装置等产生氧 180c, 并对栅极绝缘膜 110 进行处理。

[0226] 另外, 为了更好地进行氧添加, 优选对衬底施加电偏压。

[0227] 另外, 在上述氧掺杂处理之后, 也可以进行热处理。通过该热处理可以将足够的氧供应到氧化物半导体膜。为了得到该效果而进行的热处理的时序只要是在上述氧掺杂处理后就可以随时进行。此外, 也可以重复进行氧掺杂处理和热处理。通过重复进行该处理, 可以进一步提高晶体管的可靠性。此外, 可以适当地设定重复次数。

[0228] 然后, 形成栅电极 112 (参照图 5C)。栅电极 112 可以使用钼、钛、钽、钨、铝、铜、钕、钐等金属材料或以该金属材料为主要成分的合金材料形成。此外, 栅电极 112 可以为单层结构或者叠层结构。

[0229] 另外, 在形成栅电极 112 之后, 还可以形成绝缘膜。该绝缘膜例如可以使用氧化硅、氮化硅、氧化铝、氮化铝、氧化镓、这些材料的混合材料等形成。尤其是在作为绝缘膜使用氮化硅膜时, 在可以防止所添加的氧放出到外部的同时, 可以有效地抑制从外部氢等混入到氧化物半导体膜 108 中, 因此是优选的。此外, 还可以形成与源电极 104a 漏电极 104b、或栅电极 112 等连接的布线。

[0230] 通过上述工序形成晶体管 120。

[0231] 另外, 上述说明是对绝缘膜 102、氧化物半导体膜 108 及栅极绝缘膜 110 都进行氧掺杂处理的例子, 但是所公开的发明的一个方式不局限于此。例如, 既可以对绝缘膜 102 和氧化物半导体膜 108 进行氧掺杂处理, 又可以对氧化物半导体膜 108 和栅极绝缘膜 110 进行氧掺杂处理。

[0232] 根据本实施方式的晶体管采用如下氧化物半导体膜: 即, 通过进行热处理, 从氧化物半导体排除氢、水、羟基或氢化物 (也称为氢化合物) 等的含氢原子的杂质, 且通过供应在杂质排除工序中有可能减少的氧, 来实现高纯度化及 i 型 (本征) 化的氧化物半导体膜。包括上述那样被高纯度化的氧化物半导体膜的晶体管的阈值电压等电特性变动被抑制, 由此该晶体管在电性能上稳定。

[0233] 尤其是, 通过利用氧掺杂处理增大氧化物半导体膜中的氧含量, 可以抑制由电偏压应力或热应力所引起的退化, 并可以降低由光导致的退化。

[0234] 如上所述, 根据所公开的发明的一个方式可以提供高可靠性的晶体管。

[0235] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0236] 实施方式 3

[0237] 在本实施方式中,参照图 6A 至 6F 对半导体装置的制造方法的其他例子进行说明。

[0238] 〈半导体装置的结构例〉

[0239] 利用本实施方式的制造方法制造的半导体装置的结构与上述实施方式的晶体管 120 同样。就是说,在该半导体装置中包括:衬底 100 上的绝缘膜 102;源电极 104a;漏电极 104b;氧化物半导体膜 108;栅极绝缘膜 110;栅电极 112(参照图 1A 至 1C)。

[0240] 如上述实施方式所说明那样,在晶体管 120 中,氧化物半导体膜 108 是被进行了氧掺杂处理的氧化物半导体膜。再者,在本实施方式中,也对绝缘膜 102 及栅极绝缘膜 110 进行氧掺杂处理。通过上述氧掺杂处理,可以实现进一步提高可靠性的晶体管 120。再者,在本实施方式中的对绝缘膜 102 进行的氧掺杂处理兼作用来形成源电极 104a 及漏电极 104b 的掩模 103a 及掩模 103b 的去除工序。通过采用这样的步骤,可以实现由工序的简化带来的制造成本的降低。注意,与上述实施方式同样,也可以制造结构改变的晶体管(参照图 3A 至 3D)。

[0241] 〈半导体装置的制造工序例〉

[0242] 以下,参照图 6A 至 6F 对上述半导体装置的制造工序的一个例子进行说明。注意,制造工序的基本内容与上述实施方式同样,所以以下仅描述不同点。

[0243] 首先,在衬底 100 上形成绝缘膜 102(参照图 6A)。详细内容参考关于图 4A 的记载即可。

[0244] 接着,在绝缘膜 102 上形成用来形成源电极及漏电极(包括使用与源电极及漏电极相同的层形成的布线)的导电膜,利用掩模 103a 及掩模 103b 对该导电膜进行加工,形成源电极 104a 及漏电极 104b。接着,对绝缘膜 102 进行利用氧 180a 的处理(也称为氧掺杂处理或氧等离子体掺杂处理)(参照图 6B)。用来形成源电极 104a 及漏电极 104b 的工序的详细内容参考关于图 4C 的记载即可。在此,上述氧掺杂处理是兼作去除掩模 103a 及掩模 103b 的工序。

[0245] 在氧 180a 中至少包含氧自由基、氧原子和氧离子中的一种。通过对绝缘膜 102 进行氧掺杂处理,可以使在绝缘膜 102 中含有氧。并且可以在后面形成的氧化物半导体膜 108 中、氧化物半导体膜 108 界面附近或在氧化物半导体膜 108 中及该界面附近含有氧。在此情况下,将绝缘膜 102 中的氧的含量设定为超过绝缘膜 102 的化学计量比的程度,优选为超过化学计量比的 1 倍至 4 倍(大于 1 倍且小于 4 倍),更优选为超过 1 倍至 2 倍(大于 1 倍小于 2 倍)。或者,当以单晶中的氧量为 Y 时,可以将氧含量设定为超过 Y 的程度,优选为超过 Y 至 4Y。或者,当以不进行氧掺杂处理时的绝缘膜中的氧量 Z 为基准时,可以将氧含量设定为超过 Z 的程度,优选为超过 Z 至 4Z。

[0246] 例如,在使用组成为 GaO_x ($x>0$) 表示的氧化镓的情况下,由于单晶的氧化镓是 Ga_2O_3 ,所以可以将 x 设定为超过 1.5 至 6(即 0 的量超过 Ga 的 1.5 倍至 6 倍)。此外,例如在使用组成为 SiO_x ($x>0$) 表示的氧化硅的情况下,当采用 SiO_2 (即 0 是 Si 的 2 倍)时,可以将 x 设定为超过 2 至 8(即超过 Si 的 2 倍至 8 倍)。注意,只要在绝缘膜的一部分(包括界面)存在有这样的氧过剩区域即可。

[0247] 另外,添加到绝缘膜的氧 180a 的至少一部分优选在供应到氧化物半导体之后在氧化物半导体中具有悬空键。这是因为,具有悬空键可以与有可能残留在膜中的氢键合而使氢固定化(非可动离子化)的缘故。

[0248] 上述氧 180a 可以利用等离子体产生装置或臭氧产生装置而产生。更具体来说,例如,可以通过利用能够对抗蚀剂掩模进行灰化处理的装置等产生氧 180a,并对绝缘膜 102 进行处理。

[0249] 通过该氧掺杂处理去除掩模 103a 及掩模 103b。注意,与一般的掩模去除工序不同,该工序是以添加氧为目的的,所以优选对衬底施加较强的偏压。

[0250] 此外,通过该氧掺杂处理,在绝缘膜 102 中形成存在有高浓度的氧的区域和存在有低浓度的氧的区域。具体而言,绝缘膜 102 中的不由源电极 104a 及漏电极 104b 覆盖的区域成为存在有高浓度的氧的区域,而由源电极 104a 及漏电极 104b 覆盖的区域成为存在有低浓度的氧的区域。

[0251] 接着,在绝缘膜 102 上形成与源电极 104a 及漏电极 104b 接触的氧化物半导体膜,对该氧化物半导体膜进行加工来形成岛状氧化物半导体膜。然后,对氧化物半导体膜进行热处理,形成被高纯度化的氧化物半导体膜 108 (参照图 6C)。该工序的详细内容参考关于图 4D 及图 4E 的记载即可。

[0252] 接着,对氧化物半导体膜 108 进行利用氧 180b 的处理(参照图 6D)。详细内容参考关于图 4F 的记载即可。

[0253] 接着,形成与氧化物半导体膜 108 的一部分接触且覆盖源电极 104a 及漏电极 104b 的栅极绝缘膜 110。然后,对栅极绝缘膜 110 进行利用氧 180c 的处理(参照图 6E)。详细内容参考关于图 5A 及图 5B 的记载即可。

[0254] 然后,形成栅电极 112 (参照图 6F)。详细内容参考关于图 5C 的记载即可。

[0255] 另外,在形成栅电极 112 之后,还可以形成绝缘膜。该绝缘膜例如可以使用氧化硅、氮化硅、氧化铝、氮化铝、氧化镓、这些材料的混合材料等形成。尤其是在作为绝缘膜使用氮化硅膜时,在可以防止所添加的氧放出到外部的同时,可以有效地抑制从外部氢等混入到氧化物半导体膜 108 中,因此是优选的。此外,还可以形成与源电极 104a 漏电极 104b、或栅电极 112 等连接的布线。

[0256] 通过上述工序形成晶体管 120。

[0257] 另外,上述说明是对绝缘膜 102、氧化物半导体膜 108 及栅极绝缘膜 110 都进行氧掺杂处理的例子,但是所公开的发明的一个方式不局限于此。例如,也可以对绝缘膜 102 及氧化物半导体膜 108 进行氧掺杂处理。

[0258] 根据本实施方式的晶体管采用如下氧化物半导体膜:即,通过进行热处理,从氧化物半导体排除氢、水、羟基或氢化物(也称为氢化合物)等的含氢原子的杂质,且通过供应在杂质排除工序中有可能减少的氧,来实现高纯度化及 i 型(本征)化的氧化物半导体膜。包括上述那样被高纯度化的氧化物半导体膜的晶体管的阈值电压等电特性变动被抑制,由此该晶体管在电性能上稳定。

[0259] 尤其是,通过利用氧掺杂处理增大氧化物半导体膜中的氧含量,可以抑制由电偏压应力或热应力所引起的退化,并可以降低由光导致的退化。

[0260] 再者,在根据本实施方式的制造方法中,由于使工序简化所以可以抑制制造成本。

[0261] 如上所述,根据所公开的发明的一个方式可以在抑制制造成本的同时实现高可靠性的晶体管。

[0262] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地

组合而使用。

[0263] 实施方式 4

[0264] 在本实施方式中,对可以用于氧掺杂处理的等离子体装置(也称为灰化装置)的例子进行说明。另外,由于该装置可以对应例如第五代以后的大型玻璃衬底,所以比起离子注入装置等更适于工业化。

[0265] 图 17A 示出单晶片多室设备的俯视图的一个例子。图 17B 示出进行氧等离子体掺杂的等离子体装置(也称为灰化装置)的截面图的一个例子。

[0266] 图 17A 所示的单晶片多室设备包括:三个图 17B 所示的等离子体装置 10、具有三个收纳处理衬底的盒式端口(cassette port)14 的衬底供给室 11、装载闭锁室 12 及传送室 13 等。被供给到衬底供给室的衬底通过装载闭锁室 12 及传送室 13 被传送到等离子体装置 10 内的真空处理室 15 进行氧等离子体掺杂。进行完氧等离子体掺杂的衬底从等离子体装置 10 经过装载闭锁室 12 及传送室 13 被传送到衬底供给室 11。另外,衬底供给室 11 及传送室 13 分别配置有用来搬送处理衬底的传送机械。

[0267] 参照图 17B 可知等离子体装置 10 备有真空处理室 15。真空处理室 15 的上部配置有多个气体吹出口及等离子体发生源 ICP 线圈 16 (感应耦合等离子体线圈)。

[0268] 从等离子体装置 10 的上面看在其中央部分设置有 12 个气体吹出口。各个气体吹出口通过气体流道 17 与供给氧气的气体供给源连接,气体供给源备有质量流量控制器等而可以通过气体流道 17 供给所希望的流量(大于 0sccm 且 1000sccm 以下)的氧气。由气体供给源供给的氧气从气体流道 17 通过 12 个气体吹出口供给到真空处理室 15 内。

[0269] ICP 线圈 16 是由多个带状的导体以螺旋状配置而成。各导体的一端通过用来进行高阻抗调整的匹配电路电连接到第一高频电源 18 (13.56MHz),另一端接地。

[0270] 真空处理室的下部配置有用作下部电极的衬底工作台 19。利用设置在衬底工作台 19 上的静电吸盘等,衬底工作台上的处理衬底 20 被保持为能够装卸。衬底工作台 19 备有作为加热结构的加热器及作为冷却机构的 He 气体流道。衬底工作台连接于用来施加衬底偏压的第二高频电源 21 (3.2MHz)。

[0271] 另外,真空处理室 15 设置有排气口并备有自动压力控制阀 22 (Automatic Pressure Control Valve,也称为 APC)。APC 连接于涡轮分子泵 23,并且通过涡轮分子泵 23 连接于干燥泵 24。APC 进行真空处理室内的压力控制,涡轮分子泵 23 及干燥泵 24 对真空处理室 15 内进行减压。

[0272] 接着,在图 17B 中示出在真空处理室 15 内生成等离子体来对设置在处理衬底 20 上的氧化物半导体膜、基底绝缘膜或栅极绝缘膜进行氧等离子体掺杂的一个例子。

[0273] 首先,利用涡轮分子泵 23 及干燥泵 24 等使真空处理室 15 内保持所希望的压力,然后将处理衬底 20 设置在真空处理室 15 内的衬底工作台上。注意,被保持在衬底工作台上的处理衬底 20 至少具有氧化物半导体膜或基底绝缘膜。在本实施方式中,将真空处理室 15 内的压力保持为 1.33Pa。另外,将从气体吹出口供给到真空处理室 15 内的氧气流量设定为 250sccm。

[0274] 接着,由第一高频电源 18 对 ICP 线圈 16 施加高频电力来生成等离子体。并且,将生成等离子体的状态维持一定时间(30 秒以上 600 秒以下)。另外,将对 ICP 线圈 16 施加的高频电力设定为 1kW 以上 10kW 以下。在本实施方式中设定为 6000W。此时,也可以由第

二高频电源 21 向衬底工作台施加衬底偏压。在本实施方式中将用于施加衬底偏压的电力设定为 1000W。

[0275] 在本实施方式中,将生成等离子体的状态维持 60 秒,然后将处理衬底 20 从真空处理室 15 中搬出。由此,可以对设置在处理衬底 20 上的氧化物半导体膜、基底绝缘膜或栅极绝缘膜进行氧等离子体掺杂。

[0276] 上述本实施方式所示的结构或方法等可以与其他的实施方式所示的结构或方法等适当地组合而使用。

[0277] 实施方式 5

[0278] 在本实施方式中作为半导体装置的一个例子示出存储介质(存储元件)。在本实施方式中,将实施方式 1 至实施方式 3 等所示的使用氧化物半导体的晶体管与使用氧化物半导体以外的材料的晶体管形成在同一衬底上。

[0279] 图 7A 至图 7C 是半导体装置的结构的一个例子。图 7A 示出半导体装置的截面,而图 7B 示出半导体装置的平面。这里,图 7A 相当于图 7B 的 C1-C2 及 D1-D2 的截面。另外,图 7C 示出将上述半导体装置作为存储元件而使用时的电路图的一个例子。图 7A 及图 7B 所示的半导体装置的下部具有使用第一半导体材料的晶体管 240,上部具有实施方式 1 所示的晶体管 120。另外,在晶体管 120 中,作为第二半导体材料使用氧化物半导体。在本实施方式中,将氧化物半导体材料以外的半导体材料作为第一半导体材料。作为氧化物半导体以外的半导体材料,例如可以使用硅、锗、硅锗、碳化硅或镓砷等,并且,优选使用单晶半导体。另外,还可以使用有机半导体材料。使用这样的半导体材料的晶体管可以容易地进行高速工作。另一方面,使用氧化物半导体的晶体管利用其特性而可以长时间地保持电荷。

[0280] 另外,在本实施方式中,虽然示出使用晶体管 120 构成存储介质的例子,但是也可以使用实施方式 1 或实施方式 2 示出的晶体管 130、晶体管 140、晶体管 150 及晶体管 160 等代替晶体管 120。

[0281] 图 7A 和图 7B 中的晶体管 240 包括:设置在含有半导体材料(例如硅等)的衬底 200 中的沟道形成区 216;以夹着沟道形成区 216 的方式设置的杂质区域 220;接触于杂质区域 220 的金属化合物区域 224;设置在沟道形成区 216 上的栅极绝缘膜 208;以及设置在栅极绝缘膜 208 上的栅电极 210。

[0282] 作为含有半导体材料的衬底 200,可以采用硅或碳化硅等的单晶半导体衬底、多晶半导体衬底、硅锗等的化合物半导体衬底或 SOI 衬底等。注意,一般来说,“SOI 衬底”是指在绝缘表面上设置有硅半导体膜的衬底,但是在本说明书等中,还包括在绝缘表面上设置有由硅以外的材料构成的半导体膜的衬底。也就是说,“SOI 衬底”所具有的半导体膜不局限于硅半导体膜。此外,SOI 衬底还包括在玻璃衬底等绝缘衬底上隔着绝缘层设置有半导体膜的衬底。

[0283] 另外,在衬底 200 上,以围绕晶体管 240 的方式设置有元件分离绝缘膜 206,以覆盖晶体管 240 的方式设置有绝缘膜 228 及绝缘膜 230。此外,为了实现高集成化,如图 7A 所示晶体管 240 优选采用不设置侧壁绝缘膜的结构。另一方面,当重视晶体管 240 的特性时,可以在栅电极 210 的侧面设置侧壁绝缘膜,并且杂质区域 220 可以包含杂质浓度不同区域。

[0284] 晶体管 240 可以使用硅、锗、硅锗、碳化硅或镓砷等形成。该种晶体管 240 具有能够高速工作的特点。为此,通过将该晶体管用作读出用的晶体管,可以高速地进行数据的读

出。

[0285] 在形成晶体管 240 之后,作为晶体管 120 及电容器 164 的形成前的处理,对绝缘膜 228、绝缘膜 230 进行 CMP 处理来使栅电极 210 的上表面露出。作为使栅电极 210 的上表面露出的处理,除了 CMP 处理之外还可以使用蚀刻处理等。但是,为了提高晶体管 120 的特性,优选使绝缘膜 228、绝缘膜 230 的表面尽可能地平坦。

[0286] 接着,在栅电极 210、绝缘膜 228、绝缘膜 230 等上形成导电膜,对该导电膜进行选择性的蚀刻来形成源电极 104a 及漏电极 104b。

[0287] 可以利用如溅射法等的 PVD 法或如等离子体 CVD 法等的 CVD 法来形成导电膜。另外,作为导电膜的材料,可以使用选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素或以上述元素为成分的合金等。也可以使用选自 Mn、Mg、Zr、Be、Nd、Sc 中的一种或多种的材料。

[0288] 导电膜既可以采用单层结构也可以采用两层以上的叠层结构。例如可以举出:钛膜或氮化钛膜的单层结构;含有硅的铝膜的单层结构;在铝膜上层叠钛膜的双层结构;在氮化钛膜上层叠钛膜的双层结构;层叠钛膜、铝膜及钛膜的三层结构等。另外,当作为导电膜采用钛膜或氮化钛膜的单层结构时,具有易于将源电极 104a 及漏电极 104b 加工为锥形形状的优点。

[0289] 上部的晶体管 120 的沟道长度(L)由源电极 104a 及漏电极 104b 的下端部的间隔决定。另外,当形成沟道长度(L)短于 25nm 的晶体管时,优选使用波长短即几 nm 至几十 nm 的超紫外线进行形成掩模时的曝光。

[0290] 接着,在以覆盖源电极 104a 及漏电极 104b 的方式形成氧化物半导体膜之后,对该氧化物半导体膜进行选择性的蚀刻以形成氧化物半导体膜 108。使用实施方式 1 所示的材料及形成工序形成氧化物半导体膜。

[0291] 接下来,形成接触于氧化物半导体膜 108 的栅极绝缘膜 110。栅极绝缘膜 110 使用实施方式 1 所示的材料及形成工序来形成。

[0292] 接着,在栅极绝缘膜 110 上的分别与氧化物半导体膜 108 和源电极 104a 重叠的区域上形成栅电极 112a 和电极 112b。

[0293] 优选在形成栅极绝缘膜 110 之后,在惰性气体气氛或者氧气氛下进行热处理(也称为加氧化等)。加热处理的温度为 200℃ 以上 450℃ 以下,优选为 250℃ 以上 350℃ 以下。例如,在氮气氛下以 250℃ 进行 1 小时的加热处理即可。通过进行热处理,可以降低晶体管的电特性的不均匀。

[0294] 另外,以加氧化为目的的热处理的时序不局限于此。例如,也可以在形成栅电极之后进行以加氧化为目的的热处理。另外,可以接着以脱水化等为目的的热处理进行以加氧化为目的的热处理,也可以在以脱水化等为目的的热处理中兼并以加氧化为目的的热处理,还可以在以加氧化为目的的热处理中兼并以脱水化等为目的的热处理。

[0295] 如上所述,通过进行以脱水化等为目的的热处理、氧掺杂处理或以加氧化为目的的热处理,可以使氧化物半导体膜 108 尽量地不包含杂质而使其高纯度化。

[0296] 通过在栅极绝缘膜 110 上形成导电膜之后,对该导电膜进行选择性的蚀刻来形成栅电极 112a 及电极 112b。

[0297] 接着,在栅极绝缘膜 110、栅电极 112a 及电极 112b 上形成绝缘膜 151 及绝缘膜 152。绝缘膜 151 及绝缘膜 152 可以利用溅射法或 CVD 法等形式形成。另外,还可以使用含有如

氧化硅、氮化硅、氮化硅、氧化铅、氧化铝、氧化镓等的无机绝缘材料形成。

[0298] 接下来,在栅极绝缘膜 110、绝缘膜 151 及绝缘膜 152 中形成到达漏电极 104b 的开口。该开口通过进行使用掩模等的选择性的蚀刻而形成。

[0299] 然后,在上述开口中形成电极 154,并在绝缘膜 152 上形成接触于电极 154 的布线 156。

[0300] 电极 154 例如可以在利用 PVD 法或 CVD 法等包括开口的区域中形成导电膜后,利用蚀刻处理或 CMP 等方法去除上述导电膜的一部分来形成。

[0301] 布线 156 是通过利用如溅射法等 PVD 法或如等离子体 CVD 法等 CVD 法形成导电膜之后对该导电膜进行构图而形成的。另外,作为导电膜的材料,可以使用选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素或以上述元素为成分的合金等。也可以使用选自 Mn、Mg、Zr、Be、Nd、Sc 中的一种或多种的材料。详细内容与源电极 104a 或漏电极 104b 等相同。

[0302] 通过上述方法可以形成使用被高纯度化的氧化物半导体膜 108 的晶体管 120 及电容器 164。电容器 164 包括源电极 104a、氧化物半导体膜 108、栅极绝缘膜 110 及电极 112b。

[0303] 另外,在图 7A 和图 7B 所示的电容器 164 中,通过层叠氧化物半导体膜 108 和栅极绝缘膜 110,可以充分确保源电极 104a 与电极 112b 之间的绝缘性。当然,为了确保足够的电容,也可以采用不具有氧化物半导体膜 108 的结构电电容器 164。再者,当不需要电容时,也可以采用不设置电容器 164 的结构。

[0304] 图 7C 示出将上述半导体装置用作存储元件时的电路图的一个例子。在图 7C 中,晶体管 120 的源电极和漏电极中的一方与电容器 164 的电极的一方及晶体管 240 的栅电极电连接。另外,第一布线(1stLine:也称为源极线)与晶体管 240 的源电极电连接,第二布线(2ndLine:也称为位线)与晶体管 240 的漏电极电连接,第三布线(3rd Line:也称为第一信号线)与晶体管 120 的源电极和漏电极中的另一方电连接,第四布线(4th Line:也称为第二信号线)与晶体管 120 的栅电极电连接,并且,第五布线(5th Line:也称为字线)与电容器 164 的电极中的另一方电连接。

[0305] 由于使用氧化物半导体的晶体管 120 的截止电流极小,通过使晶体管 120 成为截止状态,可以极长时间地保持与晶体管 120 的源电极和漏电极中的一方、电容器 164 的电极的一方以及晶体管 240 的栅电极电连接的节点(以下,节点 FG)的电位。此外,通过具有电容器 164,可以容易地保持施加到节点 FG 的电荷,并且,可以容易地读出所保持的数据。

[0306] 在对半导体装置存储数据时(写入),首先,将第四布线的电位设定为使晶体管 120 成为导通状态的电位,而使晶体管 120 成为导通状态。由此,第三布线的电位被供给到节点 FG,由此节点 FG 积蓄预定量的电荷。这里,施加赋予两种不同电位电平的电荷(以下,称为低(Low)电平电荷、高(High)电平电荷)中的任一种。然后,通过使第四布线的电位成为使晶体管 120 成为截止状态的电位来使晶体管 120 成为截止状态,由于节点 FG 变为浮动状态,节点 FG 保持保持预定的电荷的状态。如上所述,通过使节点 FG 积蓄并保持预定量的电荷,可以使存储单元存储数据。

[0307] 因为晶体管 120 的截止电流极小,所以供给到节点 FG 的电荷被保持很长时间。因此,不需要刷新工作或者可以使刷新工作的频度变为极低,从而可以充分降低耗电量。此外,即使没有电力供给,也可以在较长期间内保持存储内容。

[0308] 在读出存储于存储单元的数据的情况(读出)下,当在对第一布线供给预定电位

(恒定电位)的情况下,对第五布线供给适当的电位(读出电位)时,对应于保持于节点 FG 的电荷量晶体管 240 成为不同的状态。这是因为如下原因:通常,当晶体管 240 是 n 沟道型时,节点 FG 保持 High 电平电荷的情况下的晶体管 240 的表观阈值 V_{th_H} 低于节点 FG 保持 Low 电平电荷的情况下的晶体管 240 的表观阈值 V_{th_L} 。在此,表观阈值是指为使晶体管 240 成为“导通状态”而需要的第五布线的电位。所以,通过将第五布线的电位设定为 V_{th_H} 与 V_{th_L} 之间的电位 V_0 ,可以辨别节点 FG 所保持的电荷。例如,在写入中,在被施加 High 电平电荷的情况下,当第五布线的电位成为 V_0 ($>V_{th_H}$) 时,晶体管 240 成为“导通状态”。在被施加 Low 电平电荷的情况下,即使第五布线的电位成为 V_0 ($<V_{th_L}$),晶体管 240 也保持“截止状态”。由此,通过控制第五布线的电位来读出晶体管 240 的导通状态或截止状态(读出第二布线的电位),可以读出所存储数据。

[0309] 此外,当重写存储于存储单元的数据时,通过对利用上述写入而保持有预定量的电荷的节点 FG 供给新电位,使节点 FG 保持新数据的电荷。具体而言,将第四布线的电位设定为使晶体管 120 成为导通状态的电位,来使晶体管 120 成为导通状态。由此,第三布线的电位(新数据的电位)供给到节点 FG,节点 FG 被积蓄预定量的电荷。然后,通过将第四布线的电位成为使晶体管 120 成为截止状态的电位,来使晶体管 120 成为截止状态,由此节点 FG 成为保持新数据的电荷的状态。也就是说,通过在利用第一写入使节点 FG 保持预定量的电荷的状态下,进行与第一写入相同的工作(第二写入),可以对存储的数据进行重写。

[0310] 本实施方式所示的晶体管 120 通过使用被高纯度化、本征化的氧化物半导体膜 108,可以充分地降低晶体管 120 的截止电流。此外,通过使氧化物半导体膜 108 成为氧过剩的层,可以抑制晶体管 120 的电特性变动从而可以形成电特性稳定的晶体管。并且,通过使用这种晶体管,可以得到可以极长时间地保持存储内容的可靠性高的半导体装置。

[0311] 另外,在本实施方式所示的半导体装置中,通过使晶体管 240 与晶体管 120 重叠,可以实现集成度得到充分提高的半导体装置。

[0312] 本实施方式所示的结构或方法等可以与其他实施方式所示的结构或方法等适当地组合而使用。

[0313] 实施方式 6

[0314] 可以通过使用在实施方式 1 至实施方式 3 中例示的晶体管来制造具有显示功能的半导体装置(也称为显示装置)。此外,通过将包括晶体管的驱动电路的一部分或全部与像素部一起形成在与该像素部相同的衬底上,可以形成系统整合型面板(system-on-panel)。

[0315] 在图 8A 中,以围绕设置在第一衬底 4001 上的像素部 4002 的方式设置密封剂 4005,并且,使用第二衬底 4006 进行密封。在图 8A 中,在第一衬底 4001 上的与由密封剂 4005 围绕的区域不同的区域中安装有使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上的扫描线驱动电路 4004、信号线驱动电路 4003。此外,供给到另行形成的信号线驱动电路 4003、扫描线驱动电路 4004 或者像素部 4002 的各种信号及电位从 FPC(Flexible printed circuit, 柔性印刷电路) 4018a、FPC4018b 供给。

[0316] 在图 8B 和图 8C 中,以围绕设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 的方式设置密封剂 4005。此外,在像素部 4002 和扫描线驱动电路 4004 上设置有第二衬底 4006。因此,像素部 4002、扫描线驱动电路 4004 与显示元件一起由第一衬底 4001、密封剂 4005 以及第二衬底 4006 密封。在图 8B 和图 8C 中,在第一衬底 4001 上的与由密封

剂 4005 围绕的区域不同的区域中安装有使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上的信号线驱动电路 4003。在图 8B 和图 8C 中,供给到另行形成的信号线驱动电路 4003、扫描线驱动电路 4004 或者像素部 4002 的各种信号及电位从 FPC4018 供给。

[0317] 此外,实施方式不局限于图 8A 至图 8C 所示的结构。可以另行仅形成信号线驱动电路的一部分或者扫描线驱动电路的一部分并进行安装。

[0318] 注意,对另行形成的驱动电路的连接方法没有特别的限制,而可以采用 COG (Chip On Glass,玻璃上芯片)方法、引线键合方法或者 TAB (Tape Automated Bonding,卷带式自动接合)方法等。图 8A 是通过 COG 方法安装信号线驱动电路 4003、扫描线驱动电路 4004 的例子,图 8B 是通过 COG 方法安装信号线驱动电路 4003 的例子,而图 8C 是通过 TAB 方法安装信号线驱动电路 4003 的例子。

[0319] 此外,显示装置包括密封有显示元件的面板和在该面板中安装有包括控制器的 IC 等的模块。

[0320] 注意,本说明书中的显示装置是指图像显示装置、显示装置或光源(包括照明装置)。另外,显示装置还包括:安装有连接器诸如 FPC、TAB 胶带或 TCP 的模块;在 TAB 胶带或 TCP 的端部上设置有印刷线路板的模块;通过 COG 方式将 IC (集成电路)直接安装到显示元件的模块。

[0321] 此外,设置在第一衬底上的像素部及扫描线驱动电路包括多个晶体管,并且,可以应用在实施方式 1 至实施方式 3 中例示的晶体管。

[0322] 作为设置在显示装置中的显示元件,可以使用液晶元件(也称为液晶显示元件)、发光元件(也称为发光显示元件)。发光元件将由电流或电压控制亮度的元件包括在其范畴内,具体而言,包括无机 EL (Electro Luminescence,电致发光)元件、有机 EL 元件等。此外,也可以应用电子墨水等由于电作用而改变对比度的显示媒体。

[0323] 参照图 9 至图 11 而说明半导体装置的一种方式。图 9 至图 11 相当于沿着图 8B 的 M-N 线的截面图。

[0324] 如图 9 至图 11 所示,半导体装置包括连接端子电极 4015 及端子电极 4016,并且,连接端子电极 4015 及端子电极 4016 通过各向异性导电膜 4019 电连接到 FPC4018 所包括的端子。

[0325] 连接端子电极 4015 由与第一电极层 4030 相同的导电膜形成,并且,端子电极 4016 由与晶体管 4010、晶体管 4011 的源电极及漏电极相同的导电膜形成。

[0326] 此外,设置在第一衬底 4001 上的像素部 4002、扫描线驱动电路 4004 包括多个晶体管,并且,在图 9 至图 11 中例示像素部 4002 所包括的晶体管 4010、扫描线驱动电路 4004 所包括的晶体管 4011。在图 10 及图 11 中,在晶体管 4010、晶体管 4011 上设置有绝缘层 4021。

[0327] 在本实施方式中,作为晶体管 4010、晶体管 4011,可以应用在实施方式 1 至实施方式 3 中示出的晶体管。晶体管 4010、晶体管 4011 的电特性变动被抑制,所以在电性上是稳定的。因此,作为图 9 至图 11 所示的本实施方式的半导体装置,可以提供可靠性高的半导体装置。

[0328] 设置在像素部 4002 中的晶体管 4010 电连接到显示元件,构成显示面板。只要可以进行显示就对显示元件没有特别的限制,而可以使用各种各样的显示元件。

[0329] 图9示出作为显示元件使用液晶元件的液晶显示装置的例子。在图9中,作为显示元件的液晶元件4013包括第一电极层4030、第二电极层4031以及液晶层4008。注意,以夹持液晶层4008的方式设置有用取向膜的绝缘膜4032、绝缘膜4033。第二电极层4031设置在第二衬底4006一侧,并且,第一电极层4030和第二电极层4031夹着液晶层4008而层叠。

[0330] 此外,柱状间隔物4035通过对绝缘膜选择性地蚀刻而获得,并且它是为控制液晶层4008的厚度(单元间隙)而设置的。另外,间隔物的形状不局限于柱状,例如还可以使用球状间隔物。

[0331] 当作为显示元件使用液晶元件时,可以使用热致液晶、低分子液晶、高分子液晶、聚合物分散型液晶、铁电液晶、反铁电液晶等。上述液晶材料根据条件而呈现胆甾相、近晶相、立方相、手征向列相、均质相等。

[0332] 另外,还可以使用不使用取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,是指当使胆甾相液晶的温度上升时即将从胆甾相转变到均质相之前出现的相。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将混合有几wt%以上的手性试剂的液晶组成物用于液晶层。由于包含呈现蓝相的液晶和手性试剂的液晶组成物的响应速度短,即为1msec以下,并且其具有光学各向同性,所以不需要取向处理,从而视角依赖性小。另外,由于不需要设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,并可以降低制造工序中的液晶显示装置的不良、破损。从而,可以提高液晶显示装置的生产率。

[0333] 此外,液晶材料的比电阻率为 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上,优选为 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上,更优选为 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。注意,本说明书中的比电阻率的值为以20℃测量的值。

[0334] 考虑到配置在像素部中的晶体管的漏电流等而以能够在指定期间中保持电荷的方式设定设置在液晶显示装置中的存储电容器的大小。通过使用具有高纯度的氧化物半导体膜的晶体管,设置具有各像素中的液晶电容的三分之一以下,优选为五分之一以下的电容的大小的存储电容器,就足够了。

[0335] 在本实施方式中使用的具有高纯度化的氧化物半导体膜的晶体管可以降低截止状态下的电流值(截止电流值)。因此,可以延长图像信号等的电信号的保持时间,并且,还可以延长电源导通状态下的写入间隔。因此,可以降低刷新工作的频度,所以可以得到抑制耗电量的效果。

[0336] 此外,在本实施方式中使用的具有高纯度化的氧化物半导体膜的晶体管可以得到较高的场效应迁移率,所以可以进行高速驱动。因此,通过将上述晶体管用于液晶显示装置的像素部,可以提供高图像质量的图像。此外,由于上述晶体管可以在同一衬底上分别制造驱动电路部、像素部,所以可以削减液晶显示装置的零部件数。

[0337] 液晶显示装置可以采用TN(Twisted Nematic,扭曲向列)模式、IPS(In-Plane-Switching,平面内转换)模式、FFS(Fringe Field Switching,边缘电场转换)模式、ASM(Axially Symmetric aligned Micro-cell,轴对称排列微单元)模式、OCB(Optical Compensated Birefringence,光学补偿弯曲)模式、FLC(Ferroelectric Liquid Crystal,铁电性液晶)模式、以及AFLC(Anti Ferroelectric Liquid Crystal,反铁电性液晶)模式等。

[0338] 此外,也可以使用常黑型液晶显示装置,例如采用垂直配向(VA)模式的透过型液晶显示装置。在此,垂直配向模式是指控制液晶显示面板的液晶分子的排列的方式的一种,是当不施加电压时液晶分子朝向垂直于面板表面的方向的方式。作为垂直配向模式,例如可以使用MVA(Multi-Domain Vertical Alignment:多象限垂直配向)模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、ASV(Advanced Super View)模式等。此外,也可以使用将像素(pixel)分成几个区域(子像素),并且使分子分别倒向不同方向的称为多畴化或者多畴设计的方法。

[0339] 此外,在显示装置中,适当地设置黑矩阵(遮光层)、偏振构件、相位差构件、抗反射构件等的光学构件(光学衬底)等。例如,也可以使用利用偏振衬底以及相位差衬底的圆偏振。此外,作为光源,也可以使用背光灯、侧光灯等。

[0340] 此外,也可以作为背光灯利用多个发光二极管(LED)来进行分时显示方式(场序制驱动方式)。通过应用场序制驱动方式,可以不使用滤光片地进行彩色显示。

[0341] 此外,作为像素部中的显示方式,可以采用逐行扫描方式或隔行扫描方式等。此外,当进行彩色显示时在像素中受到控制的颜色因素不局限于RGB(R显示红色,G显示绿色,B显示蓝色)的三种颜色。例如,也可以采用RGBW(W显示白色)、或者对RGB追加黄色(yellow)、青色(cyan)、品红色(magenta)等中的一种颜色以上的颜色。注意,也可以按每个颜色因素的点使其显示区域的大小不同。但是,本发明不局限于彩色显示的显示装置,而也可以应用于单色显示的显示装置。

[0342] 此外,作为显示装置所包括的显示元件,可以应用利用电致发光的发光元件。利用电致发光的发光元件根据发光材料是有机化合物还是无机化合物被区别,一般地,前者被称为有机EL元件,而后者被称为无机EL元件。

[0343] 在有机EL元件中,通过对发光元件施加电压,电子及空穴分别从一对电极注入到包括具有发光性的有机化合物的层,以流过电流。并且,这些载流子(电子及空穴)重新结合,具有发光性的有机化合物形成激发状态,当从该激发状态回到基态时发光。由于这种机理,这种发光元件被称为电流激发型发光元件。

[0344] 无机EL元件根据其元件结构而分类为分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件具有发光层,其中发光材料的粒子分散在粘合剂中,并且其发光机理是利用施主能级和受主能级的施主-受主重新结合型发光。薄膜型无机EL元件具有一种结构,其中,发光层夹在介电层之间,并且该夹着发光层的介电层由电极夹住,其发光机理是利用金属离子的内壳层电子跃迁的定域型发光。注意,这里作为发光元件使用有机EL元件进行说明。

[0345] 为了取出发光,使发光元件的一对电极中的至少一个为透明即可。并且,在衬底上形成晶体管及发光元件,作为发光元件,有从与衬底相反一侧的表面取出发光的顶部发射;从衬底一侧的表面取出发光的底部发射;从衬底一侧及与衬底相反一侧的表面取出发光的双面发射结构的发光元件,可以应用上述任一种发射结构的发光元件。

[0346] 图10示出作为显示元件使用发光元件的发光装置的例子。作为显示元件的发光元件4513电连接到设置在像素部4002中的晶体管4010。注意,发光元件4513的结构是包括第一电极层4030、场致发光层4511、第二电极层4031的叠层结构,但是,不局限于该结构。根据从发光元件4513取出的光的方向等,可以适当地改变发光元件4513的结构。

[0347] 分隔壁 4510 使用有机绝缘材料或者无机绝缘材料形成。尤其是,使用感光树脂材料,在第一电极层 4030 上形成开口部,并且优选将该开口部的侧壁形成为具有连续曲率的倾斜面。

[0348] 场致发光层 4511 可以使用一个层构成,也可以使用多个层的叠层构成。

[0349] 为了防止氧、氢、水分、二氧化碳等侵入发光元件 4513 中,而也可以在第二电极层 4031 及分隔壁 4510 上形成保护膜。作为保护膜,可以形成氮化硅膜、氮氧化硅膜、DLC (Diamond-Like Carbon,类金刚石碳)膜等。此外,在由第一衬底 4001、第二衬底 4006 以及密封剂 4005 密封的空间中设置有填充材料 4514 并被密封。如此,为了不暴露于外气,而优选使用气密性高且脱气少的保护薄膜(粘合薄膜、紫外线固化树脂薄膜等)、覆盖材料进行显示面板封装(封入)。

[0350] 作为填充材料 4514,除了氮或氩等惰性气体以外,还可以使用紫外线固化树脂、热固化树脂,并且,可以使用 PVC(聚氯乙烯)、丙烯酸树脂、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)或者 EVA(乙烯-醋酸乙烯酯)即可。例如,作为填充材料而使用氮。

[0351] 另外,如果需要,则可以在发光元件的射出表面上适当地设置诸如偏振片、圆偏振片(包括椭圆偏振片)、相位差板($\lambda/4$ 板, $\lambda/2$ 板)、滤色片等的光学薄膜。此外,也可以在偏振片、圆偏振片上设置防反射膜。例如,可以进行抗眩光处理,该处理是利用表面的凹凸来扩散反射光而可以降低眩光的处理。

[0352] 此外,作为显示装置,也可以提供使电子墨水驱动的电子纸。电子纸也称为电泳显示装置(电泳显示器),并且,具有如下优点:与纸同样的易读性;其耗电量比其他显示装置的耗电量低;形状薄且轻。

[0353] 作为电泳显示装置,有各种各样的形式,但是它是多个包括具有正电荷的第一粒子和具有负电荷的第二粒子的微胶囊分散在溶剂或溶质中,并且,通过对微胶囊施加电场,使微胶囊中的粒子彼此移动到相对方向,以只显示集合在一方侧的粒子的颜色的装置。注意,第一粒子或者第二粒子包括染料,并且,当没有电场时不移动。此外,第一粒子的颜色和第二粒子的颜色不同(其中之一可包括无色)。

[0354] 如此,电泳显示装置是利用介电常数高的物质移动到高电场区域,即所谓的介电泳效应(dielectrophoretic effect)的显示器。

[0355] 分散有上述微囊的溶液被称为电子墨水,并且该电子墨水可以印刷到玻璃、塑料、布、纸等的表面上。另外,还可以通过使用滤色片、具有色素的粒子来进行彩色显示。

[0356] 此外,作为微囊中的第一粒子及第二粒子,使用选自导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电性材料、电致发光材料、电致变色材料、磁泳材料中的一种材料或这些的材料的复合材料即可。

[0357] 此外,作为电子纸,还可以应用使用旋转球显示方式的显示装置。旋转球显示方式是如下方法,即将分别涂为白色和黑色的球形粒子配置在用于显示元件的电极层的第一电极层与第二电极层之间,使第一电极层与第二电极层之间产生电位差来控制球形粒子的方向,以进行显示。

[0358] 图 11 示出半导体装置的一个方式的有源矩阵型电子纸。图 11 所示的电子纸是使用旋转球显示方式的显示装置的例子。

[0359] 在连接到晶体管 4010 的第一电极层 4030 与设置在第二衬底 4006 上的第二电极

层 4031 之间设置有具有黑色区域 4615a 及白色区域 4615b 并且在该黑色区域 4615a 及白色区域 4615b 的周围包括填充有液体的腔体 4612 的球形粒子 4613, 并且, 球形粒子 4613 的周围填充有树脂等填充材料 4614。第二电极层 4031 相当于公共电极(对置电极)。第二电极层 4031 电连接到公共电位线。

[0360] 注意, 在图 9 至图 11 中, 作为第一衬底 4001、第二衬底 4006, 除了玻璃衬底以外, 还可以使用具有挠性的衬底。例如, 可以使用具有透光性的塑料衬底等。作为塑料衬底, 可以使用 FRP (Fiberglass-Reinforced Plastics ;纤维增强塑料)板、PVF (聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外, 也可以使用具有由 PVF 薄膜或聚酯薄膜夹住铝箔的结构薄片。

[0361] 绝缘层 4021 可以使用无机绝缘材料或者有机绝缘材料来形成。注意, 当使用丙烯酸树脂、聚酰亚胺、苯并环丁烯类树脂、聚酰胺、环氧树脂等具有耐热性的有机绝缘材料时, 适于用作平坦化绝缘膜。此外, 除了上述有机绝缘材料以外, 还可以使用低介电常数材料 (low-k 材料)、硅氧烷类树脂、PSG (磷硅玻璃)、BPSG (硼磷硅玻璃) 等。注意, 可以通过层叠多个由这些材料形成的绝缘膜, 来形成绝缘层。

[0362] 对绝缘层 4021 的形成方法没有特别的限制, 可以根据其材料而利用溅射法、旋涂法、浸渍法、喷涂法、液滴喷射法(喷墨法)、丝网印刷、胶版印刷、辊涂机、幕式涂布机、刮刀式涂布机等形成绝缘层 4021。

[0363] 显示装置通过透过来自光源或显示元件的光来进行显示。因此, 设置在透过光的像素部中的衬底、绝缘膜、导电膜等的薄膜全都对可见光的波长区域的光具有透光性。

[0364] 关于对显示元件施加电压的第一电极层及第二电极层(也称为像素电极层、公共电极层、对置电极层等), 根据取出光的方向、设置电极层的地方以及电极层的图案结构而选择其透光性、反射性, 即可。

[0365] 作为第一电极层 4030、第二电极层 4031, 可以使用包括氧化钨的氧化铟、包括氧化钨的氧化铟锌、包括氧化钛的氧化铟、包括氧化钛的氧化铟锡、氧化铟锡(以下表示为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等具有透光性的导电材料。

[0366] 此外, 第一电极层 4030、第二电极层 4031 可以使用钨(W)、钼(Mo)、锆(Zr)、铪(Hf)、钒(V)、铌(Nb)、钽(Ta)、铬(Cr)、钴(Co)、镍(Ni)、钛(Ti)、铂(Pt)、铝(Al)、铜(Cu)、银(Ag)等的金属、其合金或者其氮化物中的一种或多种来形成。

[0367] 此外, 由于晶体管容易受到静电等的破坏, 所以优选设置驱动电路保护用的保护电路。保护电路优选使用非线性元件构成。

[0368] 如上所述, 通过应用在实施方式 1 至实施方式 3 中例示的晶体管, 可以提供可靠性高的半导体装置。

[0369] 本实施方式可以与其他实施方式所示的结构适当地组合而实施。

[0370] 实施方式 7

[0371] 通过使用由实施方式 1 至实施方式 3 中的任何一个示出的作为一例的晶体管, 可以制造具有读取对象物的数据的图像传感器功能的半导体装置。

[0372] 图 12A 示出具有图像传感器功能的半导体装置的一例。图 12A 示出光电传感器的等效电路, 而图 12B 示出光电传感器的一部分的截面图。

[0373] 光电二极管 602 的一个电极电连接到光电二极管复位信号线 658, 而光电二极管

602 的另一个电极电连接到晶体管 640 的栅极。晶体管 640 的源极和漏极中的一个电连接到光电传感器参考信号线 672, 而晶体管 640 的源极和漏极中的另一个电连接到晶体管 656 的源极和漏极中的一个。晶体管 656 的栅极电连接到栅极信号线 659, 晶体管 656 的源极和漏极中的另一个电连接到光电传感器输出信号线 671。

[0374] 注意, 在本说明书的电路图中, 为了使使用氧化物半导体膜的晶体管一目了然, 将使用氧化物半导体膜的晶体管的符号表示为“OS”。在图 12A 中, 晶体管 640 和晶体管 656 是使用氧化物半导体膜的晶体管。

[0375] 图 12B 是示出光电传感器中的光电二极管 602 和晶体管 640 的截面图, 其中在具有绝缘表面的衬底 601 (TFT 衬底) 上设置有用作传感器的光电二极管 602 和晶体管 640。在光电二极管 602 和晶体管 640 上设置有衬底 613, 在其间使用粘合层 608。另外, 在晶体管 640 上设置有绝缘膜 631、第一层间绝缘层 633 以及第二层间绝缘层 634。

[0376] 另外, 以与晶体管 640 的栅电极电连接的方式在与该栅电极相同的层中设置栅电极 645。栅电极 645 通过设置在绝缘膜 631 及第一层间绝缘层 633 中的开口电连接到电极层 641。由于电极层 641 与形成在第二层间绝缘层 634 上的导电层 643 电连接, 并且电极层 642 通过电极层 644 与栅电极 645 电连接, 所以光电二极管 602 与晶体管 640 电连接。

[0377] 光电二极管 602 设置在第一层间绝缘层 633 上, 并且光电二极管 602 具有如下结构: 在形成在第一层间绝缘层 633 上的电极层 641 和设置在第二层间绝缘层 634 上的电极层 642 之间从第一层间绝缘层 633 一侧按顺序层叠有第一半导体层 606a、第二半导体层 606b 及第三半导体层 606c。

[0378] 在本实施方式中, 作为晶体管 640 可以使用实施方式 1 至实施方式 3 中任一个所示的晶体管。由于晶体管 640、晶体管 656 的电特性变动得到抑制而在电方面稳定, 所以作为图 12A 和 12B 所示的本实施方式的半导体装置可以提供可靠性高的半导体装置。

[0379] 在此, 例示一种 pin 型的光电二极管, 其中层叠用作第一半导体层 606a 的具有 p 型的导电型的半导体层、用作第二半导体层 606b 的高电阻的半导体层 (i 型半导体层)、用作第三半导体层 606c 的具有 n 型的导电型的半导体层。

[0380] 第一半导体层 606a 是 p 型半导体层, 而可以由包含赋予 p 型的杂质元素的非晶硅膜形成。使用包含属于周期表中的第 13 族的杂质元素 (例如, 硼 (B)) 的半导体材料气体通过等离子体 CVD 法形成第一半导体层 606a。作为半导体材料气体, 可以使用硅烷 (SiH_4)。替代地, 可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。进一步替代地, 可以使用如下方法: 在形成不包含杂质元素的非晶硅膜之后, 使用扩散方法或离子注入方法将杂质元素引入到该非晶硅膜。优选在使用离子注入方法等引入杂质元素之后进行加热等来使杂质元素扩散。在此情况下, 作为形成非晶硅膜的方法, 可以使用 LPCVD 方法、气相淀积方法或溅射方法等。优选将第一半导体层 606a 的厚度设定为 10nm 以上且 50nm 以下。

[0381] 第二半导体层 606b 是 i 型半导体层 (本征半导体层), 而可以由非晶硅膜形成。为了形成第二半导体层 606b, 通过等离子体 CVD 法, 使用半导体材料气体形成非晶硅膜。作为半导体材料气体, 可以使用硅烷 (SiH_4)。替代地, 可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。也可以通过 LPCVD 法、气相沉积法、溅射法等形成第二半导体层 606b。优选将第二半导体层 606b 的厚度设定为 200nm 以上且 1000nm 以下。

[0382] 第三半导体层 606c 是 n 型半导体层, 而可以由包含赋予 n 型的杂质元素的非晶硅

膜形成。使用包含属于周期表中的第 15 族的杂质元素(例如,磷(P))的半导体材料气体通过等离子体 CVD 法形成第三半导体层 606c。作为半导体材料气体,可以使用硅烷(SiH_4)。替代地,可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。进一步替代地,可以使用如下方法:在形成不包含杂质元素的非晶硅膜之后,使用扩散方法或离子注入方法将杂质元素引入到该非晶硅膜。优选在使用离子注入方法等引入杂质元素之后进行加热等来使杂质元素扩散。在此情况下,作为形成非晶硅膜的方法,可以使用 LPCVD 方法、气相淀积方法或溅射方法等。优选将第三半导体层 606c 的厚度设定为 20nm 以上且 200nm 以下。

[0383] 此外,第一半导体层 606a、第二半导体层 606b 以及第三半导体层 606c 可以不使用非晶半导体形成,而使用多晶半导体或微晶半导体(Semi Amorphous Semiconductor,半非晶半导体:SAS)形成。

[0384] 在考虑吉布斯自由能时,微晶半导体属于介于非晶和单晶之间的中间亚稳态。即,微晶半导体处于热力学上稳定的第三态,且具有短程有序和晶格畸变。此外,柱状或针状晶体在相对于衬底表面的法线方向上生长。作为微晶半导体的典型例子的微晶硅,其拉曼光谱向表示单晶硅的 520cm^{-1} 的低波数一侧偏移。亦即,微晶硅的拉曼光谱的峰值位于表示单晶硅的 520cm^{-1} 和表示非晶硅的 480cm^{-1} 之间。另外,包含至少 1 原子%或其以上的氢或卤素,以端接悬空键。还有,通过包含氦、氖、氩、氪等的稀有气体元素来进一步促进晶格畸变,提高稳定性而得到优良的微晶半导体膜。

[0385] 该微晶半导体膜可以通过频率为几十 MHz 至几百 MHz 的高频等离子体 CVD 法或频率为 1GHz 以上的微波等离子体 CVD 装置形成。典型地,可使用用氢稀释的 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等形成该微晶半导体膜。此外,除了氢化硅和氢之外,还可以使用选自氦、氖、氩、氪中的一种或多种稀有气体元素进行稀释来形成微晶半导体膜。在上述情况下,将氢的流量比设定为氢化硅的 5 倍以上且 200 倍以下,优选设定为 50 倍以上且 150 倍以下,更优选设定为 100 倍。再者,也可以在含硅的气体中混入 CH_4 、 C_2H_6 等的碳化物气体、 GeH_4 、 GeF_4 等的锗化气体、 F_2 等。

[0386] 此外,由于光电效应生成的空穴的迁移率低于电子的迁移率,因此当 p 型半导体层侧上的表面用作光接收面时, pin 光电二极管具有较好的特性。这里示出将光电二极管 602 从形成有 pin 型的光电二极管的衬底 601 的面接收的光 622 转换为电信号的例子。此外,来自其导电型与用作光接收面的半导体层一侧相反的半导体层一侧的光是干扰光,因此,电极层 642 优选由具有遮光性的导电膜形成。注意,替代地,可以使用 n 型半导体层侧的表面作为光接收面。

[0387] 作为第一层间绝缘层 633、第二层间绝缘层 634,优选采用用作减少表面凹凸的平坦化绝缘膜的绝缘层。作为第一层间绝缘层 633、第二层间绝缘层 634,例如可以使用聚酰亚胺、丙烯酸树脂、苯并环丁烯类树脂、聚酰胺或环氧树脂等的有机绝缘材料。除了上述有机绝缘材料之外,还可以使用低介电常数材料(low-k 材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等的单层或叠层。

[0388] 可以使用绝缘材料,且根据该材料使用溅射法、旋涂法、浸渍法、喷涂法、液滴喷出法(喷墨法)、丝网印刷、胶版印刷等、辊涂法、帘涂法、刮刀涂布法等来形成绝缘膜 631、第一层间绝缘层 633、第二层间绝缘层 634。

[0389] 通过检测入射到光电二极管 602 的光 622,可以读取检测对象的数据。另外,在读

取检测对象的数据时,可以使用背光灯等的光源。

[0390] 作为晶体管 640,可以使用实施方式 1 至实施方式 3 所示的晶体管。包含如下氧化物半导体膜的晶体管的电特性变动得到抑制而在电方面稳定,该氧化物半导体膜是通过意图性地去除氢、水分、羟基或氢化物(也称为氢化合物)等杂质而被高纯度化并通过氧掺杂处理含有过剩的氧的氧化物半导体膜。因此,可以提供高可靠性的半导体装置。

[0391] 以上,本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合使用。

[0392] 实施方式 8

[0393] 可将本说明书中公开的半导体装置应用于多种电子设备(包括游戏机)。作为电子设备,例如可以举出电视装置(也称为电视或电视接收机)、用于计算机等的监视器、数码相机、数码摄像机等影像拍摄装置、数码相框、移动电话机(也称为手机、移动电话装置)、便携式游戏机、移动信息终端、声音再现装置、弹子机等大型游戏机等。以下,对具备在上述其他实施方式中说明的液晶显示装置的电子设备的例子进行说明。

[0394] 图 13A 示出电子书阅读器(也称为 E-book),可以具有壳体 9630、显示部 9631、操作键 9632、太阳能电池 9633 以及充放电控制电路 9634。图 13A 所示的电子书阅读器可以具有如下功能:显示各种各样的信息(静态图像、动态图像、文字图像等);将日历、日期或时刻等显示在显示部上;对显示在显示部上的信息进行操作或编辑;通过各种各样的软件(程序)控制处理等。另外,在图 13A 中,作为充放电控制电路 9634 的一例,示出具有电池 9635 和 DCDC 转换器(以下简称为转换器) 9636 的结构。通过将之前的实施方式所示的半导体装置应用于显示部 9631,可以提供高可靠性电子书阅读器。

[0395] 通过采用图 13A 所示的结构,当将半透过型液晶显示装置或反射型液晶显示装置用于显示部 9631 时,可以预料电子书阅读器在较明亮的情况下也被使用,所以可以高效地进行利用太阳能电池 9633 的发电以及利用电池 9635 的充电,所以是优选的。另外,太阳能电池 9633 是优选的,因为它可以适当地设置在壳体 9630 的空余空间(表面或背面)而高效地进行电池 9635 的充电。另外,当作为电池 9635 使用锂离子电池时,有可以谋求实现小型化等的优点。

[0396] 此外,参照图 13B 所示的方框图而说明图 13A 所示的充放电控制电路 9634 的结构及工作。图 13B 示出太阳能电池 9633、电池 9635、转换器 9636、转换器 9637、开关 SW1 至开关 SW3、显示部 9631,并且,电池 9635、转换器 9636、转换器 9637、开关 SW1 至开关 SW3 包含于充放电控制电路 9634。

[0397] 首先,说明在利用外光使太阳能电池 9633 发电时的工作的实例。利用转换器 9636 对太阳能电池所发的电力进行升压或降压,以得到用来对电池 9635 进行充电的电压。并且,当利用来自太阳能电池 9633 的电力使显示部 9631 工作时使开关 SW1 导通,并且,利用转换器 9637 将其升压或降压到显示部 9631 所需要的电压。此外,当不进行显示部 9631 上的显示时,使 SW1 截止并使 SW2 导通,以对电池 9635 进行充电,即可。

[0398] 接着,说明在不利用外光使太阳能电池 9633 发电时的工作的实例。通过使 SW3 导通并且利用转换器 9637 对电池 9635 所蓄的电力进行升压或降压。并且,当使显示部 9631 工作时,利用来自电池 9635 的电力。

[0399] 注意,虽然作为充电方法的一例而示出太阳能电池 9633,但是也可以利用其他方

法对电池 9635 进行充电。此外,也可以组合其他充电方法进行充电。

[0400] 图 14A 示出笔记本个人计算机,包括主体 3001、壳体 3002、显示部 3003 以及键盘 3004 等。通过将之前的实施方式所示的半导体装置应用于显示部 3003,可以提供高可靠性笔记本个人计算机。

[0401] 图 14B 示出便携式数据终端(PDA),在主体 3021 中设置有显示部 3023、外部接口 3025 以及操作按钮 3024 等。另外,还具备操作便携式数据终端的触屏笔 3022。通过将之前的实施方式所示的半导体装置应用于显示部 3023,可以提供高可靠性便携式数据终端(PDA)。

[0402] 图 14C 示出电子书阅读器的一个例子。例如,电子书阅读器 2700 包括两个壳体,即壳体 2701 及壳体 2703。壳体 2701 及壳体 2703 由轴部 2711 形成为一体,且可以以该轴部 2711 为轴进行开闭工作。通过采用这种结构,可以进行如纸的书籍那样的工作。

[0403] 壳体 2701 组装有显示部 2705,而壳体 2703 组装有显示部 2707。显示部 2705 及显示部 2707 的结构既可以是显示连屏画面的结构,又可以是显示不同的画面的结构。通过采用显示不同的画面的结构,例如在右边的显示部(图 14C 中的显示部 2705)中可以显示文章,而在左边的显示部(图 14C 中的显示部 2707)中可以显示图像。通过将之前的实施方式所示的半导体装置应用于显示部 2705 和显示部 2707,可以提供高可靠性电子书阅读器 2700。

[0404] 此外,在图 14C 中示出壳体 2701 具备操作部等的例子。例如,在壳体 2701 中具备电源开关 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可以翻页。注意,在与壳体的显示部相同的平面上可以设置键盘、定位装置等。另外,也可以采用在壳体的背面或侧面具备外部连接端子(耳机端子、USB 端子等)、记录介质插入部等的结构。再者,电子书阅读器 2700 也可以具有电子词典的功能。

[0405] 此外,电子书阅读器 2700 也可以采用能够以无线的方式收发数据的结构。还可以采用以无线的方式从电子书阅读器服务器购买所希望的书籍数据等,然后下载的结构。

[0406] 图 14D 示出移动电话,包括壳体 2800 及壳体 2801 的两个壳体。壳体 2801 具备显示面板 2802、扬声器 2803、麦克风 2804、定位装置 2806、影像拍摄用透镜 2807、外部连接端子 2808 等。此外,壳体 2800 具备对移动电话进行充电的太阳能电池单元 2810、外部储存槽 2811 等。另外,在壳体 2801 内组装有天线。通过将之前的实施方式所示的半导体装置应用于显示面板 2802,可以提供高可靠性移动电话。

[0407] 另外,显示面板 2802 具备触摸屏,图 14D 使用虚线示出作为图像而被显示出来的多个操作键 2805。另外,还安装有用来将由太阳能电池单元 2810 输出的电压升压到各电路所需的电压的升压电路。

[0408] 显示面板 2802 根据使用方式适当地改变显示的方向。另外,由于在与显示面板 2802 同一面上设置影像拍摄用透镜 2807,所以可以实现可视电话。扬声器 2803 及麦克风 2804 不局限于音频通话,还可以进行可视通话、录音、回放等。再者,滑动壳体 2800 和壳体 2801 而可以处于如图 14D 那样的展开状态和重叠状态,所以可以实现适于携带的小型化。

[0409] 外部连接端子 2808 可以与 AC 适配器及各种电缆如 USB 电缆等连接,并可以进行充电及与个人计算机等的的数据通讯。另外,通过将记录媒体插入外部储存槽 2811 中,可以对应于更大量数据的保存及移动。

[0410] 另外,也可以是除了上述功能以外还具有红外线通信功能、电视接收功能等的移动电话。

[0411] 图 14E 示出数码摄像机,其包括主体 3051、显示部 A 3057、取景器 3053、操作开关 3054、显示部 B 3055 以及电池 3056 等。通过将之前的实施方式所示的半导体装置应用于显示部 A 3057 及显示部 B3055,可以提供高可靠性数码摄像机。

[0412] 图 14F 示出电视装置的一例。在电视装置 9600 中,壳体 9601 组装有显示部 9603。利用显示部 9603 可以显示图像。此外,在此示出利用支架 9605 支撑壳体 9601 的结构。通过将之前的实施方式所示的半导体装置应用于显示部 9603,可以提供高可靠性电视装置 9600。

[0413] 可以通过利用壳体 9601 所具备的操作开关或另行提供的遥控操作机进行电视装置 9600 的操作。或者,也可以采用在遥控操作机中设置显示部的结构,该显示部显示从该遥控操作机输出的数据。

[0414] 另外,电视装置 9600 采用具备接收机、调制解调器等的结构。可以通过利用接收机接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,从而也可以进行单向(从发送者到接收者)或双向(在发送者和接收者之间或在接收者之间等)的信息通信。

[0415] 以上,本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合使用。

[0416] 本申请基于 2010 年 4 月 23 日提交日本专利局的日本专利申请序列号 2010-100197,其全部内容以提及方式并入本文中。

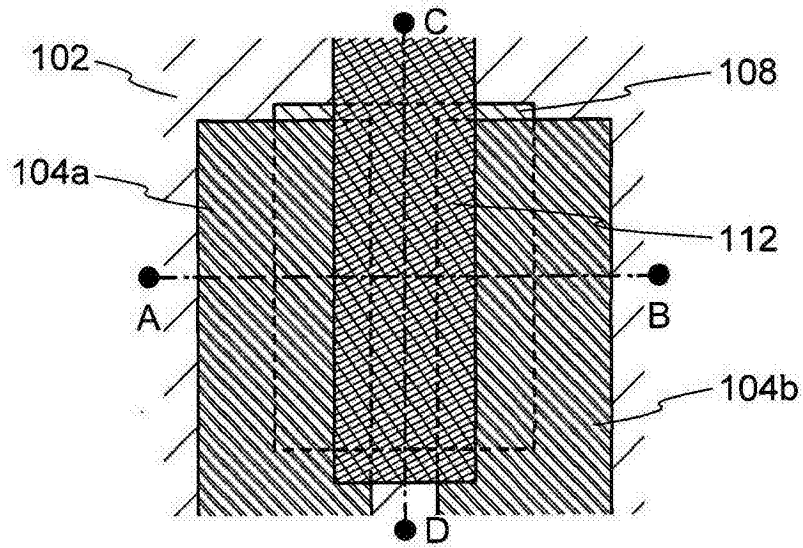


图 1A

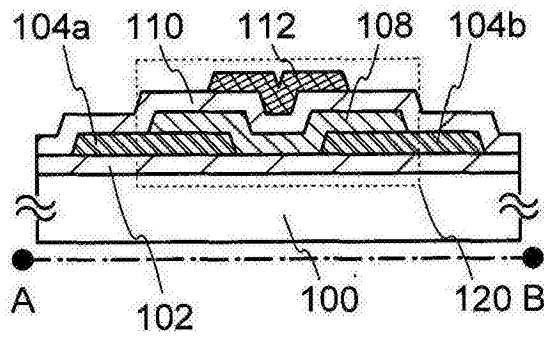


图 1B

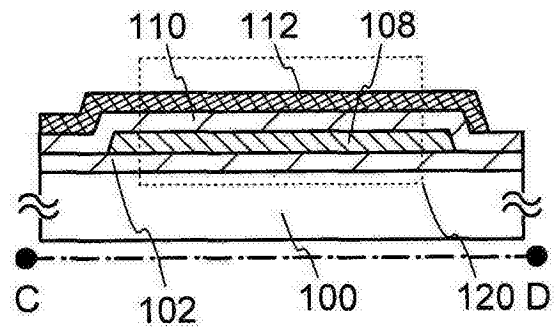


图 1C

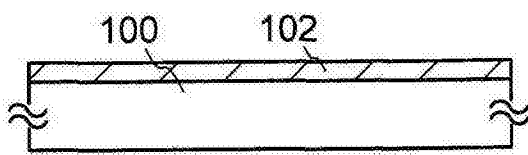


图 2A

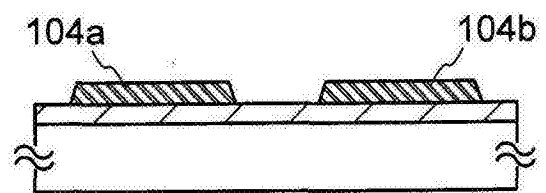


图 2B

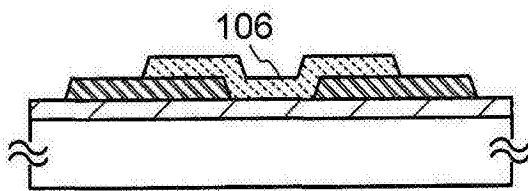


图 2C

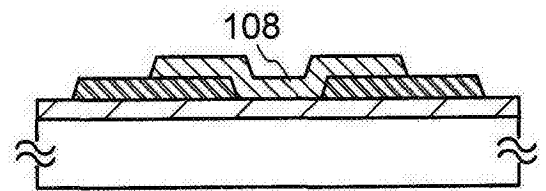


图 2D

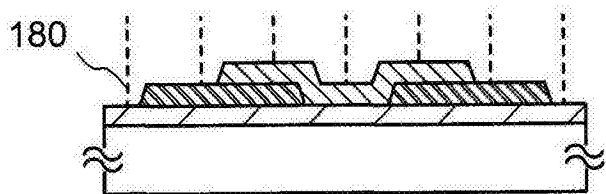


图 2E

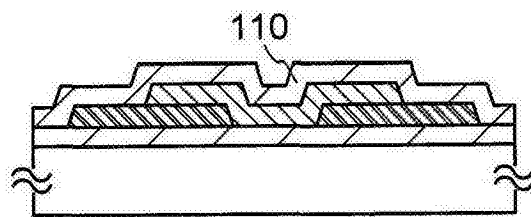


图 2F

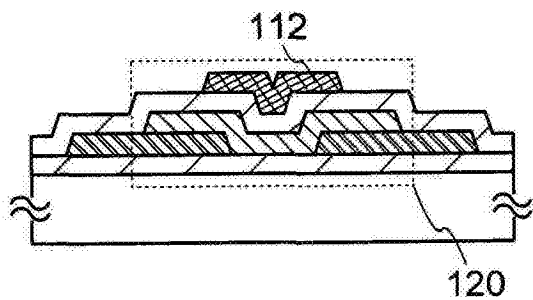


图 2G

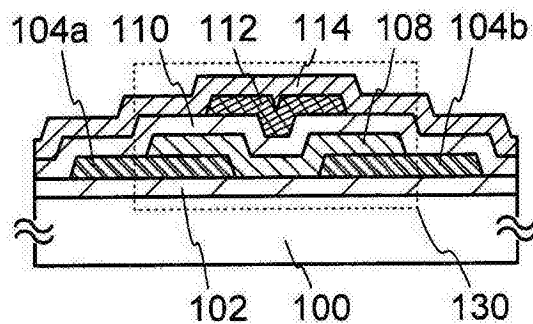


图 3A

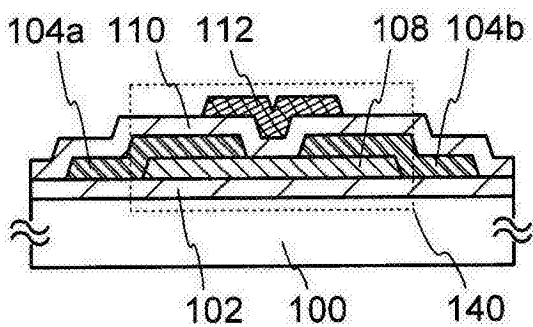


图 3B

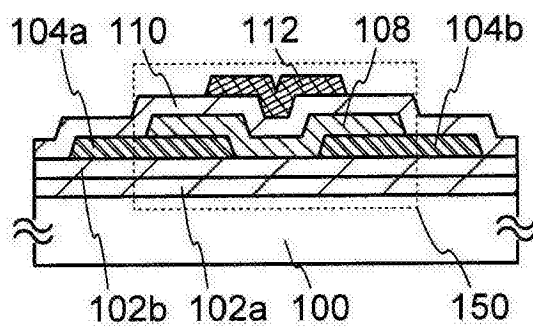


图 3C

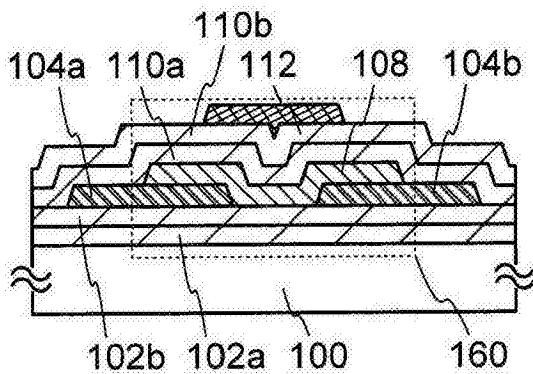


图 3D

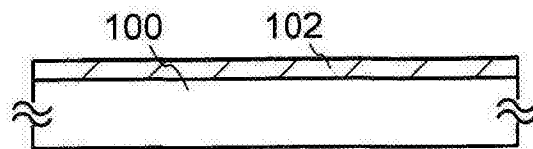


图 4A

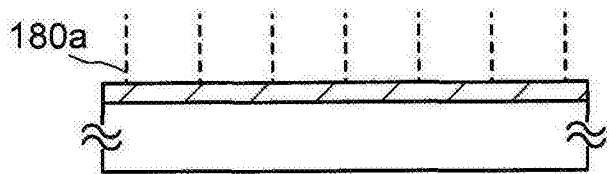


图 4B

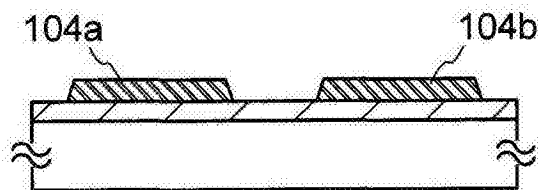


图 4C

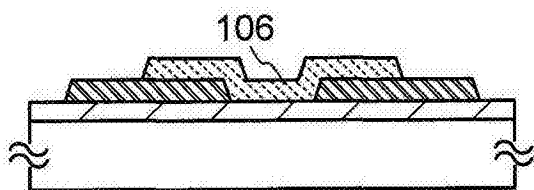


图 4D

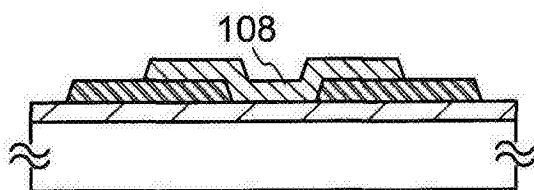


图 4E

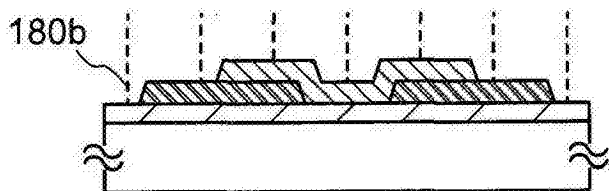


图 4F

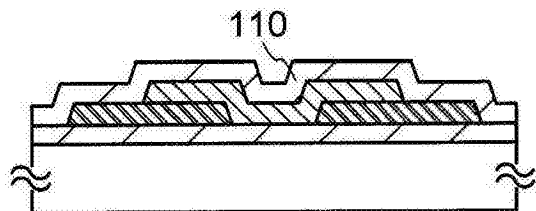


图 5A

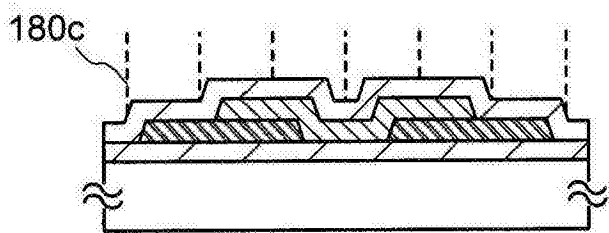


图 5B

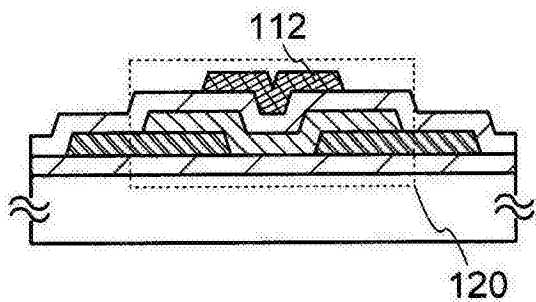


图 5C

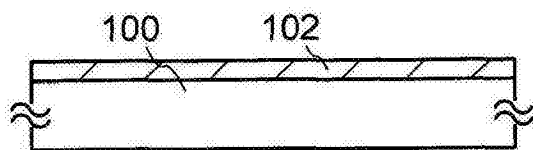


图 6A

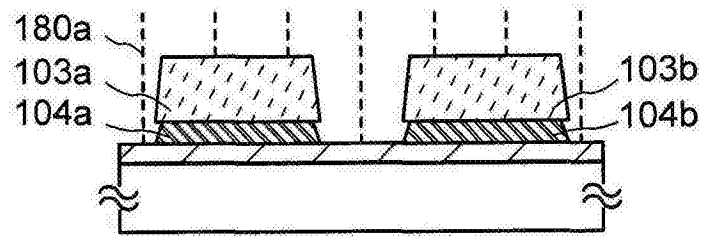


图 6B

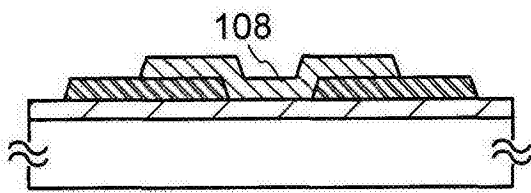


图 6C

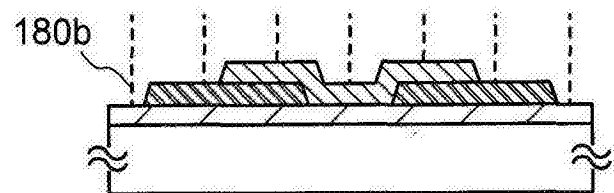


图 6D

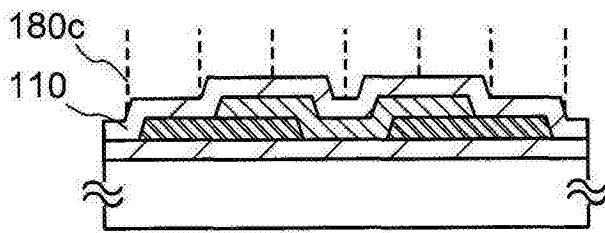


图 6E

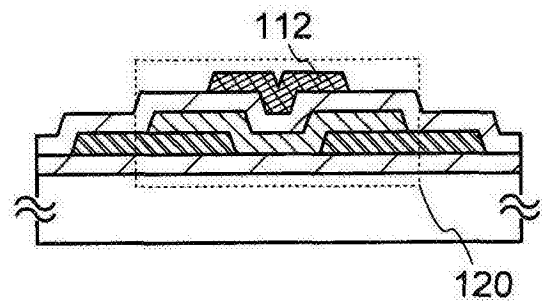


图 6F

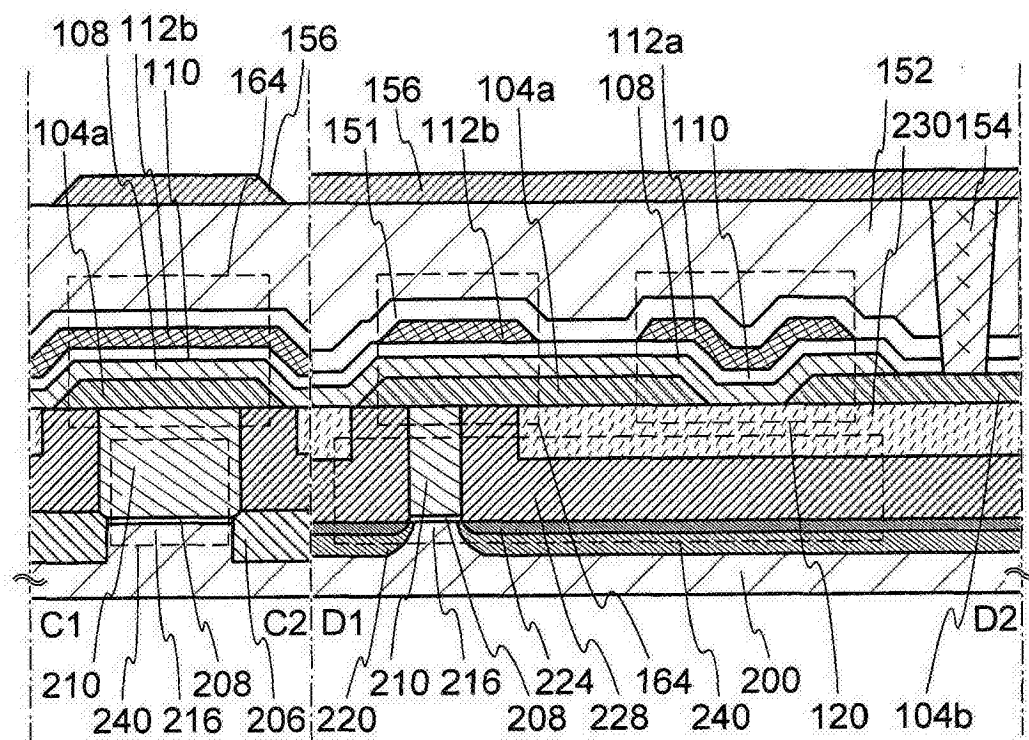


图 7A

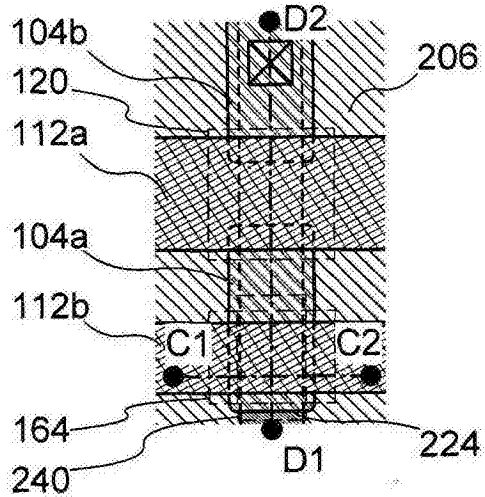


图 7B

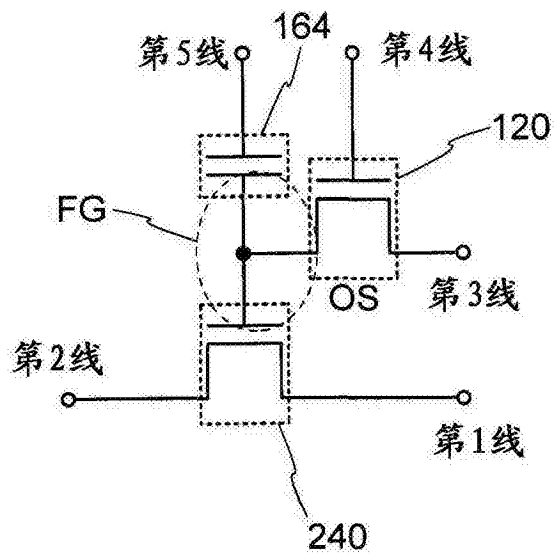


图 7C

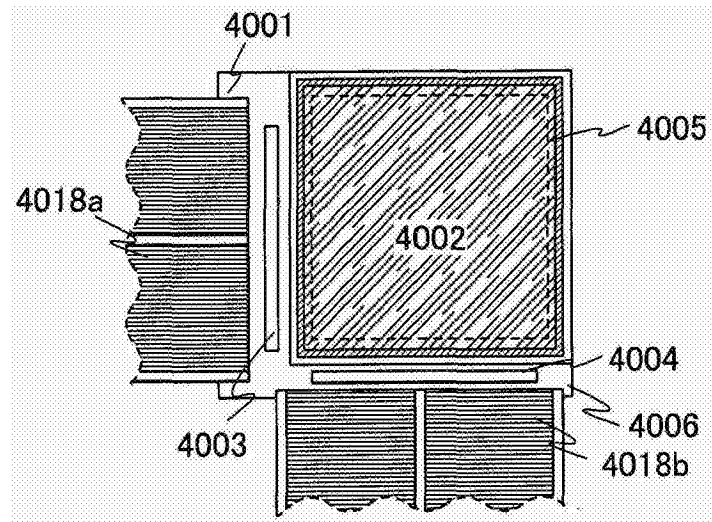


图 8A

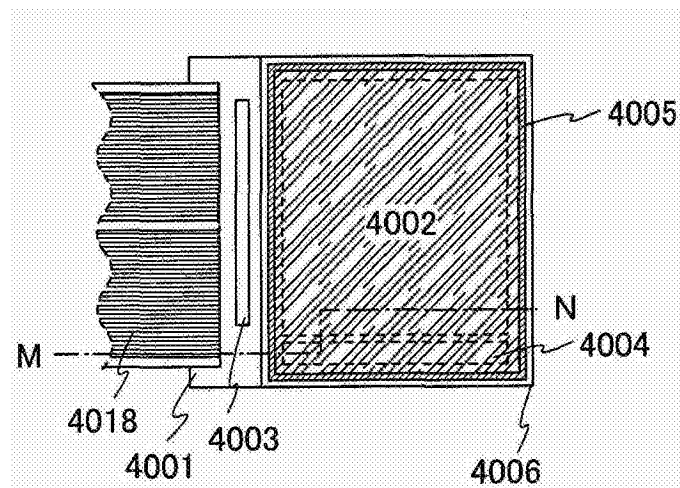


图 8B

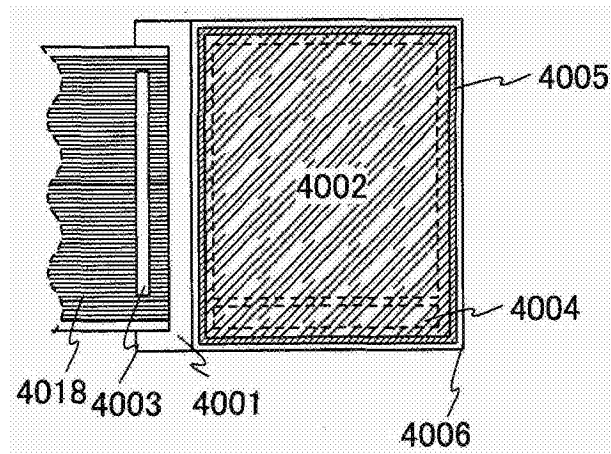


图 8C

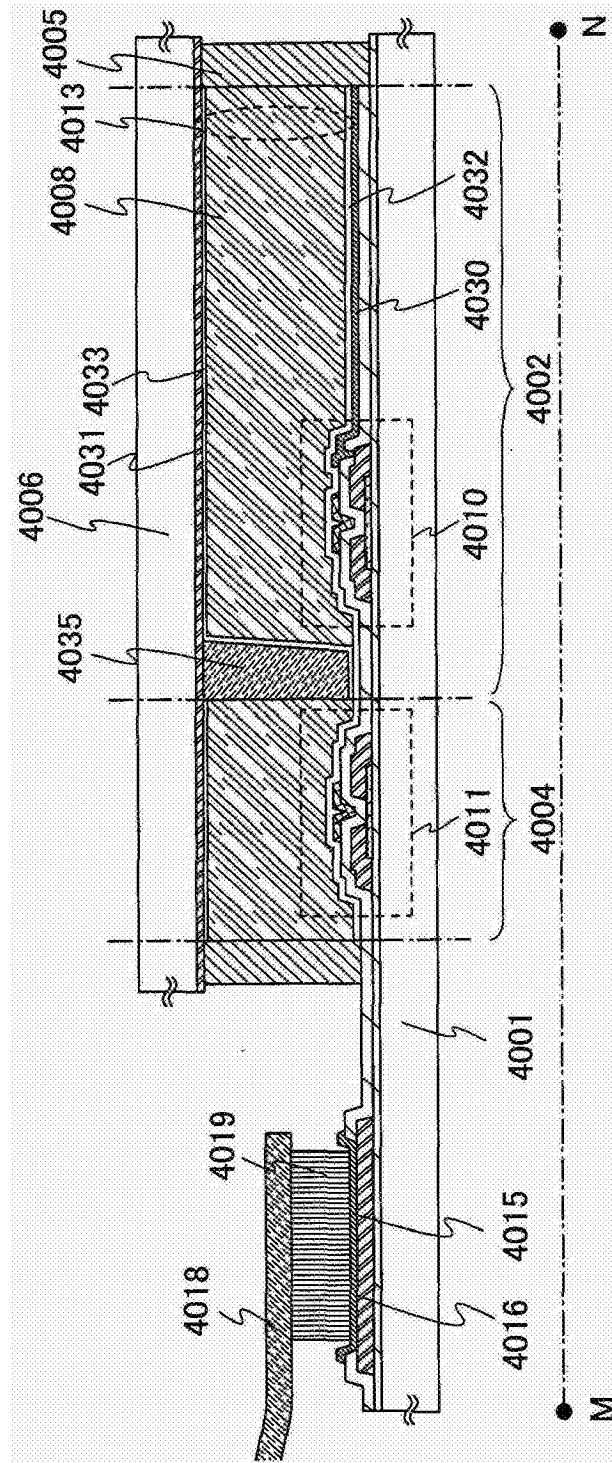


图 9

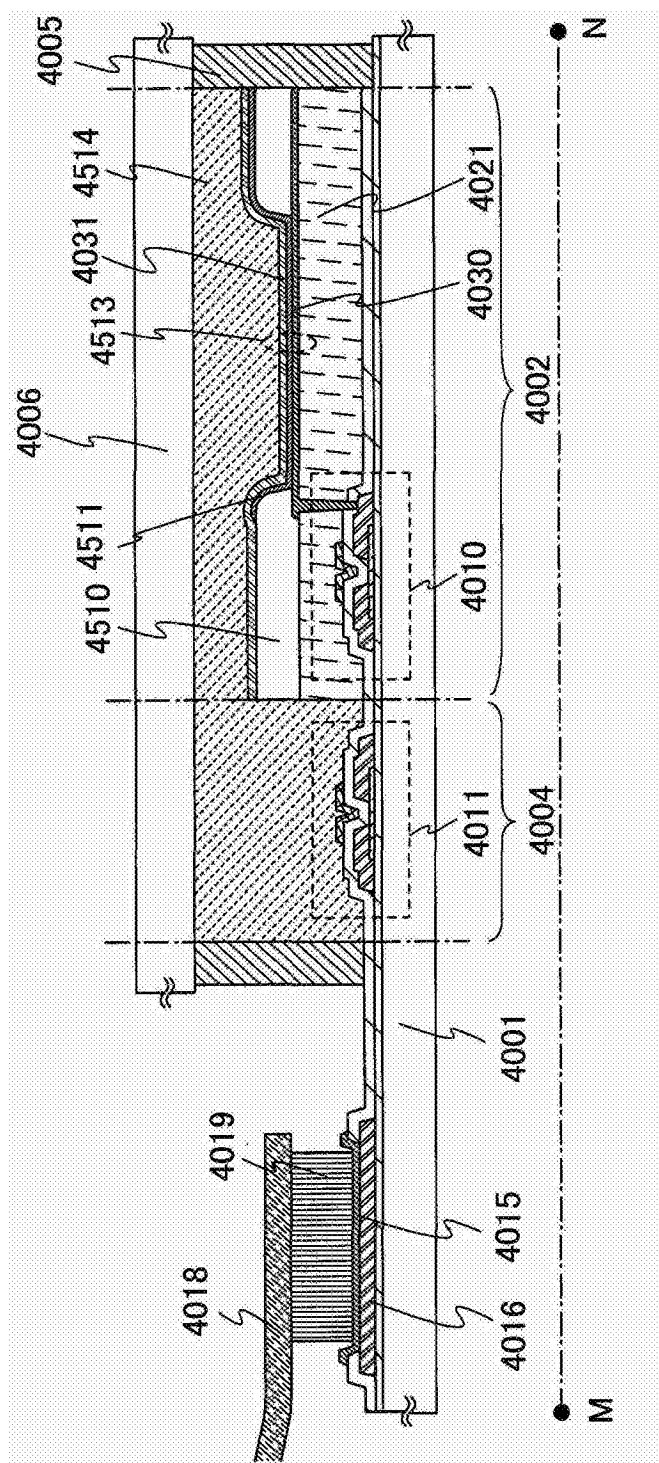


图 10

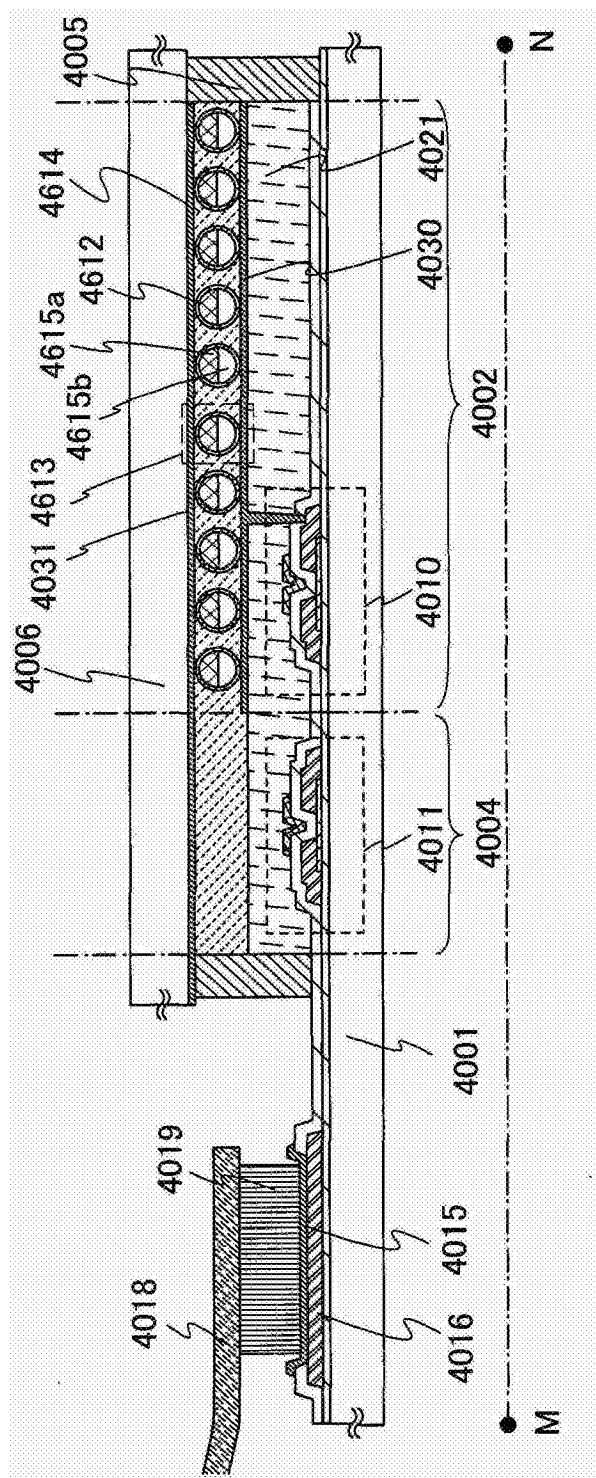


图 11

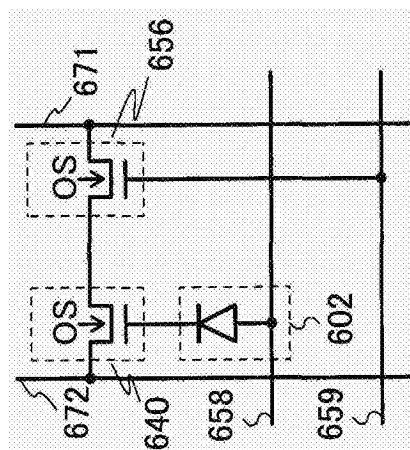


图 12A

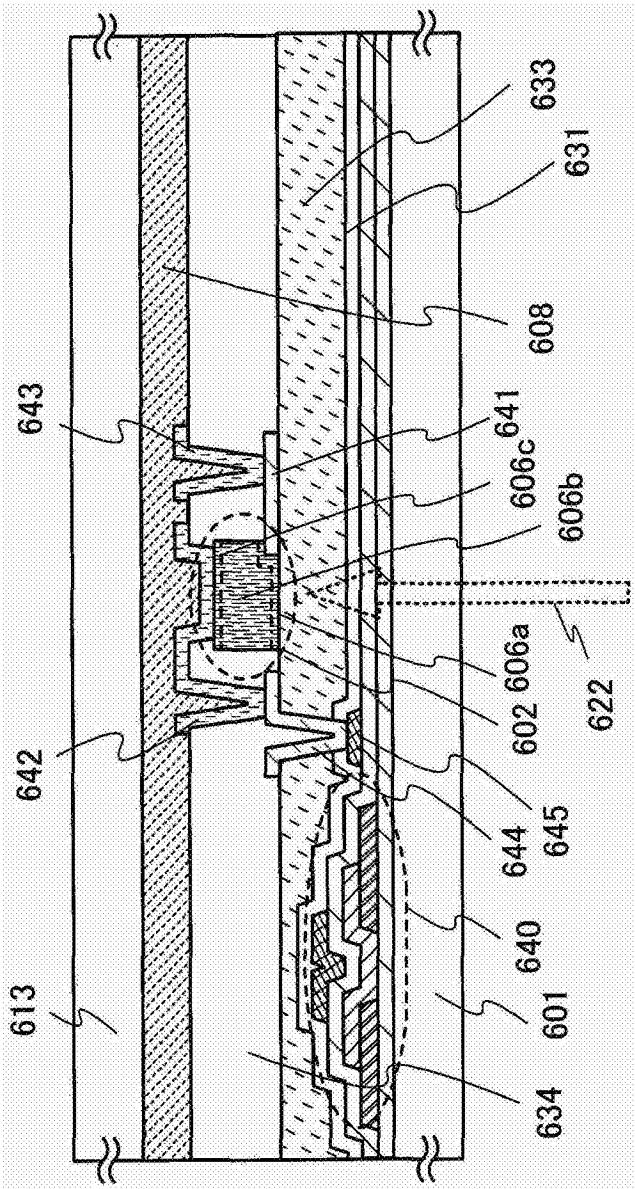


图 12B

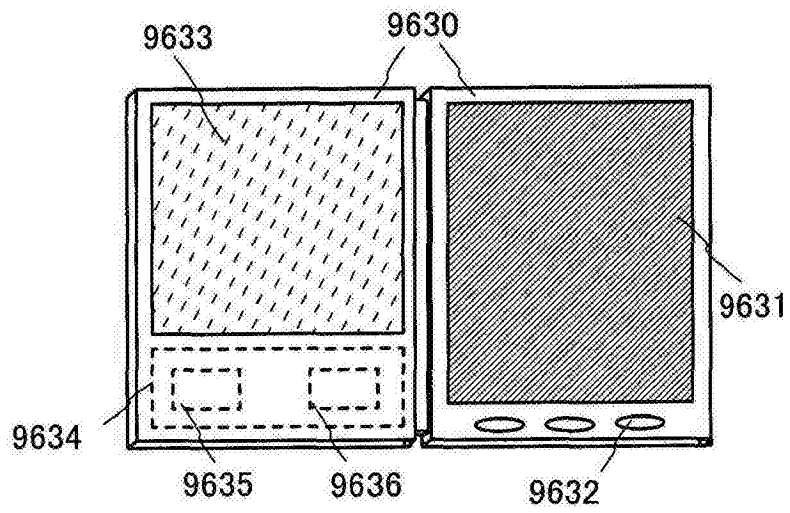


图 13A

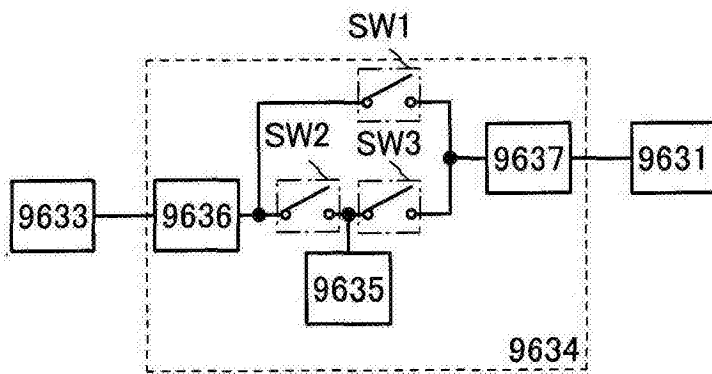


图 13B

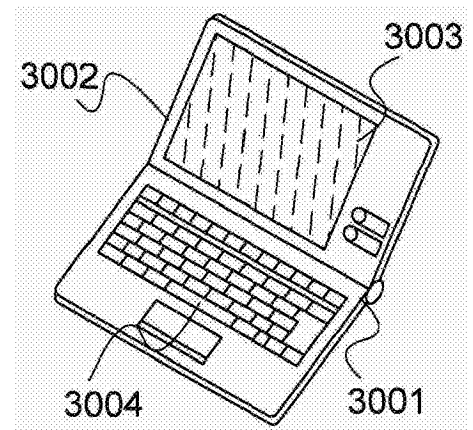


图 14A

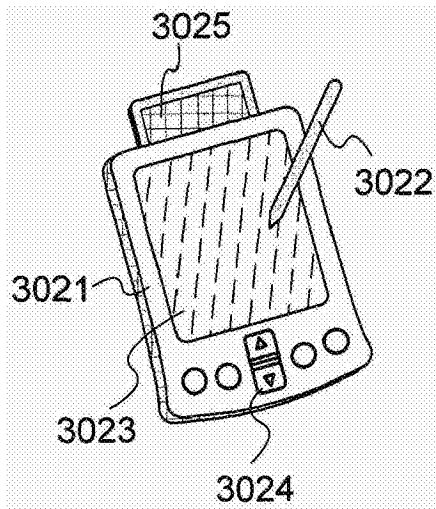


图 14B

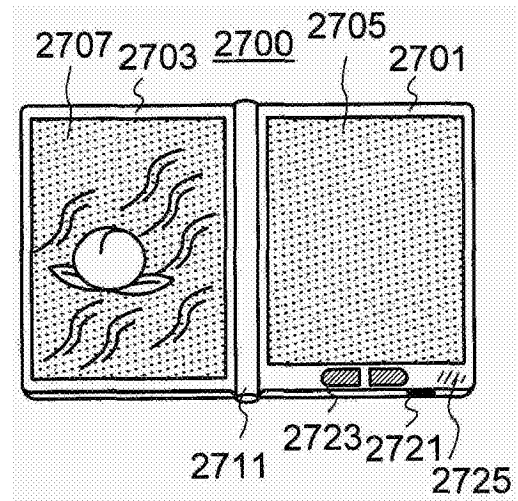


图 14C

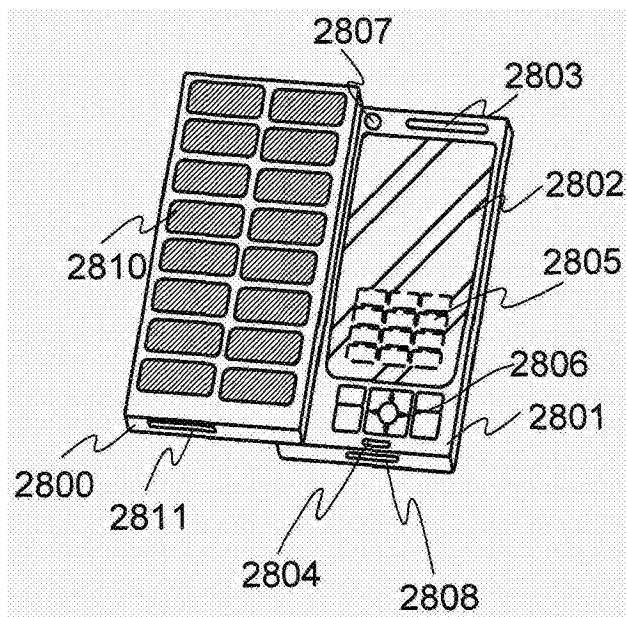


图 14D

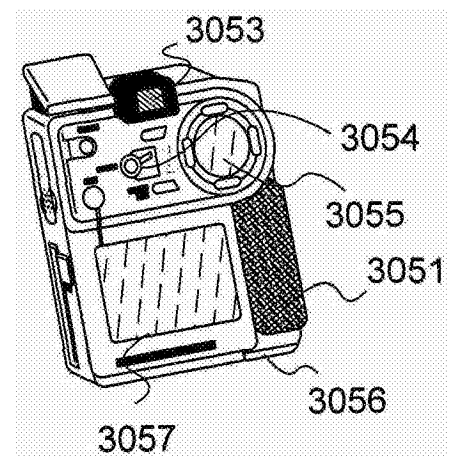


图 14E

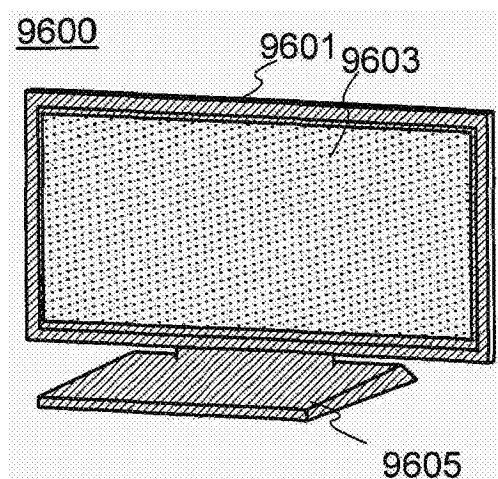


图 14F

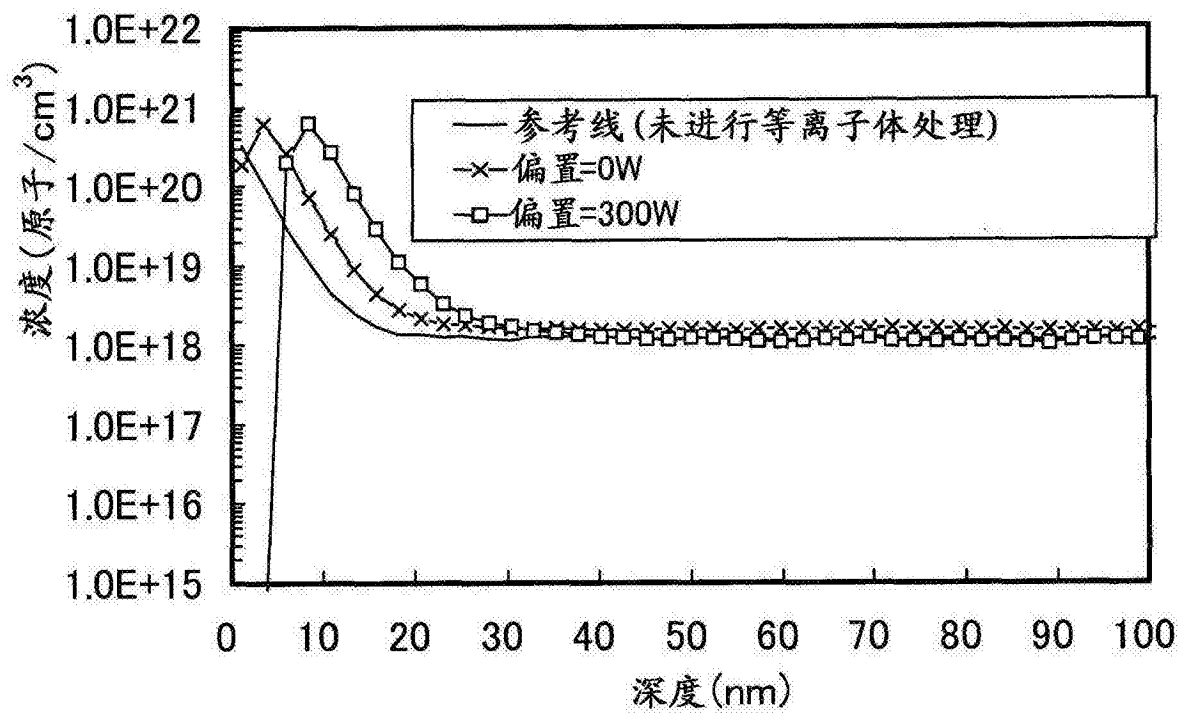


图 15

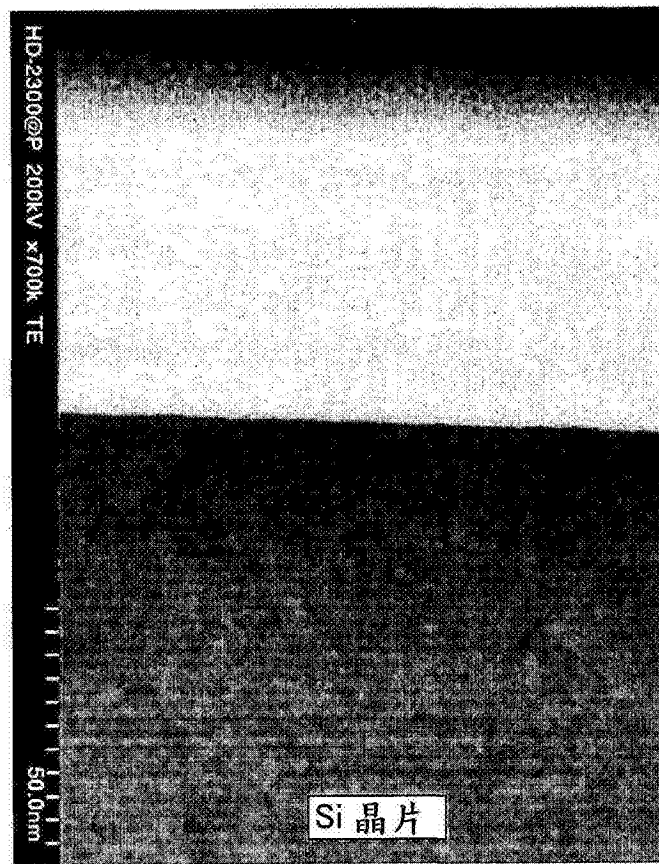


图 16A

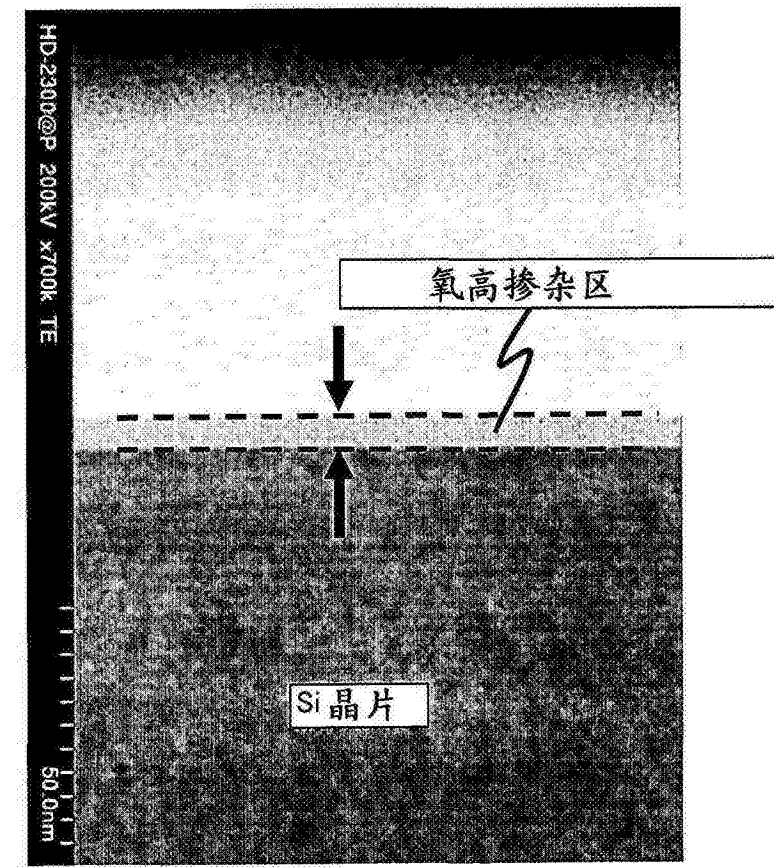


图 16B

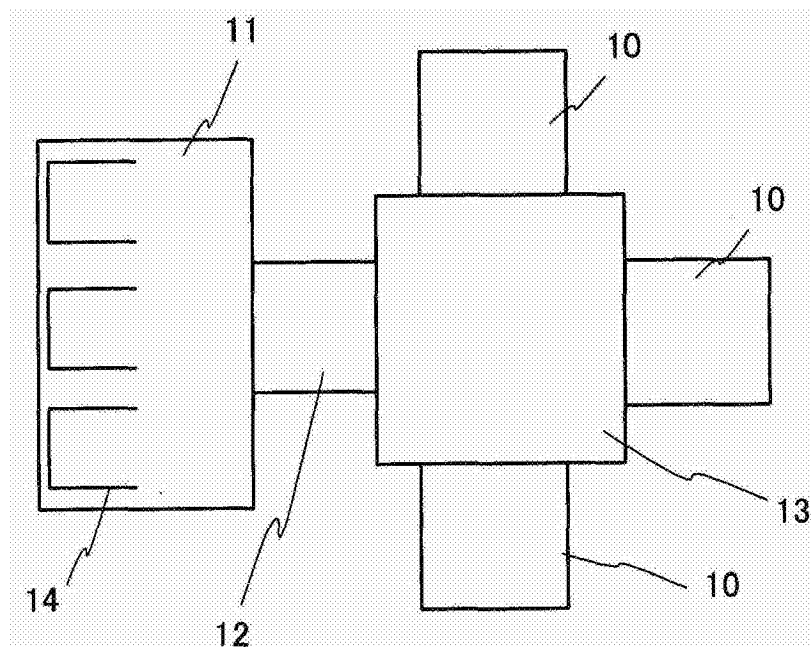


图 17A

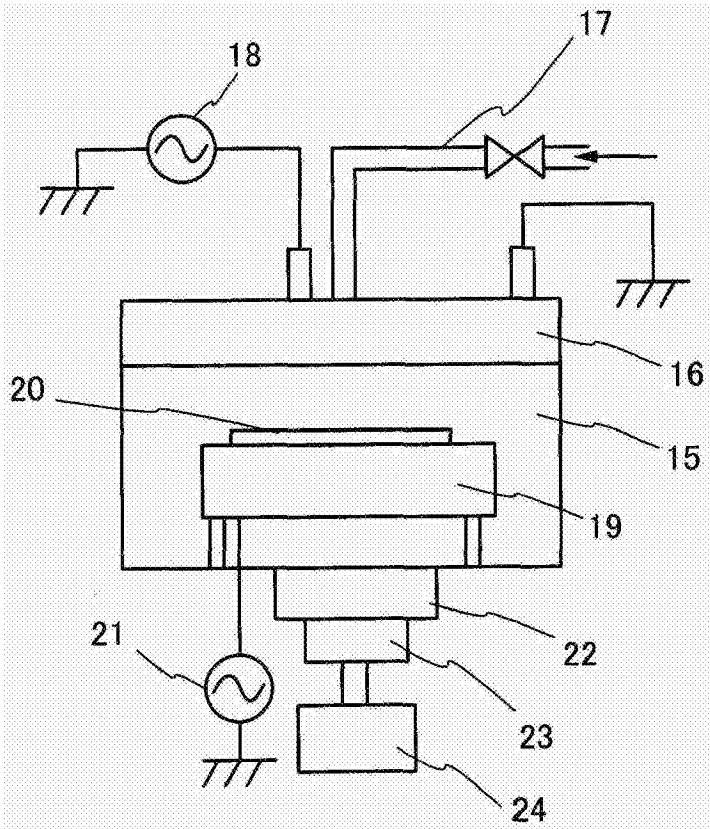


图 17B

符号说明

10 等离子体装置, 11 衬底供给室, 12 装载闭锁室, 13 传送室, 14 盒式端口, 15 真空室, 16 ICP 线圈, 17 气体流道, 18 第一高频电源, 19 衬底工作台, 20 处理衬底, 21 第二高频电源, 22 自动压力控制阀, 23 涡轮分子泵, 24 干燥泵, 100 衬底, 102 绝缘膜, 102a 绝缘膜, 102b 绝缘膜, 103a 掩模, 103b 掩模, 104a 源电极, 104b 漏电极, 106 氧化物半导体膜, 108 氧化物半导体膜, 110 栅极绝缘膜, 110a 栅极绝缘膜, 110b 栅极绝缘膜, 112 栅电极, 112a 栅电极, 112b 电极, 114 绝缘膜, 120 晶体管, 130 晶体管, 140 晶体管, 150 晶体管, 151 绝缘膜, 152 绝缘膜, 154 电极, 156 布线, 160 晶体管, 164 电容器, 180 氧, 180a 氧, 180b 氧, 180c 氧, 200 衬底, 206 元件分离绝缘膜, 208 栅极绝缘膜, 210 栅电极, 216 沟道形成区, 220 杂质区域, 224 金属化合物区域, 228 绝缘膜, 230 绝缘膜, 240 晶体管, 601 衬底, 602 光电二极管, 606a 半导体层, 606b 半导体层, 606c 半导体层, 608 粘合层, 613 衬底, 622 光, 631 绝缘膜, 633 层间绝缘层, 634 层间绝缘层, 640 晶体管, 641 电极层, 642 电极层, 643 导电层, 645 栅电极, 656 晶体管, 658 光电二极管复位信号线, 659 栅极信号线, 671 光电传感器输出信号线, 672 光电传感器参考信号线, 2700 电子书阅读器, 2701 壳体, 2703 壳体, 2705 显示部, 2707 显示部, 2711 轴部, 2721 电源开关, 2723 操作键, 2725 扬声器, 2800 壳体, 2801 壳体, 2802 显示面板, 2803 扬声器, 2804 麦克风, 2805 操作键, 2806 定位装置, 2807 影像拍摄用透镜, 2808 外部连接端子, 2810 太阳能电池单元, 2811 外部储存槽, 3001 主体, 3002 壳体, 3003 显示部, 3004 键盘, 3021 主体, 3022 触屏笔, 3023 显示部, 3024 操作键, 3025 外部接口, 3051 主体, 3053 取景器, 3054 操作开关, 3055 显示部(B), 3056 电池, 3057 显示部(A), 4001 衬底, 4002 像素部, 4003 信号线驱动电路, 4004

扫描线驱动电路, 4005 密封剂, 4006 衬底, 4008 液晶层, 4010 晶体管, 4011 晶体管, 4013 液晶元件, 4015 连接端子电极, 4016 端子电极, 4018 FPC, 4018a FPC, 4018b FPC, 4019 各向异性导电膜, 4021 绝缘层, 4030 电极层, 4031 电极层, 4032 绝缘膜, 4033 绝缘膜, 4510 分隔壁, 4511 场致发光层, 4513 发光元件, 4514 填充材料, 4612 腔体, 4613 球形粒子, 4614 填充材料, 4615a 黑色区域, 4615b 白色区域, 9600 电视装置, 9601 壳体, 9603 显示部, 9605 支架, 9630 壳体, 9631 显示部, 9632 操作键, 9633 太阳能电池, 9634 充放电控制电路, 9635 电池, 9636 转换器, 9637 转换器。