ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

261156

(11) (B1)

(51) Int. Cl.[4]
G 01 D 1/12

(22) Přihlášeno 04 02 87
(21) PV 712-87.S

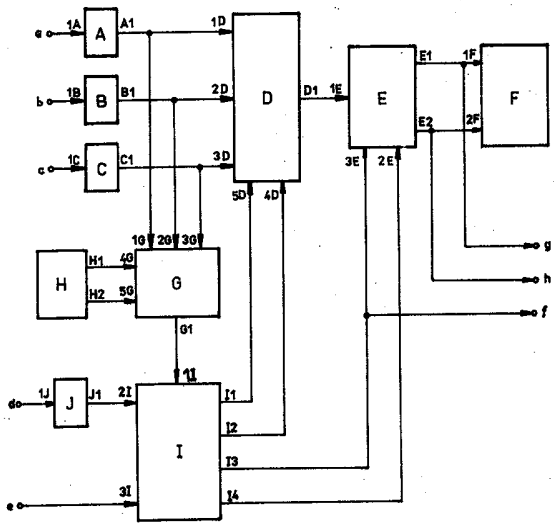
(40) Zveřejněno 15 06 88

(45) Vydáno 15 06 89

(75)
Autor vynálezu
HAŠEK VÁCLAV ing., HRDLIČKA ŘEHOŘ ing. CSc., NEBESAŘ ZDENĚK ing., NOVOTNÝ VLADIMÍR ing., SMETANA PŘEMYSL ing., PRAHA

(54) Zapojení obvodů pro kontrolu výskytu extrémní hodnoty měřené veličiny

Zapojení obvodů pro kontrolu výskytu extrémní hodnoty měřené veličiny umožňuje zachytit a registrovat extrémní hodnotu měřené veličiny a případně další souběžně měřená data, jakož i sled hodnot měřených veličin v zajímavé oblasti měření před výskytem extrémní hodnoty měřené veličiny. Tyto hodnoty lze zachytit a registrovat i při velmi rychlém toku dat např. z rychlých A/D převodníků. Velkou výhodou je možnost realizace při relativně nízké ceně.



Vynález se týká zapojení obvodů pro kontrolu výskytu extrémní hodnoty měřené veličiny, získaných při průběžném měření.

Při automatizovaném způsobu měření vzniká problém výběru dat ze souboru, určení zajímavé části souboru, a případně dokladování této části. V řadě případů je iniciátorem takové zajímavé oblasti toku dat výskyt jisté extrémní hodnoty, která musí být zachycena.

Pro takováto měření jsou v současné době dostatečně zpracovány různé převodníky typu A/D, které mají buď přímý nebo multiplexovaný číslicový výstup. Pro zpracování dat z převodníku je možno využít některý mikropočítačový systém. Tato cesta však vede ke dvěma základním nevýhodán takového řešení, a to je jednak cena celého zařízení a jednak, a to především, příliš velká doba na zpracování informace. Z hlediska současného stavu techniky, kdy jsou pro tyto účely využívány mikroprocesorové systémy, mikropočítače, znamená dosud užívaný způsob omezení rychlosti toku zpracovaných dat. Uvedené nedostatky jsou odstraněny zapojením podle vynálezu.

Předmětem vynálezu je zapojení obvodů pro kontrolu výskytu extrémní hodnoty měřené veličiny, jehož podstatou je, že první vstup zapojení je spojen se vstupem prvního vstupního obvodu, jehož výstup je spojen s prvním vstupem paměti a prvním vstupem porovnávacího obvodu, dále druhý vstup zapojení je spojen se vstupem druhého vstupního obvodu, jehož výstup je spojen s druhým vstupem paměti a s druhým vstupem porovnávacího obvodu, dále je třetí vstup zapojení připojen na vstup třetího vstupního obvodu, jehož výstup je spojen s třetím vstupem paměti a s třetím vstupem porovnávacího obvodu, jehož výstup je spojen s prvním vstupem řídicí jednotky, přitom výstup paměti je spojen s prvním vstupem jednotky zobrazení. První výstup jednotky zobrazení je jednak spojen s prvním vstupem zobrazovače a dále s druhým výstupem zapojení, přitom druhý výstup jednotky zobrazování je spojen jednak s druhým vstupem zobrazovače a jednak s třetím výstupem zapojení. Čtvrtý vstup zapojení je spojen se vstupem jednotky fázování, jejíž výstup je spojen s druhým vstupem řídicí jednotky, jejíž první výstup je spojen s pátým vstupem paměti, jejíž čtvrtý vstup je spojen s druhým výstupem řídicí jednotky, jejíž třetí výstup je spojen se třetím vstupem jednotky zobrazování a s prvním výstupem zapojení, přičemž čtvrtý výstup řídicí jednotky je spojen s druhým vstupem jednotky zobrazování, přičemž třetí vstup řídicí jednotky je spojen se čtvrtým vstupem zapojení, přičemž první výstup jednotky předvolby je spojen se čtvrtým vstupem porovnávacího obvodu, jehož pátý vstup je spojen s druhým výstupem jednotky předvolby.

Vyšší účinek zapojení podle vynálezu proti dosavadním řešením problémů spočívá v tom, že umožňuje zachytit jednak extrémní hodnoty měřené veličiny při velmi rychlém toku dat z A/D převodníků a dále umožňuje zachytit a registrovat data, přicházející před daty, která vyplývají z extrémní hodnoty měřené veličiny. Výhodou je také možnost realizace při relativně nízké ceně.

Zapojení podle vynálezu bude dále vysvětleno pomocí připojeného výkresu, na kterém je uvedeno skupinové schéma zapojení.

Základními celky zapojení podle vynálezu jsou první vstupní obvod A, druhý vstupní obvod B, třetí vstupní obvod C, paměť D, jednotka E zobrazování, zobrazovač F, porovnávací obvod G, jednotka H předvolby, řídicí jednotka I a jednotka J fázování. První vstup a zapojení je spojen se vstupem 1A prvního vstupního obvodu A, jehož výstup A1 je spojen s prvním vstupem 1D paměti D a s prvním vstupem 1G porovnávacího obvodu G. Druhý vstup b zapojení je spojen se vstupem 1B druhého vstupního obvodu B, jehož výstup B1 je spojen s druhým vstupem 2D paměti D a s druhým vstupem 2G porovnávacího obvodu G. Třetí vstup c zapojení je připojen na vstup 1C třetího vstupního obvodu C, jehož výstup C1 je připojen na třetí vstup 3D paměti D a na třetí vstup 3G porovnávacího obvodu G, jehož výstup G1 je spojen se prvním vstupem 1I řídicí jednotky I. Výstup D1 paměti D je spojen s prvním vstupem 1E jednotky E zobrazování, jejíž první výstup E1 je jednak spojen s prvním vstupem

1F zobrazovače F a dále s druhým výstupem g zapojení. Druhý výstup E2 jednotky E zobrazování je spojen jednak s druhým vstupem 2F zobrazovače F a jednak s třetím výstupem h zapojení. Čtvrtý vstup d zapojení je spojen se vstupem 1J jednotky J fázování, jejíž výstup J1 je spojen s druhým vstupem 2I řídicí jednotky I, jejíž první výstup I1 je spojen s pátým vstupem 5D paměti D, jejíž čtvrtý vstup 4D je spojen s druhým výstupem I2 řídicí jednotky I, jejíž třetí výstup I3 je spojen se třetím vstupem 3E jednotky E zobrazování a s prvním výstupem f zapojení. Čtvrtý výstup I4 řídicí jednotky I je spojen s druhým vstupem 2E jednotky E zobrazování. Třetí vstup 3I řídicí jednotky I je spojen se čtvrtým vstupem e zapojení. První výstup H1 jednotky H předvolby je spojen se čtvrtým vstupem 4G porovnávacího obvodu G, jehož pátý vstup 5G je spojen s druhým výstupem H2 jednotky H předvolby.

Propojení mezi prvním vstupem a zapojení a vstupem 1A prvního vstupního obvodu A představuje první vstupní datovou sběrnici. Propojení druhého vstupu b zapojení se vstupem 1B druhého vstupního obvodu B tvoří druhou vstupní datovou sběrnici. Propojení třetího vstupu c zapojení se vstupem 1C třetího vstupního obvodu C tvoří třetí vstupní datovou sběrnici. Data přicházející paralelně po první, druhé a třetí vstupní datové sběrnici jsou vstupními obvody A, B a C převedena na vnitřní datové sběrnice. První vnitřní datová sběrnice je vytvořena propojením výstupu A1 prvního vstupního obvodu A s prvním vstupem 1D paměti D a prvním vstupem 1G porovnávacího obvodu G. Druhá vnitřní datová sběrnice je vytvořena propojením výstupu B1 druhého vstupního obvodu B s druhým vstupem 2D paměti D a s druhým vstupem 2G porovnávacího obvodu G. Třetí vnitřní datová sběrnice je vytvořena propojením výstupu C1 třetího vstupního obvodu C s třetím vstupem 3D paměti D a s třetím vstupem 3G porovnávacího obvodu G. V porovnávacím obvodu G jsou průběžně porovnávána data přicházející po první a druhé vnitřní datové sběrnici, případně po druhé a třetí datové sběrnici s daty, která jsou nastavena v jednotce H předvolby a do porovnávacího obvodu G jsou přivedena sběrnicí předvolby vzniklou propojením druhého výstupu H2 jednotky H předvolby s pátým vstupem 5G porovnávacího obvodu G. Zda budou jedněmi z porovnávaných dat data přicházející po první a druhé vnitřní datové sběrnici nebo data přicházející po druhé a třetí datové sběrnici je určeno signálem, vytvořeným podle zvoleného požadavku v jednotce H předvolby, z jejíhož prvního výstupu H1 je přiveden na čtvrtý vstup 4G porovnávacího obvodu G. Signál přicházející ze čtvrtého vstupu d zapojení na vstup 1J jednotky J fázování slouží k určení intervalu platnosti dat na vstupních datových sběrnicích. Jednotka J fázování umožňuje volit případné modifikace tohoto signálu, což je využíváno v případech, kdy je signál na čtvrtém vstupu d zapojení fázově posunut. Na základě signálu přicházejícího z výstupu J1 jednotky J fázování na druhý vstup 2I řídicí jednotky I jsou po stisku startovacího tlačítka zahrnutého do celku řídicí jednotky I nebo po příchodu pulsu z pátého vstupu e zařízení na třetí vstup 3I řídicí jednotky I, generovány zápisové pulsy a adresy pro zápis do paměti D. Zápisové pulsy jsou přiváděny z druhého výstupu I2 řídicí jednotky I na čtvrtý vstup 4D paměti D. Adresy jsou z řídicí jednotky I do paměti D přiváděny po adresovací sběrnici vytvořené propojením prvního výstupu I1 řídicí jednotky I a pátého vstupu 5D paměti D. V případě shody dat porovnávaných v porovnávacím obvodu G se mění úroveň signálu přiváděného z výstupu porovnávacího obvodu G1 na první vstup 1I řídicí jednotky I, což má za následek ukončení generování zápisových pulsů pro paměť D a tedy změnu zápisového režimu paměti D na režim čtení. Adresy pro režim čtení jsou pak generovány na základě pulsů vnitřního hodinového zdroje řídicí jednotky I. Pulsy generované vnitřním hodinovým zdrojem řídicí jednotky I začnou v režimu čtení dále přicházet ze čtvrtého výstupu I4 řídicí jednotky I na druhý vstup 2E jednotky E zobrazování a zároveň bude ze třetího výstupu I3 řídicí jednotky I na třetí vstup 3E jednotky E zobrazování a na první výstup f zapojení přiveden signál informující o tom, že paměť D přešla do režimu čtení. Po výstupní sběrnici paměti vytvořené propojením výstupu D1 paměti D s prvním vstupem 1E jednotky E zobrazování jsou do jednotky E zobrazování přiváděna čtená data z paměti D. Jednotka E zobrazování zajistí, aby datům přečteným z určité adresy paměti D byl přiřazen odpovídající řádek pro zobrazení zobrazovačem F a upraví přečtená data tak, aby je bylo možno zobrazovačem F zobrazit. Upravená data přicházejí z jednotky E zobrazování do zobrazovače F po datové sběrnici zobrazování vytvořená propojením prvního výstupu E1 jednotky E zobrazování s prvním vstupem 1F zobrazovače F a druhým výstupem g zařízení. Informace o řádku přiřazeném datům

na datové sběrnici zobrazování přichází z jednotky E zobrazování do zobrazovače F po řádkovací sběrnici vytvořené propojením druhého výstupu E2 jednotky E zobrazování s druhým vstupem 2F zobrazovače F a třetím výstupem h zařízení. Na zobrazovači F se tedy zobrazí na vyhrazeném řádku zachycená extrémní hodnota měřené veličiny a případně další souběžně měřené hodnoty. Na ostatních řádcích se pak zobrazí hodnoty měřených veličin zajímavé oblasti měření před výskytem extrémní hodnoty měřené veličiny.

Zavedením datové sběrnice zobrazování na druhý výstup g zařízení, řádkovací sběrnice na třetí výstup h zařízení a signálu informujícího o režimu paměti D z třetího výstupu I3 řídicí jednotky I na první výstup f zařízení je dále umožněno připojení připojovací jednotky tiskárny na tyto výstupy zařízení a dokladování zachycených změřených hodnot výtiskem na tiskárně.

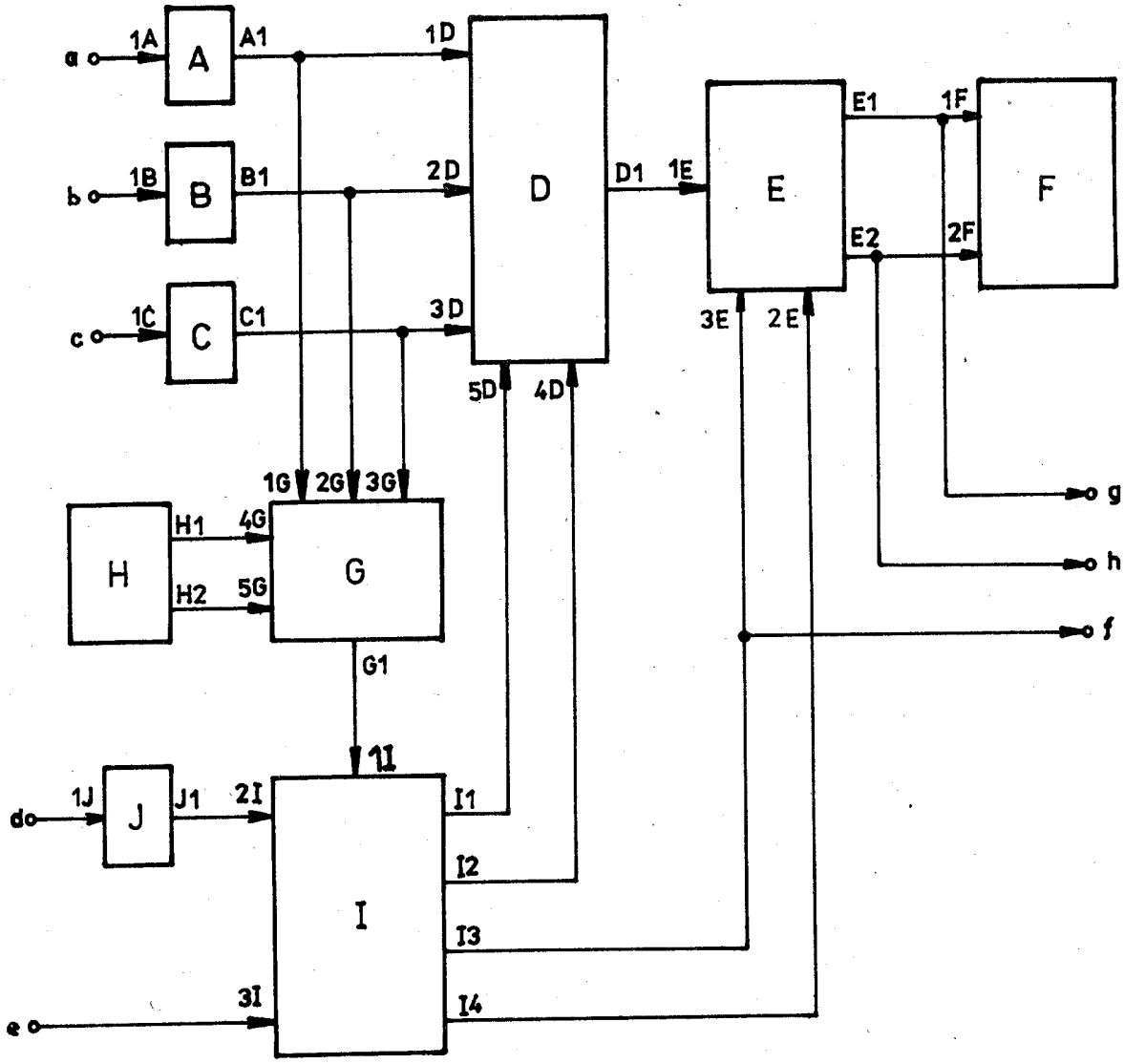
Další cyklus zachycení výskytu extrémní hodnoty měřené veličiny podle předvolby, její zobrazení jí předcházející části souboru měřených hodnot následuje po novém stisku startovacího tlačítka řídicí jednotky I nebo po příchodu dalšího pulsu z pátého výstupu e zařízení na třetí vstup 3I řídicí jednotky I.

Uvedené zapojení podle vynálezu je možno uplatnit v měřicích ústřednách pro sledování a registraci výskytu jisté extrémní hodnoty měřené veličiny a sledu jí předcházejících měřených veličin. Rovněž jej lze použít v diagnostice při hledání závad souvisejících s výskytem určitého stavu měřených dat.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení obvodů pro kontrolu výskytu extrémní hodnoty měřené veličiny, vyznačené tím, že první vstup /a/ zapojení je spojen se vstupem /1A/ prvního vstupního obvodu /A/, jehož výstup /A1/ je spojen s prvním vstupem /1D/ paměti /D/ a prvním vstupem /1G/ porovnávacího obvodu /G/, dále vstup /b/ zapojení je spojen se vstupem /1B/ druhého vstupního obvodu /B/, jehož výstup /B1/ je spojen s druhým vstupem /2D/ paměti /D/ a s druhým vstupem /2G/ porovnávacího obvodu /G/, dále je třetí vstup /c/ zapojení připojen na vstup /1C/ třetího vstupního obvodu /C/, jehož výstup /C1/ je spojen s třetím vstupem /3D/ paměti /D/ a s třetím vstupem /3G/ porovnávacího obvodu /G/, jehož výstup /G1/ je spojen s prvním vstupem /1I/ řídicí jednotky /I/, přitom výstup /D1/ paměti /D/ je spojen s prvním vstupem /1E/ jednotky /E/ zobrazování, jejíž první výstup /E1/ je jednak spojen s prvním vstupem /1F/ zobrazovače /F/ a dále s druhým výstupem /g/ zapojení, přitom druhý výstup /E2/ jednotky /E/ zobrazování je spojen jednak s druhým vstupem /2F/ zobrazovače /F/ a jednak s třetím výstupem /h/ zapojení, přitom čtvrtý vstup /d/ zapojení je spojen se vstupem /1J/ jednotky /J/ fázování, jejíž výstup /J1/ je spojen s druhým vstupem /2I/ řídicí jednotky /I/ jejíž první výstup /I1/ je spojen s pátým vstupem /5D/ paměti /D/, jejíž čtvrtý vstup /4D/ je spojen s druhým výstupem /I2/ řídicí jednotky /I/, jejíž třetí výstup /I3/ je spojen se třetím vstupem /3E/ jednotky /E/ zobrazování a s prvním výstupem /f/ zapojení, přičemž čtvrtý výstup /I4/ řídicí jednotky /I/ je spojen s druhým vstupem /2E/ jednotky /E/ zobrazování, přičemž třetí vstup /3I/ řídicí jednotky /I/ je spojen se čtvrtým vstupem /e/ zapojení, přičemž první výstup /H1/ jednotky /H/ předvolby je spojen se čtvrtým vstupem /4G/ porovnávacího obvodu /G/, jehož pátý vstup /5G/ je spojen s druhým výstupem /H2/ jednotky /H/ předvolby.

1 výkres


a
1A
A
A1
1D
b
1B
B
B1
2D
D
D1
1E
E
E1
1F
F
E2
2F
c
1C
C
C1
3D
3E
2E
5D
4D
1G
2G
3G
g
H
H1
4G
G
h
H2
5G
f
G1
1I
d
1J
J
J1
2I
I1
I2
I
I3
3I
I4
e