



(12) Wirtschaftspatent

Ertellt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 259 700 A1

4(51) G 06 F 11/30

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 301 641 0 (22) 09.04.87 (44) 31.08.88

(71) VEB Zentrum für Forschung und Technologie Nachrichtenelektronik, Edisonstraße 63, Berlin, 1180, DD
 (72) Czepa, Joachim, Dipl.-Ing.; Ernst, Stefan, Dipl.-Ing., DD

(54) Schaltungsanordnung zur programmierten Bitmustererzeugung und -erkennung

(55) Bitmuster, Bitmustererzeugung, Bitmustererkennung, Mikrorechner, Paralleldatenport, Datentreiber, Umschalteneinrichtung, Analogschalter, Schreib-Lese-Speicher, Logikbaugruppe, Prüflleitungen, Prüfling

(57) Ein Prüfling ist über eine Anzahl Prüflleitungen logisch über ein Paralleldatenport mit einem Mikrorechner verbunden, wobei zwischen dem Paralleldatenport und den Prüflleitungen unabhängig voneinander eine durch den Mikrorechner gesteuerte Umschalteneinrichtung mit ihren Analogschaltern und ein durch den Mikrorechner gesteuerter Datentreiber angeordnet sind. Die entsprechenden Anschlüsse der Analogschalter und die des Datentreibers sind einerseits über ein Bussystem mit den zugehörigen Anschlüssen des Paralleldatenports und andererseits mit den zuständigen Prüflleitungen verbunden. Direkt mit dem Paralleldatenport sind die Adreßleitungen eines durch den Mikrorechner gesteuerten Schreib-Lese-Speichers verbunden, dessen Datenein- und -ausgänge mit einer durch den Mikrorechner gesteuerten Logikbaugruppe verbunden sind, Fig. 1.

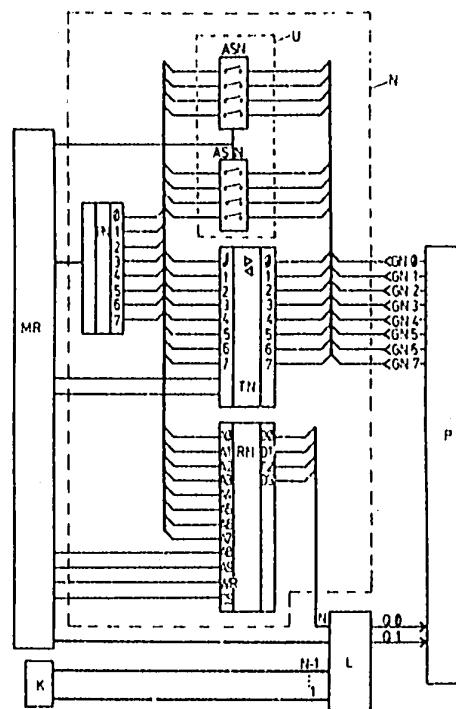


Fig.1

Patentansprüche:

1. Schaltungsanordnung zur programmierten Bitmustererzeugung und -erkennung zum Prüfen digitaler Baugruppen und Geräte, mit einem Mikrorechner, mit mindestens einem Funktionsblock, der einen Paralleldatenport, einen Datentreiber, eine Umschalteneinrichtung und einen Schreib-Lese-Schreiber enthält und mit einer Logikbaugruppe, **dadurch gekennzeichnet**, daß ein Prüfling (P) über eine Anzahl Prüfleitungen (GO 1 bis GN7) logisch über das Paralleldatenport (PN) mit dem Mikrorechner (MR) verbunden ist, wobei zwischen dem Paralleldatenport (PN) und den Prüfleitungen (GO 1 bis GN7) unabhängig voneinander die durch den Mikrorechner (MR) gesteuerte Umschalteneinrichtung (U) mit ihren Anlogschaltern (ASN) und der durch den Mikrorechner gesteuerten Datentreiber (TN) angeordnet sind und die entsprechenden Anschlüsse der Anlogschalter (ASN) und die des Datentreibers (TN) einerseits über ein Bussystem mit den zugehörigen Anschlüssen des Paralleldatenports (PN) und andererseits mit den zugehörigen Prüfleitungen (GN0 bis GN7) verbunden sind und daß direkt mit dem Paralleldatenport (PN) über Adreßleitungen die Adreßeingänge (A0 bis A7) des durch den Mikrorechner (MR) gesteuerten Schreib-Lese-Speicher (RN) verbunden sind, dessen Datenein- und -ausgänge mit der durch den Mikrorechner (MR) gesteuerten Logikbaugruppe (L) verbunden sind, bei der Ausgänge (Q0; Q1) zum Anschalten und Untersuchen des Prüflings (P) auf programmierte Echtzeitreaktionen vorgesehen sind.
2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß mit der Logikbaugruppe (L) weitere Schreib-Lese-Speicher (RN), die zu einer Anzahl Funktionsblöcke (N) gehören, verbunden sind.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur programmierten Bitmustererzeugung und -erkennung. Sie wird zum Erzeugen und zur Analyse der über ein Prüfkabel mit einem Prüfling verbundenen Prüfsignale sowohl in der digitalen Prüftechnik zum Testen von Schaltkreisen als auch zur Softwareanalyse sowie zur Prozeßsteuerung verwendet.

Charakteristik des bekannten Standes der Technik

Es ist üblich, bei der Prüfung digitaler Baugruppen bis hin zum Mikrorechner komplexe Prüf- und Testgeräte einzusetzen. Sie enthalten einen eigenen Mikrorechner und erfordern umfangreiche Hardware zum Anschluß an die zu testende Baugruppe. Die einzelnen Funktionen sind meist auf separaten Steckeinheiten realisiert, die zum Beispiel die Busanschaltung enthalten, Einzelschrittbetrieb und DMA-Zugriff ermöglichen sowie die Testpunkterzeugung beinhalten. Solche Prüf- und Testgeräte sind einerseits sehr aufwendig und andererseits auf einen speziellen Einsatzfall zugeschnitten.

So ist ein Test- und Servicegerät für Mikrorechnersysteme bekannt, vgl. DD-WP 155215, G 06 F-11/30, das test- und servicespezifische Baugruppen, Bedien- und Anzeigeelemente und eine eigene zentrale Recheneinheit enthält, die diese Baugruppen bedient und den Verkehr mit dem Anwendersystem des Mikrorechners zwecks Beeinflussung und Beobachtung des Programmablaufs und des Datenflusses auf allen Leitungen des Mikrorechnersystembusses und zur Überprüfung der Hardware steuert. So wird eine Baugruppe zum direkten Zugriff, eine Baugruppe Fremdprogramm, eine Simulationsbaugruppe, ein Archivspeicher, eine Baugruppe Einzelschrittbetrieb, eine Auffrischbaugruppe und eine Baugruppe Testpunkt über einen für alle Baugruppen gemeinsamen Koppeladapter mit dem Mikrorechner-Anwendersystembus verbunden. Nachteilig ist, daß für viele Anwendungen, wie beispielsweise das Prüfen von Logikbaugruppen, der Schaltungsaufwand zu hoch ist beziehungsweise Baugruppen mit diesem Schaltungsaufwand nicht erforderlich sind. Auf Grund der Spezialisierung dieses Testgerätes ist kein universeller Einsatz möglich, da dieses Testgerät ausschließlich auf das Testen von Mikrorechnerschaltungen beschränkt bleibt.

Um eine Reduzierung des Schaltungsaufwandes, beispielsweise der Echtzeithaltepunktlogik, zu erzielen, ist es üblich, schnelle RAM's als programmierbare Kombinatorik einzusetzen. An die zu testenden Ausgänge, zum Beispiel die Adreßleitungen eines Mikrorechners, werden die Adreßleitungen eines Schreib-Lese-Speichers angeschlossen. So ist ein Verfahren und eine Anordnung zur Erkennung von Digitalwörtern bekannt, vgl. DE-OS 3243935, G 06 F-11/28, die ein Erkennungssignal erzeugt, wenn ein Digitalwort in einem festgelegten geschlossenen Digitalwortbereich auftritt. Nachteilig ist, daß sich dieses Verfahren auf die Anwendung als Grenzwertkomparator stützt und somit nicht zur gleichzeitigen Suche mehrerer voneinander unabhängiger Bitkombinationen geeignet ist und die Anordnung keine Kaskadierung auf eine Anzahl Prüfleitungen ermöglicht.

Ziel der Erfindung

Ziel der Erfindung ist die Verringerung des Schaltungsaufwandes sowohl beim Anschalten von Prüflingen an den Prüfling als auch beim autonomen Testen dieses Prüflings, wobei der Prüfling sowohl eine Logikschaltung als auch ein Mikrorechner sein kann.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung der obengenannten Art zum Prüfen von digitalen Baugruppen und Geräten zu schaffen, die die Funktionskomplexe Busanschaltung, DMA-Zugriff, Einzelschrittsteuerung und Echtzeittriggerpunktlogik so in einem Funktionsblock integriert, daß alle in ihm enthaltenen Prüflösungen logisch völlig gleichwertig sind, so daß bei mehreren gleichartigen Funktionsblöcken eine unterschiedliche Programmierung der einzelnen Funktionsblöcke und Prüflösungen möglich ist und somit eine Anpassung an den einzelnen Anwendungsfall ohne Schaltungsänderung realisierbar ist. Dabei soll von einem Mikrorechner, von mindestens einem Funktionsblock, der einen Paralleldatenport, einen Datentreiber, eine Umschaltvorrichtung und einen Schreib-Lese-Speicher enthält, und von einer Logikbaugruppe ausgegangen werden.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß ein Prüfling über eine Anzahl Prüflösungen logisch über das Paralleldatenport mit dem Mikrorechner verbunden ist, wobei zwischen dem Paralleldatenport und den Prüflösungen unabhängig voneinander die durch den Mikrorechner gesteuerte Umschaltvorrichtung mit ihren Analogschaltern und der durch den Mikrorechner gesteuerten Datentreiber angeordnet sind und die entsprechenden Anschlüsse und Analogschalter und die des Datentreibers einerseits über ein Bussystem mit den zugehörigen Anschlüssen des Paralleldatenports und andererseits mit den zugehörigen Prüflösungen verbunden sind und daß direkt mit dem Paralleldatenport die Adreßleitungen des durch den Mikrorechner gesteuerten Schreib-Lese-Speichers verbunden sind, dessen Datenein- und -ausgabe mit der durch den Mikrorechner gesteuerten Logikbaugruppe verbunden sind, bei der Ausgänge zum Anschalten und Untersuchen des Prüflings auf programmierte Echtzeitreaktionen vorgesehen sind. Mit der Logikbaugruppe können weitere Schreib-Lese-Speicher verbunden sein. Die Logikbaugruppe ermöglicht einerseits das Schreiben von Datenmustern in den Schreib-Lese-Speicher durch den Mikrorechner und andererseits die Kaskadierung mehrerer gleichartiger Schaltungsanordnungen. Das Einschreiben von Datenmustern in den Schreib-Lese-Speicher erfolgt in der Form, daß die logische Verbindung vom Paralleldatenport zum Prüfling durch Deaktivieren der Analogschalter und des Datentreibers aufgetrennt wird. Das Paralleldatenport gibt ein Datenwort aus, das als Adresse an dem Schreib-Lese-Speicher anliegt. Der Mikrorechner ergänzt diese Adresse durch Anlegen von Adreßbits und stellt über die Logikbaugruppe das Datenmuster zur Verfügung. Nachdem der Mikrorechner das Schreibsignal für den Schreib-Lese-Speicher ausgelöst hat, können Adressen und Daten geändert werden und weitere Schreiboperationen erfolgen. So kann der ganze Schreib-Lese-Speicher programmiert werden. Wird nun die gewünschte Verbindung mittels Datentreiber oder Analogschalter vom Paralleldatenport zum Prüfling hergestellt, liegen die Prüfsignale an den Prüflösungen ständig als Adressen am Schreib-Lese-Speicher an. Die den Adressen entsprechenden Datenmuster erscheinen an den Datenausgängen des Schreib-Lese-Speichers und damit an der Logikbaugruppe. Sie realisiert die datenbitweise UND-Verknüpfung aller zur Kaskadierung angeschlossenen Schreib-Lese-Speicher und löst bei logisch wahrem Ergebnis einer der vier UND-Verknüpfungen die programmierte Echtzeitreaktion über entsprechende Leitungen am Prüfling aus. Mit der erfindungsgemäßen Schaltungsanordnung wird erreicht, daß in einem Schaltungskomplex eine universelle Busanschaltung, die Testpunktzeugung und der DMA-Zugriff möglich wird. Sie gestattet damit sowohl den Test einfacher Logikschaltungen als auch ihr in Einsatz beim Testen von Mikrorechnern. Sie ist in der Lage, mehrere Echtzeittestpunkte zu verwalten und kann verschiedensten Prüflingen durch Umprogrammierung angepaßt werden. Die Kaskadierungsmöglichkeiten erlauben den Einsatz auch beim Vorhandensein vieler Prüflösungen. Mittels der erfindungsgemäßen Schaltungsanordnung lassen sich entsprechende transportable Prüfgeräte mit wesentlich geringerem Schaltungsaufwand kostengünstig realisieren.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel unter Bezugnahme auf eine Zeichnung näher erläutert werden. In der Zeichnung zeigen

Fig. 1: ein schematisches Blockschaltbild einer Schaltungsanordnung zur programmierten Bitmustererzeugung und -erkennung und

Fig. 2: eine Kaskadierung der Schaltungsanordnung gemäß Fig. 1.

Das in Fig. 1 schematisch dargestellte Blockschaltbild enthält einen Mikrorechner MR, einen Funktionsblock N, der über Leitungen mit dem Mikrorechner MR und über Prüflösungen GN0 bis GN7 mit einem Prüfling P verbunden ist und eine Logikbaugruppe L, die über Leitungen mit dem Funktionsblock N sowie über weitere Leitungen mit einer Gruppe von Funktionsblöcken K gemäß Fig. 2 und mit dem Mikrorechner MR verbunden ist. Im Funktionsblock N ist ein Paralleldatenport PN, eine Umschaltvorrichtung U, die eine Anzahl Analogschalter ASN enthält, ein Datentreiber TN und ein Schreib-Lese-Speicher RN enthalten. Der Prüfling P ist über die Prüflösungen GN0 bis GN7 logisch über das Paralleldatenport PN mit dem Mikrorechner MR verbunden. Die entsprechenden Anschlüsse der Analogschalter ASN und die des Datentreibers TN sind einerseits über ein Bussystem mit den zugehörigen Anschlüssen des Paralleldatenports PN und andererseits mit den zugehörigen Prüflösungen GN0 bis GN7 verbunden. Das Paralleldatenport PN ist über Adreßleitungen mit den Adreßeingängen A0 bis A7 des durch den Mikrorechner MR gesteuerten Schreib-Lese-Speichers RN verbunden. Die Datenein- und -ausgänge des Schreib-Lese-Speichers RN sind mit der durch den Mikrorechner MR gesteuerten Logikbaugruppe L verbunden, bei der Ausgänge Q0, Q1 zum Anschalten und Untersuchen des Prüflings P auf programmierte Echtzeitreaktionen vorhanden sind.

Die Funktion der Schaltungsanordnung ist folgende.

Nach dem Anschalten der Prüflleitungen GN0 bis GN7 wird die Signalrichtung jeder Leitung festgelegt.

Die Festlegung der Signalrichtung jeder Leitung, das heißt, ob sie einen Eingang oder Ausgang darstellen soll, erfolgt durch den Mikrorechner MR, gesteuert durch das Paralleldatenport PN. Dieses Paralleldatenport PN bietet die Möglichkeit, jedes einzelne Datenbit in logischem Pegel L oder H beziehungsweise in der Richtung festzulegen. Diese Voraussetzungen erfüllt beispielsweise ein UB885D.

Bei der Beschreibung der quasistatischen Nutzung der erfindungsgemäßen Schaltungsanordnung sei der Schreib-Lese-Speicher RN zunächst nicht betrachtet. Es können drei Betriebsfälle unterschieden werden.

Im ersten Betriebsfall ist der Datentreiber TN mit bidirektionaler Betriebsweise in Richtung auf die Prüflleitungen GN0 bis GN7 aktiviert. Die Analogschalter ASN sind deaktiviert. Alle Paralleldatenleitungen sind als Ausgänge definiert.

Der Mikrorechner MR gibt über das Paralleldatenport PN Daten aus. Der Datentreiber TN führt diese Daten zu seinen Ausgängen und damit an die Prüflleitungen GN0 bis GN7. Der zulässige Lastfaktor für diese Prüfgruppe ist durch den Lastfaktor des Datentreibers TN bestimmt.

Im Betriebsfall zwei ist der Datentreiber TN deaktiviert. Die Analogschalter ASN sind aktiviert. Die Datenbits des Paralleldatenports PN sind beliebig als Ein- und Ausgänge programmiert.

Der Mikrorechner MR gibt über die als Ausgänge programmierten Datenbits des Paralleldatenports PN Signale an die Prüflleitungen GN0 bis GN7 aus und kann über die als Eingänge programmierten Datenbits des Paralleldatenports PN Leitungspegel der Prüflleitungen GN0 bis GN7 lesen. Die aktivierten Analogschalter ASN realisieren die Durchschaltung der Signale unabhängig von deren Richtung.

Im dritten Betriebsfall ist der Datentreiber TN deaktiviert. Die Analogschalter ASN sind deaktiviert. Die Datenbits des Paralleldatenports PN sind als Ausgänge programmiert. Die Prüflleitungen GN0 bis GN7 der Prüfgruppe sind logisch vom Mikrorechner MR abgetrennt. In diesem Zustand ist die Programmierung des Schreib-Lese-Speichers RN möglich. Die fehlenden Adressen werden durch den Mikrorechner MR angeschaltet und die einzuschreibenden Datenmuster vom Mikrorechner MR über die Logikbaugruppe L zum Speicher RN geleitet. Die erforderlichen Steuersignale werden von der Logikbaugruppe L unter Steuerung des Mikrorechners MR generiert.

Der dynamische Betrieb der erfindungsgemäßen Schaltungsanordnung setzt zur Erzeugung von Echtzeittriggerpunkten die erfolgte Programmierung des Speichers RN voraus. Der dem Funktionsblock N mit seinen Prüflleitungen GN0 bis GN7 zugeordnete Speicher RN wird in den Betriebsfällen 1 und 2 ständig mit den Datenmustern der Prüflleitungen GN0 bis GN7 adressiert. Er ist dabei ständig in der Betriebsart lesen, und an seinen Ausgängen erscheinen die vorher in Betriebsart 3 in den entsprechenden Adressen abgelegten Datenmuster. Diese Datenmuster sind an die Logikbaugruppe L geführt. Diese Logikbaugruppe L realisiert die Kaskadierung mehrerer Anschaltungen von Funktionsblöcken N, so daß sich Echtzeittriggerpunkte über eine größere Anzahl von Gruppen von Prüflleitungen definieren lassen. Sie sind zum Beispiel sieben solcher Gruppen mit einer Logikbaugruppe verbunden, so können 56 Prüflleitungen zur Bildung der richtigen Kombination dienen. Gleichzeitig realisiert die Logikbaugruppe L die Kaskadierung aller angeschlossenen Schreib-Lese-Speicher RN in der Form, daß jeweils alle 0., 1., 2. und 3. Datenbits aller Speicher untereinander UND-verknüpft sind. So können über die ganze Breite der Prüflleitungen 4 voneinander unabhängiger Kombinationen ausgewertet werden.

Wird ein Echtzeittriggerpunkt erkannt, so ermöglicht die Logikbaugruppe L die Auslösung von Echtzeitreaktionen an den zu prüfenden Prüfling P. Werden komplette Mikrorechner damit in Echtzeit getestet, ist so zum Beispiel die Erzeugung eines Haltepunktes bei Erreichen einer bestimmten Adresse möglich.

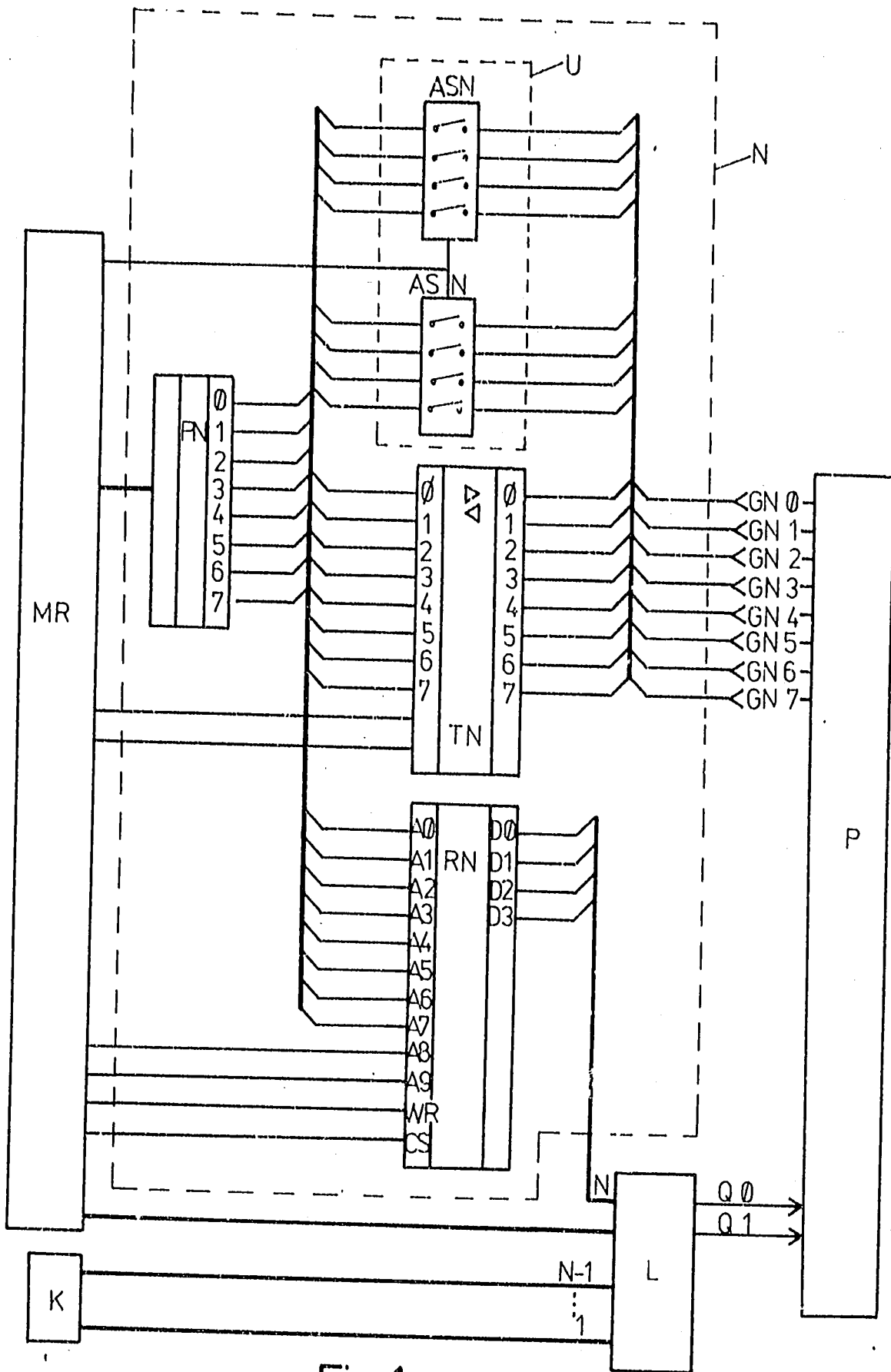


Fig.1

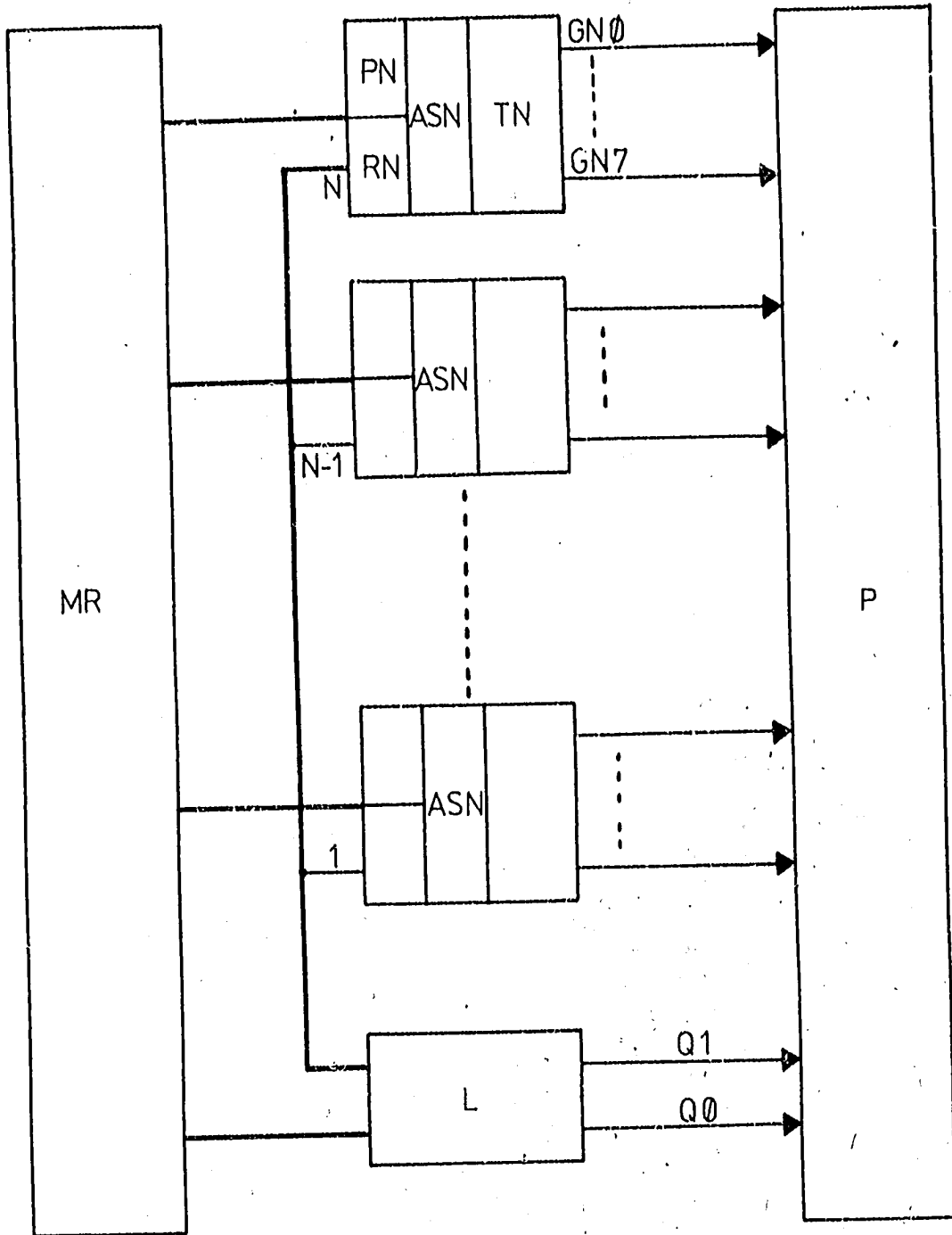


Fig. 2