

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 19 日 (19.12.2024)



(10) 国际公布号
WO 2024/255555 A1

- (51) 国际专利分类号:
G09G 3/3266 (2016.01)
- (21) 国际申请号: PCT/CN2024/094815
- (22) 国际申请日: 2024 年 5 月 23 日 (23.05.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310717043.0 2023年6月16日 (16.06.2023) CN
- (71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。
- (72) 发明人: 于子阳(YU, Ziyang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。邱海军(QIU, Haijun); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。胡明(HU, Ming); 中国北京市大兴区北京经

济技术开发区地泽路 9 号, Beijing 100176 (CN)。蒋志亮(JIANG, Zhiliang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。燕青青(YAN, Qingqing); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。赵攀(ZHAO, Pan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。何庆(HE, Qing); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。曹丹(CAO, Dan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京银龙知识产权代理有限公司(DRAGON INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区西直门北大街 32 号院枫蓝国际中心 2 号楼 10 层, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: DRIVING CIRCUIT, DRIVING METHOD, PIXEL CIRCUIT, DISPLAY PANEL, AND DISPLAY APPARATUS

(54) 发明名称: 驱动电路、驱动方法、像素电路、显示面板和显示装置

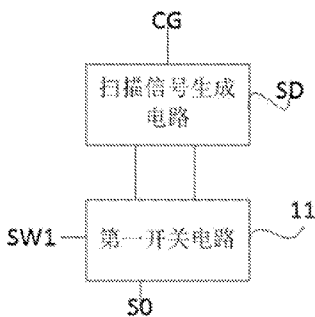


图 1

SD Scanning signal generation circuit
11 First switch circuit

(57) Abstract: A driving circuit, a driving method, a pixel circuit, a display panel, and a display apparatus. The driving circuit comprises a first switch circuit (11) and a scanning signal generation circuit (SD). The first switch circuit (11) controls, under the control of a first gating control signal (SW1), a data signal provided by a data output end (S0) to be written to the scanning signal generation circuit (SD). The scanning signal generation circuit (SD) is used for generating a scanning signal according to the data signal and outputting the scanning signal by means of a scanning signal output end (SG). The driving circuit controls whether to refresh the data voltage of a corresponding pixel circuit, so that updating of a local picture of a screen may be implemented, thereby reducing power consumption.

(57) 摘要: 一种驱动电路、驱动方法、像素电路、显示面板和显示装置, 其中驱动电路包括第一开关电路(11)和扫描信号生成电路(SD); 第一开关电路(11)在第一选通控制信号(SW1)的控制下, 控制将数据输出端(S0)提供的数据信号写入扫描信号生成电路(SD); 扫描信号生成电路(SD)用于根据数据信号生成扫描信号, 并通过扫描信号输出端(SG)输出扫描信号。驱动电路控制是否对相应的像素电路进行数据电压刷新, 从而可以实现屏幕局部画面的更新, 节省功耗。

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

驱动电路、驱动方法、像素电路、显示面板和显示装置

相关申请的交叉引用

本申请主张在 2023 年 6 月 16 日在中国提交的中国专利申请号 No. 202310717043.0 的优先权，其全部内容通过引用包含于此。

技术领域

本公开涉及显示技术领域，尤其涉及一种驱动电路、驱动方法、像素电路、显示面板和显示装置。

背景技术

OLED（有机发光二极管）显示技术具备高对比、快速响应、低功耗等优势。为了进一步降低功耗，采用 LTPS（低温多晶硅）+IGZO（铟镓锌氧化物）结合而实现的 LTPO（低温多晶氧化物）显示技术可以实现低帧频显示，通过减少静态画面的反复刷新来降低驱动功耗。但现有的 OLED 显示器在更新画面时，仍然需要在一帧内对全部像素电压进行初始化和写入。而在某些特殊画面下，整屏绝大部分像素电压不需要更新，即可以通过低漏电的 LTPO TFT（薄膜晶体管）维持在原有的显示亮度，对这些像素的反复刷写造成了数据线功耗的浪费。

发明内容

本公开实施例提供一种驱动电路，包括第一开关电路和扫描信号生成电路；

所述第一开关电路与第一选通控制线、源极驱动器的数据输出端和所述扫描信号生成电路电连接，用于在所述第一选通控制线提供的第一选通控制信号的控制下，控制将所述数据输出端提供的的数据信号写入所述扫描信号生成电路；

所述扫描信号生成电路用于根据所述数据信号生成扫描信号，并通过扫描信号输出端输出所述扫描信号。

可选的，本公开至少一实施例所述的驱动电路还包括第二开关电路；

所述第二开关电路分别与第二选通控制线、所述数据输出端和显示面板包括的数据线电连接，用于在所述第二选通控制线提供的第二选通控制信号的控制下，控制所述数据输出端与所述数据线之间连通或断开；

所述第一选通控制线与所述第二选通控制线为同一选通控制线，或者，所述第一选通控制线与所述第二选通控制线不同。

可选的，所述第一开关电路包括第一晶体管和第一电容；所述第一开关电路通过控制节点向所述扫描信号生成电路提供所述数据信号；

所述第一晶体管的栅极与所述第一选通控制线电连接，所述第一晶体管的第二极与所

述数据输出端电连接，所述第一晶体管的第二极与所述控制节点电连接；

所述第一电容的第一端与所述控制节点电连接，所述第一电容的第二端与直流电压端电连接。

可选的，所述第二开关电路包括第二晶体管；

所述第二晶体管的栅极与所述第二选通控制线电连接，所述第二晶体管的第一极与所述数据输出端电连接，所述第二晶体管的第二极与所述数据线电连接。

可选的，所述扫描信号生成电路包括输出控制电路和输出电路；所述第一开关电路通过控制节点向所述扫描信号生成电路提供所述数据信号；

所述输出控制电路分别与所述控制节点、第一电压端、第二电压端、输出控制端和扫描输出端电连接，用于在所述控制节点的电位的控制下，控制所述输出控制端与所述第一电压端之间连通或断开，在所述扫描输出端提供的信号的控制下，控制所述输出控制端与所述第二电压端之间连通或断开；

所述输出电路分别与控制端、扫描输出端、所述输出控制端、所述第一电压端和所述第二电压端电连接，用于在所述控制端提供的控制信号的控制下，控制所述扫描输出端与所述第一电压端之间连通或断开，在所述输出控制端的电位的控制下，控制所述扫描输出端与所述第二电压端之间连通或断开。

可选的，所述扫描输出端为所述扫描信号输出端；或者，

所述扫描信号生成电路还包括反相电路；所述反相电路的输入端与所述扫描输出端电连接，所述反相电路的输出端与所述扫描信号输出端电连接，所述反相电路用于对其输入端接入的电压信号进行反相，得到反相电压信号，并通过所述反相电路的输出端输出所述反相电压信号。

可选的，所述输出控制电路包括第三晶体管和第四晶体管；

所述第三晶体管的栅极与所述控制节点电连接，所述第三晶体管的第一极与所述第一电压端电连接，所述第三晶体管的第二极与所述输出控制端电连接；

所述第四晶体管的栅极与扫描输出端电连接，所述第四晶体管的第一极与所述输出控制端电连接，所述第四晶体管的第二极与所述第二电压端电连接；

所述输出电路包括第五晶体管、第六晶体管和第三电容；

所述第五晶体管的栅极与所述控制端电连接，所述第五晶体管的第一极与所述第一电压端电连接，所述第五晶体管的第二极与所述扫描输出端电连接；

所述第六晶体管的栅极与所述输出控制端电连接，所述第六晶体管的第一极与所述扫描输出端电连接，所述第六晶体管的第二极与所述第二电压端电连接；

所述第三电容的第一端与所述控制端电连接，所述第三电容的第二端与所述第二电压端电连接。

本公开实施例提供一种驱动方法，应用于上述的驱动电路，其特征在于，所述驱动方法包括：在两帧显示时间之间的空白时间段中的至少部分时间，

第一开关电路在第一选通控制信号的控制下，控制将源极驱动器的数据输出端提供的信号写入所述扫描信号生成电路；

扫描信号生成电路根据所述数据信号生成扫描信号，并通过扫描信号输出端输出所述扫描信号至显示面板的相应列扫描线。

可选的，所述驱动电路还包括第二开关电路；所述驱动方法还包括：

在一帧显示时间中的数据写入时间段，第二开关电路在第二选通控制信号的控制下，控制所述源极驱动器的数据输出端与所述显示面板的相应列数据线之间连通。

本公开实施例提供一种像素电路，包括发光元件、发光驱动电路和控制电路；

所述发光驱动电路分别与第一节点和所述发光元件的第一极电连接，用于在所述第一节点的电位的控制下，产生驱动所述发光元件的驱动电流；所述发光元件的第二极与第三电压端电连接；

所述控制电路分别与第一栅线、扫描线、所述第一节点和所述发光元件的第一极电连接，用于在所述第一栅线提供的第一栅极驱动信号和所述扫描线提供的扫描信号的控制下，控制所述第一节点与所述发光元件的第一极之间连通或断开。

可选的，所述控制电路包括第一控制电路和第二控制电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述第一控制电路分别与所述第一栅线、所述第一节点和中间节点电连接，所述第一控制电路用于在所述第一栅线提供的第一栅极驱动信号的控制下，控制所述第一节点与所述中间节点之间连通或断开；

所述第二控制电路分别与扫描线、所述中间节点和所述第三节点电连接，用于在所述扫描线提供的扫描信号的控制下，控制所述中间节点与所述第三节点之间连通或断开。

可选的，所述控制电路包括第一控制电路和第二控制电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述第一控制电路分别与所述第一栅线、所述第三节点和中间节点电连接，用于在所述第一栅线提供的第一栅极驱动信号的控制下，控制所述第三节点与所述中间节点之间连通或断开；

所述第二控制电路分别与所述扫描线、所述中间节点和所述第一节点电连接，用于在所述扫描线提供的扫描信号的控制下，控制所述中间节点与所述第一节点之间连通或断开。

可选的，本公开至少一实施例所述的像素电路还包括第一初始化电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述第一初始化电路分别与第一初始控制端、第一初始电压端和所述第二节点电连接，用于在所述第一初始控制端提供的第一初始控制信号的控制下，将所述第一初始电压端提

供的第一初始电压写入所述第二节点。

可选的，本公开至少一实施例所述的像素电路还包括第二初始化电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述第二初始化电路分别与第二初始控制端、第二初始电压端和所述第三节点电连接，用于在所述第二初始控制端提供的第二初始控制信号的控制下，将所述第二初始电压端提供的第二初始电压写入所述第三节点。

可选的，本公开至少一实施例所述的像素电路还包括数据写入电路、第一发光控制电路、第二发光控制电路和储能电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述数据写入电路分别与第二栅线、数据线和所述第二节点电连接，用于在所述第二栅线提供的第二栅极驱动信号的控制下，将所述数据线提供的数据电压写入所述第二节点；

所述第一发光控制电路分别与发光控制线、电源电压端和所述第二节点电连接，用于在所述发光控制线提供的发光控制信号的控制下，控制所述电源电压端与所述第二节点之间连通或断开；

所述第二发光控制电路分别与所述发光控制线、所述第三节点和所述发光元件的第一极电连接，用于在所述发光控制信号的控制下，控制所述第三节点与所述发光元件的第一极电连接；

所述储能电路与所述第一节点电连接，用于储存电能。

可选的，本公开至少一实施例所述的像素电路还包括第三初始化电路；

所述第三初始化电路分别与第一初始控制端、第三初始电压端和所述发光元件的第一极电连接，用于在所述第一初始控制端提供的第一初始控制信号的控制下，将所述第三初始电压端提供的第三初始电压写入所述发光元件的第一极。

可选的，所述第一控制电路包括第一控制晶体管，所述第二控制电路包括第二控制晶体管；

所述第一控制晶体管的栅极与所述第一栅线电连接，所述第一控制晶体管的第一极与所述第一节点电连接，所述第一控制晶体管的第二极与所述中间节点电连接；

所述第二控制晶体管的栅极与所述扫描线电连接，所述第二控制晶体管的第一极与所述中间节点电连接，所述第二控制晶体管的第二极与所述第三节点电连接。

可选的，所述第一控制电路包括第一控制晶体管，所述第二控制电路包括第二控制晶体管；

所述第一控制晶体管的栅极与所述第一栅线电连接，所述第一控制晶体管的第一极与所述中间节点电连接，所述第一控制晶体管的第二极与所述第三节点电连接；

所述第二控制晶体管的栅极与所述扫描线电连接，所述第二控制晶体管的第一极与所述第一节点电连接，所述第二控制晶体管的第二极与所述中间节点电连接。

可选的，所述第一初始化电路包括第一初始化晶体管；

所述第一初始化晶体管的栅极与所述第一初始控制端电连接，所述第一初始化晶体管的第一极与所述第一初始电压端电连接，所述第一初始化晶体管的第二极与所述第二节点电连接。

可选的，所述第二初始化电路包括第二初始化晶体管；

所述第二初始化晶体管的栅极与所述第二初始控制端电连接，所述第二初始化晶体管的第一极与所述第二初始电压端电连接，所述第二初始化晶体管的第二极与所述第三节点电连接。

可选的，所述数据写入电路包括写入晶体管，所述第一发光控制电路包括第一发光控制晶体管，所述第二发光控制电路包括第二发光控制晶体管；所述发光驱动电路包括驱动晶体管，所述储能电路包括存储电容；

所述写入晶体管的栅极与所述第二栅线电连接，所述写入晶体管的第一极与所述数据线电连接，所述写入晶体管的第二极与所述第二节点电连接；

所述第一发光控制晶体管的栅极与所述发光控制线电连接，所述第一发光控制晶体管的第一极与所述电源电压端电连接，所述第一发光控制晶体管的第二极与所述第二节点电连接；

所述第二发光控制晶体管的栅极与所述发光控制线电连接，所述第二发光控制晶体管的第一极与所述第三节点电连接，所述第二发光控制晶体管的第二极与所述发光元件的第一极电连接；

所述驱动晶体管的栅极与所述第一节点电连接，所述驱动晶体管的第一极与所述第二节点电连接，所述驱动晶体管的第二极与所述第三节点电连接；

所述存储电容的第一端与所述第一节点电连接，所述存储电容的第二端与电源电压端电连接。

可选的，所述第三初始化电路包括第三初始化晶体管；

所述第三初始化晶体管的栅极与所述第一初始控制端电连接，所述第三初始化晶体管的第一极与所述第三初始电压端电连接，所述第三初始化晶体管的第二极与所述发光元件的第一极电连接。

本公开实施例提供一种像素驱动方法，应用于上述的像素电路，所述像素驱动方法包括：

发光驱动电路在第一节点的电位的控制下，产生驱动发光元件的驱动电流；

控制电路在第一栅极驱动信号和扫描信号的控制下，控制所述第一节点与所述发光元件的第一极之间连通或断开。

可选的，所述像素电路包括第一初始化电路，发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和发光元件的第一极电连接；显示周期包括先后设置的第一初始化时间段和第二初始化时间段；所述像素驱动方法包括：

在所述第一初始化时间段，所述控制电路在所述第一栅极驱动信号和所述扫描信号的控制下，控制所述第一节点与第三节点之间连通；所述第一初始化电路在第一初始控制信号的控制下，将第一初始电压写入第二节点；发光驱动电路在所述第一节点的电位的控制下，控制所述第二节点与所述第三节点之间连通；

在所述第二初始化时间段，所述控制电路在所述第一栅极驱动信号和所述扫描信号的控制下，控制所述第一节点与所述第三节点之间断开；所述第一初始化电路在第一初始控制信号的控制下，将第一初始电压写入所述第二节点；发光驱动电路在所述第一节点的电位的控制下，控制所述第二节点与所述第三节点之间连通。

本公开实施例提供一种显示面板，包括源极驱动器和上述的驱动电路；
所述源极驱动器包括数据输出端。

可选的，本公开实施例所述的显示面板包括多列扫描线；

所述驱动电路中的扫描信号生成电路中的扫描信号输出端与所述扫描线电连接。

可选的，所述显示面板包括多列数据线；

所述数据输出端直接与数据线电连接；或者，所述驱动电路包括第二开关电路，所述第二开关电路在第二选通控制信号的控制下，控制所述数据输出端与所述数据线之间连通或断开。

可选的，所述源极驱动器设置于显示面板的第一侧边，所述驱动电路设置于所述显示面板的第一侧边；或者，

所述源极驱动器设置于显示面板的第一侧边，所述驱动电路设置于所述显示面板的第二侧边，所述第一侧边与所述第二侧边为相对的侧边。

可选的，本公开至少一实施例所述的显示面板还包括上述的像素电路。

本公开实施例还提供一种显示装置，包括上述的显示面板。

附图说明

图1是本公开至少一实施例所述的驱动电路的结构图；

图2是本公开至少一实施例所述的驱动电路的电路图；

图3是本公开至少一实施例所述的驱动电路的电路图；

图4是本公开至少一实施例所述的驱动电路的电路图；

图5是本公开至少一实施例所述的驱动电路的电路图；

图6A是本公开至少一实施例所述的驱动电路的电路图；

图6B是本公开至少一实施例所述的驱动电路的电路图；

图7是本公开至少一实施例所述的驱动电路的电路图；

图8是本公开至少一实施例所述的驱动电路的电路图；

图9是本公开至少一实施例所述的驱动电路的结构图；

图10是本公开至少一实施例所述的驱动电路的结构图；

图 11 是本公开至少一实施例所述的驱动电路的电路图；
图 12 是图 11 所示的驱动电路的至少一实施例的工作时序图；
图 13 是本公开至少一实施例所述的驱动电路的电路图；
图 14 是图 13 所示的驱动电路的至少一实施例的仿真工作时序图；
图 15 是本公开至少一实施例所述的像素电路的结构图；
图 16 是本公开至少一实施例所述的像素电路的结构图；
图 17 是本公开至少一实施例所述的像素电路的结构图；
图 18 是本公开至少一实施例所述的像素电路的结构图；
图 19 是本公开至少一实施例所述的像素电路的结构图；
图 20 是本公开至少一实施例所述的像素电路的电路图；
图 21A 是图 20 所示的像素电路的至少一实施例的工作时序图；
图 21B 是图 20 所示的像素电路的至少一实施例的工作时序图；
图 22 是本公开至少一实施例所述的像素电路的电路图；
图 23 是本公开至少一实施例所述的像素电路的电路图；
图 24 是本公开至少一实施例所述的像素电路的电路图；
图 25 是本公开至少一实施例所述的显示面板的结构图；
图 26 是本公开至少一实施例所述的显示面板的结构图；
图 27 是本公开至少一实施例所述的显示面板的结构图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本公开实施例中，为区分晶体管除栅极之外的两极，将其中一极称为第一极，另一极称为第二极。

在实际操作时，当所述晶体管为薄膜晶体管或场效应管时，所述第一极可以为漏极，所述第二极可以为源极；或者，所述第一极可以为源极，所述第二极可以为漏极。

本公开实施例所述的驱动电路包括第一开关电路和扫描信号生成电路；

所述第一开关电路与第一选通控制线、源极驱动器的数据输出端和所述扫描信号生成电路电连接，用于在所述第一选通控制线提供的第一选通控制信号的控制下，控制将所述数据输出端提供的的数据信号写入所述扫描信号生成电路；

所述扫描信号生成电路用于根据所述数据信号生成扫描信号，并通过扫描信号输出端输出所述扫描信号。

在本公开实施例中，所述驱动电路可以包括第一开关电路和扫描信号生成电路，在两帧显示时间之间的空白时间段中的至少部分时间，第一开关电路在第一选通控制信号的控制下，控制将数据输出端提供的的数据信号写入扫描信号生成电路；所述扫描信号生成电路根据所述数据信号生成扫描信号，并将扫描信号提供至显示面板包括的一列扫描线，从而根据所述扫描信号，控制在下一帧显示时间内，该列扫描线控制的晶体管导通或关断。

在具体实施时，当在下一帧显示时间内，该列扫描线控制的晶体管关断时，该晶体管所在的像素电路不进行数据电压写入，可以通过低漏电的晶体管维持在原有的显示亮度，避免对该像素电路的反复刷写造成的一部分功耗的浪费；

当在下一帧显示时间内，该列扫描线控制的晶体管打开时，该晶体管所在的像素电路进行数据电压写入，正常进行画面的刷新。

相关的 OLED（有机发光二极管）显示器在更新画面时，需要在一帧显示时间内，对全部像素电路进行初始化和数据电压写入。而在某些特殊画面下（如 AOD（全天候熄屏显示）画面、静态画面或较少更新的画面），整屏绝大部分像素电路的数据电压不需要更新，可以通过低漏电的 LTPO（低温多晶氧化物） TFT（薄膜晶体管）维持在原有的显示亮度，对这些像素电路的反复刷写造成了数据线功耗的浪费。

基于此，本公开实施例通过设计一种驱动电路，可以在两帧显示时间之间的空白时间段中的至少部分时间，控制一列扫描线上的扫描信号，以根据该扫描信号，控制在接下来的一帧显示时间，该扫描线控制的晶体管导通或关断，来控制是否对相应的像素电路进行数据电压刷新，实现屏幕局部画面的更新，而其余画面则不需要多次充放电，进而进一步降低 OLED 显示的功耗，或通过显示画面局部更新实现超低功耗。

如图 1 所示，本公开实施例所述的驱动电路包括第一开关电路 11 和扫描信号生成电路 SD；

所述第一开关电路 11 与第一选通控制线 SW1、源极驱动器的数据输出端 S0 和所述扫描信号生成电路 SD 电连接，用于在所述第一选通控制线 SW1 提供的第一选通控制信号的控制下，控制将所述数据输出端 S0 提供的的数据信号写入所述扫描信号生成电路 SD；

所述扫描信号生成电路 SD 用于根据所述数据信号生成扫描信号，并通过扫描信号输出端 CG 输出所述扫描信号。

在本公开至少一实施例中，所述第一开关电路 11 可以与所述源极驱动器的一个数据输出端电连接。

可选的，所述第一开关电路包括第一晶体管和第一电容；所述第一开关电路通过控制节点向所述扫描信号生成电路提供所述数据信号；

所述第一晶体管的栅极与所述第一选通控制线电连接，所述第一晶体管的第一极与所述数据输出端电连接，所述第一晶体管的第二极与所述控制节点电连接；

所述第一电容的第一端与所述控制节点电连接，所述第一电容的第二端与直流电压端电连接。

在本公开至少一实施例中，所述数据输出端可以直接与数据线电连接，所述扫描信号输出端可以与扫描线电连接，但不以此为限。

如图2所示，标号为P11的为第一行第一列像素电路，标号为P21的为第二行第一列像素电路，标号为P31的为第三行第一列像素电路，标号为P41的为第四行第一列像素电路；

标号为DL的为数据线，标号为CG的为扫描线，标号为NG1的为第一行第一栅线，标号为NG2的为第一行第一栅线，标号为NG3的为第三行第一栅线，标号为NG4的为第四行第一栅线；

本公开至少一实施例所述的驱动电路包括第一开关电路和扫描信号生成电路SD；

所述第一开关电路包括第一晶体管T1；

所述第一晶体管T1的栅极与所述第一选通控制线SW1电连接，所述第一晶体管T1的源极与数据线DL连接，所述第一晶体管的第二极与所述扫描信号生成电路SD电连接；

DL与源极驱动器的数据输出端S0电连接；

所述扫描信号生成电路SD用于根据所述数据输出端S0提供的数据信号生成扫描信号，并将所述扫描信号提供至扫描线CGL。

在图2所示的至少一实施例中，T1为p型晶体管，在两帧显示时间之间，SW1提供低电压信号，以使得T1打开。

图3所示的至少一实施例与图2所示的至少一实施例的区别在于：T1为n型晶体管，在两帧显示时间之间，SW1提供高电压信号，以使得T1打开。

本公开至少一实施例所述的驱动电路还包括第二开关电路；

所述第二开关电路分别与第二选通控制线、所述数据输出端和显示面板包括的数据线电连接，用于在所述第二选通控制线提供的第二选通控制信号的控制下，控制所述数据输出端与所述数据线之间连通或断开；

所述第一选通控制线与所述第二选通控制线为同一选通控制线，或者，所述第一选通控制线与所述第二选通控制线不同。

在具体实施时，所述驱动电路还可以包括第二开关电路，第二开关电路在第二选通控制信号的控制下，控制所述数据输出端与所述数据线之间连通或断开。

可选的，所述第二开关电路包括第二晶体管；

所述第二晶体管的栅极与所述第二选通控制线电连接，所述第二晶体管的第一极与所述数据输出端电连接，所述第二晶体管的第二极与所述数据线电连接。

如图4所示，标号为P11的为第一行第一列像素电路，标号为P21的为第二行第一列像素电路，标号为P31的为第三行第一列像素电路，标号为P41的为第四行第一列像素电路；

标号为DL的为数据线，标号为CG的为扫描线，标号为NG1的为第一行第一栅线，标号为NG2的为第一行第一栅线，标号为NG3的为第三行第一栅线，标号为NG4的为

第四行第一栅线；

本公开至少一实施例所述的驱动电路包括第一开关电路、第二开关电路和扫描信号生成电路 SD；

所述第一开关电路可以包括第一晶体管 T1；

T1 的栅极与第一选通控制线 SW1 电连接，T1 的源极与源极驱动器的数据输出端 S0 电连接，T1 的漏极与所述扫描信号生成电路 SD 电连接；

所述第二开关电路 13 包括第二晶体管 T2；

T2 的栅极与第一选通控制线 SW1 电连接，T2 的源极与数据线 DL 电连接，T2 的漏极与源极驱动器的数据输出端 S0 电连接；

所述扫描信号生成电路 SD 用于根据所述数据输出端 S0 提供的数据信号生成扫描信号，并将所述扫描信号提供至扫描线 CGL。

在图 4 所示的至少一实施例中，T1 为 p 型晶体管，T2 为 n 型晶体管。

本公开如图 4 所示的至少一实施例在工作时，在两帧显示时间之间的空白时间段中的至少部分时间，SW1 提供低电压信号，T1 导通，以将数据输出端 S0 提供的数据信号写入所述扫描信号生成电路 SD，所述扫描信号生成电路 SD 用于根据所述数据输出端 S0 提供的数据信号生成扫描信号，并将所述扫描信号提供至扫描线 CGL；

在一帧显示时间内，SW1 提供高电压信号，T2 打开，以控制所述数据输出端 S0 与数据线 DL 之间连通。

图 5 所示的至少一实施例与图 4 所示的至少一实施例的区别在于：T1 为 n 型晶体管，T2 为 p 型晶体管。

本公开如图 5 所示的至少一实施例在工作时，在两帧显示时间之间的空白时间段中的至少部分时间，SW1 提供高电压信号，T1 导通，以将数据输出端 S0 提供的数据信号写入所述扫描信号生成电路 SD，所述扫描信号生成电路 SD 用于根据数据输出端 S0 提供的数据信号生成扫描信号，并将所述扫描信号提供至第一列扫描线 CG1；

在一帧显示时间内，SW1 提供低电压信号，T2 打开，以控制所述数据输出端 S0 与数据线 DL 之间连通。

在图 4、图 5 所示的至少一实施例中，第一选通控制线与第二选通控制线为同一选通控制线。

如图 6A 所示，标号为 P11 的为第一行第一列像素电路，标号为 P21 的为第二行第一列像素电路，标号为 P31 的为第三行第一列像素电路，标号为 P41 的为第四行第一列像素电路；

标号为 DL 的为数据线，标号为 CG 的为扫描线，标号为 NG1 的为第一行第一栅线，标号为 NG2 的为第一行第一栅线，标号为 NG1 的为第三行第一栅线，标号为 NG4 的为第四行第一栅线；

本公开至少一实施例所述的驱动电路包括第一开关电路、第二开关电路和扫描信号生

成电路 SD;

所述第一开关电路可以包括第一晶体管 T1;

T1 的栅极与第一选通控制线 SW1 电连接, T1 的源极与数据线 DL 电连接, T1 的漏极与所述扫描信号生成电路 SD 电连接;

所述第二开关电路 13 包括第二晶体管 T2;

T2 的栅极与第二选通控制线 SW2 电连接, T2 的源极与数据线 DL 电连接, T2 的漏极与源极驱动器的数据输出端 S0 电连接;

所述扫描信号生成电路 SD 用于根据数据输出端 S0 提供的数据信号生成扫描信号, 并将所述扫描信号提供至扫描线 CGL。

在图 6A 所示的至少一实施例中, 第一选通控制线与第二选通控制线为不同的选通控制线。

在图 6A 所示的至少一实施例中, T1 为 p 型晶体管, T2 为 p 型晶体管。

本公开如图 6A 所示的至少一实施例在工作时, 在两帧显示时间之间的空白时间段中的至少部分时间, SW1 提供低电压信号, SW2 提供高电压信号, T1 导通, 以将数据输出端 S0 提供的数据信号写入所述扫描信号生成电路 SD, 所述扫描信号生成电路 SD 用于根据数据输出端 S0 提供的数据信号生成扫描信号, 并将所述扫描信号提供至扫描线 CGL;

在一帧显示时间内, SW2 提供低电压信号, SW1 提供高电压信号, T2 打开, 以控制所述数据输出端 S0 与数据线 DL 之间连通。

图 6B 所示的至少一实施例与图 6A 所示的至少一实施例的区别在于: T1 为 n 型晶体管, T2 为 n 型晶体管。

本公开如图 6B 所示的至少一实施例在工作时, 在两帧显示时间之间的空白时间段中的至少部分时间, SW1 提供高电压信号, SW2 提供低电压信号, T1 导通, 以将数据输出端 S0 提供的数据信号写入所述扫描信号生成电路 SD, 所述扫描信号生成电路 SD 用于根据数据输出端 S0 提供的数据信号生成扫描信号, 并将所述扫描信号提供至扫描线 CGL;

在一帧显示时间内, SW2 提供高电压信号, SW1 提供低电压信号, T2 打开, 以控制所述数据输出端 S0 与数据线 DL 之间连通。

在图 2 至图 6B 所示的至少一实施例中, 扫描信号生成电路和源极驱动器设置于显示面板的同一侧边。在实际操作时, 所述扫描信号生成电路可以与源极驱动器设置于显示面板的相对的侧边。

图 7 所示的至少一实施例与图 2 所示的至少一实施例的区别在于, T1 设置于扫描信号生成电路设置于显示面板的上侧边。

图 8 所示的至少一实施例与图 3 所示的至少一实施例的区别在于, T1 设置于扫描信号生成电路设置于显示面板的上侧边。

在本公开至少一实施例中, 所述扫描信号生成电路包括输出控制电路和输出电路; 所述第一开关电路通过控制节点向所述扫描信号生成电路提供所述数据信号;

所述输出控制电路分别与所述控制节点、第一电压端、第二电压端、输出控制端和扫描输出端电连接，用于在所述控制节点的电位的控制下，控制所述输出控制端与所述第一电压端之间连通或断开，在所述扫描输出端提供的信号的控制下，控制所述输出控制端与所述第二电压端之间连通或断开；

所述输出电路分别与控制端、扫描输出端、所述输出控制端、所述第一电压端和所述第二电压端电连接，用于在所述控制端提供的控制信号的控制下，控制所述扫描输出端与所述第一电压端之间连通或断开，在所述输出控制端的电位的控制下，控制所述扫描输出端与所述第二电压端之间连通或断开。

在具体实施时，所述扫描信号生成电路可以包括输出控制电路和输出电路，所述输出控制电路在所述控制节点的电位的控制下，控制所述输出控制端与所述第一电压端之间连通或断开，在所述扫描输出端提供的信号的控制下，控制所述输出控制端与所述第二电压端之间连通或断开；所述输出电路在所述控制端提供的控制信号的控制下，控制所述扫描输出端与所述第一电压端之间连通或断开，在所述输出控制端的电位的控制下，控制所述扫描输出端与所述第二电压端之间连通或断开。

可选的，所述扫描输出端为所述扫描信号输出端；或者，

所述扫描信号生成电路还包括反相电路；所述反相电路的输入端与所述扫描输出端电连接，所述反相电路的输出端与所述扫描信号输出端电连接，所述反相电路用于对其输入端接入的电压信号进行反相，得到反相电压信号，并通过所述反相电路的输出端输出所述反相电压信号。

如图 9 所示，第一开关电路 11 分别与第一选通控制线 SW1、所述源极驱动器的数据输出端 S0 和控制节点 NC 电连接，用于在所述第一选通控制线 SW1 提供的第一选通控制信号的控制下，控制所述数据输出端 S0 与所述控制节点 NC 之间连通或断开；

所述扫描信号生成电路包括输出控制电路 71 和输出电路 72；

所述输出控制电路 71 分别与所述控制节点 NC、第一电压端 V1、第二电压端 V2、输出控制端 OE 和扫描信号输出端 CG 电连接，用于在所述控制节点 NC 的电位的控制下，控制所述输出控制端 OE 与所述第一电压端 V1 之间连通或断开，在所述扫描信号输出端 CG 提供的信号的控制下，控制所述输出控制端 OE 与所述第二电压端 V2 之间连通或断开；

所述输出电路 72 分别与控制端 VHRD、输出控制端 OE、扫描信号输出端 CG、所述第一电压端 V1 和所述第二电压端 V2 电连接，用于在所述控制端 VHRD 提供的控制信号的电位的控制下，控制所述扫描信号输出端 CG 与所述第一电压端 V1 之间连通或断开，在所述输出控制端 OE 的电位的控制下，控制所述扫描信号输出端 CG 与所述第二电压端 V2 之间连通或断开。

在图 9 所示的扫描信号生成电路的至少一实施例中，所述扫描输出端可以为扫描信号输出端 CG，所述第一电压端可以为高电压端，所述第二电压端可以为低电压端，但不以此为限。

如图 10 所示, 第一开关电路 11 分别与第一选通控制线 SW1、所述源极驱动器的数据输出端 S0 和控制节点 NC 电连接, 用于在所述第一选通控制线 SW1 提供的第一选通控制信号的控制下, 控制所述数据输出端 S0 与所述控制节点 NC 之间连通或断开;

所述扫描信号生成电路包括输出控制电路 71 和输出电路 72;

所述输出控制电路 71 分别与所述控制节点 NC、第一电压端 V1、第二电压端 V2、输出控制端 OE 和扫描输出端 OP 电连接, 用于在所述控制节点 NC1 的电位的控制下, 控制所述输出控制端 OE 与所述第一电压端 V1 之间连通或断开, 在所述扫描输出端 OP 提供的信号的控制下, 控制所述输出控制端 OE 与所述第二电压端 V2 之间连通或断开;

所述输出电路 72 分别与所述控制端 VHRD、扫描输出端 OP、所述输出控制端 OE、所述第一电压端 V1 和所述第二电压端 V2 电连接, 用于在所述控制端 VHRD 的电位的控制下, 控制所述扫描输出端 OP 与所述第一电压端 V1 之间连通或断开, 在所述输出控制端 OE 的电位的控制下, 控制所述扫描输出端 OP 与所述第二电压端 V2 之间连通或断开;

所述扫描信号生成电路还包括反相电路 73;

所述反相电路 73 的输入端与所述扫描输出端 OP 电连接, 所述反相电路 73 的输出端与所述扫描信号输出端 CG 电连接, 所述反相电路 73 用于对其输入端接入的电压信号进行反相, 得到反相电压信号, 并通过所述反相电路 73 的输出端输出所述反相电压信号。

可选的, 所述输出控制电路包括第三晶体管和第四晶体管;

所述第三晶体管的栅极与所述控制节点电连接, 所述第三晶体管的第一极与所述第一电压端电连接, 所述第三晶体管的第二极与所述输出控制端电连接;

所述第四晶体管的栅极与扫描输出端电连接, 所述第四晶体管的第一极与所述输出控制端电连接, 所述第四晶体管的第二极与所述第二电压端电连接;

所述输出电路包括第五晶体管、第六晶体管和第二电容;

所述第五晶体管的栅极与所述控制端电连接, 所述第五晶体管的第一极与所述第一电压端电连接, 所述第五晶体管的第二极与所述扫描输出端电连接;

所述第六晶体管的栅极与所述输出控制端电连接, 所述第六晶体管的第一极与所述扫描输出端电连接, 所述第六晶体管的第二极与所述第二电压端电连接;

所述第二电容的第一端与所述控制端电连接, 所述第二电容的第二端与所述第二电压端电连接。

如图 11 所示, 在图 9 所示的至少一实施例的基础上,

所述第一开关电路包括第一晶体管 T1 和第一电容 C1;

所述第一晶体管 T1 的栅极与所述第一选通控制线 SW1 电连接, 所述第一晶体管的源极与所述数据输出端 S0 电连接, 所述第一晶体管 T1 的漏极与所述控制节点 NC 电连接;

所述第一电容 C1 的第一端与控制节点 NC 电连接, 所述第一电容 C1 的第二端与所述低电压端 VGL 电连接;

所述输出控制电路包括第三晶体管 T3 和第四晶体管 T4;

所述第三晶体管 T3 的栅极与所述控制节点 NC 电连接,所述第三晶体管 T3 的源极与高电压端 VGH 电连接,所述第三晶体管 T3 的漏极与所述输出控制端 OE 电连接;

所述第四晶体管 T4 的栅极与所述扫描信号输出端 CG 电连接,所述第四晶体管 T4 的源极与所述输出控制端 OE 电连接,所述第四晶体管 T4 的漏极与所述低电压端 VGL 电连接;

所述输出电路包括第五晶体管 T5、第六晶体管 T6 和第二电容 C2;

所述第五晶体管 T5 的栅极与控制端 VHRD 电连接,所述第五晶体管 T5 的源极与高电压端 VGH 电连接,所述第五晶体管 T5 的漏极与所述扫描信号输出端 CG 电连接;

所述第六晶体管 T6 的栅极与所述输出控制端 OE 电连接,所述第六晶体管 T6 的源极与所述扫描信号输出端 CG 电连接,所述第六晶体管 T6 的漏极与低电压端 VGL 电连接;

所述第二电容 C2 的第一端与所述控制端 VHRD 电连接,所述第二电容 C2 的第二端与所述低电压端 VGL 电连接。

在图 11 所示的扫描信号生成电路的至少一实施例中,所述控制电压端为第二电压端,第一电压端为高电压端,第二电压端为低电压端,但不以此为限。

在图 11 所示的扫描信号生成电路的至少一实施例中,S0 可以与相应列数据线 DL 电连接。

在图 11 所示的至少一实施例中,T1 为 p 型晶体管,T3 为 p 型晶体管,T4 为 n 型晶体管,T5 为 p 型晶体管,T6 为 n 型晶体管。

在图 11 所示的至少一实施例中,所述控制端 VHRD 用于 3V 电压信号,所述高电压端 VGH 可以用于提供 8V 电压信号,所述低电压端 VGL 可以用于提供-8V 电压信号。

在本公开至少一实施例中,所述控制端 VHRD 提供的控制信号的电压值可以大于或等于 3V 而小于或等于 4V,所述高电压端 VGH 提供的高电压信号的电压值可以大于或等于 7V 而小于或等于 9V,所述低电压端 VGL 提供的低电压信号的电压值可以大于或等于-9V 而小于或等于-7V,但不以此为限。

如图 12 所示,图 11 所示的至少一实施例在工作时,标号为 TB1 的为第一空白时间段,标号为 TB2 的为第二控制时间段,标号为 TX1 的为第一数据写入时间段,标号为 TX2 的为第二数据写入时间段。

在第一空白时间段 TB1 中的部分时间,SW1 提供低电压信号,T1 打开,S0 提供高电压信号,数据线 DL 接入高电压信号,NC 的电位为高电压,T5 打开,CG 与 VGH 之间连通,CG 的电位为高电压,T4 打开,以使得 OE 与 VGL 之间连通,OE 输出低电压信号;

在第一数据写入时间段 TX1,CG 的电位维持为高电压;

在第二空白时间段 TB2 中的部分时间,SW1 提供低电压信号,T1 打开,S0 提供低电压信号,DL 接入低电压信号,NC 的电位为低电压,T3 打开,OE 与 VGH 之间连通,OE 的电位为高电压,T6 打开,CG 输出低电压信号;

在第二数据写入时间段 TX2,CG 的电位维持为低电压。

图 11 所示的至少一实施例在工作时,在第一空白时间段 TB1 中的部分时间,DL 接入的高电压信号的电压值可以为 7V;

在第二空白时间段 TB2 中的部分时间,DL 接入的低电压信号的电压值可以为 0V;但不以此为限。

本公开图 11 所示的至少一实施例在工作时,在第二空白时间段 TB2 中的部分时间,T6 的打开程度比 T5 的打开程度高,因此 CG 输出低电压信号。

如图 13 所示,在图 10 所示的至少一实施例的基础上,

所述第一开关电路包括第一晶体管 T1 和第一电容 C1;

所述第一晶体管 T1 的栅极与所述第一选通控制线 SW1 电连接,所述第一晶体管的源极与所述数据输出端 S0 电连接,所述第一晶体管 T1 的漏极与所述控制节点 NC 电连接;

所述第一电容 C1 的第一端与控制节点 NC 电连接,所述第一电容 C1 的第二端与所述低电压端 VGL 电连接;

所述输出控制电路包括第三晶体管 T3 和第四晶体管 T4;

所述第三晶体管 T3 的栅极与所述控制节点 NC 电连接,所述第三晶体管 T3 的源极与高电压端 VGH 电连接,所述第三晶体管 T3 的漏极与所述输出控制端 OE 电连接;

所述第四晶体管 T4 的栅极与所述控制节点 NC 电连接,所述第四晶体管 T4 的源极与所述输出控制端 OE 电连接,所述第四晶体管 T4 的漏极与所述低电压端 VGL 电连接;

所述输出电路包括第五晶体管 T5 和第六晶体管 T6;

所述第五晶体管 T5 的栅极与控制端 VHRD 电连接,所述第五晶体管 T5 的源极与高电压端 VGH 电连接,所述第五晶体管 T5 的漏极与所述扫描输出端 OP 电连接;

所述第六晶体管 T6 的栅极与所述输出控制端 OE 电连接,所述第六晶体管 T6 的源极与所述扫描输出端 OP 电连接,所述第六晶体管 T6 的漏极与低电压端 VGL 电连接;

所述反相电路包括反相器 IV;

所述反相器 IV 的输入端与所述扫描输出端 OP 电连接,所述反相器 IV 的输出端与所述扫描信号输出端 CG 电连接,所述反相器 IV 用于对其输入端接入的电压信号进行反相,得到反相电压信号,并通过所述反相器 IV 的输出端输出所述反相电压信号。

在图 13 所示的扫描信号生成电路的至少一实施例中,第一电压端为高电压端,第二电压端为低电压端,但不以此为限。

在图 13 所示的扫描信号生成电路的至少一实施例中,S0 可以与数据线 DL 电连接。

在图 13 所示的至少一实施例中,所述控制端 VHRD 用于 3V 电压信号,所述高电压端 VGH 可以用于提供 8V 电压信号,所述低电压端 VGL 可以用于提供-8V 电压信号。

图 13 所示的扫描信号生成电路的至少一实施例在工作时,第一空白时间段、第一数据写入时间段、第二空白时间段和第二数据写入时间段可以先后设置;

在第一空白时间段中的至少部分时间,SW1 提供低电压信号,T1 打开,S0 提供高电压信号,DL 接入高电压信号,NC 的电位为高电压,T5 打开,OP 与 VGH 之间连通,OP

的电位为高电压，T4 打开，以使得 OE 与 VGL 之间连通，OE 输出低电压信号；CG 输出低电压信号；

在第一数据写入时间段，CG 的电位维持为低电压；

在第二空白时间段中的至少部分时间，SW1 提供低电压信号，T1 打开，S0 提供低电压信号，DL 接入低电压信号，NC 的电位为低电压，T3 打开，OE 与 VGH 之间连通，OE 的电位为高电压，T6 打开，OP 输出低电压信号；CG 输出高电压信号；

在第二数据写入时间段，CG 的电位维持为高电压。

图 13 所示的至少一实施例在工作时，在第一空白时间段中的部分时间，DL 接入的高电压信号的电压值可以为 7V；

在第二空白时间段 TB2 中的部分时间，DL 接入的低电压信号的电压值可以为 0V；但不以此为限。

本公开图 13 所示的至少一实施例在工作时，在第二空白时间段中的部分时间，T6 的打开程度比 T5 的打开程度高，因此 OP 输出低电压信号。

图 14 是图 13 所示的扫描信号生成电路的至少一实施例的仿真工作时序图。

本公开实施例所述的驱动方法，应用于上述的驱动电路，所述驱动方法包括：在两帧显示时间之间的空白时间段中的至少部分时间，

第一开关电路在第一选通控制信号的控制下，控制将源极驱动器的数据输出端提供的数据信号写入所述扫描信号生成电路；

扫描信号生成电路根据所述数据信号生成扫描信号，并通过扫描信号输出端输出所述扫描信号至显示面板的相应列扫描线。

在本公开实施例所述的驱动方法中，在两帧显示时间之间的空白时间段中的至少部分时间：第一开关电路在第一选通控制信号的控制下，控制将源极驱动器的数据输出端提供的数据信号写入扫描信号生成电路；所述扫描信号生成电路根据所述数据输出端提供的数据信号生成扫描信号，并通过扫描信号输出端输出所述扫描信号至显示面板的相应列扫描线。

在本公开至少一实施例中，所述驱动电路还包括第二开关电路；所述驱动方法还包括：

在一帧显示时间中的数据写入时间段，第二开关电路在第二选通控制信号的控制下，控制所述源极驱动器的数据输出端与所述显示面板的相应列数据线之间连通。

在具体实施时，所述驱动电路还可以包括第二开关电路，在一帧显示时间中的数据写入时间段，所述第二开关电路在第二选通控制信号的控制下，控制数据输出端与所述显示面板的相应列数据线之间连通，以向所述数据线提供数据电压。

本公开实施例所述的像素电路包括发光元件、发光驱动电路和控制电路；

所述发光驱动电路分别与第一节点和所述发光元件的第一极电连接，用于在所述第一节点的电位的控制下，产生驱动所述发光元件的驱动电流；所述发光元件的第二极与第三电压端电连接；

所述控制电路分别与第一栅线、扫描线、所述第一节点和所述发光元件的第一极电连接,用于在所述第一栅线提供的第一栅极驱动信号和所述扫描线提供的扫描信号的控制下,控制所述第一节点与所述发光元件的第一极之间连通或断开。

在具体实施时,所述像素电路可以包括控制电路和发光驱动电路,发光驱动电路在第一节点的电位的控制下,产生驱动电流,控制电路在第一栅线提供的第一栅极驱动信号和扫描线提供的扫描信号的控制下,控制第一节点与发光元件的第一极之间连通或断开;所述驱动电流可以为驱动所述发光元件发光的电流。

在本公开至少一实施例中,所述第三电压端可以为低电平端,但不以此为限。

可选的,所述发光元件为有机发光二极管,所述发光元件的第一极为阳极,所述发光元件的第二极为阴极。

如图 15 所示,所述像素电路可以包括发光元件 E0、控制电路 201 和发光驱动电路 230;

所述发光驱动电路 230 分别与第一节点 N1 和所述发光元件 E0 的第一极电连接,用于在所述第一节点 N1 的电位的控制下,产生驱动所述发光元件 E0 的驱动电流;所述发光元件 E0 的第二极与第三电压端 V3 电连接;

所述控制电路 201 分别与第一栅线 NG、扫描线 CGL、所述第一节点 N1 和所述发光元件 E0 的第一极电连接,用于在所述第一栅线 NG 提供的第一栅极驱动信号和所述扫描线 CGL 提供的扫描信号的控制下,控制所述第一节点 N1 与所述发光元件 E0 的第一极之间连通或断开。

在本公开至少一实施例中,所述控制电路包括第一控制电路和第二控制电路;所述发光驱动电路的第一端与第二节点电连接,所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接;

所述第一控制电路分别与所述第一栅线、所述第一节点和中间节点电连接,所述第一控制电路用于在所述第一栅线提供的第一栅极驱动信号的控制下,控制所述第一节点与所述中间节点之间连通或断开;

所述第二控制电路分别与扫描线、所述中间节点和所述第三节点电连接,用于在所述扫描线提供的扫描信号的控制下,控制所述中间节点与所述第三节点之间连通或断开。

在具体实施时,所述控制电路可以包括第一控制电路和第二控制电路,第一控制电路在第一栅线提供的第一栅极驱动信号的控制下,控制所述第一节点与所述中间节点之间连通或断开,所述第二控制电路在所述扫描线提供的扫描信号的控制下,控制所述中间节点与所述第三节点之间连通或断开。

如图 16 所示,在图 15 所示的像素电路的至少一实施例的基础上,所述控制电路包括第一控制电路 241 和第二控制电路 242;所述发光驱动电路 230 的第一端与第二节点 N2 电连接,所述发光驱动电路 230 的第二端分别与第三节点 N3 和所述发光元件 E0 的第一极电连接;

所述第一控制电路 241 分别与第一栅线 NG、所述第一节点 N1 和中间节点 NZ 电连

接, 用于在所述第一栅线 NG 提供的第一栅极驱动信号的控制下, 控制所述第一节点 N1 与所述中间节点 NZ 之间连通或断开;

所述第二控制电路 242 分别与扫描线 CGL、所述中间节点 NZ 和所述第三节点 N3 电连接, 用于在所述扫描线 CGL 提供的扫描信号的控制下, 控制所述中间节点 NZ 与所述第三节点 N3 之间连通或断开。

在本公开至少一实施例中, 所述控制电路包括第一控制电路和第二控制电路; 所述发光驱动电路的第一端与第二节点电连接, 所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接;

所述第一控制电路分别与所述第一栅线、所述第三节点和中间节点电连接, 用于在所述第一栅线提供的第一栅极驱动信号的控制下, 控制所述第三节点与所述中间节点之间连通或断开;

所述第二控制电路分别与所述扫描线、所述中间节点和所述第一节点电连接, 用于在所述扫描线提供的扫描信号的控制下, 控制所述中间节点与所述第一节点之间连通或断开。

在具体实施时, 所述控制电路可以包括第一控制电路和第二控制电路, 所述第一控制电路在所述第一栅线提供的第一栅极驱动信号的控制下, 控制所述第三节点与所述中间节点之间连通或断开; 所述第二控制电路在所述扫描线提供的扫描信号的控制下, 控制所述中间节点与所述第一节点之间连通或断开。

如图 17 所示, 在图 15 所示的像素电路的至少一实施例的基础上, 所述控制电路包括第一控制电路 241 和第二控制电路 242; 所述发光驱动电路 230 的第一端与第二节点 N2 电连接, 所述发光驱动电路 230 的第二端分别与第三节点 N3 和所述发光元件 E0 的第一极电连接;

所述第一控制电路 241 分别与所述第一栅线 NG、所述第三节点 N3 和中间节点 NZ 电连接, 用于在所述第一栅线 NG 提供的第一栅极驱动信号的控制下, 控制所述第三节点 N3 与所述中间节点 NZ 之间连通或断开;

所述第二控制电路 242 分别与所述扫描线 CGL、所述中间节点 NZ 和所述第一节点 N1 电连接, 用于在所述扫描线 CGL 提供的扫描信号的控制下, 控制所述中间节点 NZ 与所述第一节点 N1 之间连通或断开。

本公开至少一实施例所述的像素电路还包括第一初始化电路; 所述发光驱动电路的第一端与第二节点电连接, 所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接;

所述第一初始化电路分别与第一初始控制端、第一初始电压端和所述第二节点电连接, 用于在所述第一初始控制端提供的第一初始控制信号的控制下, 将所述第一初始电压端提供的第一初始电压写入所述第二节点。

在具体实施时, 显示周期可以包括先后设置的第一初始化时间段和第二初始化时间段; 在所述第一初始化时间段, 所述控制电路在所述第一栅极驱动信号和所述扫描信号的

控制下，控制所述第一节点与所述第三节点之间连通；所述第一初始化电路在第一初始控制信号的控制下，将第一初始电压写入所述第二节点；发光驱动电路在所述第一节点的电位的控制下，控制所述第二节点与所述第三节点之间连通；

在所述第二初始化时间段，所述控制电路在所述第一栅极驱动信号和所述扫描信号的控制下，控制所述第一节点与所述第三节点之间断开；所述第一初始化电路在第一初始控制信号的控制下，将第一初始电压写入所述第二节点；发光驱动电路在所述第一节点的电位的控制下，控制所述第二节点与所述第三节点之间连通。

本公开至少一实施例所述的像素电路在工作时，在第一初始化时间段，在数据写入之前，对第一节点、第二节点和第三节点的电位进行初始化，以减小后续充电差异，在第二初始化时间段，第一初始化电路将第一初始电压写入第二节点，发光驱动电路控制第二节点与第三节点之间连通，以使得所述发光驱动电路包括的驱动晶体管处于偏压状态，能够改善迟滞现象。

本公开至少一实施例所述的像素电路还包括第二初始化电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述第二初始化电路分别与第二初始控制端、第二初始电压端和所述第三节点电连接，用于在所述第二初始控制端提供的第二初始控制信号的控制下，将所述第二初始电压端提供的第二初始电压写入所述第三节点。

在具体实施时，所述像素电路还可以包括第二初始化电路；

在设置于第一初始化时间段和第二初始化时间段之间的第三初始化时间段，在数据写入时间段之前，第二初始化电路在第二初始控制信号的控制下，将第二初始电压写入所述第三节点，以使得在所述数据写入时间段开始时，所述发光驱动电路包括的驱动晶体管能够导通，便于进行数据电压写入和阈值电压补偿。

在本公开至少一实施例中，所述像素电路还包括数据写入电路、第一发光控制电路、第二发光控制电路和储能电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述数据写入电路分别与第二栅线、数据线和所述第二节点电连接，用于在所述第二栅线提供的第二栅极驱动信号的控制下，将所述数据线提供的的数据电压写入所述第二节点；

所述第一发光控制电路分别与发光控制线、电源电压端和所述第二节点电连接，用于在所述发光控制线提供的发光控制信号的控制下，控制所述电源电压端与所述第二节点之间连通或断开；

所述第二发光控制电路分别与所述发光控制线、所述第三节点和所述发光元件的第一极电连接，用于在所述发光控制信号的控制下，控制所述第三节点与所述发光元件的第一极电连接；

所述储能电路与所述第一节点电连接，用于储存电能。

在具体实施时,所述像素电路还可以包括数据写入电路、第一发光控制电路、第二发光控制电路和储能电路;所述数据写入电路用于将数据电压写入第二节点,第一发光控制电路和第二发光控制电路用于控制导通发光路径,储能电路用于储存电能。

本公开至少一实施例所述的像素电路还包括第三初始化电路;

所述第三初始化电路分别与第一初始控制端、第三初始电压端和所述发光元件的第一极电连接,用于在所述第一初始控制端提供的第一初始控制信号的控制下,将所述第三初始电压端提供的第三初始电压写入所述发光元件的第一极。

在具体实施时,所述像素电路还可以包括第三初始化电路,第三初始化电路在第一初始控制信号的控制下,将第三初始电压写入所述发光元件的第一极,以控制发光元件不发光,并清除发光元件的第一极残留的电荷。

如图 18 所示,在图 16 所示的像素电路的至少一实施例的基础上,本公开至少一实施例所述的像素电路还可以包括第一初始化电路 231、第二初始化电路 232、数据写入电路 233、第一发光控制电路 234、第二发光控制电路 235、储能电路 236 和第三初始化电路 237;所述发光元件 E0 的第二极与低电平端 ELVSS 电连接;

所述第一初始化电路 231 分别与第一初始控制端 HR、第一初始电压端 I1 和所述第二节点 N2 电连接,用于在所述第一初始控制端 HR 提供的第一初始控制信号的控制下,将所述第一初始电压端 I1 提供的第一初始电压 Vinit1 写入所述第二节点 N2;

所述第二初始化电路 232 分别与第二初始控制端 PR、第二初始电压端 I2 和所述第三节点 N3 电连接,用于在所述第二初始控制端 PR 提供的第二初始控制信号的控制下,将所述第二初始电压端 I2 提供的第二初始电压 Vinit2 写入所述第三节点 N3;

所述数据写入电路 233 分别与第二栅线 PG、数据线 DT 和所述第二节点 N2 电连接,用于在所述第二栅线 PG 提供的第二栅极驱动信号的控制下,将所述数据线 DT 提供的数据电压 Vdata 写入所述第二节点 N2;

所述第一发光控制电路 234 分别与发光控制线 E1、电源电压端 ELVDD 和所述第二节点 N2 电连接,用于在所述发光控制线 E1 提供的发光控制信号的控制下,控制所述电源电压端 ELVDD 与所述第二节点 N2 之间连通或断开;

所述第二发光控制电路 235 分别与所述发光控制线 E1、所述第三节点 N3 和所述发光元件 E0 的第一极电连接,用于在所述发光控制信号的控制下,控制所述第三节点 N3 与所述发光元件 E0 的第一极电连接,所述发光元件 E0 的第二极与第三电压端 V3 电连接;

所述储能电路 236 与所述第一节点 N1 电连接,用于储存电能;

所述第三初始化电路 237 分别与第一初始控制端 HR、第三初始电压端 I3 和所述发光元件 E0 的第一极电连接,用于在所述第一初始控制端 HR 提供的第一初始控制信号的控制下,将所述第三初始电压端 I3 提供的第三初始电压 Vinit3 写入所述发光元件 E0 的第一极。

在图 18 所示的像素电路的至少一实施例中,第三电压端为低电平端 ELVSS。

如图 19 所示,在图 17 所示的像素电路的至少一实施例的基础上,本公开至少一实施例所述的像素电路还可以包括第一初始化电路 231、第二初始化电路 232、数据写入电路 233、第一发光控制电路 234、第二发光控制电路 235、储能电路 236 和第三初始化电路 237;所述发光元件 E0 的第二极与低电平端 ELVSS 电连接;

所述第一初始化电路 231 分别与第一初始控制端 HR、第一初始电压端 I1 和所述第二节点 N2 电连接,用于在所述第一初始控制端 HR 提供的第一初始控制信号的控制下,将所述第一初始电压端 I1 提供的第一初始电压 Vinit1 写入所述第二节点 N2;

所述第二初始化电路 232 分别与第二初始控制端 PR、第二初始电压端 I2 和所述第三节点 N3 电连接,用于在所述第二初始控制端 PR 提供的第二初始控制信号的控制下,将所述第二初始电压端 I2 提供的第二初始电压 Vinit2 写入所述第三节点 N3;

所述数据写入电路 233 分别与第二栅线 PG、数据线 DT 和所述第二节点 N2 电连接,用于在所述第二栅线 PG 提供的第二栅极驱动信号的控制下,将所述数据线 DT 提供的数据电压 Vdata 写入所述第二节点 N2;

所述第一发光控制电路 234 分别与发光控制线 E1、电源电压端 ELVDD 和所述第二节点 N2 电连接,用于在所述发光控制线 E1 提供的发光控制信号的控制下,控制所述电源电压端 ELVDD 与所述第二节点 N2 之间连通或断开;

所述第二发光控制电路 235 分别与所述发光控制线 E1、所述第三节点 N3 和所述发光元件 E0 的第一极电连接,用于在所述发光控制信号的控制下,控制所述第三节点 N3 与所述发光元件 E0 的第一极电连接,所述发光元件 E0 的第二极与第三电压端 V3 电连接;

所述储能电路 236 与所述第一节点 N1 电连接,用于储存电能;

所述第三初始化电路 237 分别与第一初始控制端 HR、第三初始电压端 I3 和所述发光元件 E0 的第一极电连接,用于在所述第一初始控制端 HR 提供的第一初始控制信号的控制下,将所述第三初始电压端 I3 提供的第三初始电压 Vinit3 写入所述发光元件 E0 的第一极。

在图 19 所示的像素电路的至少一实施例中,第三电压端为低电平端 ELVSS。

可选的,所述第一控制电路包括第一控制晶体管,所述第二控制电路包括第二控制晶体管;

所述第一控制晶体管的栅极与所述第一栅线电连接,所述第一控制晶体管的第一极与所述第一节点电连接,所述第一控制晶体管的第二极与所述中间节点电连接;

所述第二控制晶体管的栅极与所述扫描线电连接,所述第二控制晶体管的第一极与所述中间节点电连接,所述第二控制晶体管的第二极与所述第三节点电连接。

可选的,所述第一控制电路包括第一控制晶体管,所述第二控制电路包括第二控制晶体管;

所述第一控制晶体管的栅极与所述第一栅线电连接,所述第一控制晶体管的第一极与所述中间节点电连接,所述第一控制晶体管的第二极与所述第三节点电连接;

所述第二控制晶体管的栅极与所述扫描线电连接,所述第二控制晶体管的第一极与所述第一节点电连接,所述第二控制晶体管的第二极与所述中间节点电连接。

可选的,所述第一初始化电路包括第一初始化晶体管;

所述第一初始化晶体管的栅极与所述第一初始控制端电连接,所述第一初始化晶体管的第一极与所述第一初始电压端电连接,所述第一初始化晶体管的第二极与所述第二节点电连接。

可选的,所述第二初始化电路包括第二初始化晶体管;

所述第二初始化晶体管的栅极与所述第二初始控制端电连接,所述第二初始化晶体管的第一极与所述第二初始电压端电连接,所述第二初始化晶体管的第二极与所述第三节点电连接。

可选的,所述数据写入电路包括写入晶体管,所述第一发光控制电路包括第一发光控制晶体管,所述第二发光控制电路包括第二发光控制晶体管;所述发光驱动电路包括驱动晶体管,所述储能电路包括存储电容;

所述写入晶体管的栅极与所述第二栅线电连接,所述写入晶体管的第一极与所述数据线电连接,所述写入晶体管的第二极与所述第二节点电连接;

所述第一发光控制晶体管的栅极与所述发光控制线电连接,所述第一发光控制晶体管的第一极与所述电源电压端电连接,所述第一发光控制晶体管的第二极与所述第二节点电连接;

所述第二发光控制晶体管的栅极与所述发光控制线电连接,所述第二发光控制晶体管的第一极与所述第三节点电连接,所述第二发光控制晶体管的第二极与所述发光元件的第一极电连接;

所述驱动晶体管的栅极与所述第一节点电连接,所述驱动晶体管的第一极与所述第二节点电连接,所述驱动晶体管的第二极与所述第三节点电连接;

所述存储电容的第一端与所述第一节点电连接,所述存储电容的第二端与电源电压端电连接。

可选的,所述第三初始化电路包括第三初始化晶体管;

所述第三初始化晶体管的栅极与所述第一初始控制端电连接,所述第三初始化晶体管的第一极与所述第三初始电压端电连接,所述第三初始化晶体管的第二极与所述发光元件的第一极电连接。

如图 20 所示,在图 18 所示的像素电路的至少一实施例的基础上,所述第一控制电路包括第一控制晶体管 M1,所述第二控制电路包括第二控制晶体管 M2,所述发光驱动电路包括驱动晶体管 M0;

所述第一控制晶体管 M1 的栅极与所述第一栅线 NG 电连接,所述第一控制晶体管 M1 的源极与第一节点 N1 电连接,所述第一控制晶体管 M1 的第二极与中间节点 NZ 电连接;

所述第二控制晶体管 M2 的栅极与所述扫描线 CGL 电连接, 所述第二控制晶体管 M2 的源极与所述中间节点 NZ 电连接, 所述第二控制晶体管 M2 的漏极与所述第三节点 N3 电连接;

驱动晶体管 M0 的栅极与第一节点 N1 电连接, 驱动晶体管 M0 的源极与第二节点 N2 电连接, 驱动晶体管 M0 的漏极与第三节点 N3 电连接;

所述第一初始化电路包括第一初始化晶体管 M3;

所述第一初始化晶体管 M3 的栅极与所述第一初始控制端 HR 电连接, 所述第一初始化晶体管 M3 的源极与所述第一初始电压端 I1 电连接, 所述第一初始化晶体管 M3 的漏极与所述第二节点 N2 电连接; 所述第一初始电压端 I1 用于提供第一初始电压 Vinit1;

所述第二初始化电路包括第二初始化晶体管 M4;

所述第二初始化晶体管 M4 的栅极与所述第二初始控制端 PR 电连接, 所述第二初始化晶体管 M4 的源极与所述第二初始电压端 I2 电连接, 所述第二初始化晶体管 M4 的漏极与所述第三节点 N3 电连接; 所述第二初始电压端 I2 用于提供第二初始电压 Vinit2;

所述数据写入电路包括写入晶体管 M5, 所述第一发光控制电路包括第一发光控制晶体管 M6, 所述第二发光控制电路包括第二发光控制晶体管 M7; 所述储能电路包括存储电容 Cst; 所述发光元件为有机发光二极管 O1;

所述写入晶体管 M5 的栅极与所述第二栅线 PG 电连接, 所述写入晶体管 M5 的源极与所述数据线 DT 电连接, 所述写入晶体管 M5 的漏极与所述第二节点 N2 电连接;

所述第一发光控制晶体管 M6 的栅极与所述发光控制线 E1 电连接, 所述第一发光控制晶体管 M6 的源极与所述电源电压端 ELVDD 电连接, 所述第一发光控制晶体管 M6 的漏极与所述第二节点 N2 电连接;

所述第二发光控制晶体管 M7 的栅极与所述发光控制线 E1 电连接, 所述第二发光控制晶体管 M7 的源极与所述第三节点 N3 电连接, 所述第二发光控制晶体管 M7 的漏极与所述有机发光二极管 O1 的阳极电连接;

所述存储电容 Cst 的第一端与所述第一节点 N1 电连接, 所述存储电容 Cst 的第二端与电源电压端 ELVDD 电连接;

所述第三初始化电路包括第三初始化晶体管 M8;

所述第三初始化晶体管 M8 的栅极与所述第一初始控制端 HR 电连接, 所述第三初始化晶体管 M8 的源极与所述第三初始电压端 I3 电连接, 所述第三初始化晶体管 M8 的漏极与所述有机发光二极管 O1 的阳极电连接;

所述有机发光二极管 O1 的阴极与低电平端 ELVSS 电连接。

在图 20 所示的像素电路的至少一实施例中, M1 和 M2 为 n 型晶体管, 其他晶体管都为 p 型晶体管, 但不以此为限。

如图 21A 所示, 本公开图 20 所示的像素电路的至少一实施例在工作时, 一帧显示时间可以包括先后设置的第一初始化时间段 TI1、第三初始化时间段 TI3、数据写入时间段

TX、第二初始化时间段 TI2 和发光时间段 TF；在该帧显示时间，CG 可以输出高电压信号，以控制 M2 导通；

在第一初始化时间段 TI1、第三初始化时间段 TI3 和数据写入时间段 TX，NG 输出高电压信号，以控制 M1 导通；

在第一初始化时间段 TI1、第三初始化时间段 TI3、数据写入时间段 TX 和第二初始化时间段 TI2，E1 提供高电压信号，M6 和 M7 关断；

在第二初始化时间段 TI2 和发光时间段 TF，NG 输出低电压信号，以控制 M1 关断；

在第一初始化时间段 TI1，HR 输出低电压信号，PR 和 PG 都输出高电压信号，M3 导通，以将第一初始电压端 I1 提供的第一初始电压 Vinit1 写入第二节点 N2，M0 导通，控制 N2 与 N3 之间连通，M1 和 M2 导通，控制 N1 与 N3 之间连通，以对第一节点 N1 的电位、第二节点 N2 的电位和第三节点 N3 的电位进行初始化，以减小后续充电差异；

在第三初始化时间段 TI3，PR 输出低电压信号，HR 和 PG 都输出高电压信号，M4 导通，以将 I2 提供的第二初始电压 Vinit2 写入第三节点 N3，以使得在数据写入时间段 TX 开始时，M0 能够导通；

在数据写入时间段 TX，HR 和 PR 都输出高电压信号，PG 输出低电压信号，M5 导通，DT 提供数据电压 Vdata 至 N2；

在数据写入时间段 TX 开始时，M0 导通，Vdata 为 Cst 充电，直至第一节点 N1 的电位变为 $Vdata + V_{th}$ ，M0 关断；其中， V_{th} 为 M0 的阈值电压；

在第二初始化时间段 TI2，HR 提供低电压信号，PR 和 PG 都输出高电压信号，M3 导通，以将 Vinit1 写入第二节点 N2，M0 导通，以使得 N2 与 N3 之间连通，此时，N1 的电位为较小的正电压，N2 的电位和 N3 的电位为较高的正电压，M0 处于偏压状态，显示面板包括的所有驱动晶体管都处于偏压状态，能够改善迟滞现象。

在本公开至少一实施例中，Vinit1 的电压值可以为正值，例如，Vinit1 的电压值可以大于等于 4V 而小于等于 7V；

Vinit2 的电压值和 Vinit3 的电压值可以为负值，例如，Vinit2 的电压值和 Vinit3 的电压值可以大于等于 -5V 而小于等于 -3V；

但不以此为限。

本公开图 20 所示的像素电路的至少一实施例在工作时，在第一初始化时间段，将 N1 的电位、N2 的电位和 N3 的电位都设置为基准电压，以使得在数据写入时间段，前一帧显示时间的数据电压不会影响本帧的数据电压的写入。

图 20 所示的像素电路的至少一实施例在工作时，在不需要对像素电路进行数据电压刷新时，需要在两帧显示时间之间的空白时间段中的至少部分时间，控制 CG 输出低电压信号，在接下来的一帧显示时间 CG 持续输出低电压信号，以控制 M2 关断，以不会进行数据电压写入，以维持显示画面，不刷新画面；

当需要对像素电路进行数据电压刷新时，需要在两帧显示时间之间的空白时间段中的

至少部分时间, 控制 CG 输出高电压信号, 在接下来的一帧显示时间 CG 持续输出高电压信号, 以控制 M2 开启, 以在数据写入时间段进行数据电压写入, 以刷新画面。

在图 21A 所示的工作时序图中, 一帧显示时间可以为刷新帧。

如图 21B 所示, 本公开图 20 所示的像素电路的至少一实施例在工作时, 保持帧可以包括先后设置的保持初始时间段 TBC 和保持发光时间段 TBF;

在保持初始时间段 TBC, HR 输出低电压信号, NG 输出低电压信号, PR 和 PG 都输出高电压信号, E1 提供高电压信号, M1 关断, 以控制 N1 与 N3 之间断开, M6 和 M7 关断, M5 关断; M3 和 M8 打开, I1 提供第一初始电压 V_{init1} 至第二节点 N2, 驱动晶体管 M0 导通, 以控制 N2 与 N3 之间连通, 对所述第二节点 N2 的电位和所述第三节点 N3 的电位进行初始化, 改善迟滞现象; I3 提供第三初始电压 V_{init3} 至第三节点 N3, 并对 O1 的阳极的电位进行初始化, 控制 O1 不发光, 并清除 O1 的阳极残留的电荷;

在保持发光时间段 TBF, E1 提供低电压信号, HR 提供高电压信号, NG 输出低电压信号, PR 和 PG 都输出高电压信号, M1、M2、M3、M4、M5 和 M8 都关断, M6 和 M7 打开, M0 驱动 O1 发光。

图 22 所示的像素电路的至少一实施例与图 20 所示的像素电路的至少一实施例的区别在于: M2 为 p 型晶体管。

图 22 所示的像素电路的至少一实施例在工作时, 在不需要对像素电路进行数据电压刷新时, 需要在两帧显示时间之间的空白时间段中的至少部分时间, 控制 CG 输出高电压信号, 在接下来的一帧显示时间 CG 持续输出低电压信号, 以控制 M2 关断, 以不会进行数据电压写入, 以维持显示画面, 不刷新画面;

当需要对像素电路进行数据电压刷新时, 需要在两帧显示时间之间的空白时间段中的至少部分时间, 控制 CG 输出低电压信号, 在接下来的一帧显示时间 CG 持续输出高电压信号, 以控制 M2 开启, 以在数据写入时间段进行数据电压写入, 以刷新画面。

图 23 所示的像素电路的至少一实施例与图 20 所示的像素电路的至少一实施例的区别在于:

所述第一控制晶体管 M1 的栅极与所述第一栅线 NG 电连接, 所述第一控制晶体管 M1 的源极与所述中间节点 NZ 电连接, 所述第一控制晶体管 M1 的漏极与所述第三节点 N3 电连接;

所述第二控制晶体管 M2 的栅极与所述扫描线 CGL 电连接, 所述第二控制晶体管 M2 的源极与所述第一节点 N1 电连接, 所述第二控制晶体管 M2 的漏极与所述中间节点 NZ 电连接。

在图 23 所示的像素电路的至少一实施例中, M1 和 M2 都为 n 型晶体管。

图 23 所示的像素电路的至少一实施例在工作时, 在不需要对像素电路进行数据电压刷新时, 需要在两帧显示时间之间的空白时间段中的至少部分时间, 控制 CG 输出低电压信号, 在接下来的一帧显示时间 CG 持续输出低电压信号, 以控制 M2 关断, 以不会进行

数据电压写入，以维持显示画面，不刷新画面；

当需要对像素电路进行数据电压刷新时，需要在两帧显示时间之间的空白时间段中的至少部分时间，控制 CG 输出高电压信号，在接下来的一帧显示时间 CG 持续输出高电压信号，以控制 M2 开启，以在数据写入时间段进行数据电压写入，以刷新画面。

图 24 所示的像素电路的至少一实施例与图 23 所示的像素电路的至少一实施例的区别在于：M2 为 p 型晶体管。

图 24 所示的像素电路的至少一实施例在工作时，在不需要对像素电路进行数据电压刷新时，需要在两帧显示时间之间的空白时间段中的至少部分时间，控制 CG 输出高电压信号，在接下来的一帧显示时间 CG 持续输出低电压信号，以控制 M2 关断，以不会进行数据电压写入，以维持显示画面，不刷新画面；

当需要对像素电路进行数据电压刷新时，需要在两帧显示时间之间的空白时间段中的至少部分时间，控制 CG 输出低电压信号，在接下来的一帧显示时间 CG 持续输出高电压信号，以控制 M2 开启，以在数据写入时间段进行数据电压写入，以刷新画面。

本公开实施例所述的像素驱动方法，应用于上述的像素电路，所述像素驱动方法包括：发光驱动电路在第一节点的电位的控制下，产生驱动发光元件的驱动电流；

控制电路在第一栅极驱动信号和扫描信号的控制下，控制所述第一节点与所述发光元件的第一极之间连通或断开。

在本公开至少一实施例中，所述像素电路包括第一初始化电路，发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和发光元件的第一极电连接；显示周期包括先后设置的第一初始化时间段和第二初始化时间段；所述像素驱动方法包括：

在所述第一初始化时间段，所述控制电路在所述第一栅极驱动信号和所述扫描信号的控制下，控制所述第一节点与第三节点之间连通；所述第一初始化电路在第一初始控制信号的控制下，将第一初始电压写入第二节点；发光驱动电路在所述第一节点的电位的控制下，控制所述第二节点与所述第三节点之间连通；

在所述第二初始化时间段，所述控制电路在所述第一栅极驱动信号和所述扫描信号的控制下，控制所述第一节点与所述第三节点之间断开；所述第一初始化电路在第一初始控制信号的控制下，将第一初始电压写入所述第二节点；发光驱动电路在所述第一节点的电位的控制下，控制所述第二节点与所述第三节点之间连通。

本公开至少一实施例所述的显示面板包括源极驱动器和上述的驱动电路；所述源极驱动器包括数据输出端。

本公开至少一实施例所述的显示面板包括多列扫描线；

所述驱动电路中的扫描信号生成电路中的扫描信号输出端与所述扫描线电连接。

在具体实施时，所述显示面板可以包括多列扫描线，扫描信号输出端与所述扫描线电连接，以提供扫描信号至所述扫描线。

可选的,所述显示面板包括多列数据线;

所述数据输出端直接与数据线电连接;或者,

所述驱动电路包括第二开关电路,所述第二开关电路在第二选通控制信号的控制下,控制所述数据输出端与所述数据线之间连通或断开。

在本公开至少一实施例中,所述源极驱动器设置于显示面板的第一侧边,所述驱动电路设置于所述显示面板的第一侧边;或者,

所述源极驱动器设置于显示面板的第一侧边,所述驱动电路设置于所述显示面板的第二侧边,所述第一侧边与所述第二侧边为相对的侧边。

例如,所述第一侧边可以为下侧边,所述第二侧边可以为上侧边,但不以此为限。

如图 25 所示,标号为 A0 的为显示面板的显示区域;

标号为 DL1 的为第一列数据线,标号为 CG1 的为第一列扫描线,标号为 DL2 的为第二列数据线,标号为 CG2 的为第二列扫描线,标号为 DL3 的为第三列数据线,标号为 CG3 的为第三列扫描线,标号为 DL4 的为第四列数据线,标号为 CG4 的为第四列扫描线;标号为 DLm 的为第 m 列数据线,标号为 CGm 的为第 m 列扫描线;标号为 DLM 的为第 M 列数据线,标号为 CGM 的为第 M 列扫描线;

m 和 M 都为正整数;标号为 SI 的为源极驱动器;

标号为 S1 的为源极驱动器 SI 的第一数据输出端,标号为 S2 的为源极驱动器 SI 的第二数据输出端,标号为 S3 的为源极驱动器 SI 的第三数据输出端,标号为 S4 的为源极驱动器 SI 的第四数据输出端,标号为 Sm 的为第 m 数据输出端,标号为 SM 的为第 M 数据输出端,标号为 SW11 的为第一个第一选通控制线,标号为 SW21 的为第二个第一选通控制线;

源极驱动器 SI 与 SW11 和 SW21 电连接,用于为 SW11 提供第一个第一选通控制信号,为 SW21 提供第二个第一选通控制信号;

在图 25 中,标号为 X1 的为第一选通单元,标号为 X2 的为第二选通单元,标号为 X3 的为第三选通单元,标号为 X4 的为第四选通单元,标号为 Xm 的为第 m 选通单元,标号为 XM 的为第 M 选通单元;

各选通单元包括第一开关电路和扫描信号生成电路;或者,各选通单元包括第一开关电路、第二开关电路和扫描信号生成电路。

如图 25 所示,第一选通单元 X1 分别与 DL1 和 CG1 电连接,第二选通单元 X2 分别与 DL2 和 CG2 电连接,第三选通单元 X3 分别与 DL3 和 CG3 电连接,第四选通单元 X4 分别与 DL4 和 CG4 电连接;第 m 选通单元 Xm 分别与 DL 和 CGm 电连接,第 M 选通单元 XM 分别与 DLM 和 CGM 电连接;

所述源极驱动器 SI 设置于 A0 下方,第一选通单元 X1、第二选通单元 X2、第三选通单元 X3、第四选通单元 X4、第 m 选通单元 Xm 和第 M 选通单元 XM 设置于 A0 下方。

图 26 所示的显示面板的至少一实施例与图 25 所示的显示面板的至少一实施例的区别

在于：第一选通单元 X1、第二选通单元 X2、第三选通单元 X3、第四选通单元 X4、第 m 选通单元 Xm 和第 M 选通单元 XM 设置于 A0 上方。

图 27 所示的显示面板的至少一实施例与图 26 所示的显示面板的至少一实施例的区别在于：

源极驱动器 SI 的各数据输出端集中于显示面板的中间，以实现下窄边框，图 27 所示的显示面板的至少一实施例结合 FIP (Fanout In Pixel, 像素中的扇出区域) 实施例。本公开至少一实施例所述的显示面板还可以包括多行多列上述的像素电路。

在图 25 所示的显示面板的至少一实施例至图 27 所示的显示面板的至少一实施例中，各选通单元可以为本公开至少一实施例所述的驱动电路。

在本公开至少一实施例中，两列像素电路可以与同一列扫描线电连接。

本公开实施例提供了一种应用于 OLED 显示器的驱动方案，局部刷新像素电路配合源极驱动电路及驱动方案，可以通过 HCT 控制信号（所述 HCT 控制信号可以为在空白时间段，源极驱动器通过其数据输出端提供的数据信号），实现屏幕局部画面的更新，而其余画面则不需要多次充放电，从而进一步降低 OLED 显示器的功耗，或通过显示画面局部更新实现超低功耗。

在本公开至少一实施例中，对于显示设备，当需要对部分画面进行更新时，如仅需要更新日期和时间部分。在行方向上，可以控制栅极驱动电路是否输出：在需要更新画面的行，正常输出第一栅极驱动信号，控制显示区域内的像素电路中的第一控制晶体管正常打开，进行数据更新；在不需要更新画面的行，始终保持第一栅极驱动信号的电位，以关闭所述第一控制晶体管，保证像素亮度不变，从而实现行方向上的局部刷新。在列方向上，可以通过控制列扫描线是否打开像素电路中的第二控制晶体管来实现：在两帧显示时间之间的空白时间段，源极驱动器输出 HCT pulse（脉冲），将不同的扫描信号写入列扫描线，如果当前列需要更新，列扫描线需保证第二控制晶体管一直开启，则当前列可以正常刷新；如果某些列不需要更新，列扫描线需保证这些列像素电路中的第二控制晶体管一直关闭。

本公开至少一实施例所述的显示面板还包括上述的像素电路。

本公开实施例所述的显示装置包括上述的显示面板。

以上所述是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本公开所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权 利 要 求 书

1、一种驱动电路，包括第一开关电路和扫描信号生成电路；

所述第一开关电路与第一选通控制线、源极驱动器的数据输出端和所述扫描信号生成电路电连接，用于在所述第一选通控制线提供的第一选通控制信号的控制下，控制将所述数据输出端提供的的数据信号写入所述扫描信号生成电路；

所述扫描信号生成电路用于根据所述数据信号生成扫描信号，并通过扫描信号输出端输出所述扫描信号。

2、如权利要求 1 所述的驱动电路，其中，还包括第二开关电路；

所述第二开关电路分别与第二选通控制线、所述数据输出端和显示面板包括的数据线电连接，用于在所述第二选通控制线提供的第二选通控制信号的控制下，控制所述数据输出端与所述数据线之间连通或断开；

所述第一选通控制线与所述第二选通控制线为同一选通控制线，或者，所述第一选通控制线与所述第二选通控制线不同。

3、如权利要求 1 所述的驱动电路，其中，所述第一开关电路包括第一晶体管和第一电容；所述第一开关电路通过控制节点向所述扫描信号生成电路提供所述数据信号；

所述第一晶体管的栅极与所述第一选通控制线电连接，所述第一晶体管的的第一极与所述数据输出端电连接，所述第一晶体管的第二极与所述控制节点电连接；

所述第一电容的第一端与所述控制节点电连接，所述第一电容的第二端与直流电压端电连接。

4、如权利要求 2 所述的驱动电路，其中，所述第二开关电路包括第二晶体管；

所述第二晶体管的栅极与所述第二选通控制线电连接，所述第二晶体管的的第一极与所述数据输出端电连接，所述第二晶体管的第二极与所述数据线电连接。

5、如权利要求 1 所述的驱动电路，其中，所述扫描信号生成电路包括输出控制电路和输出电路；所述第一开关电路通过控制节点向所述扫描信号生成电路提供所述数据信号；

所述输出控制电路分别与所述控制节点、第一电压端、第二电压端、输出控制端和扫描输出端电连接，用于在所述控制节点的电位的控制下，控制所述输出控制端与所述第一电压端之间连通或断开，在所述扫描输出端提供的信号的控制下，控制所述输出控制端与所述第二电压端之间连通或断开；

所述输出电路分别与控制端、扫描输出端、所述输出控制端、所述第一电压端和所述第二电压端电连接，用于在所述控制端提供的控制信号的控制下，控制所述扫描输出端与所述第一电压端之间连通或断开，在所述输出控制端的电位的控制下，控制所述扫描输出端与所述第二电压端之间连通或断开。

6、如权利要求 5 所述的驱动电路，其中，所述扫描输出端为所述扫描信号输出端；或者，

所述扫描信号生成电路还包括反相电路；所述反相电路的输入端与所述扫描输出端电连接，所述反相电路的输出端与所述扫描信号输出端电连接，所述反相电路用于对其输入端接入的电压信号进行反相，得到反相电压信号，并通过所述反相电路的输出端输出所述反相电压信号。

7、如权利要求 5 所述的驱动电路，其中，所述输出控制电路包括第三晶体管和第四晶体管；

所述第三晶体管的栅极与所述控制节点电连接，所述第三晶体管的第一极与所述第一电压端电连接，所述第三晶体管的第二极与所述输出控制端电连接；

所述第四晶体管的栅极与扫描输出端电连接，所述第四晶体管的第一极与所述输出控制端电连接，所述第四晶体管的第二极与所述第二电压端电连接；

所述输出电路包括第五晶体管、第六晶体管和第二电容；

所述第五晶体管的栅极与所述控制端电连接，所述第五晶体管的第一极与所述第一电压端电连接，所述第五晶体管的第二极与所述扫描输出端电连接；

所述第六晶体管的栅极与所述输出控制端电连接，所述第六晶体管的第一极与所述扫描输出端电连接，所述第六晶体管的第二极与所述第二电压端电连接；

所述第二电容的第一端与所述控制端电连接，所述第二电容的第二端与所述第二电压端电连接。

8、一种驱动方法，应用于如权利要求 1 至 7 中任一权利要求所述的驱动电路，其中，所述驱动方法包括：在两帧显示时间之间的空白时间段中的至少部分时间，

第一开关电路在第一选通控制信号的控制下，控制将源极驱动器的数据输出端提供的的数据信号写入所述扫描信号生成电路；

扫描信号生成电路根据所述数据信号生成扫描信号，并通过扫描信号输出端输出所述扫描信号至显示面板的相应列扫描线。

9、如权利要求 8 所述的驱动方法，其中，所述驱动电路还包括第二开关电路；所述驱动方法还包括：

在一帧显示时间中的数据写入时间段，第二开关电路在第二选通控制信号的控制下，控制所述源极驱动器的数据输出端与所述显示面板的相应列数据线之间连通。

10、一种像素电路，包括发光元件、发光驱动电路和控制电路；

所述发光驱动电路分别与第一节点和所述发光元件的第一极电连接，用于在所述第一节点的电位的控制下，产生驱动所述发光元件的驱动电流；所述发光元件的第二极与第三电压端电连接；

所述控制电路分别与第一栅线、扫描线、所述第一节点和所述发光元件的第一极电连接，用于在所述第一栅线提供的第一栅极驱动信号和所述扫描线提供的扫描信号的控制下，控制所述第一节点与所述发光元件的第一极之间连通或断开。

11、如权利要求 10 所述的像素电路，其中，所述控制电路包括第一控制电路和第二

控制电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述第一控制电路分别与所述第一栅线、所述第一节点和中间节点电连接，所述第一控制电路用于在所述第一栅线提供的第一栅极驱动信号的控制下，控制所述第一节点与所述中间节点之间连通或断开；

所述第二控制电路分别与扫描线、所述中间节点和所述第三节点电连接，用于在所述扫描线提供的扫描信号的控制下，控制所述中间节点与所述第三节点之间连通或断开。

12、如权利要求 10 所述的像素电路，其中，所述控制电路包括第一控制电路和第二控制电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述第一控制电路分别与所述第一栅线、所述第三节点和中间节点电连接，用于在所述第一栅线提供的第一栅极驱动信号的控制下，控制所述第三节点与所述中间节点之间连通或断开；

所述第二控制电路分别与所述扫描线、所述中间节点和所述第一节点电连接，用于在所述扫描线提供的扫描信号的控制下，控制所述中间节点与所述第一节点之间连通或断开。

13、如权利要求 10 所述的像素电路，其中，还包括第一初始化电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述第一初始化电路分别与第一初始控制端、第一初始电压端和所述第二节点电连接，用于在所述第一初始控制端提供的第一初始控制信号的控制下，将所述第一初始电压端提供的第一初始电压写入所述第二节点。

14、如权利要求 10 所述的像素电路，其中，还包括第二初始化电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述第二初始化电路分别与第二初始控制端、第二初始电压端和所述第三节点电连接，用于在所述第二初始控制端提供的第二初始控制信号的控制下，将所述第二初始电压端提供的第二初始电压写入所述第三节点。

15、如权利要求 10 所述的像素电路，其中，还包括数据写入电路、第一发光控制电路、第二发光控制电路和储能电路；所述发光驱动电路的第一端与第二节点电连接，所述发光驱动电路的第二端分别与第三节点和所述发光元件的第一极电连接；

所述数据写入电路分别与第二栅线、数据线和所述第二节点电连接，用于在所述第二栅线提供的第二栅极驱动信号的控制下，将所述数据线提供的的数据电压写入所述第二节点；

所述第一发光控制电路分别与发光控制线、电源电压端和所述第二节点电连接，用于在所述发光控制线提供的发光控制信号的控制下，控制所述电源电压端与所述第二节点之间连通或断开；

所述第二发光控制电路分别与所述发光控制线、所述第三节点和所述发光元件的第一极电连接，用于在所述发光控制信号的控制下，控制所述第三节点与所述发光元件的第一极电连接；

所述储能电路与所述第一节点电连接，用于储存电能。

16、如权利要求 15 所述的像素电路，其中，还包括第三初始化电路；

所述第三初始化电路分别与第一初始控制端、第三初始电压端和所述发光元件的第一极电连接，用于在所述第一初始控制端提供的第一初始控制信号的控制下，将所述第三初始电压端提供的第三初始电压写入所述发光元件的第一极。

17、如权利要求 11 所述的像素电路，其中，所述第一控制电路包括第一控制晶体管，所述第二控制电路包括第二控制晶体管；

所述第一控制晶体管的栅极与所述第一栅线电连接，所述第一控制晶体管的第一极与所述第一节点电连接，所述第一控制晶体管的第二极与所述中间节点电连接；

所述第二控制晶体管的栅极与所述扫描线电连接，所述第二控制晶体管的第一极与所述中间节点电连接，所述第二控制晶体管的第二极与所述第三节点电连接。

18、如权利要求 12 所述的像素电路，其中，所述第一控制电路包括第一控制晶体管，所述第二控制电路包括第二控制晶体管；

所述第一控制晶体管的栅极与所述第一栅线电连接，所述第一控制晶体管的第一极与所述中间节点电连接，所述第一控制晶体管的第二极与所述第三节点电连接；

所述第二控制晶体管的栅极与所述扫描线电连接，所述第二控制晶体管的第一极与所述第一节点电连接，所述第二控制晶体管的第二极与所述中间节点电连接。

19、如权利要求 13 所述的像素电路，其中，所述第一初始化电路包括第一初始化晶体管；

所述第一初始化晶体管的栅极与所述第一初始控制端电连接，所述第一初始化晶体管的第一极与所述第一初始电压端电连接，所述第一初始化晶体管的第二极与所述第二节点电连接。

20、如权利要求 14 所述的像素电路，其中，所述第二初始化电路包括第二初始化晶体管；

所述第二初始化晶体管的栅极与所述第二初始控制端电连接，所述第二初始化晶体管的第一极与所述第二初始电压端电连接，所述第二初始化晶体管的第二极与所述第三节点电连接。

21、如权利要求 15 所述的像素电路，其中，所述数据写入电路包括写入晶体管，所述第一发光控制电路包括第一发光控制晶体管，所述第二发光控制电路包括第二发光控制晶体管；所述发光驱动电路包括驱动晶体管，所述储能电路包括存储电容；

所述写入晶体管的栅极与所述第二栅线电连接，所述写入晶体管的第一极与所述数据线电连接，所述写入晶体管的第二极与所述第二节点电连接；

所述第一发光控制晶体管的栅极与所述发光控制线电连接,所述第一发光控制晶体管的第一极与所述电源电压端电连接,所述第一发光控制晶体管的第二极与所述第二节点电连接;

所述第二发光控制晶体管的栅极与所述发光控制线电连接,所述第二发光控制晶体管的第一极与所述第三节点电连接,所述第二发光控制晶体管的第二极与所述发光元件的第一极电连接;

所述驱动晶体管的栅极与所述第一节点电连接,所述驱动晶体管的第一极与所述第二节点电连接,所述驱动晶体管的第二极与所述第三节点电连接;

所述存储电容的第一端与所述第一节点电连接,所述存储电容的第二端与电源电压端电连接。

22、如权利要求 16 所述的像素电路,其中,所述第三初始化电路包括第三初始化晶体管;

所述第三初始化晶体管的栅极与所述第一初始控制端电连接,所述第三初始化晶体管的第一极与所述第三初始电压端电连接,所述第三初始化晶体管的第二极与所述发光元件的第一极电连接。

23、一种像素驱动方法,应用于如权利要求 10 至 22 中任一权利要求所述的像素电路,所述像素驱动方法包括:

发光驱动电路在第一节点的电位的控制下,产生驱动发光元件的驱动电流;

控制电路在第一栅极驱动信号和扫描信号的控制下,控制所述第一节点与所述发光元件的第一极之间连通或断开。

24、如权利要求 23 所述的像素驱动方法,其中,所述像素电路包括第一初始化电路,发光驱动电路的第一端与第二节点电连接,所述发光驱动电路的第二端分别与第三节点和发光元件的第一极电连接;显示周期包括先后设置的第一初始化时间段和第二初始化时间段;所述像素驱动方法包括:

在所述第一初始化时间段,所述控制电路在所述第一栅极驱动信号和所述扫描信号的控制下,控制所述第一节点与第三节点之间连通;所述第一初始化电路在第一初始控制信号的控制下,将第一初始电压写入第二节点;发光驱动电路在所述第一节点的电位的控制下,控制所述第二节点与所述第三节点之间连通;

在所述第二初始化时间段,所述控制电路在所述第一栅极驱动信号和所述扫描信号的控制下,控制所述第一节点与所述第三节点之间断开;所述第一初始化电路在第一初始控制信号的控制下,将第一初始电压写入所述第二节点;发光驱动电路在所述第一节点的电位的控制下,控制所述第二节点与所述第三节点之间连通。

25、一种显示面板,包括源极驱动器和如权利要求 1 至 7 中任一权利要求所述的驱动电路;

所述源极驱动器包括数据输出端。

26、如权利要求 25 所述的显示面板，其中，包括多列扫描线；

所述驱动电路中的扫描信号生成电路中的扫描信号输出端与所述扫描线电连接。

27、如权利要求 25 所述的显示面板，其中，所述显示面板包括多列数据线；

所述数据输出端直接与数据线电连接；或者，所述驱动电路包括第二开关电路，所述第二开关电路在第二选通控制信号的控制下，控制所述数据输出端与所述数据线之间连通或断开。

28、如权利要求 25 至 27 中任一权利要求所述的显示面板，其中，所述源极驱动器设置于显示面板的第一侧边，所述驱动电路设置于所述显示面板的第一侧边；或者，

所述源极驱动器设置于显示面板的第一侧边，所述驱动电路设置于所述显示面板的第二侧边，所述第一侧边与所述第二侧边为相对的侧边。

29、如权利要求 25 至 27 中任一权利要求所述的显示面板，其中，还包括如权利要求 10 至 22 中任一权利要求所述的像素电路。

30、一种显示装置，包括如权利要求 25 至 29 中任一权利要求所述的显示面板。

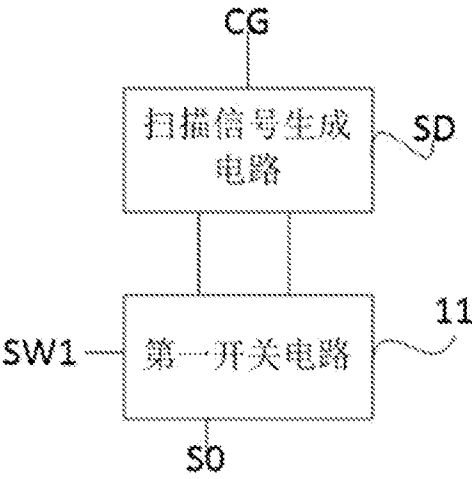


图 1

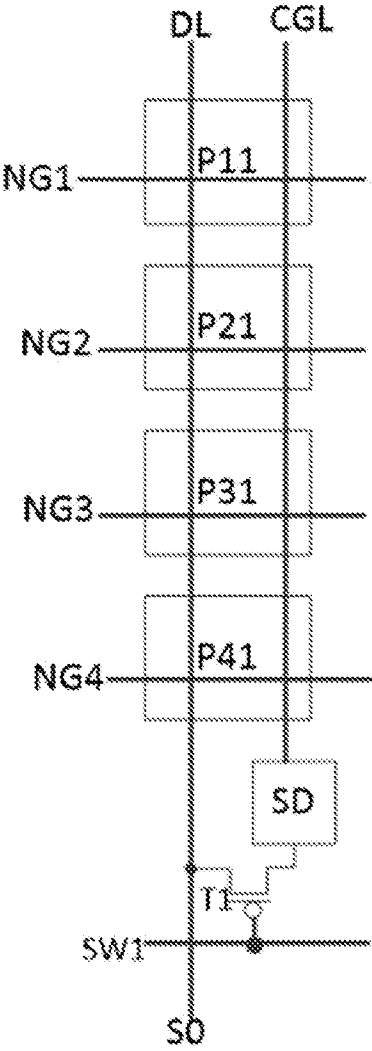
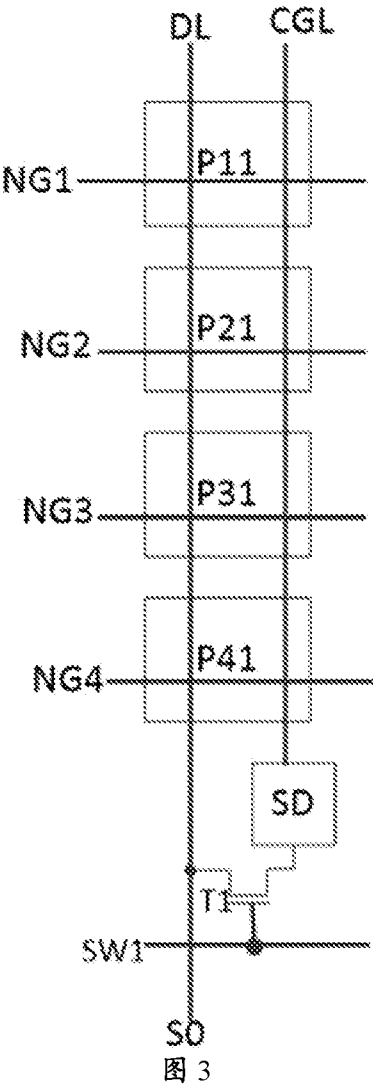


图 2



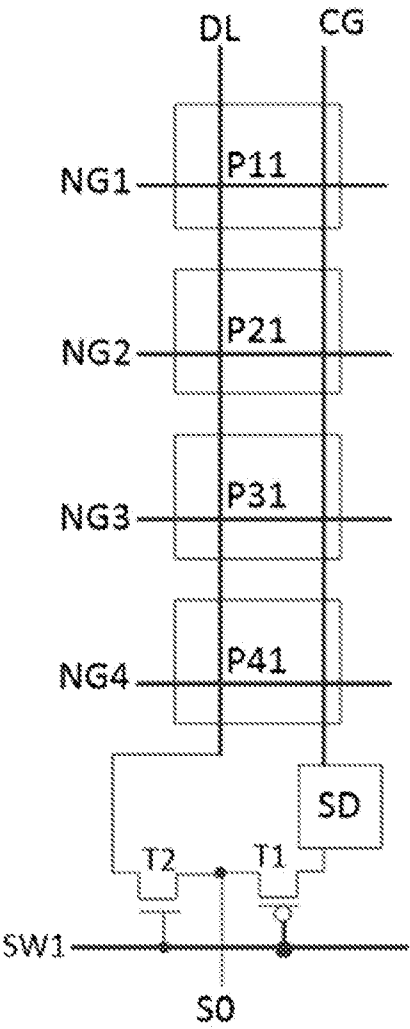


图 4

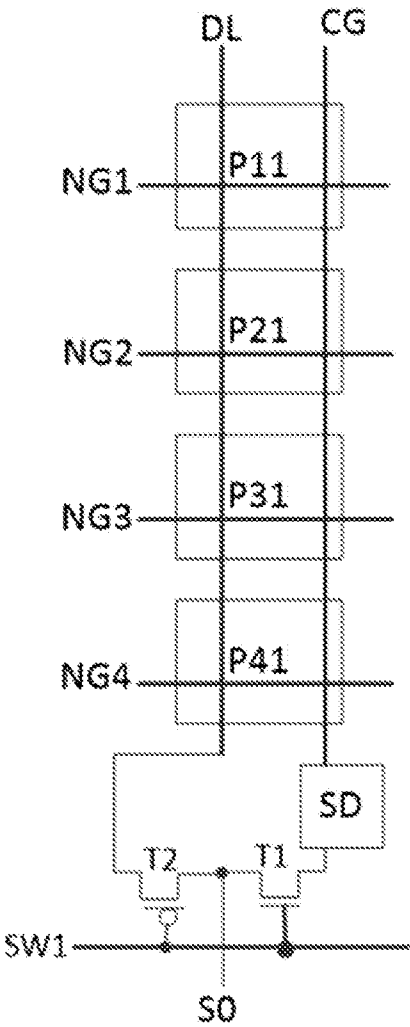


图 5

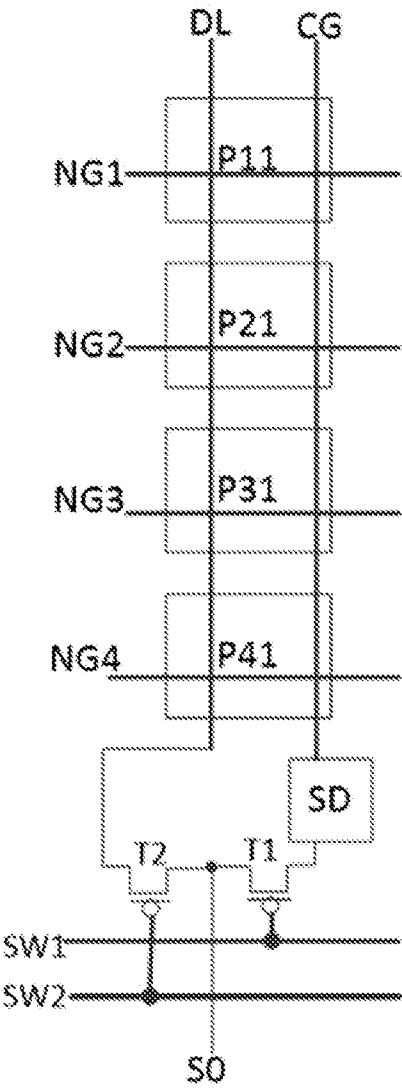


图 6A

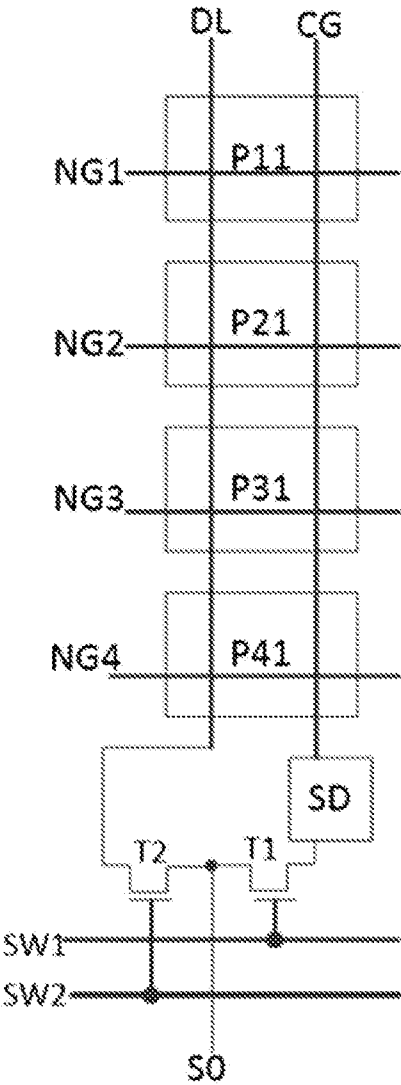


图 6B

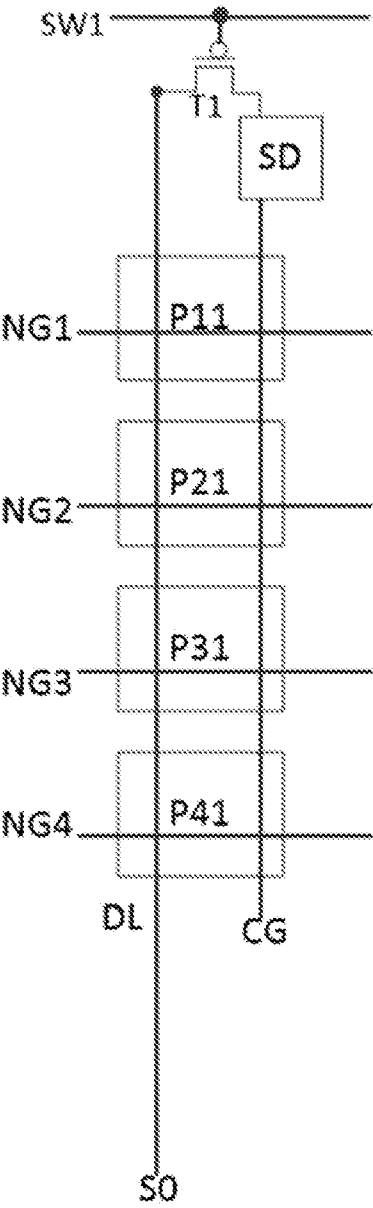


图 7

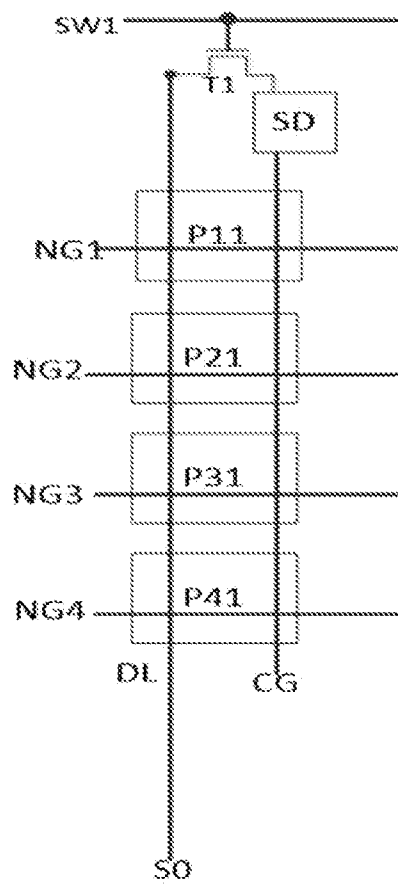


图 8

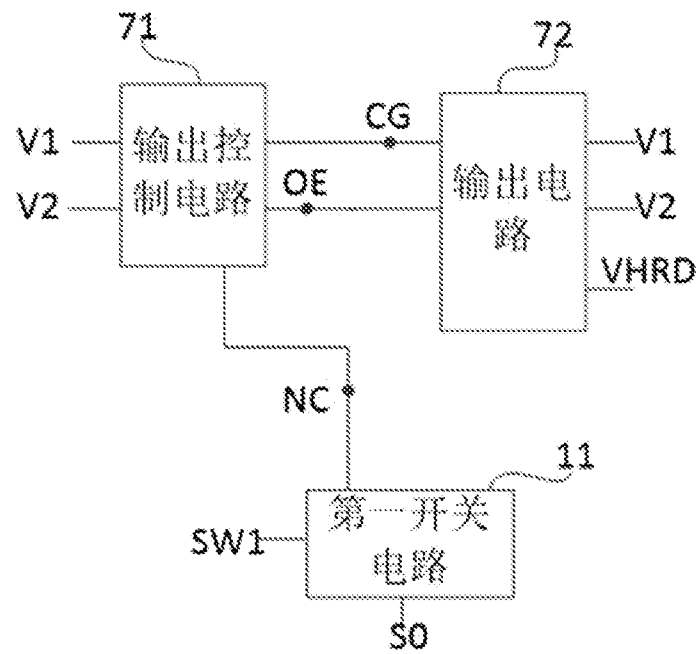


图 9

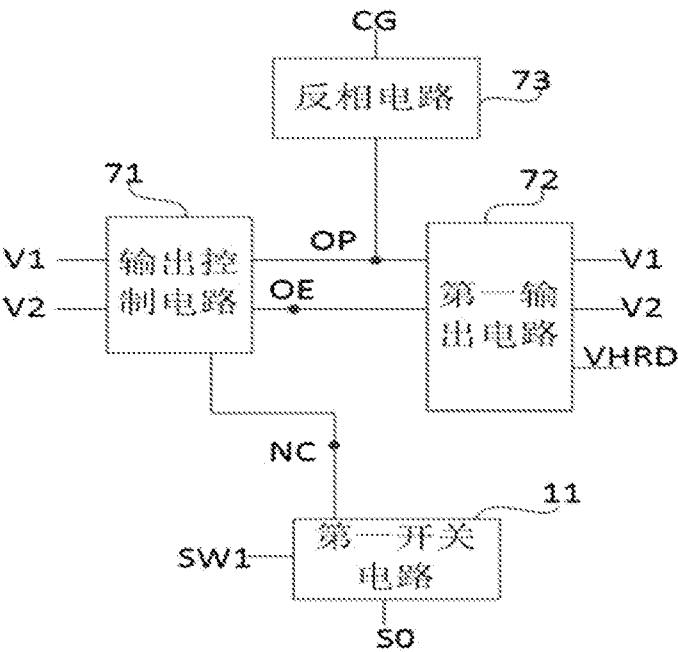


图 10

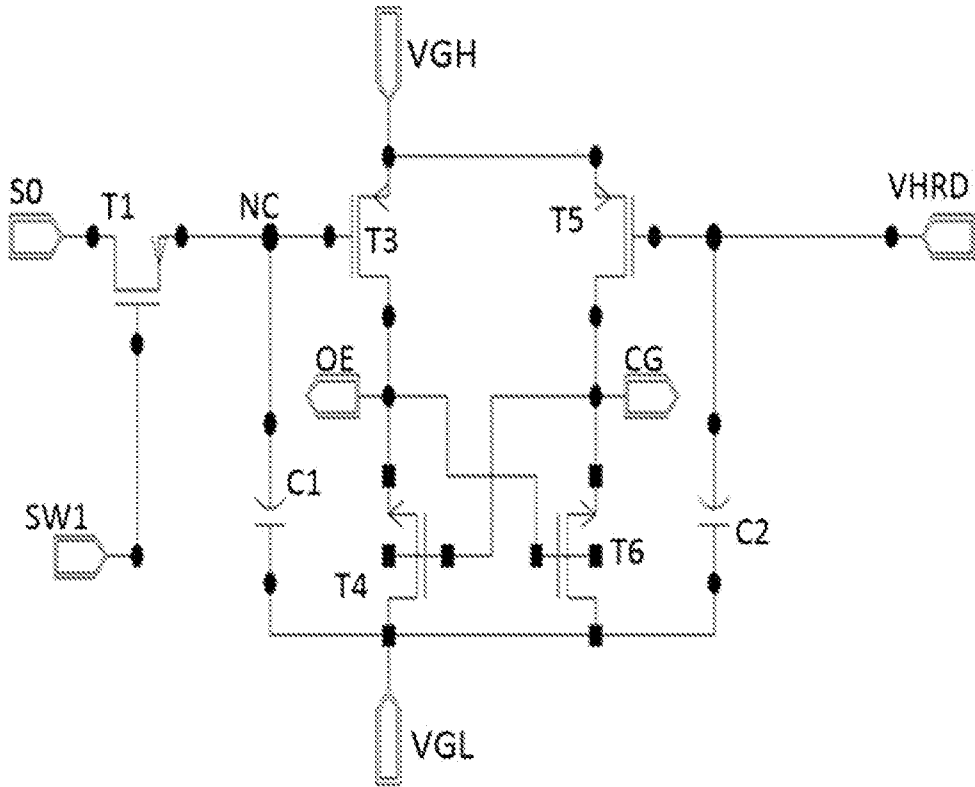


图 11

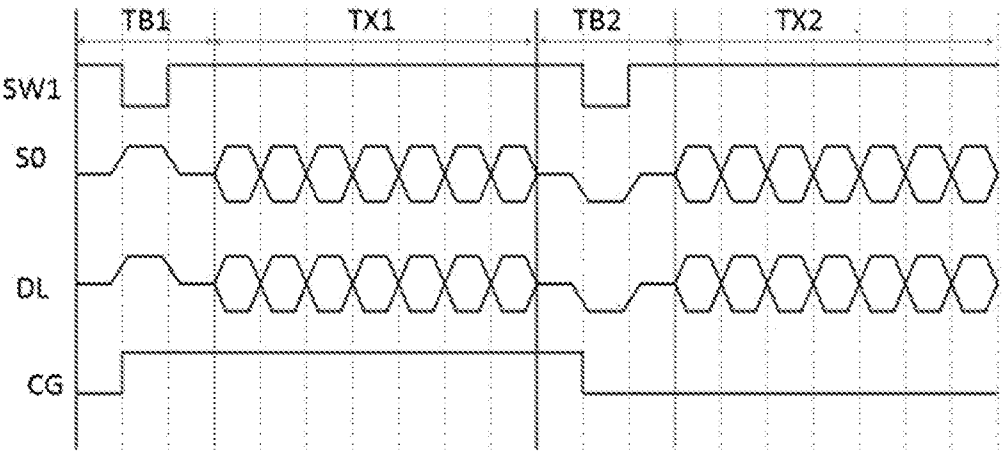


图 12

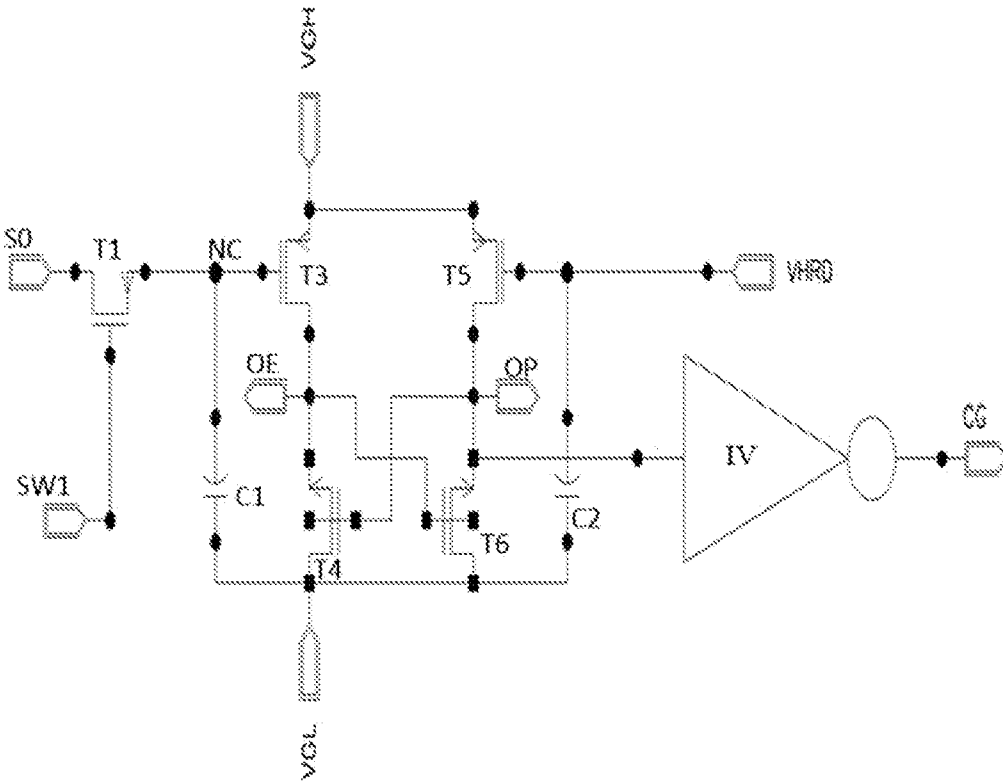


图 13

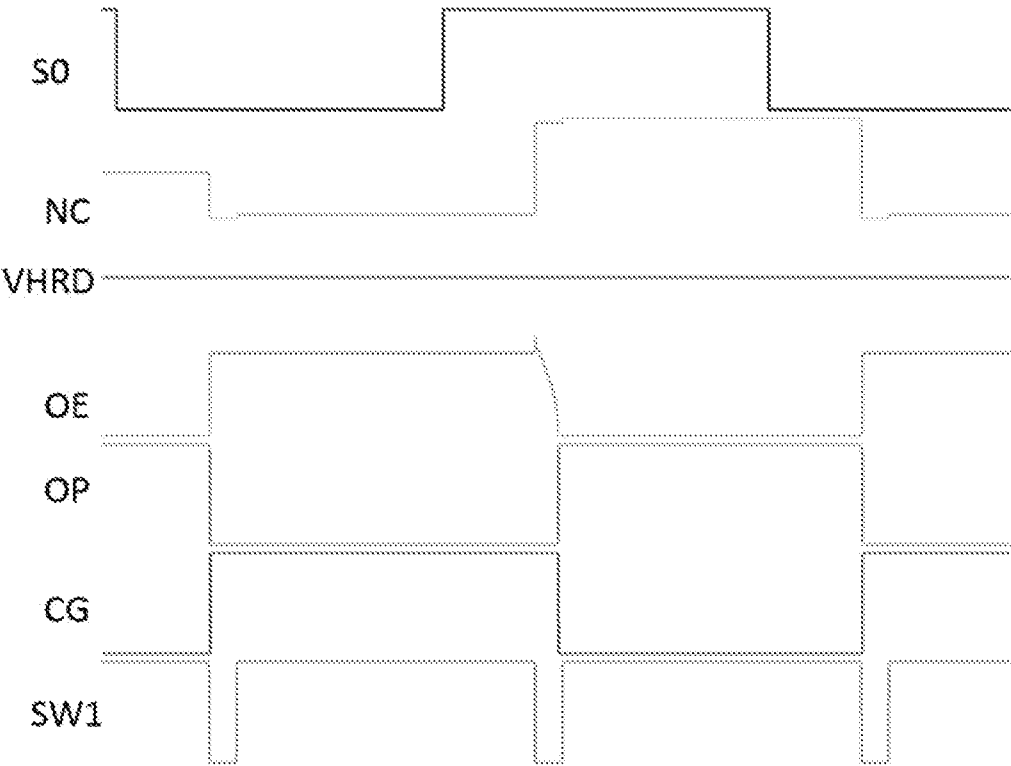


图 14

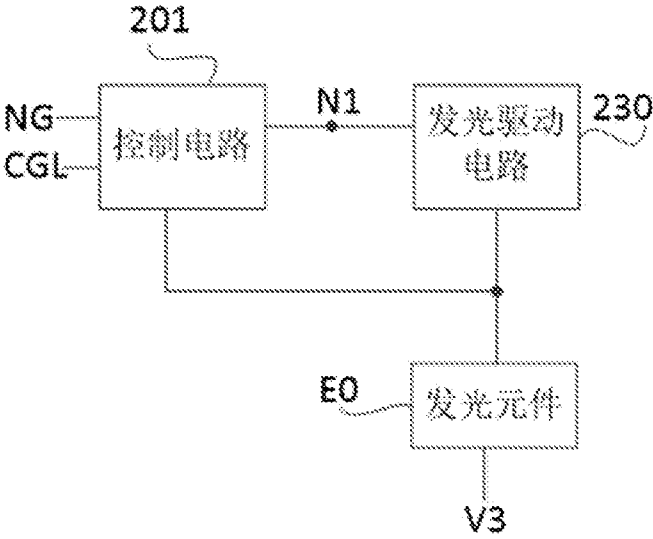


图 15

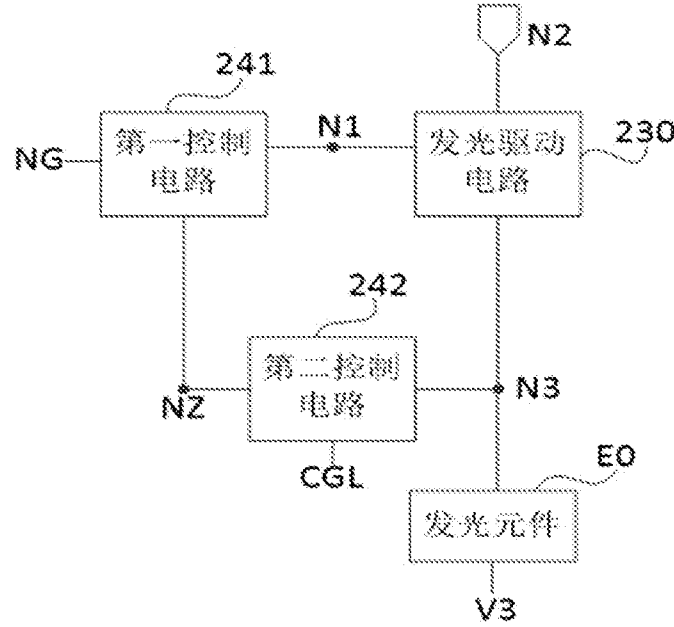


图 16

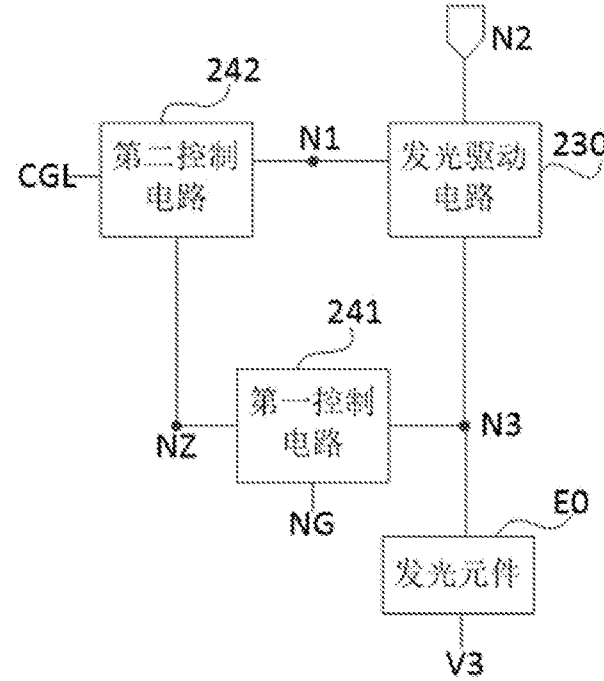


图 17

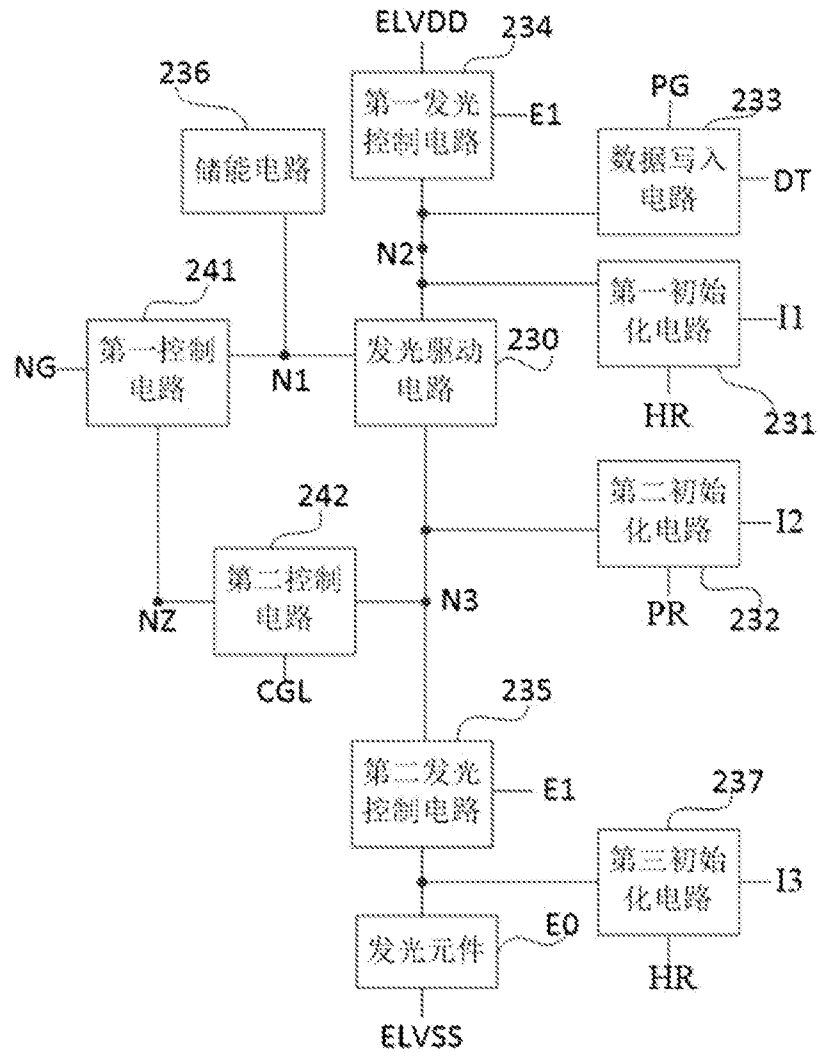


图 18

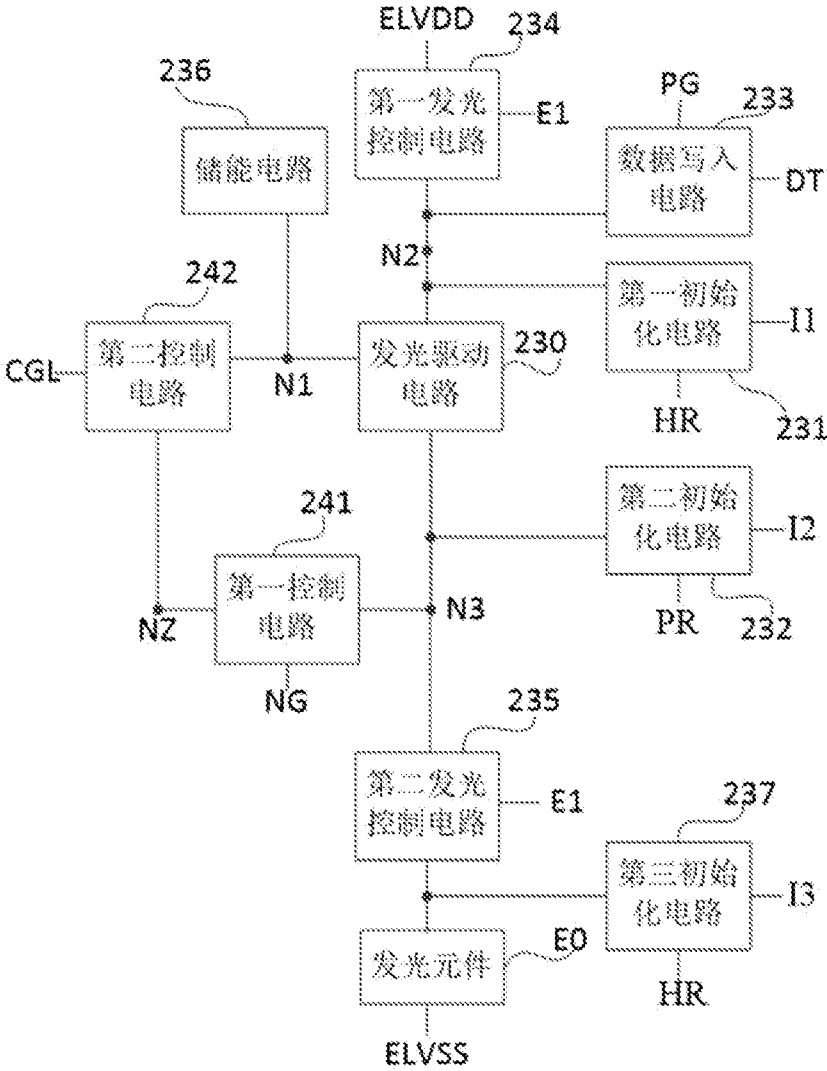


图 19

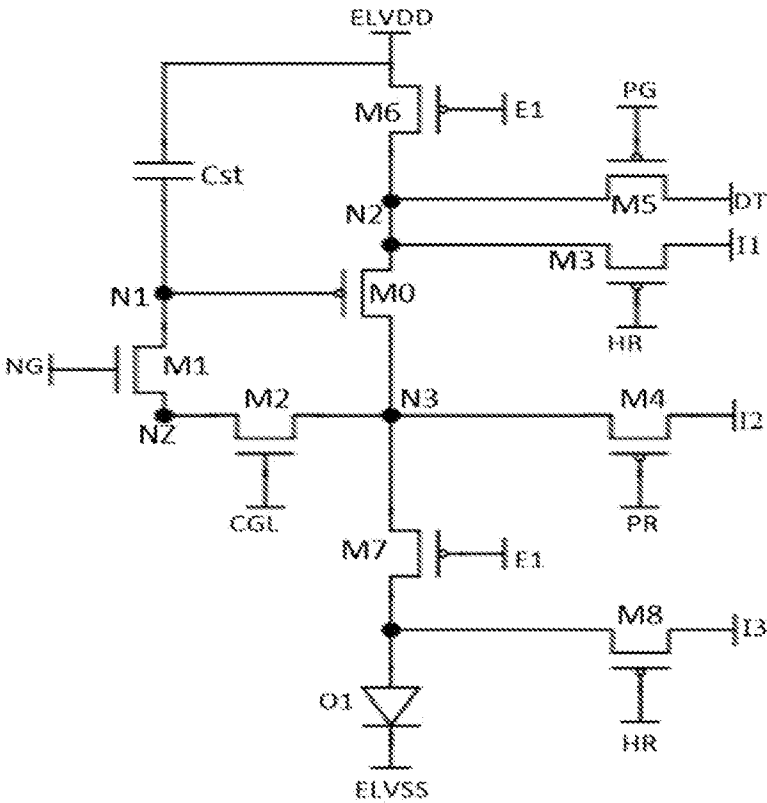


图 20

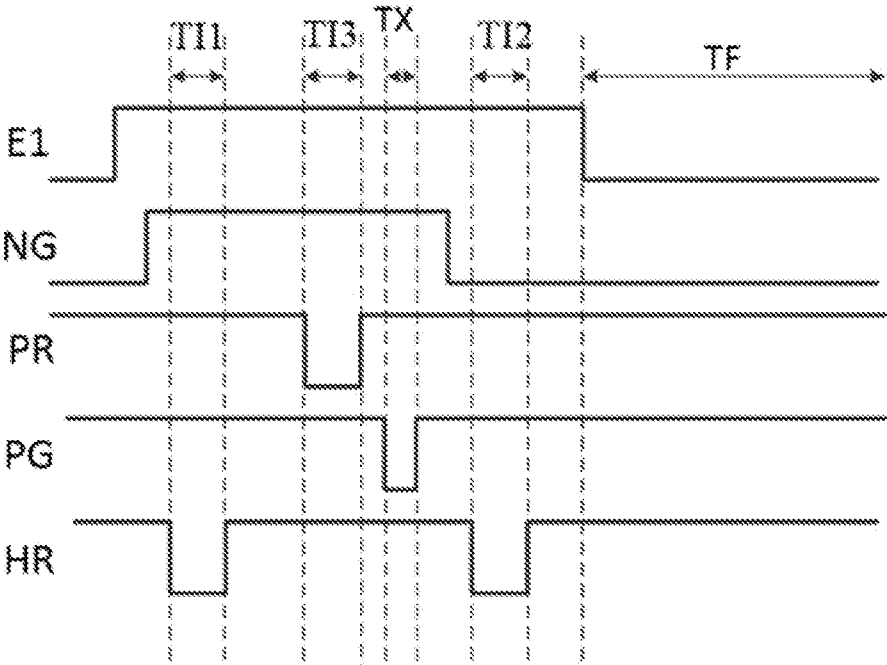


图 21A

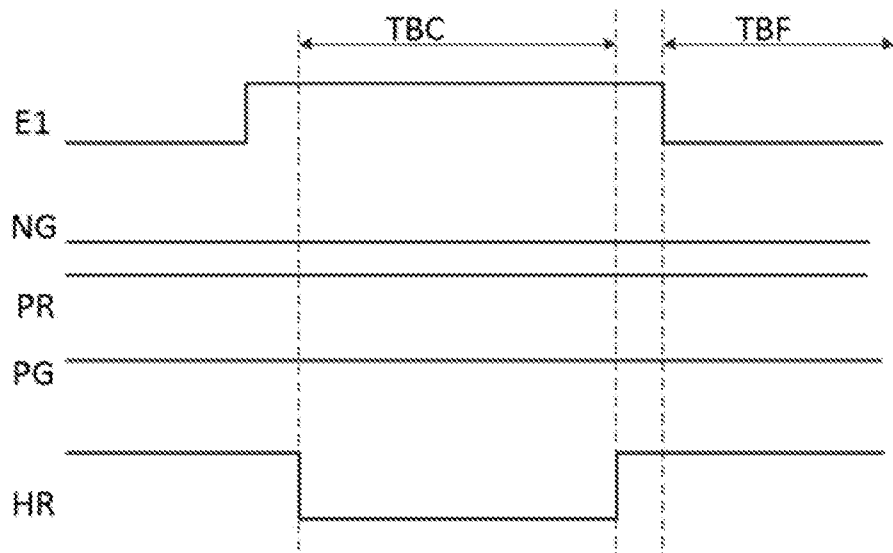


图 21B

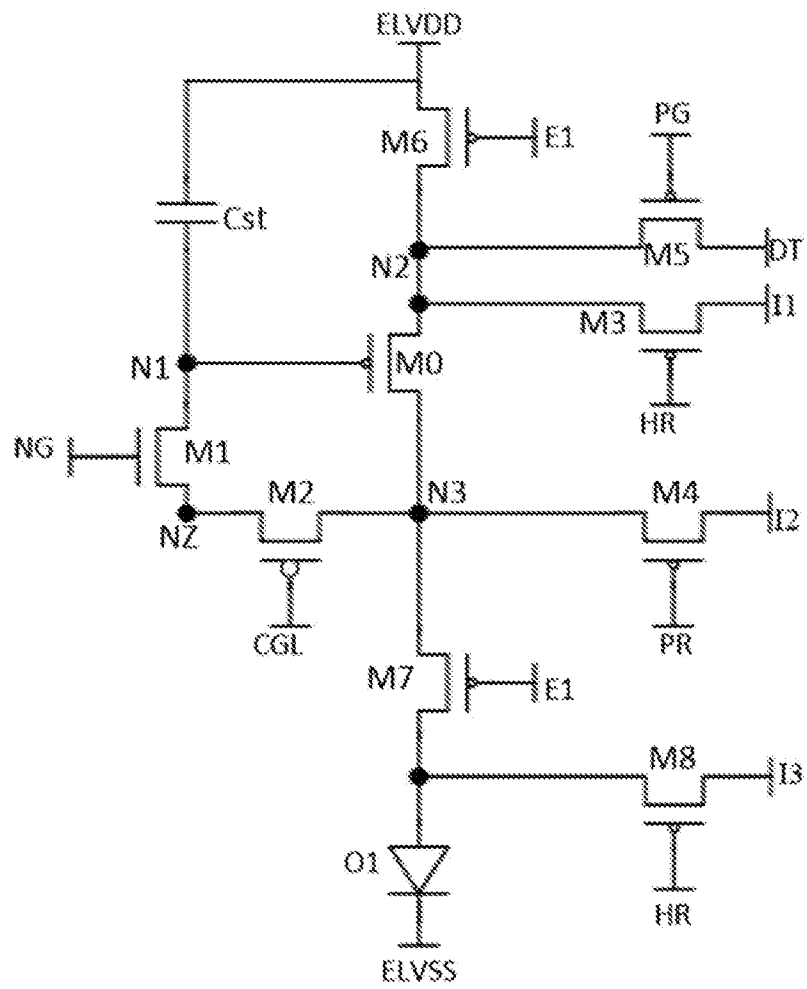


图 22

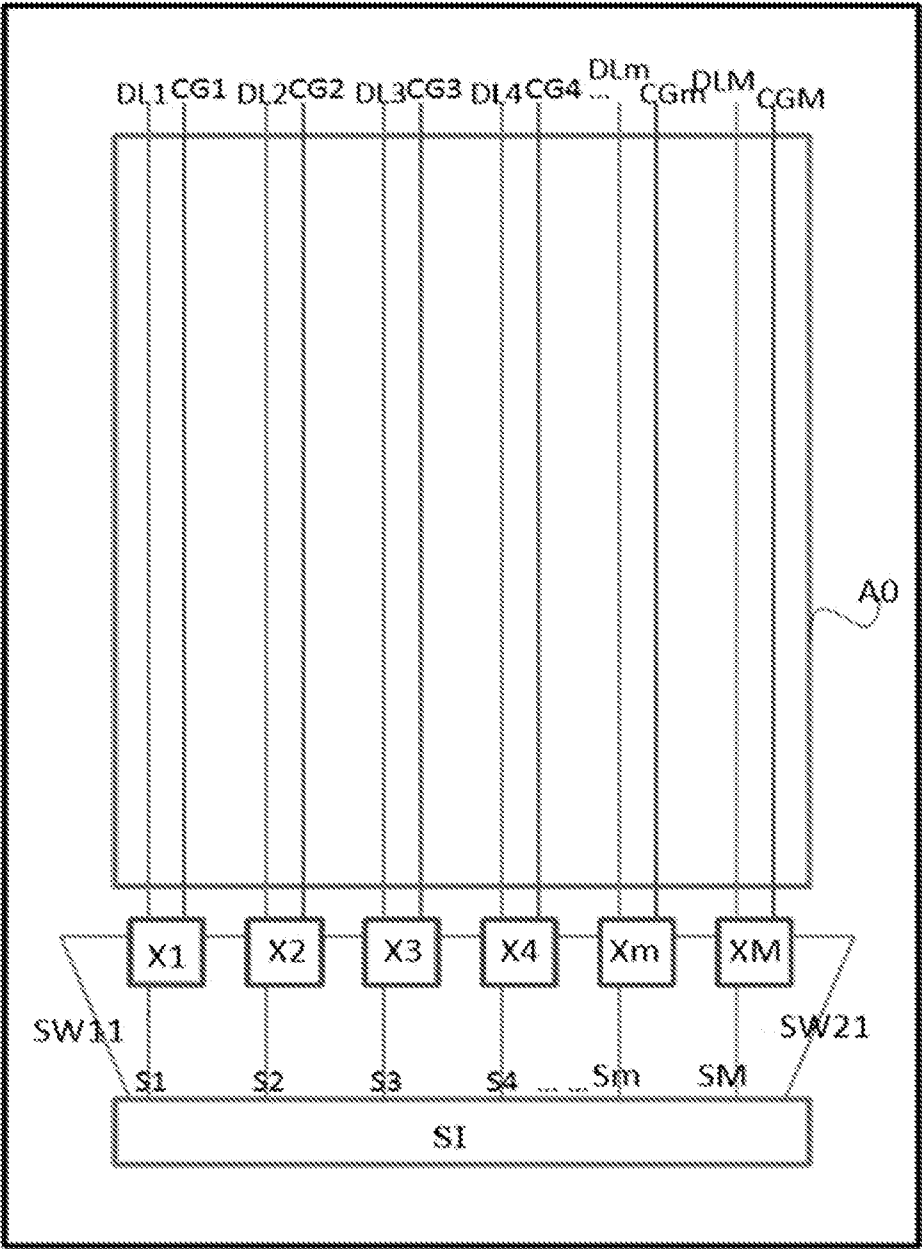


图 25

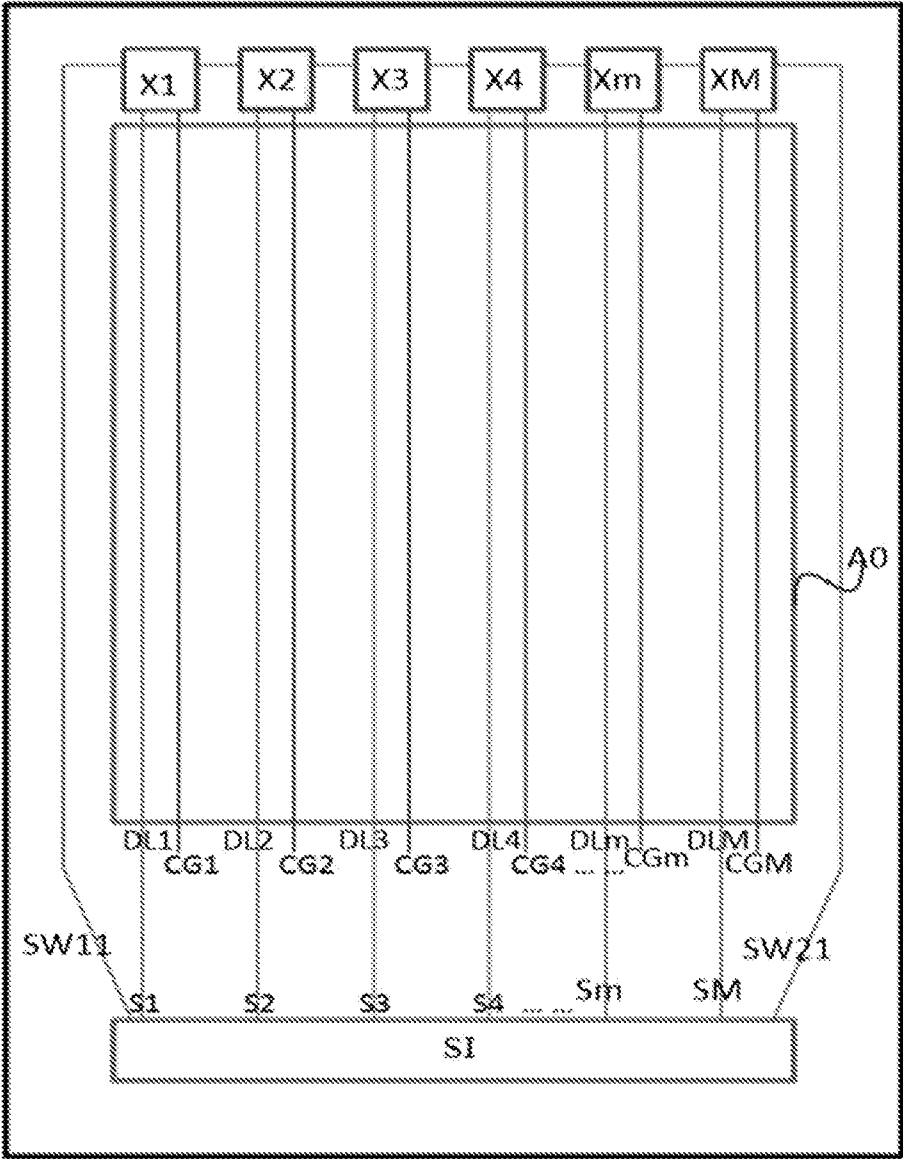


图 26

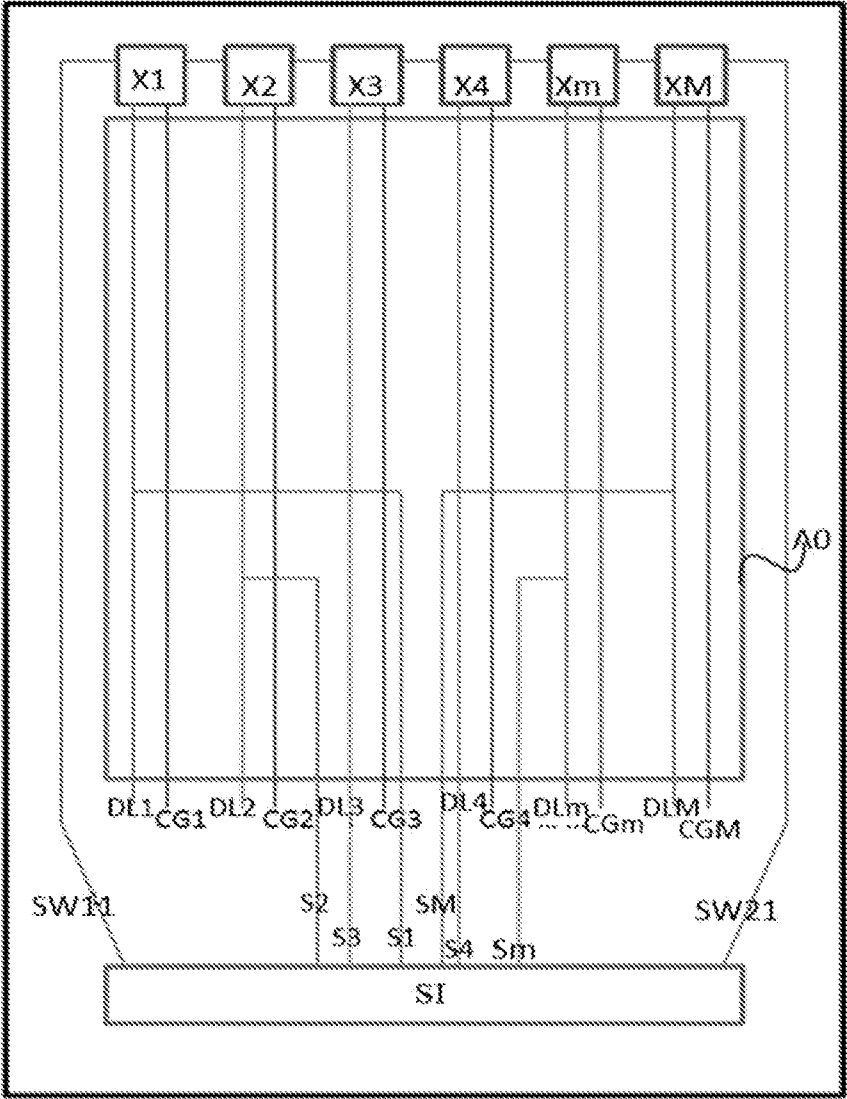


图 27

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/094815

A. CLASSIFICATION OF SUBJECT MATTER G09G3/3266(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: G09G3 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, CNTXT, ENTXTC, ENTXT, VEN, USTXT: 驱动, 开关, 扫描, 输出, 生成, 产生, 数据, 输入, 节点, 连通, 连接, 断开, 发光, 二极管, OLED, driv+, tft, scan+, output+, input, generat+, data, anode, connect+, disconnect+, light, emit+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116778868 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 19 September 2023 (2023-09-19) description, paragraphs 127-424, and figures 1-27	1-30
X	CN 113689825 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 November 2021 (2021-11-23) description, paragraphs 65-163, and figures 1-7	10-24
X	CN 114424280 A (BOE TECHNOLOGY GROUP CO., LTD.) 29 April 2022 (2022-04-29) description, paragraphs 150-765, and figures 6-78	10-24
A	CN 104078016 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 October 2014 (2014-10-01) entire document	1-30
A	US 2004032387 A1 (TOPPOLY OPTOELECTRONICS CORP. et al.) 19 February 2004 (2004-02-19) entire document	1-30
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 27 July 2024		Date of mailing of the international search report 13 August 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The present application comprises two groups of independent claims, wherein the first group comprises independent claims 1, 8, 25 and 30, and the second group comprises independent claims 10 and 23. In the two groups of independent claims, the "drive circuit" involved in the first group and the "pixel circuit" involved in the second group do not have a technical relationship therebetween, and do not contain one or more same or corresponding special technical features. Therefore, said claims do not comply with the requirement of unity of invention (PCT Rule 13.1).

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/094815

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116778868	A	19 September 2023	None			
CN	113689825	A	23 November 2021	None			
CN	114424280	A	29 April 2022	None			
CN	104078016	A	01 October 2014	US	2015371600	A1	24 December 2015
US	2004032387	A1	19 February 2004	TWI	284876	B	01 August 2007
				JP	2004078184	A	11 March 2004

A. 主题的分类

G09G3/3266(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G3

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,CNTEXT,ENTXTC,ENTXT,VEN,USTXT: 驱动, 开关, 扫描, 输出, 生成, 产生, 数据, 输入, 节点, 连通, 连接, 断开, 发光, 二极管, OLED, driv+, tft, scan+, output+, input, generat+, data, anode, connect+, disconnect+, light, emit+

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 116778868 A (京东方科技集团股份有限公司等) 2023年9月19日 (2023 - 09 - 19) 说明书第127-424段, 图1-27	1-30
X	CN 113689825 A (京东方科技集团股份有限公司等) 2021年11月23日 (2021 - 11 - 23) 说明书第65-163段, 图1-7	10-24
X	CN 114424280 A (京东方科技集团股份有限公司) 2022年4月29日 (2022 - 04 - 29) 说明书第150-765段, 图6-78	10-24
A	CN 104078016 A (京东方科技集团股份有限公司等) 2014年10月1日 (2014 - 10 - 01) 全文	1-30
A	US 2004032387 A1 (TOPPOLY OPTOELECTRONICS CORP等) 2004年2月19日 (2004 - 02 - 19) 全文	1-30

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年7月27日

国际检索报告邮寄日期

2024年8月13日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

刘士奎

电话号码 (+86) 010-62085842

PCT/ISA/210 表(第2页) (2022年7月)

第III栏 缺乏发明单一性的意见(续第1页第3项)

本国际检索单位在该国际申请中发现多项发明，即：

本申请包括两组独立权利要求，其中第一组为独立权利要求1、8、25、30，第二组为独立权利要求10、23。上述两组独立权利要求中，第一组涉及的“驱动电路”和第二组涉及的“像素电路”之间不存在技术关联，没有包括一个或者多个相同或相应的特定技术特征，因此不符合PCT细则第13条第1款有关单一性的规定。

1. ☐ 由于申请人按时缴纳了被要求缴纳的全部附加检索费，本国际检索报告涉及全部可作检索的权利要求。

2. ☒ 由于无需付出有理由要求附加费的劳动即能对全部可检索的权利要求进行检索，本单位未通知缴纳任何加费。

3. ☐ 由于申请人仅按时缴纳了部分被要求缴纳的附加检索费，本国际检索报告仅涉及已缴费的那些权利要求，具体地说，是权利要求：

4. ☐ 申请人未按时缴纳被要求缴纳的附加检索费。因此，本国际检索报告仅涉及权利要求书中首先提及的发明；包含该发明的权利要求是：

对异议的意见

☐ 申请人缴纳了附加检索费，同时提交了异议书，适用时，缴纳了异议费。

☐ 申请人缴纳了附加检索费，同时提交了异议书，但未在通知书规定的时间期限内缴纳异议费。

☐ 缴纳附加检索费时未提交异议书。

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/094815

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116778868	A	2023年9月19日	无			
CN	113689825	A	2021年11月23日	无			
CN	114424280	A	2022年4月29日	无			
CN	104078016	A	2014年10月1日	US	2015371600	A1	2015年12月24日
US	2004032387	A1	2004年2月19日	TWI	284876	B	2007年8月1日
				JP	2004078184	A	2004年3月11日