

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 29 年 4 月 13 日 (2017.4.13)

【公表番号】特表 2016-513898 (P2016-513898A)
 【公表日】平成 28 年 5 月 16 日 (2016.5.16)
 【年通号数】公開・登録公報 2016-029
 【出願番号】特願 2015-560709 (P2015-560709)
 【国際特許分類】

H 0 3 M 1/10 (2006.01)

H 0 3 M 1/12 (2006.01)

【F I】

H 0 3 M 1/10 C

H 0 3 M 1/12 C

【手続補正書】
 【提出日】平成 29 年 3 月 6 日 (2017.3.6)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

アナログ入力信号を、サンプルレート R を有するデジタル出力信号に変換するためのタイムインターリーブ型アナログ / デジタル変換器を動作させる方法であって、前記タイムインターリーブ型アナログ / デジタル変換器は、

M 個のタイミング信号を発生させるためのタイミング回路と、

それぞれがアナログ入力およびデジタル出力を有する整数 N 個の構成アナログ / デジタル変換器のアレイと、を備え、

前記方法は、

前記構成アナログ / デジタル変換器のアレイの少なくともいくつかのアクティベーション (1 1 0) のそれぞれについて、

整数 K 個の前記構成アナログ / デジタル変換器の第一組と、整数 L 個の前記構成アナログ / デジタル変換器の第二組とを定義する工程 (1 2 0) であって、 $K + L = N$ であり、K は少なくとも 1 であり N よりも小さく、前記第一組および前記第二組は重複しない、工程 (1 2 0) と、

前記第一組の前記構成アナログ・デジタル変換器のそれぞれの前記アナログ入力に、欠陥測定 (1 3 4) のための基準値を供給する工程 (1 3 0) と、

前記第一組の前記構成アナログ / デジタル変換器のそれぞれを前記タイミング信号の一つでクロックする工程 (1 3 2) と、

前記第二組の前記構成アナログ / デジタル変換器のそれぞれの前記アナログ入力に、前記デジタル出力で中間構成デジタル出力信号を発生させる (1 4 4) ための前記アナログ入力信号を供給する工程 (1 4 0) と、

前記第二組の前記構成アナログ / デジタル変換器のそれぞれを前記タイミング信号の一つでクロックする工程 (1 4 2) であって、二つ以上の前記第二組の前記構成アナログ / デジタル変換器をクロックするのにタイミング信号を用いない、工程と、を備えた、方法。

【請求項 2】

前記アナログ / デジタル変換器のアレイの前記少なくともいくつかのアクティベーション

ンのそれぞれについて、先のアクティベーションにおける前記第二組の前記 L 個の構成アナログ／デジタル変換器のうちから前記第一組の前記 K 個の構成アナログ／デジタル変換器を選択する工程をさらに備えた、請求項 1 に記載の方法。

【請求項 3】

前記選択は、あらゆる N / K 個のアクティベーション中に、前記アレイの N 個の構成アナログ／デジタル変換器のすべてが少なくとも一度前記第一組に属することになることによって条件づけられる、請求項 2 に記載の方法。

【請求項 4】

前記第二組の前記構成アナログ／デジタル変換器のそれぞれについて、前記構成アナログ／デジタル変換器の先の欠陥測定に基づいて前記中間構成デジタル出力信号を補償する工程（146）をさらに備えた、請求項 1 乃至請求項 3 のいずれか一項に記載の方法。

【請求項 5】

前記第二組の前記構成アナログ／デジタル変換器の前記補償された中間構成デジタル出力信号を多重化して（148）前記デジタル出力信号を生成する工程をさらに備えた、請求項 4 に記載の方法。

【請求項 6】

コンピュータ可読媒体（600）を備えたコンピュータプログラム製品であって、プログラム命令を備えたコンピュータプログラムを有し、前記コンピュータプログラムは、データ処理ユニット（630）にローディング可能であり、前記コンピュータプログラムが前記データ処理ユニットによって実行されるとき、請求項 1 乃至請求項 5 のいずれか一項に記載の方法を実行させるよう適合された、コンピュータプログラム製品。

【請求項 7】

アナログ入力信号（510、510b）を、サンプルレート R を有するデジタル出力信号（570）に変換するよう適合されたタイムインターリーブ型アナログ／デジタル変換器であって、前記タイムインターリーブ型アナログ／デジタル変換器は、

M 個のタイミング信号を生成するよう適合されたタイミング回路（590）と、

それぞれがアナログ入力とデジタル出力を有する整数 N 個の構成アナログ／デジタル変換器（501、502、503）のアレイと、

前記構成アナログ／デジタル変換器のそれぞれの前記アナログ入力に、欠陥測定のための基準値もしくは前記デジタル出力で中間構成デジタル出力信号を発生させるための前記アナログ入力信号のいずれかを供給するよう適合された前記構成アナログ／デジタル変換器（501、502、503）のそれぞれについてのセクタ（531、532、533、531b、532b、533b）と、

コントローラ（580、580b）であって、前記構成アナログ／デジタル変換器のアレイの少なくともいくつかのアクティベーションについて、

整数 K 個の前記構成アナログ／デジタル変換器の第一組と、整数 L 個の前記構成アナログ／デジタル変換器の第二組とを定義し、 $K + L = N$ であり、 K は少なくとも 1 であり N よりも小さく、前記第一組および前記第二組は重複せず、

前記第一組の前記構成アナログ／デジタル変換器のそれぞれの前記セクタに、前記第一組の前記構成アナログ／デジタル変換器へ前記基準値を供給させ、

前記第二組の前記構成アナログ／デジタル変換器のそれぞれの前記セクタに、前記第二組の前記構成アナログ／デジタル変換器へ前記アナログ入力信号を供給させ、

前記第一組の前記構成アナログ／デジタル変換器のそれぞれを前記タイミング信号の一つでクロックし、

前記第二組の前記構成アナログ／デジタル変換器のそれぞれを前記タイミング信号の一つでクロックし、二つ以上の前記第二組のアナログ／デジタル変換器をクロックするのにタイミング信号は用いられない、ように適合されたコントローラ（580、580b）とを備えた、タイムインターリーブ型アナログ／デジタル変換器。

【請求項 8】

前記構成アナログ／デジタル変換器（501、502、503）のそれぞれについての

前記セクタ(531、532、533)は、前記アナログ入力信号(510)と前記基準値(521、522、523)との間で前記アナログ入力を切り替えるよう適合された、前記構成アナログ/デジタル変換器(501、502、503)のそれぞれについての入力スイッチ(531、532、533)を備え、

前記コントローラ(580)は、前記第一組の前記構成アナログ/デジタル変換器のそれぞれの前記入力スイッチ(531、532、533)を前記基準値に設定することで、前記第一組の前記構成アナログ/デジタル変換器のそれぞれの前記セクタに、前記第一組の前記構成アナログ/デジタル変換器へ前記基準値を供給させるよう適合され、

前記コントローラ(580)は、前記第二組の前記構成アナログ/デジタル変換器のそれぞれの前記入力スイッチ(531、532、533)を前記アナログ入力信号に設定することで、前記第二組の前記構成アナログ/デジタル変換器のそれぞれの前記セクタに、前記第二組の前記構成アナログ/デジタル変換器へ前記アナログ入力信号を供給させるよう適合された、請求項7に記載のタイムインターリーブ型アナログ/デジタル変換器。

【請求項9】

前記デジタル出力を中間構成デジタル出力信号経路(547、548、549)と欠陥測定経路(544、545、546)との間でスイッチするよう適合された出力スイッチ(541、542、543)を前記構成アナログ/デジタル変換器(501、502、503)のそれぞれについてさらに備え、前記コントローラ(580)は、前記構成アナログ/デジタル変換器のアレイの少なくともいくつかのアクティベーションのそれぞれについて、前記第一組の前記構成アナログ/デジタル変換器のそれぞれの前記出力スイッチ(541、542、543)を前記欠陥測定経路に設定し、前記第二組の前記構成アナログ/デジタル変換器のそれぞれの前記出力スイッチ(541、542、543)を前記中間構成デジタル出力信号経路に設定するようさらに適合された、請求項7または請求項8に記載のタイムインターリーブ型アナログ/デジタル変換器。

【請求項10】

前記コントローラ(580、580b)は、前記構成アナログ/デジタル変換器のアレイの少なくともいくつかのアクティベーションについて、先のアクティベーションの前記第二組の前記L個の構成アナログ/デジタル変換器の中から前記第一組の前記K個の構成アナログ/デジタル変換器を選択するようさらに適合された、請求項7乃至請求項9のいずれか一項に記載のタイムインターリーブ型アナログ/デジタル変換器。

【請求項11】

前記第二組の前記構成アナログ/デジタル変換器のそれぞれについて、前記構成アナログ/デジタル変換器の先の欠陥測定に基づいて前記中間構成デジタル出力信号を補償するよう適合された一つ以上の補償ユニット(551、552、553)をさらに備えた、請求項7乃至請求項10のいずれか一項に記載のタイムインターリーブ型アナログ/デジタル変換器。

【請求項12】

前記第二組の前記構成アナログ/デジタル変換器の前記補償された中間構成デジタル出力信号を多重化して前記デジタル出力信号を生成するよう適合されたマルチプレクサ(560)をさらに備えた、請求項11に記載のタイムインターリーブ型アナログ/デジタル変換器。

【請求項13】

請求項7乃至請求項12のいずれか一項に記載のタイムインターリーブ型アナログ/デジタル変換器を備えた集積回路。

【請求項14】

請求項7乃至請求項12のいずれか一項に記載のタイムインターリーブ型アナログ/デジタル変換器または請求項13に記載の集積回路を備えた電子機器。