

公告本

申請日期	85 年 12 月 16 日
案 號	85115516
類 別	Int. Cl. 6 G06F 12/00

(以上各欄由本局填註)

A4
C4

312766

發明專利說明書

一、發明 名稱	中 文	半導體記憶體電路
	英 文	
二、發明 人	姓 名	(1) 犬塚和子 (2) 大島成夫 (3) 長場勝志
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都練馬區上石神井二-二一-二七
	住、居所	(2) 日本國橫濱市金沢區並木二-一一二-一一二-四〇一 (3) 日本國神奈川縣川崎市中原區下小田中五-一一-一八
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區堀川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 西室泰三

經濟部中央標準局員工消費合作社印製

裝

訂

線

312766

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1995 年 12 月 25 日 07-337279 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔發明之所屬技術領域〕

本發明特別是關於記憶體之存取，具有與時鐘同步，位址信號重疊以進行規定欄位分之存取之定址系之半導體記憶體電路。

〔先前之技術〕

同步 D R A M 係將對於記憶體單元陣列之寫入／讀出之資料與時鐘同步而猝發存取，此係被習知者。同步 D R A M 為進行猝發動作，具備計數器構成之定址電路。

圖 6 表示使用計數器之先前的定址電路之重要部分（關於猝發存取之一部分之定址電路）之電路圖，圖 7 為其動作波形圖。同步 D R A M 為了開始猝發動作，和寫入／讀出（Write/Read）指令信號同時地輸入先頭欄位位址信號（先頭位址信號：A 0 E X T，A 1 E X T）。

於圖 6，信號 A 0 I N 為對應先頭位址（tap address）信號 A 0 E X T 之內部位址信號，信號 A 1 I N 為對應先頭位址信號 A 1 E X T 之內部位址信號。同步脈衝換流器（clocked inverter）1 1 1，1 1 2 以接受 Write/Read 指令信號後次一個之外部時鐘信號 C L K 之下降而上升，上升而下降之信號 C L K T 而變成動作狀態（active）。同步脈衝換流器 1 3 1，1 3 2 在時鐘信號 C L K 之“H”準位變成動作狀態。同步脈衝換流器 1 2 1，1 2 2 在時鐘信號 B C L K（C L K 之反轉信號）之“H”準位變成動作狀態。又，此同步脈衝換流器 1 2 1，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2)

1 2 2 在信號 CLK T 之脈衝被輸入時，不依據 B C L K 而以內部控制成為非動作狀態地構成之。

為同步脈衝換流器 1 3 1 之定址用之信號 A 0 連接於換流器 1 4 1 之輸入之同時，也連接於 EXOR 閘 1 4 2 之一方輸入側。換流器 1 4 1 之輸出（節點 N 1 1）連接於同步脈衝換流器 1 2 1 之輸入，此換流器 1 2 1 之輸出連接於同步脈衝換流器 1 3 1 之輸入（節點 N 1 2）。輸入信號 A 0 I N 之同步脈衝換流器 1 1 1 之輸出連接於節點 N 1 2。

為同步脈衝換流器 1 3 2 之輸出之定址用之信號 A 1 連接於 EXOR 閘 1 4 2 之另一輸入側。EXOR 閘 1 4 2 之輸出（節點 N 1 3）連接於同步脈衝換流器 1 2 2，此換流器 1 2 2 之輸出連接於換流器 1 3 2 之輸入（節點 N 1 4）。輸入信號 A 1 I N 之同步脈衝換流器 1 1 2 之輸出連接於節點 N 1 4。

上述定址用之信號 A 0，A 1 與分別通過換流器 1 4 3，1 4 4 之 A 0，A 1 之反轉信號之各 4 個之組合信號，通過各 NOR 閘 1 4 5 ~ 1 4 8，做為欄位起動信號 C D R V 0 ~ C D R V 3 而被輸出，驅動對應之欄位選擇線。

參考圖 7 以說明圖 6 之電路動作。和 Write/Read 指令信號同時地先頭位址信號 A 0 E X T，A 1 E X T 被輸入時，介經信號 CLK T，同步脈衝換流器 1 1 1，1 1 2 成為動作狀態，同步脈衝換流器 1 2 1，1 2 2 成

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (3)

爲非動作狀態，遵循對應先頭位址信號 A 0 E X T，A 1 E X T 而產生之內部位址信號 A 0 I N，A 1 I N，節點 N 1 2，N 1 4 被設定成初期值。接著，以最初之時鐘脈衝 C L K，同步脈衝換流器 1 3 1，1 3 2 成爲動作狀態，信號 A 0，A 1 被輸出，於對應之欄位起動信號 C D R V 0 ~ C D R V 3 使產生脈衝。之後，於每個時鐘脈衝 C L K 定址用之信號 A 0，A 1 被計數完了 (Countup)。

於同步 D R A M，規定欄位分之定址，例如，如示於圖 1 0 般地進行，欄位位址例如並非 "2 - 3 - 4 - 5" 地進位，而係 "2 - 3 - 0 - 1" 地重疊。又，做爲位址選擇模式在順序模式之外，有交錯模式 (interleave mode)。

於交錯模式，在 A 0 I N = 1 時，考慮到位址縮減時，於同步 D R A M 使用計數器之定址電路，成爲如圖 8 之構成。於上述圖 6 之 N O R 閘 1 4 5 ~ 1 4 8 之輸出各各通過以信號 1 N T 0，B I N T 0 而控制之轉換閘 (4 5 1，4 6 1，4 7 1，4 8 1)，以信號 1 N T 0 1，B 1 N T 0 1 而控制之轉換閘 (4 5 2，4 6 2，4 7 2，4 8 2)，以信號 1 N T 0 3，B 1 N T 0 3 而控制之轉換閘 (4 5 3，4 6 3，4 7 3，4 8 3)，而連接於規定之欄位起動信號 C D R V 0 ~ C D R V 3。各轉換閘之各信號對之前頭之 B 爲反轉信號之意。各轉換閘在控制信號 1 N T 0 (1 N T 0 1 或 1 N T 0 3) 爲 "H

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

“ 準位 (B 1 N T O (B 1 N T O 1 或 B 1 N T O 3) 爲
“ L ” 準位) 時導通，在其之相反之信號關係成爲非導通
。

圖 9 爲用於說明圖 8 之交錯模式之動作波形圖。以計
數器計數完了後，因應定址模式以及先頭位址，做爲欄位
起動信號 C D R V 0 ~ C D R V 3 之數據總線 (data bus
)，即對上述各轉換閘之控制信號 (I N T O，
I N T O 1，I N T O 3) 被切換。

於交錯模式，A 0 I N = 1 時，1 N T O 控制之轉換
閘 4 5 1，4 6 1，4 7 1，4 8 1 關閉，此時，
A 1 I N = 0 時，1 N T O 1 控制之轉換閘 4 5 2，
4 6 2，4 7 2，4 8 2 開 (O N)，各欄位起動信號之
“ H ” 準位之脈衝產生順序成爲 C D R V 1 → 0 → 3 → 2
，A 1 I N = 1 時，1 N T O 3 控制之轉換閘 4 5 2，
4 6 2，4 7 2，4 8 2 開，各欄位起動信號之脈衝產生
順序成爲 C D R V 3 → 2 → 1 → 0。在此之外之場合，
1 N T O 控制之轉換閘 4 5 1，4 6 1，4 7 1，4 8 1
開，成爲和圖 6 之場合相同之定址。

在上述構成中，位址信號之計數完了後，爲了使產生
對應於該位址信號之各欄位起動信號 C D R V 0 ~ 3 之故
，有如下之問題。第 1，控制信號多，電路變複雜。第 2
，由時鐘脈衝信號 C L K 至欄位起動信號 C D R V 0 ~ 3
止之延遲時間大。第 3，以通常之二進位計數器電路構成
定址用之信號 A 0，A 1 之故，對上位位 (b i t) 之進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

位自動的進行，在如同步 D R A M 之重疊位址信號系統中，有爲了不使進行進位之電路更成爲必要之問題。

〔發明欲解決之課題〕

如此在先前以二進位計數器電路計數完了位址信號之後，使產生對應之各欄位起動信號 C D R V 0 ~ 3 用之電路動作而構成之故，有不得不成爲控制信號多，複雜且延遲時間大之電路構成之缺點。

本發明係考慮上述之情事而完成者，其目的在提供：介經使欄位位址之定址電路簡易化，高速化，可以高速地進行規定欄位分之存取之半導體記憶體電路。

〔解決課題用之裝置〕

本發明於具有 1 種類以上之位址選擇模式，遵循此位址選擇模式以進行規定欄位分之存取之半導體記憶體電路中，其特徵爲具備：配置複數之記憶體單元之記憶體單元陣列，以及對於上述記憶體單元陣列確定對應於和外部來之時鐘信號同步之上述規定欄位分之存取用之前頭之位址之位址信號之裝置，以及和上述時鐘信號同步包含爲了，由上述位址進行因應上述位址選擇模式之上述規定欄位分之存取之移位寄存器之內部位址信號產生裝置。

在此發明中，介經移位寄存器之構成，以延遲少之簡潔化電路實現對應於存取用之前頭之位址之位址信號之重疊。又，正反任一之方向皆可以移位之應用之構成可以簡

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

單地構成，有助於因應位址選擇模式之位址信號之重疊設定。

[發明之實施之形態]

圖1表示關於此發明之實施形態之DRAM(動態RAM)之重要部位之構成之方塊圖。記憶體單元陣列101以記憶資料之複數之記憶體單元排列而構成。行譯碼器102，讀出放大器103，欄位譯碼器104為依據由/RAS(RAS之下降信號)以及/CAS(CAS之下降信號)分別被輸入之行位址緩衝器105以及欄位址緩衝器106來之位址信號而用於記憶體單元之資料之讀出或寫入，其他更新等之記憶體核心部。控制電路107輸入寫入啟動信號之/WE，輸出啟動信號之/OE，寫入/讀出(Write/Read)指令信號W/R等，以控制關於資料輸入、輸出之I/O電路108。欄位定址電路109設置在欄位址緩衝器106之前段，輸入由外部來之位址信號以及Write/Read指令信號。

上述構成於欄位定址電路109中，在實現規定欄位分之位址信號之重疊之構成有特徵。即，通常以計數器構成之欄位定址電路109內之一部分以移位寄存器SRG構成，此在進行位址信號之重疊上，為非常便利之電路構成。移位寄存器SRG接受供給欄位定址電路109之Write/Read指令信號以及位址信號之一部分之先頭位址信號A0EXT，A1EXT，以控制位址信號之重疊系統

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

圖 2 為適用於圖 1 之定址電路 109 中之移位寄存器 S R G 之基本的電路圖，圖 3 為其之動作波形圖。於圖 2，信號 A 0 I N 為對應於先頭位址信號 A 0 E X T 之內部位址信號，信號 A 1 I N 為對應於先頭位址信號 A 1 E X T 之內部位址信號。同步脈衝換流器 11 ~ 14 以接受 Write/Read 指令信號後下一個之時鐘信號之下降而上升，上升而下降之信號 C L K T 而成為動作狀態。同步脈衝換流器 21 ~ 24 以外部之時鐘信號 C L K 而成為動作狀態。同步脈衝換流器 31 ~ 34 以外部之時鐘信號 B C L K (C L K 之反轉信號) 而成為動作狀態。又，此同步脈衝換流器 31 ~ 34 在信號 C L K T 之脈衝被輸入時，不依據 B C L K 而以內部控制成為非動作狀態地構成之。這些同步脈衝換流器係以 31，21，32，22，33，23，34，24 之順序而串聯連接，同步脈衝換流器 24 之輸出連接於 31 之輸入。

在同步脈衝換流器 11 之輸入有使內部位址信號 B A 0 I N，A 1 I N 為 2 輸入之 N O R 閘 41 之輸出連接著。同步脈衝換流器 11 之輸出連接在同步脈衝換流器 31 與 21 之連接節點 N O。由同步脈衝換流器 21 與 32 之連接點獲得欄位起動信號 C D R V 0。

在同步脈衝換流器 12 之輸入有使內部位址信號 A 0 I N (A 0 I N 之反轉信號)，A 1 I N 為 2 輸入之 N O R 閘 42 之輸出連接著。同步脈衝換流器 12 之輸出

(請先閱讀背面之注意事項再填寫本頁)

發

訂

線

五、發明說明(8)

連接在同步脈衝換流器 3 2 與 2 2 之連接節點 N 1。由同步脈衝換流器 2 2 與 3 3 之連接點獲得欄位起動信號 C D R V 1。

在同步脈衝換流器 1 3 之輸入有使內部位址信號 A 0 I N, B A 1 I N (A 1 I N 之反轉信號) 為 2 輸入之 N O R 閘 4 3 之輸出連接著。同步脈衝換流器 1 3 之輸出連接在同步脈衝換流器 3 3 與 2 3 之連接節點 N 2。由同步脈衝換流器 2 3 與 3 4 之連接點獲得欄位起動信號 C D R V 2。

在同步脈衝換流器 1 4 之輸入有使內部位址信號 B A D I N, B A 1 I N 為 2 輸入之 N O R 閘 4 4 之輸出連接著。同步脈衝換流器 1 4 之輸出連接在同步脈衝換流器 3 4 與 2 4 之連接節點 N 3。由同步脈衝換流器 2 3 與 3 1 之連接點獲得欄位起動信號 C D R V 3。

參考圖 3 說明圖 2 之電路動作。Read/Write 指令以及先頭位址信號 A 0 E X T, A 1 E X T 被輸入時, 介經因應信號 A 0 E X T, A 1 E X T 之內部位址信號 A 0 I N, A 1 I N 以及信號 C L K T, 同步脈衝換流器 1 1 ~ 1 4 成為動作狀態, 遵循信號 A 0 I N, A 1 I N, 節點 N 0 ~ 3 之中的一個的節點被初期化為「L」準位, 其他之 3 個節點被初期化成「H」準位。此時, 介經信號 C L K T 之脈衝輸出, 同步脈衝換流器 3 1 ~ 3 4 成為非動作狀態之故, 由前段來之資料轉送被停止。而且, 以接著之最初的時鐘 C L K, 同步脈衝換流器 2 1 ~ 2 4 成為

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

動作狀態，資料被轉送，欄位起動信號 C D R U 0 ~ 3 之中的一個成為「H」準位，其他 3 個成為「L」準位。之後，依據 C D R V 0 → 1 → 2 → 3 之串行之重疊，每一時鐘 C L K 「H」準位被轉送而出。

依據上述構成時，利用移位寄存器中之資料轉送，以進行定址用之電路構成很簡易。和利用計數器之場合相比，由時鐘 C L K 至欄位起動信號 C D R V 止之元件之段數少之故，有延遲時間被削減高速之優點。又，在重疊位址信號之際，停止進位之電路沒有必要，例如，只以此電路可以進行欄位位址下位 2 位之定址。

接著，以下說明為了使此發明容易地適應同步 D R A M 之 2 個之定址模式（順序／交錯）（參考圖 1 0）之電路例。

圖 4 為適用於圖 1 之定址電路 1 0 9 中之移位寄存器 S R G，依據定址模式構成移位方向可以變更之移位寄存器之電路圖。在同步 D R A M 中，於交錯模式 A 0 I N = 1 時，欄位位址雖縮減，但在圖 4 之電路中，介經使移位寄存器反旋轉以實現此定址。

說明關於圖 4 之電路構成和上述圖 2 之構成不同之處。設置導通控制同步脈衝換流器 2 1 之輸出與信號 C D R V 0 之輸出間之節點 N 4 之轉換閘 5 1。設置導通控制同步脈衝換流器 2 2 之輸出與信號 C D R V 1 之輸出間之節點 N 5 之轉換閘 5 2。設置導通控制同步脈衝換流器 2 3 之輸出與信號 C D R V 2 之輸出間之節點 N 6 之轉

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

象

五、發明說明 (10)

換閘 5 3。設置導通控制同步脈衝換流器 2 4 之輸出與信號 C D R V 3 之輸出間之節點 N 7 之轉換閘 5 4。

再者，設置導通控制節點 N 4 與信號 C D R V 2 之輸出間之轉換閘 5 5。設置導通控制節點 N 7 與信號 C D R V 1 之輸出間之轉換閘 5 6。設置導通控制節點 N 6 與信號 C D R V 0 之輸出間之轉換閘 5 7。設置導通控制節點 N 5 與信號 C D R V 3 之輸出間之轉換閘 5 8。

上述各轉換閘之控制信號對 1 N T 0，B 1 N T 0 為相補信號（前頭之 B 為反轉信號之意）。轉換閘 5 1 ~ 5 4 以控制信號 1 N T 0 為“L”準位（B 1 N T 0 為“H”準位）時導通，以其之相反之信號關係成為非導通。轉換閘 5 5 ~ 5 8 以控制信號 B 1 N T 0 為“L”準位（1 N T 0 為“H”準位）時導通，以其之相反之信號關係成為非導通。

再者，N O R 閘 4 2 之一側輸入端連接於 E X N O R 閘 6 1 之輸出。E X N O R 閘 6 1 為信號 A 1 I N 與模式設定之信號 S E Q 之 2 輸入。N O R 閘 4 4 之一側輸入端連接於 E X N O R 閘 6 2 之輸出。E X N O R 閘 6 1 為信號 A 1 I N 與模式設定之信號 S E Q 之 2 輸入。信號 S E Q 在此處設為：順序模式為“H”準位，交錯模式為“L”準位。

圖 5 係為了說明圖 4 之交錯模式用之動作波形圖。在位址縮減之時，介經控制信號 1 N T 0 之“H”準位，轉換閘 5 1 ~ 5 4 成為非導通，轉換閘 5 5 ~ 5 8 成為導通。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(11)

狀態，資料轉送路徑切換成相反之移位順序。即，依據因應分接位址信號之 A 0 I N，A 1 I N 與模式設定之由移位寄存器之移位方向之設定，節點 N 0 ~ 3 之各節點被初期化。於此，為順序模式時，欄位起動信號產生依據 C D R V 0 → 1 → 2 → 3 之串行之重疊，每個時鐘 C L K “H” 準位被轉送，為交錯模式時，欄位起動信號產生依據 C D R V 3 → 2 → 1 → 0 之相反的串行重疊，每個時鐘 C L K “H” 準位被轉送。

依據上述構成之電路時，即使在有交錯模式之樣的位址選擇模式之場合，也可以利用寄存器中之資料轉送而進行定址。因此，和利用計數器之先前之圖 8 相比，由時鐘 C L K 至欄位起動信號 C D R V 止之元件之段數少。又，控制信號也減少被簡潔化。其結果，同步 D R A M 之欄位位址之定址電路被簡易化，可以期待更高速之動作。

又，此發明並不限於同步 D R A M 之欄位位址之定址電路，於快閃記憶體等進行串行存取系統中，以如圖 2 之移位寄存器構成爲基本，形成所希望之位移信號之重疊系統時，可以獲得同樣之效果。

〔發明之效果〕

如以上說明者，依據此發明時，介經以移位寄存器構成爲基本而構成規定之位址信號之重疊，在資料之移位轉送直結於位址信號之計數完了之信號輸出被實現之故，可以提供定址電路被簡易化，高速化之半導體記憶體電路。

五、發明說明 (12)

〔圖面之簡單說明〕

圖 1 表示關於本發明之實施形態之 D R A M 之重要部位之構成之方塊圖。

圖 2 為適用於圖 1 之定址電路中之移位寄存器之基本的電路圖。

圖 3 為說明圖 2 之電路動作之動作波形圖。

圖 4 為適用於圖 1 之定址電路中之移位寄存器，依據定址模式構成移位方向可以變更之移位寄存器之電路圖。

圖 5 係為了說明圖 4 之交錯模式之動作波形圖。

圖 6 表示利用計數器之先前之定址電路之重要部位（關於猝發存取之一部分之定址電路）之電路圖。

圖 7 為說明圖 6 之電路動作之動作波形圖。

圖 8 表示於同步 D R A M 中，使用計數器之先前之定址電路之重要部位之電路圖。

圖 9 係為了說明圖 8 之交錯模式之動作波形圖。

圖 1 0 表示同步 D R A M 之欄位定址之圖。

〔標號之說明〕

1 0 1 …… 記憶體單元陣列，

1 0 2 …… 行譯碼器，

1 0 3 …… 讀出放大器，

1 0 4 …… 欄譯碼器，

1 0 5 …… 行位址緩衝器，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (13)

1 0 6 …… 欄位址緩衝器，

1 0 7 …… 控制電路，

1 0 8 …… I / O 電路，

1 0 9 …… 欄定址電路，

S R G …… 移位寄存器，

1 1 ~ 1 4 ， 2 1 ~ 2 4 ， 3 1 ~ 3 4 …… 同步脈衝換流器，

4 1 ~ 4 4 …… N O R 閘，

5 1 ~ 5 6 …… 轉換閘，

6 1 ， 6 1 …… E X N O R 閘。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：

)

半 導 體 記 憶 體 電 路

本發明特別是關於記憶體之存取，具有與時鐘同步，位址信號重疊以進行規定欄位分之存取之定址系之半導體記憶體電路，

其課題在於提供：介經使欄位定址之定址電路簡易化，高速化，使規定欄位分之存取高速進行之半導體記憶體電路。

解決裝置之特徵為：在 D R A M 之記憶體電路，於欄位位址緩衝器 1 0 6 之前段之欄位定址電路 1 0 9 中，通常以計數器構成之欄位定址電路 1 0 9 內之一部分，以移位寄存器（shift register）S R G 構成，使得為了規定欄位分之存取之規定欄位分的位址信號之重疊可以複數種的實現。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

英文發明摘要（發明之名稱：

)

訂

六、申請專利範圍

1. 一種半導體記憶體電路，具有1種以上之位址選擇模式，遵循此位址選擇模式，以進行規定欄位分之存取，其特徵為具備：

配置複數之記憶體單元之記憶體單元陣列，以及

對於上述記憶體單元陣列，確定對應於和外部來之時鐘信號同步之上述規定欄位分之存取用之前頭之位址之位址信號之裝置，以及

和上述時鐘信號同步，包含為了由上述位址進行因應上述位址選擇模式之上述規定欄位分之存取之移位寄存器之內部位址信號產生裝置。

2. 如申請專利範圍第1項所述之半導體記憶體電路，其中上述移位寄存器依據用於上述位址選擇模式之設定用之信號和上述位址信號之邏輯合成之結果，正反之其中之一選擇移位方向，介經此移位動作使得因應上述規定欄位分之存取之位址信號產生。

3. 如申請專利範圍第1項所述之半導體記憶體電路，其中上述移位寄存器在移位路徑途中設置轉換控制裝置，介經導通控制此轉換控制裝置，以構成遵循上述位址選擇模式之移位路徑。

4. 一種半導體記憶體電路，具有為了猝發動作用之1種以上之位址選擇方式，遵循此位址選擇方式，以進行和由外部來之時鐘信號同步之猝發存取，其特徵為具備：

記憶資料之複數之記憶體單元被配置之記憶體單元陣列，以及

六、申請專利範圍

對於上述記憶體單元陣列，確定對應於上述猝發存取用之前頭之位址之位址信號之裝置，以及

和上述時鐘信號同步，包含爲了由上述位址進行因應上述位址選擇模式之上述猝發存取之移位寄存器之內部位址信號產生裝置。

5. 如申請專利範圍第4項所述之半導體記憶體電路，其中上述移位寄存器由用於上述位址選擇模式之設定用之信號和上述位址信號之邏輯合成之結果，正反之其中之一選擇移位方向，使得因應上述規定欄位分之存取之位址信號產生。

6. 如申請專利範圍第4項所述之半導體記憶體電路，其中上述移位寄存器在移位路徑途中設置轉換控制裝置，介經導通此轉換控制裝置，以構成遵循上述位址選擇方式之移位路徑。

7. 一種半導體記憶體電路，其特徵爲：具備：

配置複數之記憶體單元之記憶體單元陣列，以及

對於上述記憶體單元陣列，確定對應於和外部來之時鐘信號同步之上述規定欄位分之存取用之前頭之位址之位址信號裝置，以及

和上述時鐘信號同步，包含爲了由上述位址進行上述規定欄位分之存取用之移位寄存器之內部位址信號產生裝置，

上述移位寄存器爲具有閉移位路徑之串聯輸入，並聯輸出之左右移位寄存器，在移位路徑途中設置轉換控制裝

(請先閱讀背面之注意事項再填寫本頁)

訂

總

六、申請專利範圍

置，以構成因應轉換控制之移位路徑。

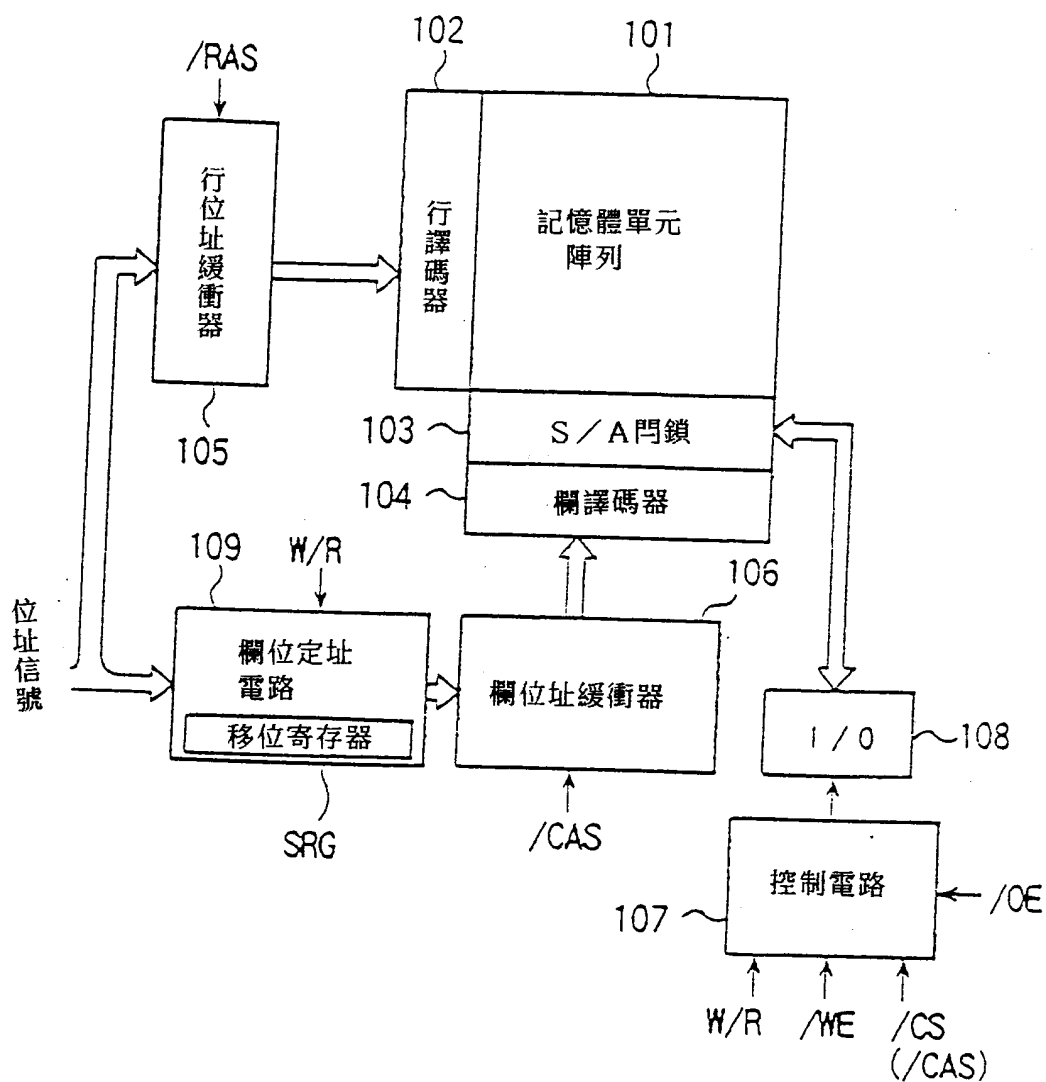
(請先閱讀背面之注意事項再填寫本頁)

訂

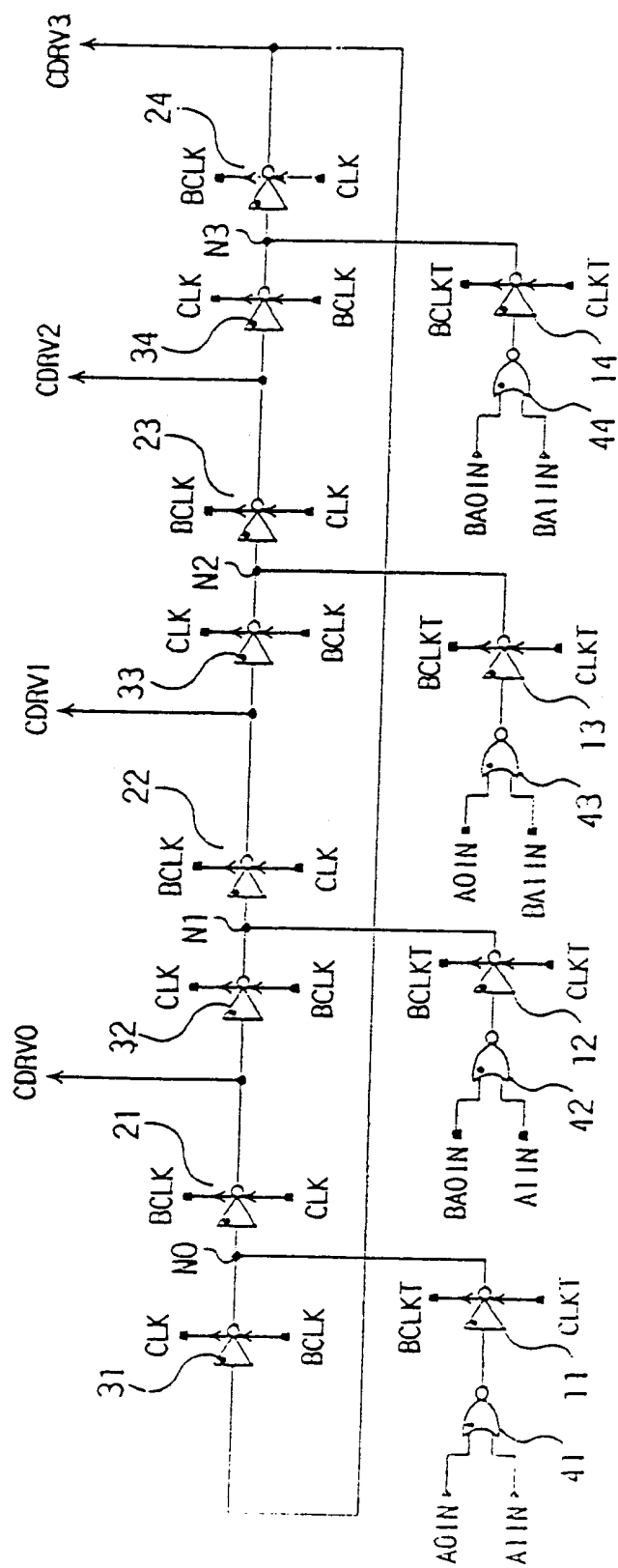
線

85 115516

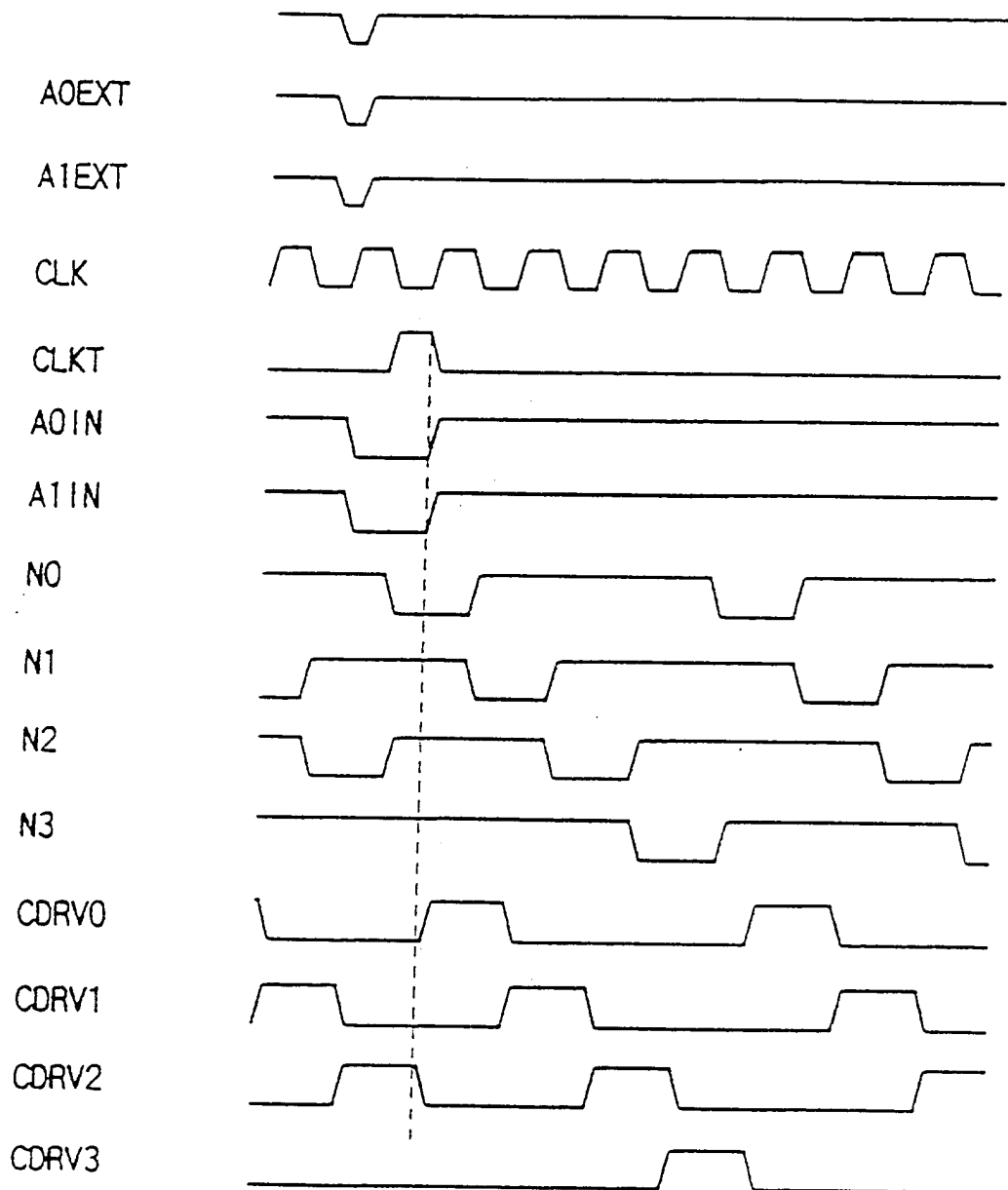
第 1 圖



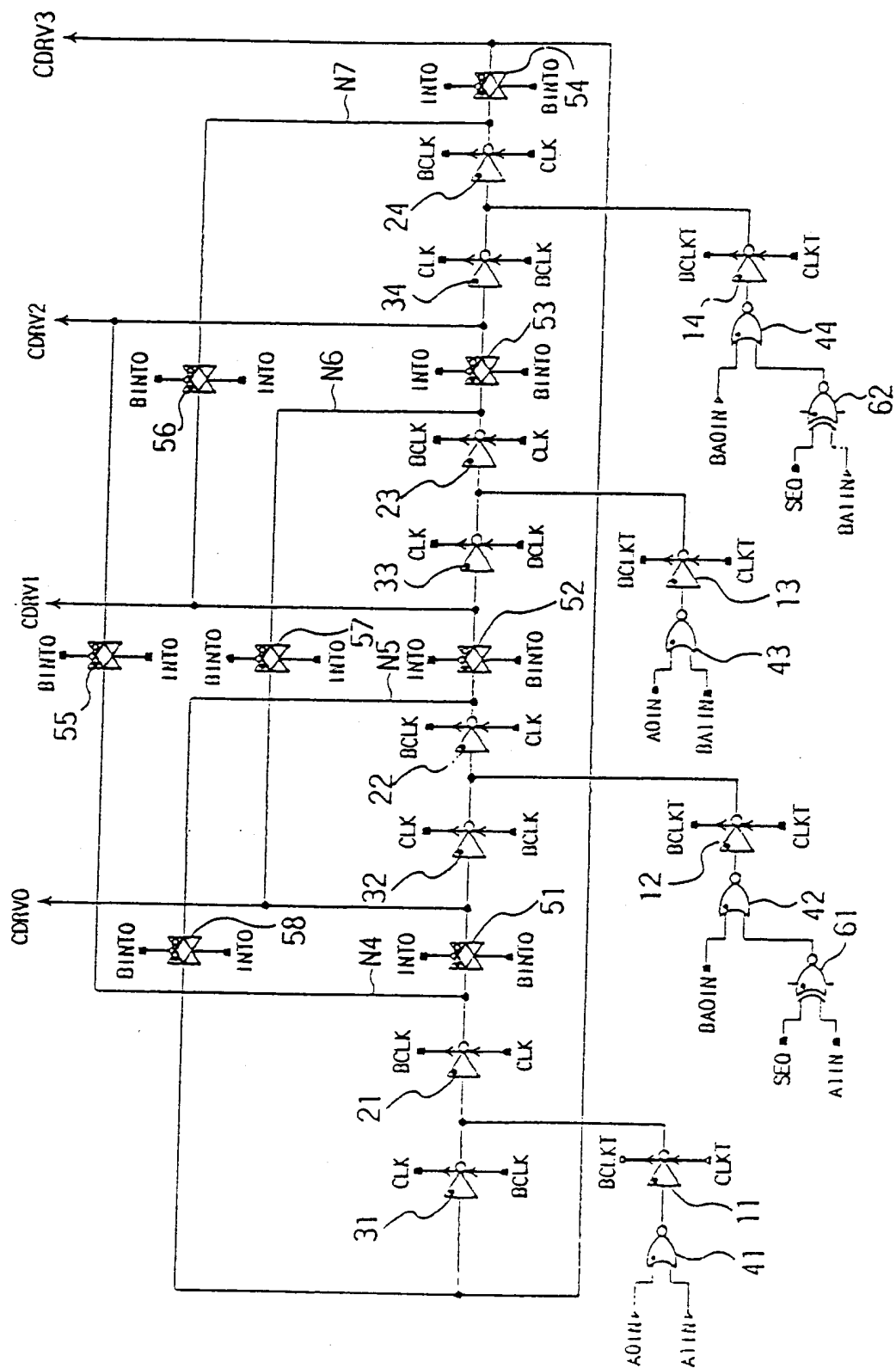
第 2 圖



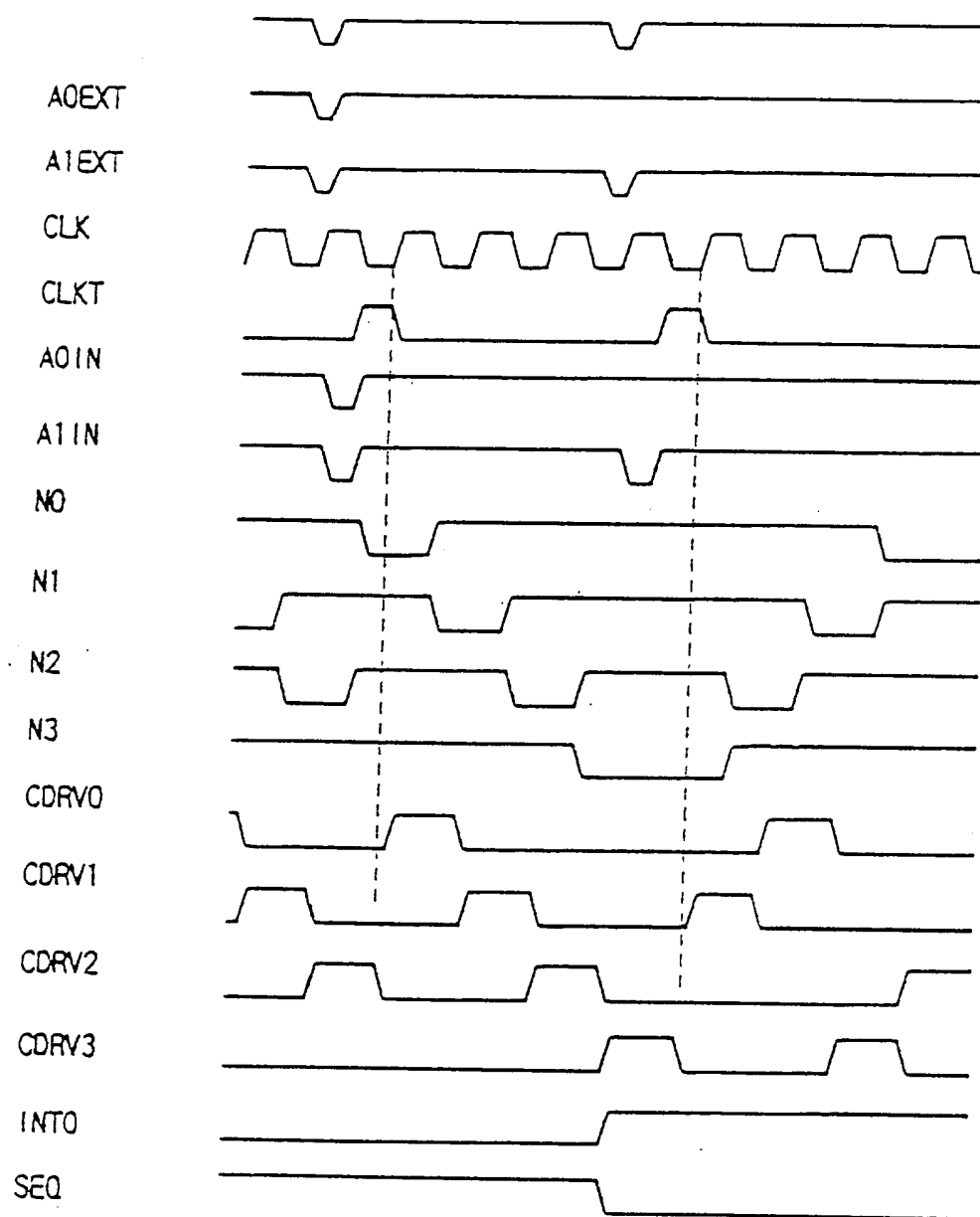
第 3 圖



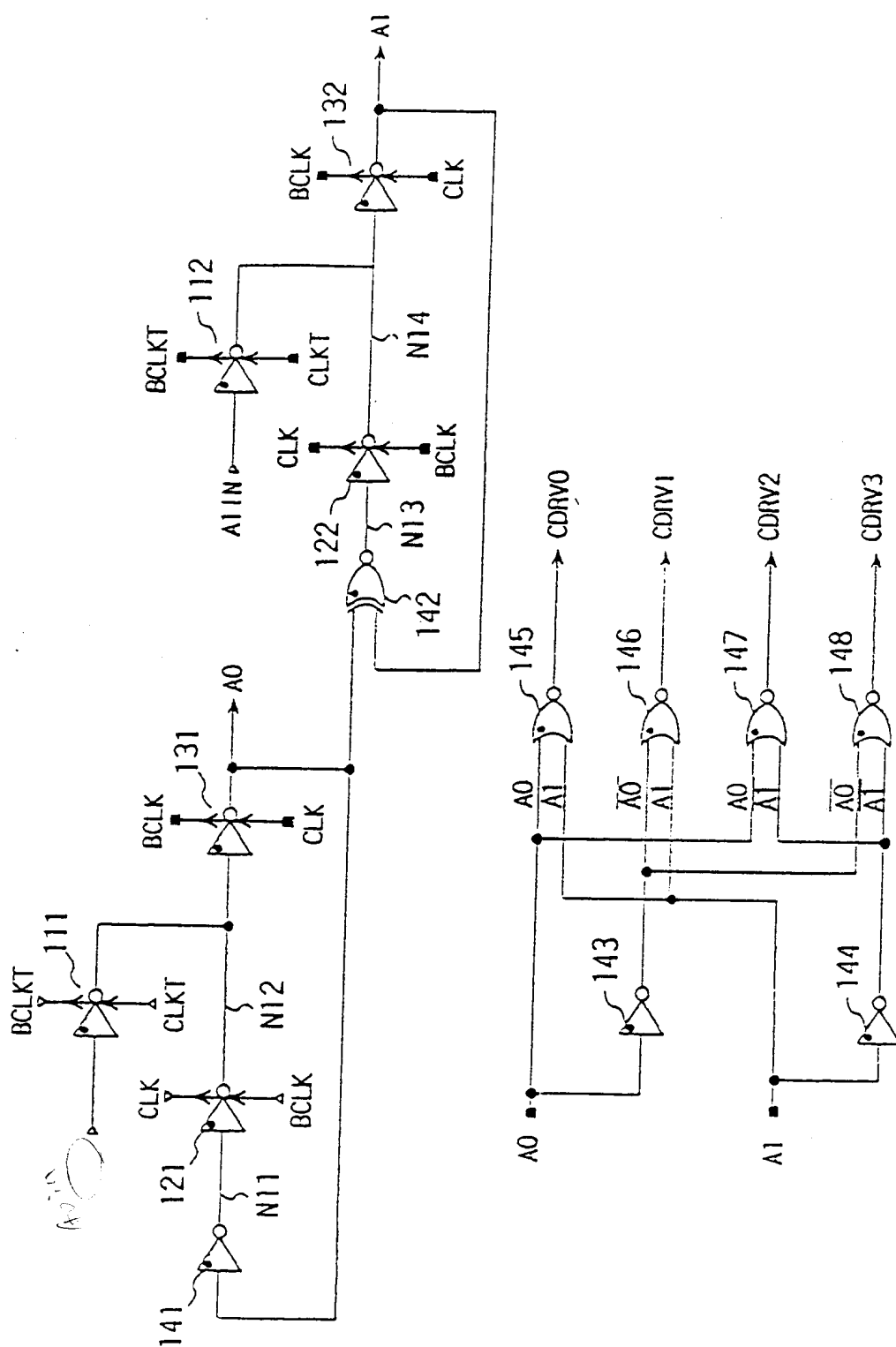
第4圖



第 5 圖

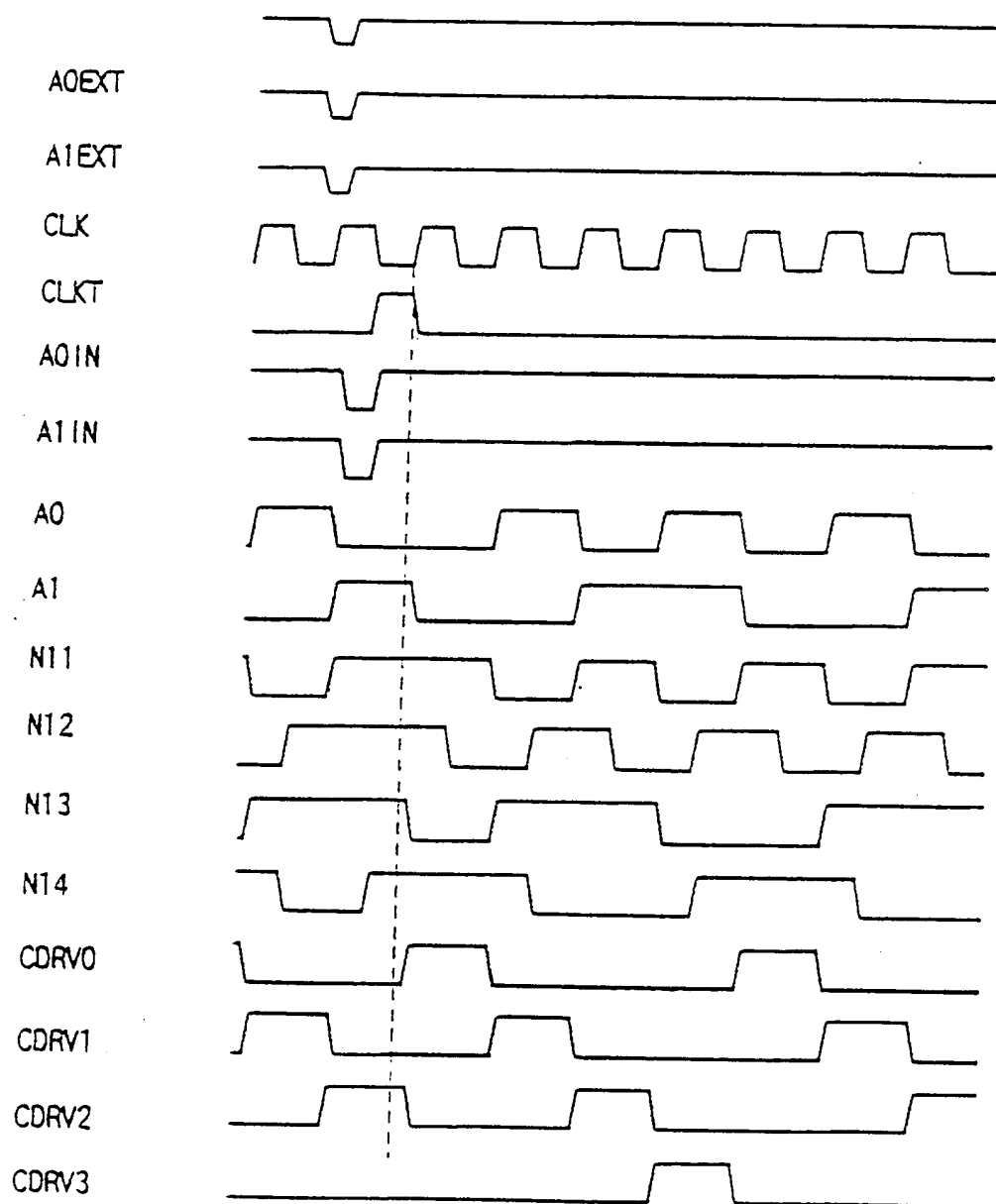


第 6 圖

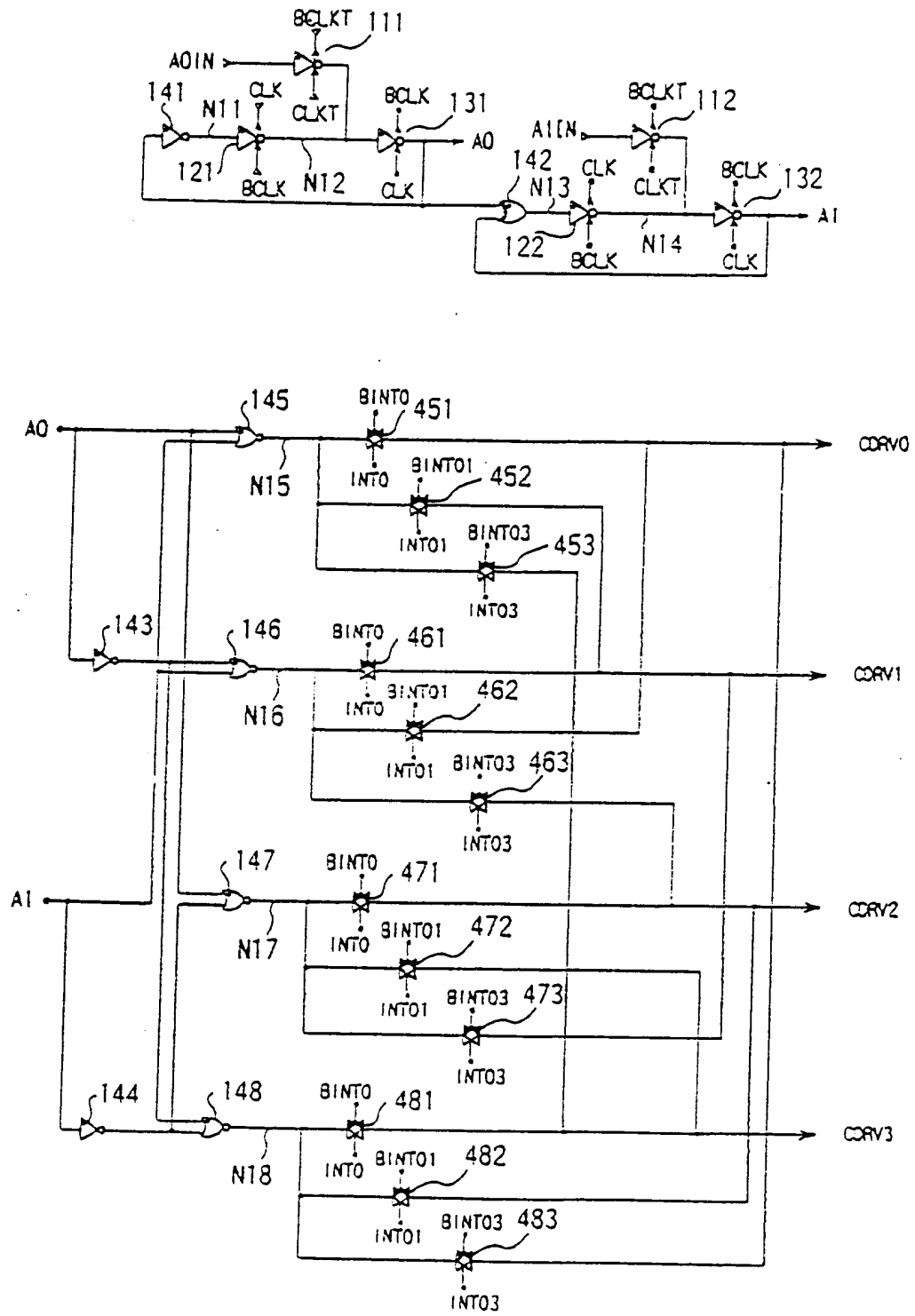


312766

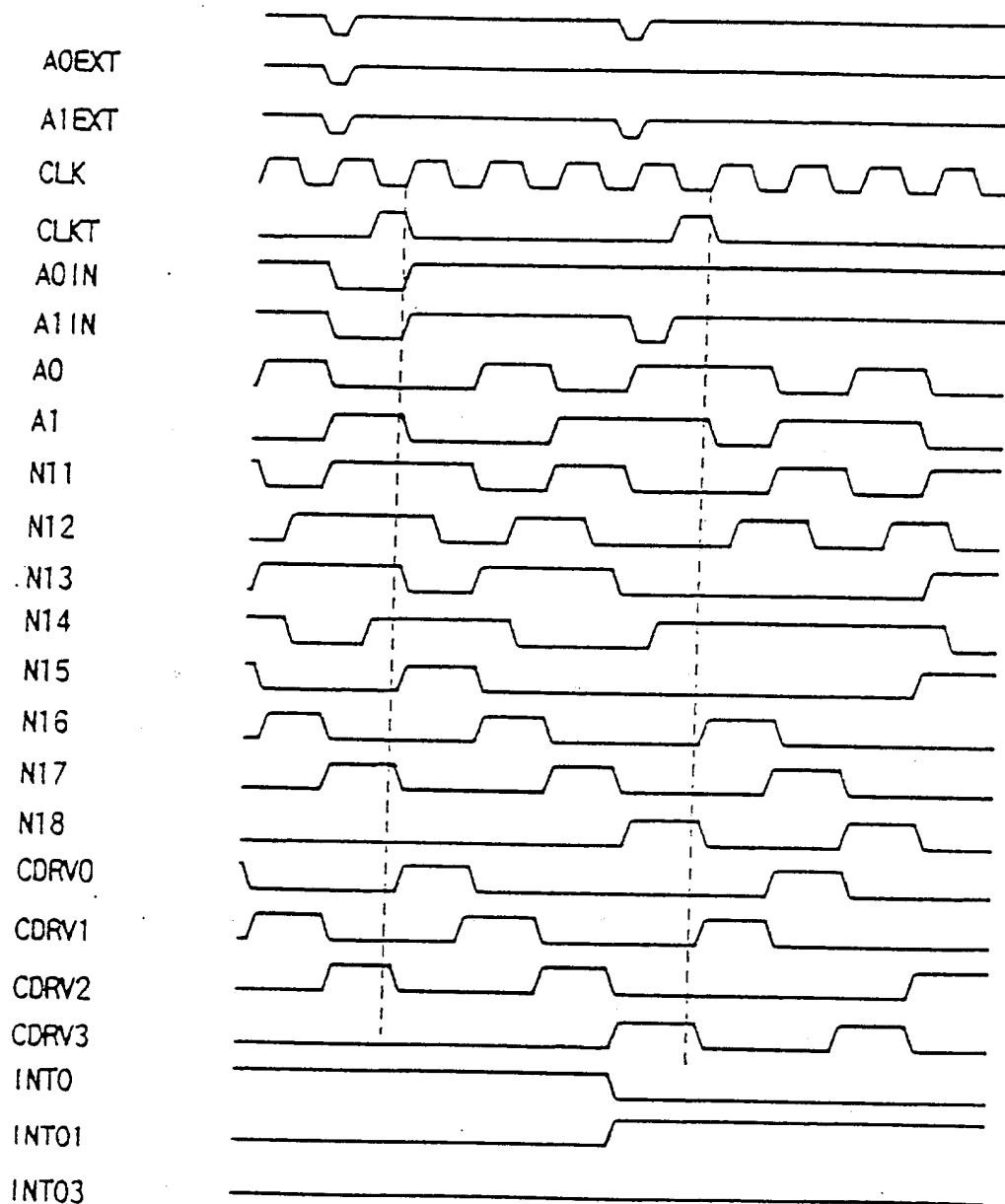
第 7 圖



第 8 圖



第 9 圖



312766

第10圖

	先頭位址 (A0EXT-A1EXT)	欄位位址 (下位 2位)
順序模式	00	0→1→2→3
	01	1→2→3→0
	10	2→3→0→1
	11	3→0→1→2
交錯模式	00	0→1→2→3
	01	1→0→3→2
	10	2→3→0→1
	11	3→2→1→0