

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 26 日(26.10.2012)



(10) 国際公開番号
WO 2012/144043 A1

- (51) 国際特許分類:
G06F 11/18 (2006.01) *H01L 27/04* (2006.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2011/059807
- (22) 国際出願日: 2011 年 4 月 21 日(21.04.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 山田 弘道(YAMADA, Hiromichi) [JP/JP]; 〒3191292 茨城県日立市大みか町七丁目 1 番地 1 号 株式会社日立製作所 日立研究所内 Ibaraki (JP). 金川 信康(KANEKAWA, Nobuyasu) [JP/JP]; 〒3191292 茨城県日立市大みか町七丁目 1 番地 1 号 株式会社日立製作所 日立研究所内 Ibaraki (JP). 酒田 輝昭(SAKATA, Teruaki) [JP/JP]; 〒3191292 茨城県日立市大みか町七丁目 1 番地 1 号 株式会社日立製作所 日立研究所内 Ibaraki (JP). 萩原 今朝巳(HAGIWARA, Kesami) [JP/JP]; 〒2118668 神奈川県川崎市中区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 石黒 雄一(ISHIGURO, Yuichi) [JP/JP]; 〒2118668 神奈川県川崎市中区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

- (74) 代理人: 玉村 静世(TAMAMURA, Shizuyo); 〒1010052 東京都千代田区神田小川町 1 丁目 1 番地 山城ビル 9 0 1 号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR OPERATING SAME

(54) 発明の名称: 半導体集積回路とその動作方法

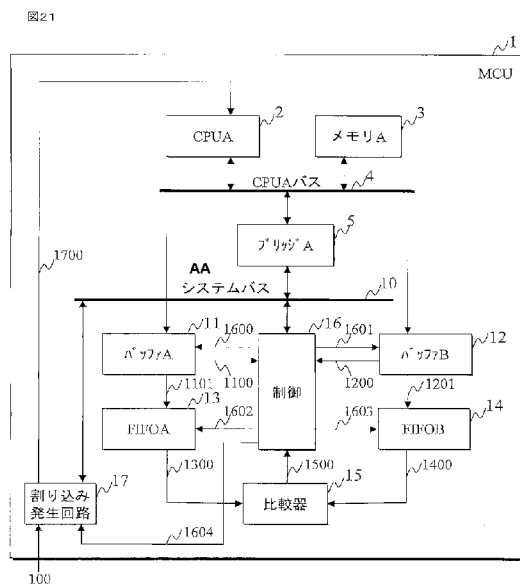


FIG. 21
1 MCU
2 CPU A
3 Memory A
4 CPU A bus
5 Bridge A
11 Buffer A
12 Buffer B
13 FIFO A
14 FIFO B
15 Comparator
16 Control
17 Interrupt generation circuit
AA System bus

(57) Abstract: First written data outputted from a function module (2) is supplied to an integral memory (3) and a first buffer memory (11), and second written data outputted from the function module (2) is supplied to the integral memory (3) and a second buffer memory (12). First and second FIFO memories (13, 14) select and store data of a prescribed output count from a plurality of first and second output data outputted successively from the first and the second buffer memories (11, 12), while leaving the other data unselected. A comparator (15) compares the data of the prescribed output count selected and outputted by the first and the second FIFO memories (13, 14).

(57) 要約: 機能モジュール(2)から出力される第1書き込みデータは内蔵メモリ(3)と第1バッファメモリ(11)に供給され、機能モジュール(2)から出力される第2書き込みデータは内蔵メモリ(3)と第2バッファメモリ(12)に供給される。第1と第2のFIFOメモリ(13、14)は、第1と第2のバッファメモリ(11、12)から順次出力される第1と第2の出力データの複数のデータから所定の出力回数データを選択して格納する一方、他のデータを非選択とする。比較器(15)は、第1と第2のFIFOメモリ(13、14)によって選択され出力される所定の出力回数データを比較する。



RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,
TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体集積回路とその動作方法

技術分野

[0001] 本発明は、半導体集積回路とその動作方法に関し、特に半導体集積回路の検査のための多重冗長動作の間に、内蔵メモリに連続した書き込みデータを格納可能とする一方、多重冗長動作の出力の比較器による比較のためのＦＩＦＯが書き込みデータによって容易に満杯となることを軽減するに有効な技術に関するものである。

背景技術

[0002] マイクロコントローラ(以下、単に「マイコン」と称する)は、家電製品、ＡＶ機器、携帯電話、自動車、産業機械等の機器に組み込まれ、メモリに格納されたプログラムに従ってデータ処理を実行することで、種々の機器を制御する半導体集積回路である。

[0003] 特に、自動車の分野では、制御装置の故障が事故の原因となる可能性があるため、マイコンを含む部品に高い信頼性が求められ、故障が発生した場合には故障を検出して自動車が危険な状態にならないように安全機能を作動させるように設計されている。さらに車載マイコンは、自動車の搭載された種々のセンサやアクチュエータの診断を行ってこれらの故障を検出するだけではなく、車載マイコン自身の故障も検出する必要がある。

[0004] マイコンの故障検出には様々な方法があるが、ＣＰＵを２重化して同一の処理を実行して、バスの値を比較する方法が採用される。

[0005] 下記非特許文献１には、マスターモジュールと比較用のチェッカーモジュールとが同一の処理を同時に実行して、それぞれの処理結果を比較回路によって比較してエラーを検出することが記載されている。

[0006] 下記特許文献１には、２個のＣＰＵと２個のメモリとバス比較器を使用して、２個のＣＰＵの出力信号をバス比較器によって比較することが記載されている。

[0007] また下記特許文献2には、3個のCPUと3個のメモリと3個のFIFOと3個の比較回路を使用して、3個のCPUの出力信号を3個のFIFOを介して3個の比較回路の入力に供給して、3個のCPUの出力信号を3個の比較回路によって比較することが記載されている。

[0008] 更に下記特許文献3には、複数のCPUの複数の出力信号を複数の圧縮器により圧縮して、複数の圧縮器の複数の圧縮結果を比較器により比較することが記載され、また複数のCPUの複数の出力信号を複数のFIFOを介して比較器の複数の入力に供給して複数のCPUの出力信号を比較器により比較することが記載されている。

先行技術文献

特許文献

[0009] 特許文献1：特開平10-261762号 公報

特許文献2：特開平6-324900号 公報

特許文献3：特開2010-113388号 公報

非特許文献

[0010] 非特許文献1：Richard Emmerson et al, “Fault Tolerance Achieved in VLSI”, 1984 IEEE MICRO, PP. 34-43.

発明の概要

発明が解決しようとする課題

[0011] 本発明者等は本発明に先立って、自動車に搭載可能な高い安全性と高い精度とが必要とされるマイクロコントローラ(マイコン)の研究・開発に従事した。

[0012] この本発明に先立った本発明者等による研究・開発では、本発明者等は最初に、上記特許文献3に記載されたFIFOを使用して複数のCPUの出力信号の比較器による比較方式を検討した。その理由は、FIFOはデータ圧縮せずに供給されたデータを先入れ先出し(First-In/First-Out)の方式で格

納して出力するメモリであり、高速の格納処理と高速の出力処理とが可能であるためである。それに対して、圧縮器は線型帰還シフトレジスタ(LFSR : Linear Feedback Shift Register)や巡回冗長検査(CRC : Cyclic Redundancy Check)等の複雑な圧縮アルゴリズムを使用するので、比較器での比較処理の以前の圧縮処理期間が長くなるという欠点を有する。

[0013] 一方、マイコンのコアであるCPUは半導体製造プロセスの微細化によって高速・高性能とされており、CPUの処理速度は年々向上している。このようにCPUの処理速度が向上されているのに対して、マイコンの故障診断のためのCPUの多重出力比較処理での圧縮器の圧縮処理期間が長いと言う問題は重大な欠点である。それに対して、上記特許文献3に記載されたFIFOを使用する複数のCPUの出力信号の比較器による比較方式は、回路規模や消費電力も小さく、高速の格納処理と高速の出力処理が可能であるので、極めて有益である。

[0014] しかし、本発明に先立った本発明者等による研究・開発によって、CPUの処理速度の向上により故障診断や故障検査の動作期間にCPUからFIFOに大量の書き込みデータが供給されるので、FIFOに空き領域が無くなりCPUの書き込みを停止させるためにウェイト要求信号をFIFOからCPUに出力しなければならないと言う問題が明らかとされた。このウェイト要求信号によってCPUがストールするかウェイトされるので、CPUのデータ処理が低下してしまう。

[0015] この問題を解消するために、マイコンの故障診断や故障検査の動作期間にCPUを連続動作でなく間欠動作させることにより、CPUからFIFOへの書き込みデータ量を削減することも検討された。しかし、この方法では、CPUからメモリへの書き込みデータが連続せず非連続の離散的なデータになってしまう。すなわち、マイコンの故障診断や故障検査の動作期間に複数のCPUによって実行されて比較器によって比較される冗長動作の内容は、複数のCPUのいずれか一方でそれ以前に実行されていた通常動作のデータ処理の内容とされる場合には、メモリから通常動作のデータ処理の連続した

書き込みデータを読み出すことが不可能となるという問題が、本発明に先立った本発明者等による検討によって明らかとされた。

[0016] 更にこの問題を解消するために、マイコンの故障診断や故障検査の動作期間にCPUを通常の高速動作でなく診断検査用の低速動作させることによって、CPUからFIFOへの書き込みデータ量を削減することも検討された。しかし、この方法では、CPUの処理速度が通常の高速動作より大幅に低い低速動作となるので、CPUの異常や故障の検出確率が著しく低下するという別の問題が本発明者等による検討によって明らかとされた。

[0017] 本発明は、以上のような本発明に先立った本発明者等による検討の結果、なされたものである。

[0018] 従って、本発明の目的とするところは、半導体集積回路の検査のための多重冗長動作の間に、内蔵メモリには連続した書き込みデータを格納可能とする一方、多重冗長動作の出力の比較器による比較のためのFIFOが書き込みデータによって容易に満杯となることを軽減することにある。

[0019] 本発明の他の目的とするところは、異常や故障の検出確率を向上することにある。

[0020] 本発明の前記目的並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0021] 本願において開示される発明のうち代表的なものについて簡単に説明すれば下記のとおりである。

[0022] すなわち、本発明の代表的な実施の形態による半導体集積回路(1)は、機能モジュール(2)と、内蔵メモリ(3)と、第1バッファメモリ(11)と、第2バッファメモリ(12)と、第1FIFOメモリ(13)と、第2FIFOメモリ(14)と、比較器(15)とを具備する。

[0023] 前記半導体集積回路の検査のための多重冗長動作の第1動作の間に前記機能モジュールから出力される第1書き込みデータは前記内蔵メモリと前記第1バッファメモリに供給され、前記半導体集積回路の前記検査のための前記

多重冗長動作の第2動作の間に前記機能モジュールから出力される第2書き込みデータは前記内蔵メモリと前記第2バッファメモリに供給される。

[0024] 前記第1 F I F Oメモリは前記第1動作の間に前記第1バッファメモリから順次に出力される第1出力データの複数のデータから所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択とする。

[0025] 前記第2 F I F Oメモリは前記第2動作の間に前記第2バッファメモリから順次に出力される第2出力データの複数のデータから前記所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択とする。

[0026] 前記比較器は、前記第1 F I F Oメモリによって選択され出力される前記所定の出力回数の前記データと前記第2 F I F Oメモリによって選択され出力される前記所定の出力回数の前記データを比較することを特徴とするものである(図21参照)。

発明の効果

[0027] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0028] すなわち、代表的な本発明によれば、半導体集積回路の検査のための多重冗長動作の間に内蔵メモリには連続した書き込みデータを格納可能とする一方、多重冗長動作の出力の比較器による比較のための F I F Oが書き込みデータによって容易に満杯となることを軽減することができる。

図面の簡単な説明

[0029] [図1]図1は、本発明の実施の形態1によるデュアルコアマイコンMCU1の構成を示す図である。

[図2]図2は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれるバッファメモリとしてのバッファA11、B12の構成を示す図である。

[図3]図3は、本発明の実施の形態1によるデュアルコアマイコンMCU1に

含まれる図2に示したバッファメモリとしてのバッファA11、B12の動作を説明する図である。

[図4]図4は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれるFIFOメモリとしてのFIFOA13、B14の構成を示す図である。

[図5]図5は、本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれる図4に示したFIFOメモリとしてのFIFOA13、B14の動作を説明する図である。

[図6]図6は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれる比較器15の構成を示す図である。

[図7]図7は、本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれる図6に示した比較器15の動作を説明する図である。

[図8]図8は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれる制御部16の構成を示す図である。

[図9]図9は、本発明の実施の形態1によるデュアルコアマイコンMCU1の制御部16に含まれる図8に示した比較制御レジスタ(CCR0)1610の構成を示す図である。

[図10]図10は、本発明の実施の形態1によるデュアルコアマイコンMCU1の制御部16に含まれる図8に示した第1比較制御レジスタ(CCR1)1611、第2比較制御レジスタ(CCR2)1612の構成を示す図である。

[図11]図11は、本発明の実施の形態1によるデュアルコアマイコンMCU1の制御部16に含まれる図8に示した比較状態レジスタ(CSR)1613の構成を示す図である。

[図12]図12は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれる図4に示したFIFOA13、B14の動作と図8に示した制御部16の動作とを、FIFOA13を中心に示した図である。

[図13]図13は、図1に示した本発明の実施の形態1によるデュアルコアマ

アイコンMCU 1に含まれる図4に示したFIFO A 13、B 14の動作と図8に示した制御部16の動作とを、FIFO B 14を中心に示した図である。

[図14]図14は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU 1の図12と図13とに示したFIFO A 13、B 14の動作タイミングチャートの重要なタイミングでのFIFO A 13、B 14の動作を示す図である。

[図15]図15は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU 1に含まれる図4に示したFIFO A 13、B 14の動作と図8に示した制御部16の動作とを、FIFO A 13を中心に示した図である。

[図16]図16は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU 1に含まれる図4に示したFIFO A 13、B 14の動作と図8に示した制御部16の動作とを、FIFO B 14を中心に示した図である。

[図17]図17は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU 1の図15と図16とに示したFIFO A 13、B 14の動作タイミングチャートの重要なタイミングでのFIFO A 13、B 14の動作を示す図である。

[図18]図18は、図1に示した本発明の実施の形態1において、デュアルコアマイコンMCU 1の通常動作の2個のCPU A 2、B 6による並列データ処理から故障検出動作のための2個のCPU A 2、B 6による冗長動作に移行する様子を示す図である。

[図19]図19は、図1に示すデュアルコアマイコンMCU 1に含まれる本発明の実施の形態2によるバッファメモリとしてのバッファA 11、B 12の他の構成を示す図である。

[図20]図20は、図19に示した本発明の実施の形態2による演算機能付きのバッファメモリA 11、B 12の動作を説明する図である。

[図21] 図 2 1 は、本発明の実施の形態 3 によるシングルコアマイコンMCU 1 の構成を示す図である。

[図22] 図 2 2 は、本発明の実施の形態 4 によるトリプルコアマイコンMCU 1 の構成を示す図である。

[図23] 図 2 3 は、本発明の実施の形態 5 による他のトリプルコアマイコンMCU 1 の構成を示す図である。

[図24] 図 2 4 は、図 1 乃至図 1 8 に示した本発明の実施の形態 1 によるデュアルコアマイコンMCU 1 または図 1 9 と図 2 0 とに示した本発明の実施の形態 2 による演算機能付きのバッファメモリ A 1 1、B 1 2 を使用したデュアルコアマイコンMCU 1 または図 2 1 に示した本発明の実施の形態 3 によるシングルコアマイコンMCU 1 または図 2 2 に示した本発明の実施の形態 4 によるトリプルマイコンMCU 1 または図 2 3 に示した本発明の実施の形態 5 によるトリプルマイコンMCU 1 を搭載した本発明の実施の形態 6 による自動車の構成を示す図である。

発明を実施するための形態

[0030] 1. 実施の形態の概要

まず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面の参照符号は、それが付された構成要素の概念に含まれるものを例示するに過ぎない。

[0031] [1] 本発明の代表的な実施の形態による半導体集積回路(1)は、機能モジュール(2)と、内蔵メモリ(3)と、第 1 バッファメモリ(1 1)と、第 2 バッファメモリ(1 2)と、第 1 F I F Oメモリ(1 3)と、第 2 F I F Oメモリ(1 4)と、比較器(1 5)とを具備する。

[0032] 前記半導体集積回路の検査のための多重冗長動作の第 1 動作の間に前記機能モジュールから出力される第 1 書き込みデータは前記内蔵メモリと前記第 1 バッファメモリに供給され、前記半導体集積回路の前記検査のための前記多重冗長動作の第 2 動作の間に前記機能モジュールから出力される第 2 書き

込みデータは前記内蔵メモリと前記第2バッファメモリに供給される。

[0033] 前記第1 F I F Oメモリは前記第1動作の間に前記第1バッファメモリから順次に出力される第1出力データの複数のデータから所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択とする。

[0034] 前記第2 F I F Oメモリは前記第2動作の間に前記第2バッファメモリから順次に出力される第2出力データの複数のデータから前記所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択とする。

[0035] 前記比較器は、前記第1 F I F Oメモリによって選択され出力される前記所定の出力回数の前記データと前記第2 F I F Oメモリによって選択され出力される前記所定の出力回数の前記データを比較することを特徴とするものである(図21参照)。

[0036] 前記実施の形態によれば、半導体集積回路の検査のための多重冗長動作の間に内蔵メモリには連続した書き込みデータを格納可能とする一方、多重冗長動作の出力の比較器による比較のための F I F Oが書き込みデータによって容易に満杯となることを軽減することができる。

[0037] 好適な実施の形態では、前記機能モジュールは、第1機能モジュール(2)と第2機能モジュール(6)とを少なくとも含むものである。

[0038] 前記内蔵メモリは、第1内蔵メモリ(3)と第2内蔵メモリ(7)とを少なくとも含むものである。

[0039] 前記第1動作の間に前記第1機能モジュールから出力される前記第1書き込みデータは、前記第1内蔵メモリと前記第1バッファメモリとに供給されるものである。

[0040] 前記第2動作の間に前記第2機能モジュールから出力される前記第2書き込みデータは、前記第2内蔵メモリと前記第2バッファメモリとに供給されることを特徴とするものである(図1参照)。

[0041] 他の好適な実施の形態では、前記第1機能モジュールと前記第2機能モジ

ュールは、それぞれ第 1 中央処理ユニット(2)と第 2 中央処理ユニット(6)であることを特徴とするものである(図 1 参照)。

[0042] 更に他の好適な実施の形態では、前記第 1 バッファメモリは、前記第 1 動作の間に順次に前記第 1 バッファメモリに供給される前記第 1 書き込みデータの前記複数のデータの第 1 出力回数(BCA)をカウント可能とされる。

[0043] 前記第 2 バッファメモリは、前記第 2 動作の間に順次に前記第 2 バッファメモリに供給される前記第 2 書き込みデータの前記複数のデータの第 2 出力回数(BCB)をカウント可能とされたことを特徴とするものである(図 2、図 3 参照)。

[0044] より好適な実施の形態による半導体集積回路は、前記第 1 バッファメモリと前記第 2 バッファメモリと前記第 1 F I F Oメモリと前記第 2 F I F Oメモリに接続された制御部(16)を更に具備する(図 1 参照)。

[0045] 前記制御部は、前記所定の出力回数の情報(4、8、12...)を格納可能な第 1 レジスタ(1625)と第 2 レジスタ(1635)とを含む。

[0046] 前記第 1 バッファメモリによってカウントされた前記第 1 出力回数(BCA)が前記第 1 レジスタに格納された前記情報(F C N A)と一致することに応答して、前記第 1 F I F Oメモリが前記所定の出力回数の前記データを選択して格納するための第 1 F I F Oライトイネーブル信号(F W E A)を前記制御部が前記第 1 F I F Oメモリに供給可能とされる。

[0047] 前記第 2 バッファメモリによってカウントされた前記第 2 出力回数(BCB)が前記第 2 レジスタに格納された前記情報(F C N B)と一致することに応答して、前記第 2 F I F Oメモリが前記所定の出力回数の前記データを選択して格納するための第 2 F I F Oライトイネーブル信号(F W E B)を前記制御部が前記第 2 F I F Oメモリに供給可能とされたことを特徴とするものである(図 8 参照)。

[0048] 他のより好適な実施の形態では、前記多重冗長動作の前記第 1 動作と前記第 2 動作の内容は、前記第 1 中央処理ユニットと前記第 2 中央処理ユニットとのいずれか一方で以前に実行されていた通常動作の内容とされることが可

能であることを特徴とするものである(図18参照)。

[0049] 更に他のより好適な実施の形態では、前記通常動作から前記多重冗長動作への移行は、前記通常動作を実行中の前記第1中央処理ユニットと前記第2中央処理ユニットとのいずれか一方から他方への割り込み(204)によって可能とされたことを特徴とするものである(図18参照)。

[0050] 別のより好適な実施の形態では、前記第1バッファメモリは、前記第1FIFOメモリに出力される前記第1出力データを格納する第1フリップフロップ(1150)と、一方の入力端子と他方の入力端子とに前記第1書き込みデータと前記第1フリップフロップの出力端子の第1出力データ(1101)とがそれぞれ供給される第1演算回路(1170)とを含み、前記第1演算回路の出力端子から生成される出力信号は前記第1フリップフロップに格納可能とされる。

[0051] 前記第2バッファメモリは、前記第2FIFOメモリに出力される前記第2出力データを格納する第2フリップフロップと、一方の入力端子と他方の入力端子とに前記第2書き込みデータと前記第2フリップフロップの出力端子の第2出力データとがそれぞれ供給される第2演算回路とを含み、前記第2演算回路の出力端子から生成される出力信号は前記第2フリップフロップに格納可能とされたことを特徴とするものである(図19参照)。

[0052] 具体的な実施の形態では、前記比較器による前記第1FIFOメモリによって出力される前記所定の出力回数の前記データと前記第2FIFOメモリによって出力される前記所定の出力回数の前記データとの比較結果が両方のデータの一致を示す場合には、前記半導体集積回路は正常と判断されて、比較結果が両方のデータの不一致を示す場合には、前記半導体集積回路は異常と判断されることを特徴とするものである(図21参照)。

[0053] 最も具体的な実施の形態では、前記第1中央処理ユニットは前記第1内蔵メモリに格納された前記通常動作のための命令を実行することに並列して、前記第2中央処理ユニットは前記第12内蔵メモリに格納された前記通常動作のための命令を実行することによって、前記半導体集積回路は多重コアの

マイクロコントローラとして動作可能とされたことを特徴とするものである（図 1 参照）。

[0054] 〔 2 〕 本発明の別の観点の代表的な実施の形態は、機能モジュール(2)と、内蔵メモリ(3)と、第 1 バッファメモリ(1 1)と、第 2 バッファメモリ(1 2)と、第 1 F I F Oメモリ(1 3)と、第 2 F I F Oメモリ(1 4)と、比較器(1 5)とを具備する半導体集積回路(1)の動作方法である。

[0055] 前記半導体集積回路の検査のための多重冗長動作の第 1 動作の間に前記機能モジュールから出力される第 1 書き込みデータは前記内蔵メモリと前記第 1 バッファメモリに供給され、前記半導体集積回路の前記検査のための前記多重冗長動作の第 2 動作の間に前記機能モジュールから出力される第 2 書き込みデータは前記内蔵メモリと前記第 2 バッファメモリに供給される。

[0056] 前記第 1 F I F Oメモリは前記第 1 動作の間に前記第 1 バッファメモリから順次に出力される第 1 出力データの複数のデータから所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択とする。

[0057] 前記第 2 F I F Oメモリは前記第 2 動作の間に前記第 2 バッファメモリから順次に出力される第 2 出力データの複数のデータから前記所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択とする。

[0058] 前記比較器は、前記第 1 F I F Oメモリによって選択され出力される前記所定の出力回数の前記データと前記第 2 F I F Oメモリによって選択され出力される前記所定の出力回数の前記データを比較することを特徴とするものである（図 2 1 参照）。

[0059] 前記実施の形態によれば、半導体集積回路の検査のための多重冗長動作の間に内蔵メモリには連続した書き込みデータを格納可能とする一方、多重冗長動作の出力の比較器による比較のための F I F Oが書き込みデータによって容易に満杯となることを軽減することができる。

[0060] 2. 実施の形態の詳細

実施の形態について更に詳述する。なお、発明を実施するための形態を説明するための全図において、同一の機能を有する要素には同一の符号を付して、その繰り返しの説明を省略する。

[0061] [実施の形態 1]

《デュアルコアマイコンの構成》

図 1 は、本発明の実施の形態 1 によるデュアルコアマイコンMCU 1 の構成を示す図である。

[0062] 図 1 に示した本発明の実施の形態 1 によるデュアルコアマイコンMCU 1 は、2つのCPU A 2、CPU B 6 の出力を比較できるようにしたものである。尚、図 1 に示すデュアルコアマイコンMCU 1 の内部回路は、半導体集積回路の半導体チップ内部に集積化されている。

[0063] 第 1 中央処理ユニットとしてのCPU A 2 は命令を実行することによって演算やデータ転送等の処理を実行するプロセッサであり、第 1 内蔵メモリとしてのメモリ A 3 はCPU A 2 が実行する命令および処理するデータを記憶する。第 1 CPUバスとしてのCPU Aバス 4 はCPU A 2 がメモリ A 3 等のデバイスをアクセスするためのバスであり、第 1 バスブリッジとしてのブリッジ A 5 はCPU A 2 がシステムバス 10 を経由してその他のデバイスをアクセスする場合にCPU Aバス 4 とシステムバス 10 とを接続制御するコントローラである。

[0064] 第 2 中央処理ユニットとしてのCPU B 6 は命令を実行することによって演算やデータ転送等の処理を実行するプロセッサであり、第 2 内蔵メモリとしてのメモリ B 7 はCPU B 6 が実行する命令および処理するデータを記憶する。第 2 CPUバスとしてのCPU Bバス 8 はCPU B 6 がメモリ B 7 等のデバイスをアクセスするためのバスであり、第 2 バスブリッジとしてのブリッジ B 9 はCPU B 6 がシステムバス 10 を経由してその他のデバイスをアクセスする場合にCPU Bバス 8 とシステムバス 10 とを接続制御するコントローラである。

[0065] 第 1 バッファメモリとしてのバッファ A 11 は、CPU A 2 が特定のアド

レス空間に出力する書き込みデータを保持して、その出力回数をカウントする。第2バッファメモリとしてのバッファB12も、CPU B6が特定のアドレス空間に出力する書き込みデータを保持して、その出力回数をカウントする。第1FIFOメモリとしてのFIFO A13はバッファA11の出力データ1101を保持する一方、第2FIFOメモリとしてのFIFO B14はバッファB12の出力データ1201を保持する。ここでの特定のアドレス空間と言う技術用語は、CPU A2、B6から出力される書き込みデータをメモリA3、B7とバッファA11、B12とに二重書き込みするためのアドレス空間を意味している。

[0066] 比較器15は、FIFO A13の出力データ1300とFIFO B14の出力データ1400とを比較する。制御部16はシステムバス10に接続されており、CPU A2およびCPU B6からレジスタ設定可能とされている。制御部16の出力信号1600はバッファA11におけるカウンタのクリア信号およびデータ保持とカウントの許可信号である一方、制御部16の出力信号1601はバッファB12におけるカウンタのクリア信号およびデータ保持とカウントの許可信号である。制御部16にはバッファA11から出力されるカウント信号1100とバッファB12から出力されるカウント信号1200が供給され、制御部16はFIFO A13、FIFO B14の制御信号1602、1603を出力する。また、制御部16には比較器15からの比較結果信号1500が供給され、その比較結果は制御部16内部のレジスタに保持される。比較結果が不一致だった場合には、制御部16は、割り込み発生回路17に割り込み要求信号1604(C__INTREQ)を出力することができる。

[0067] 割り込み発生回路17は、システムバス10に接続されており、CPU A2およびCPU B6からレジスタ設定可能とされている。この割り込み発生回路17には、割り込み要求端子100から割り込み要求が供給可能とされている。

[0068] 図1には示していないが、デュアルコアマイコンMCU1にはA/D変換

器、タイマ、シリアル通信等の機能モジュールが内蔵され、これら機能モジュールからの割り込み要求も割り込み発生回路 17 に供給可能とされている。割り込み発生回路 17 では複数の割り込み要求に関して優先順位が設定されており、最も優先順位の高い割り込み要求が選択されて、割り込み発生回路 17 から CPU A 2 への割り込み要求 1700 と CPU B 6 への割り込み要求 1701 とが出力される。

[0069] 《デュアルコアマイコンでの通常動作》

図 1 に示した本発明の実施の形態 1 によるデュアルコアマイコン MCU 1 は高性能を実現するために、2 個の CPU A 2、B 6 にそれぞれ独立したデータ処理を並列に実行させる。2 個の CPU A 2、B 6 による並列処理結果は、2 個のメモリ A 3、B 7 に並列に格納可能である。更に 2 個のメモリ A 3、B 7 のデータは、2 個のブリッジ A 5、B 9 を介してシステムバス 10 に転送されることも可能である。

[0070] 《デュアルコアマイコンでの冗長動作》

図 1 に示した本発明の実施の形態 1 によるデュアルコアマイコン MCU 1 は高信頼性を実現するために、2 個の CPU A 2、B 6 に同一のデータ処理を実行させその処理結果の不一致を検出して故障を検出するようにした冗長動作が実行される。

[0071] この冗長動作のために、2 個の CPU A 2、B 6 は同一のオペランドデータに関して同一の冗長タスクプログラムを実行する。図 1 のデュアルコアマイコン MCU 1 に故障が存在せず 2 個の CPU A 2、B 6 が正常に動作している場合には、2 個の CPU A 2、B 6 から特定のアドレス空間に出力されメモリ A 3、B 7 とバッファ A 11、B 12 に二重書き込みされる書き込みデータは同一となる。しかし、図 1 のデュアルコアマイコン MCU 1 に故障が発生して 2 個の CPU A 2、B 6 の一方が異常動作している場合には、2 個の CPU A 2、B 6 から特定のアドレス空間に出力されメモリ A 3、B 7 とバッファ A 11、B 12 とに二重書き込みされる書き込みデータは不一致となり、故障検出が可能となる。

[0072] 2個のFIFO A13、B14は、2個のバッファA11、B12を経由して2個のCPU A2、B6から冗長タスク演算結果として順次に出力され供給される複数のデータから所定の出力回数のデータのみを選択して格納する一方、それ以外の出力回数のデータは非選択として破棄するものである。2個のFIFO A13、B14によって選択されて出力される所定の出力回数のデータは、比較器15によって比較される。比較器15による比較結果が一致する場合には、図1のデュアルコアマイコンMCU1に故障が存在しないと判定されて、比較器15による比較結果が不一致の場合には、図1のデュアルコアマイコンMCU1に故障が存在すると判定される。従って、高性能の2個のCPU A2、B6から順次に出力される複数のデータによって2個のFIFO A13、B14に短時間に空き領域がなくなり、2個のCPU A2、B6が容易にストールするかウェイトされるという問題が解消されることが可能となる。

[0073] 《バッファメモリの構成》

図2は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれるバッファメモリとしてのバッファA11、B12の構成を示す図である。

[0074] バッファA11、B12には、CPU Aバス4、CPUBバス8からライトデータWDとレディ信号RDYとコマンド信号CMDとアドレス信号Aが供給され、制御部16からクロック信号CLKとカウティネーブル信号CNEとカウンタリセット信号CNRとパワーオンリセット信号RSTとが供給される。

[0075] デコーダ(DEC)1110には、レディ信号RDYとコマンド信号CMDとアドレス信号Aとが供給される。コマンド信号CMDが有効であることを意味するハイレベル“1”のレディ信号RDYとライトコマンドであるコマンド信号CMDとバッファA11、B12をアクセスするアドレス信号Aとに応答して、デコーダ(DEC)1110は、ハイレベル“1”のライトイネーブル信号WEを生成する。

- [0076] デコーダ(D E C) 1 1 1 0から生成されるライトイネーブル信号WEは、クロックC L Kの立ち上がりに応答してフリップフロップ(F F) 1 1 2 0に供給される。フリップフロップ(F F) 1 1 2 0の出力信号がハイレベル “1” でかつカウントイネーブル信号C N Eがハイレベル “1” の場合には、A N D回路 1 1 3 0の出力から生成されるバッファライトイネーブル信号B W Eがハイレベル “1” となる。
- [0077] バッファライトイネーブル信号B W Eがハイレベル “1” の場合に、ライトデータW Dはクロック信号C L Kの立ち上がりに応答してフリップフロップ(F F) 1 1 5 0に格納される。フリップフロップ(F F) 1 1 5 0は、バッファ出力信号B Oを生成する。
- [0078] バッファライトイネーブル信号B W Eがハイレベル “1” の場合には、カウンタ(C N T) 1 1 6 0はクロック信号C L Kをカウントする。カウンタ(C N T) 1 1 6 0は、バッファカウント信号B Cを生成する。
- [0079] 制御部 1 6からのパワーオンリセット信号R S Tとカウンタリセット信号C N RとはO R回路 1 1 4 0で論理和され、O R回路 1 1 4 0の出力によってカウンタ(C N T) 1 1 6 0がリセットされる。
- [0080] 図 1 と図 2 に示した本発明の実施の形態 1 によるデュアルコアマイコンM C U 1 では、例えばバッファメモリとしてのバッファA 1 1、B 1 2 のアドレスは固定されたものである。しかし、アドレス設定レジスタに、例えば開始アドレスから終了アドレスまでのアドレス範囲を、C P U A 2、C P U B 6 によって設定可能とすることも可能である。従って、アドレス設定レジスタに設定されたアドレス範囲のアドレス信号A のデコーダ(D E C) 1 1 1 0 でのデコードによって、任意のメモリアドレスのメモリA 3、B 7 への書き込みデータをバッファA 1 1、B 1 2 にバッファ記憶することが可能である。
- [0081] 《バッファメモリの動作》

図 3 は、本発明の実施の形態 1 によるデュアルコアマイコンM C U 1 に含まれる図 2 に示したバッファメモリとしてのバッファA 1 1、B 1 2 の動作

を説明する図である。

- [0082] 図3に示したように、ハイレベル“1”のレディ信号RDYはコマンド信号CMDの有効を示し、ローレベル“0”のレディ信号RDYはコマンド信号CMDの無効を示す。コマンド信号CMDには、N(No Operation、非動作)と、R(Read、読み出し動作)と、W(Write、書き込み動作)の3種類がある。アドレス信号Aは、コマンド信号CMDと同様にクロック信号CLKによるクロックサイクルでCPUA2またはCPUB6からCPUAバス4またはCPUバス8に出力される。
- [0083] 図3に示した例では、クロック信号CLKの1番目と2番目と7番目と9番目と14番目とで、CPUA2またはCPUB6から読み出し動作Rのコマンド信号CMDが出力されている。更に、クロック信号CLKの1番目と2番目と7番目と8番目と14番目とで、CPUA2またはCPUB6から、アドレス信号A1とアドレス信号A2とアドレス信号A5とアドレス信号A6とアドレス信号A9がそれぞれ出力されている。従って、クロック信号CLKの2番目と3番目と9番目と10番目と15番目とで、データD1とデータD2とデータD5とデータD6とデータD9との各リードデータRDが、メモリA3またはメモリB7からCPUAバス4またはCPUバス8を介してCPUA2またはCPUB6に読み出される。
- [0084] 更に図3に示した例では、クロック信号CLKの5番目と6番目と10番目と13番目とで、CPUA2またはCPUB6から書き込み動作Wのコマンド信号CMDとが出力されている。更にクロック信号CLKの5番目と6番目と10番目と13番目とで、CPUA2またはCPUB6から、アドレス信号A3とアドレス信号A4とアドレス信号A7とアドレス信号A8とがそれぞれ出力されている。従って、クロック信号CLKの6番目と7番目と14番目とで、データD3とデータD4とデータD8との各ライトデータWDが、CPUA2またはCPUB6からCPUAバス4またはCPUバス8を介してメモリA3またはメモリB7とバッファA11またはバッファB12とに書き込まれる。尚、クロック信号CLKの10番目のアドレス信号A

7は、メモリA3またはメモリB7とバッファA11またはバッファB12をアクセスするメモリアドレス以外のアドレスとなっている。例えば、クロック信号CLKの10番目のアドレス信号A7は、メモリマップドI/O等のその他のデバイスをアクセスするためのものである。

[0085] 従って、他のデバイスをアクセスするためのアドレス信号A7以外のアドレス信号A3とアドレス信号A4とアドレス信号A8とに応答してデコーダ(DEC)1110は、クロック信号CLKの5番目と6番目との期間とクロック信号CLKの13番目の期間とに、ハイレベル“1”のライトイネーブル信号WEをそれぞれ生成する。

[0086] フリップフロップ(FF)1120はデコーダ(DEC)1110の出力から生成されたライトイネーブル信号WEをクロック信号CLKの1クロック分遅延するので、この1クロック分遅延されたハイレベル“1”のバッファライトイネーブル信号BWEがAND回路1130の出力から生成される。

[0087] その結果、ハイレベル“1”のバッファライトイネーブル信号BWEに応答して、データD3とデータD4とデータD8の各ライトデータWDがフリップフロップ(FF)1150に格納されるので、フリップフロップ(FF)1150の出力からデータD3とデータD4とデータD8とのバッファ出力信号BOが生成される。またカウンタ(CNT)1160はハイレベル“1”のバッファライトイネーブル信号BWEとクロック信号CLKに応答して、バッファ出力信号BOの出力回数としてのバッファカウント信号BCを出力する。

[0088] 《FIFOメモリの構成》

図4は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれるFIFOメモリとしてのFIFOA13、B14の構成を示す図である。

[0089] 図4に示したようにFIFOメモリとしてのFIFOA13、B14は、4段のフリップフロップ(FF)1310、1320、1330、1340と、デコーダ(DEC)1350と、セクタ(SEL)1360とから構成され

ている。

[0090] 4段のフリップフロップ(F F) 1 3 1 0～1 3 4 0のデータ入力端子には、図2に示したバッファメモリとしてのバッファA 1 1、B 1 2から生成されるバッファ出力信号B Oが供給される。デコーダ(D E C) 1 3 5 0に制御部1 6からF I F Oライトイネーブル信号F W EとF I F Oライト番号信号F W Nとが供給され、デコーダ(D E C) 1 3 5 0からライトイネーブル信号W E 0、W E 1、W E 2、W E 3が生成される。クロック信号C L Kの立ち上がりのタイミングでデコーダ(D E C) 1 3 5 0からの複数のライトイネーブル信号W E 0、W E 1、W E 2、W E 3のいずれかの信号がハイレベル“1”となることによって、4段のフリップフロップ(F F) 1 3 1 0、1 3 2 0、1 3 3 0、1 3 4 0のいずれかにバッファ出力信号B Oが格納されるかを選択される。

[0091] 制御部1 6からF I F Oリード番号信号F R Nがセクタ(S E L) 1 3 6 0に供給され、F I F Oリード番号信号F R Nが示す番号のフリップフロップ(F F) 1 3 1 0、1 3 2 0、1 3 3 0、1 3 4 0の出力信号F O 0、F O 1、F O 2、F O 3のいずれかが選択されてF I F O出力信号F Oとなる。

[0092] 《F I F Oの動作》

図5は、本発明の実施の形態1によるデュアルコアマイコンM C U 1に含まれる図4に示したF I F OメモリとしてのF I F O A 1 3、B 1 4の動作を説明する図である。

[0093] 図5は、バッファA 1 1、B 1 2からF I F O A 1 3、B 1 4に順次に供給される4個のバッファ出力信号B Oのうち最後の1個だけが、F I F O A 1 3、B 1 4に格納されることを示している。すなわち、順次に供給される4個のバッファ出力信号B Oとしてのデータ入力信号D 1、D 2、D 3、D 4のうち最後の1個のデータ入力信号D 4だけがF I F O A 1 3、B 1 4に格納され、その後順次に供給される4個のバッファ出力信号B Oとしてのデータ入力信号D 5、D 6、D 7、D 8のうち最後の1個のデータ入力信号D 8だけがF I F O A 1 3、B 1 4に格納される。

[0094] 図5に示すように、FIFOライト番号信号FWNとFIFOリード番号信号FRNとは、最初は制御部16によって初期値“0”に設定されている。8番目のクロック信号CLKの立ち上がりのタイミングで制御部16によってFIFOライトイネーブル信号FWEがハイレベル“1”に制御されるので、4個目のデータ入力信号D4が9番目のクロック信号CLKの立ち上がりのタイミングにて1段目のフリップフロップ(FF)1310に格納される。この時には、FIFOリード番号信号FRNが初期値“0”に設定されているので、1段目のフリップフロップ(FF)1310の出力信号F00がセクタ(SEL)1360によって選択されてFIFO出力信号F0には4個目のデータ入力信号D4が出力される。一方、9番目のクロック信号CLKの立ち上がりのタイミングでの1段目のフリップフロップ(FF)1310への4個目のデータ入力信号D4の格納に応答して、制御部16はFIFOライト番号信号FWNを初期値“0”から次の更新値“1”に変更する。

[0095] FIFOメモリとしての2個のFIFOA13、FIFOB14に同一の4個目のデータ入力信号D4が格納されると、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1内部の比較器15によって2個のFIFOA13、FIFOB14の両方のFIFO出力信号F0の比較が実行される。この比較が実行された後には、2個のFIFOA13、FIFOB14に格納された4個目のデータ入力信号D4は不要になる。図5に示した例では、8番目のクロック信号CLKの立ち上がりのタイミングで2個のFIFOA13、FIFOB14の一方に既に4個目のデータ入力信号D4が格納され、11番目のクロック信号CLKの立ち上がりのタイミングで2個のFIFOA13、FIFOB14の他方に4個目のデータ入力信号D4が格納され、比較器15によって2個のFIFOA13、FIFOB14の両方のFIFO出力信号F0の比較が実行される。その結果、12番目のクロック信号CLKの立ち上がりのタイミング以降では、1段目のフリップフロップ(FF)1310中には有効なデータ入力信号が格納されていないので、図5の網掛けに示すようにFIFO出力信号F0は不定となる。更に、

比較器 15 による 2 個の F I F O A 13、F I F O B 14 の F I F O 出力信号 F O の比較実行に応答して、制御部 16 は F I F O リード番号信号 F R N を初期値 “0” から次の更新値 “1” に変更する。

[0096] 更に、図 5 に示したように、13 番目のクロック信号 C L K の立ち上がりのタイミングで制御部 16 によって F I F O ライトイネーブル信号 F W E がハイレベル “1” に制御されるので、8 個目のデータ入力信号 D 8 が 14 番目のクロック信号 C L K の立ち上がりのタイミングにて 2 段目のフリップフロップ (F F) 1320 に格納される。このように 8 個目のデータ入力信号 D 8 が 2 段目のフリップフロップ (F F) 1320 に格納されるのは、制御部 16 によって F I F O ライト番号信号 F W N を初期値 “0” から更新値 “1” に変更されているためである。この時には、F I F O リード番号信号 F R N が更新値 “1” に設定されているので、2 段目のフリップフロップ (F F) 1320 の出力信号 F O 1 がセクタ (S E L) 1360 によって選択されて F I F O 出力信号 F O には 8 個目のデータ入力信号 D 8 が出力される。

[0097] 《比較器の構成》

図 6 は、図 1 に示した本発明の実施の形態 1 によるデュアルコアマイコン M C U 1 に含まれる比較器 15 の構成を示す図である。

[0098] 図 6 に示したように、比較器 15 はデジタル比較器 1510 を含み、デジタル比較器 1510 の一方の入力端子と他方の入力端子には F I F O A 13 の F I F O 出力信号 F O A (1300) と F I F O B 14 の F I F O 出力信号 F O B (1400) とがそれぞれ供給され、デジタル比較器 1510 の出力端子から比較出力信号 C O が生成される。従って、F I F O A 13 の F I F O 出力信号 F O A (1300) と F I F O B 14 の F I F O 出力信号 F O B (1400) とが一致する場合には比較出力信号 C O はローレベル “1” となる一方、F I F O A 13 の F I F O 出力信号 F O A (1300) と F I F O B 14 の F I F O 出力信号 F O B (1400) とが不一致の場合には比較出力信号 C O はハイレベル “1” となる。

[0099] 《比較器の動作》

図7は、本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれる図6に示した比較器15の動作を説明する図である。

[0100] 図7に示したように、FIFO A 13のFIFO出力信号FOA(1300)として、5番目から7番目までのクロック信号CLKの期間で4個目のデータ入力信号D4が出力され、10番目から13番目までのクロック信号CLKの期間で8個目のデータ入力信号D8が出力され、それ以外の期間では不定となる。一方、FIFO B 14のFIFO出力信号FOB(1400)として、7番目のクロック信号CLKの期間で4個目のデータ入力信号D4が出力され、13番目のクロック信号CLKの期間で他の8個目のデータ入力信号D8' (8個目のデータ入力信号D8と異なる値)が出力され、それ以外の期間では不定となる。

[0101] その結果、7番目のクロック信号CLKの期間でローレベル“0”(両方の入力が一致)の比較出力信号COが生成され、13番目のクロック信号CLKの期間でハイレベル“1”(両方の入力不一致)の比較出力信号COが生成され、それ以外の期間では比較出力信号COは無効である。

[0102] 《制御部の構成》

図8は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1に含まれる制御部16の構成を示す図である。

[0103] 図8に示すように、制御部16は、デコーダ(DEC)1614と、比較制御レジスタ(CCR0)1610と、第1比較制御レジスタ(CCR1)1611と、第2比較制御レジスタ(CCR2)1612と、比較状態レジスタ(CSR)1613と、3入力AND回路1615と、2入力AND回路1616と、第1制御部(CTA)1626と、第2制御部(CTB)1636等によって構成されている。

[0104] 図9は、本発明の実施の形態1によるデュアルコアマイコンMCU1の制御部16に含まれる図8に示した比較制御レジスタ(CCR0)1610の構成を示す図である。

[0105] 図9に示すように、比較制御レジスタ(CCR0)1610のビット7～0

は比較サイクルCMPCYCであり、バッファA11、B12から順次に生成される複数個のバッファ出力信号BOが何個ごとにFIFOA13、14に保持され、何個ごとに比較器15によって比較されるかを設定する。例えば、図9のビット7～0の比較サイクルCMPCYCでは、オール“0”のH00は比較サイクル256を示す一方、オール“0”を除外した値である設定値H01～HFFが比較サイクル1～255を示すようにされる。尚、図9に示した比較制御レジスタ(CCR0)1610のビット7～0での比較サイクルCMPCYCの設定値は、システムバス10からのライトデータWDの値によって決定されることが可能である。

[0106] 図9の比較制御レジスタ(CCR0)1610のビット8は比較イネーブル信号CMPENであり、例えば、ローレベル“0”は比較禁止を示し、ハイレベル“1”は比較許可を示す。図9の比較制御レジスタ(CCR0)1610のビット9は割り込みイネーブル信号INTENであり、例えばローレベル“0”は割り込み禁止を示し、ハイレベル“1”は割り込み許可を示す。尚、図9において、比較制御レジスタ(CCR0)1610のビット15～10は、予約ビットRESERVEDである。

[0107] 図10は、本発明の実施の形態1によるデュアルコアマイコンMCU1の制御部16に含まれる図8に示した第1比較制御レジスタ(CCR1)1611、第2比較制御レジスタ(CCR2)1612の構成を示す図である。

[0108] 図10に示したように、ビット0はカウントイネーブル信号CNTENであり、第1比較制御レジスタ(CCR1)1611の場合にはCPUA2の出力データをバッファA11に保持してカウントするか否かを設定して、第2比較制御レジスタ(CCR2)1612の場合にはCPUB6の出力データをバッファB12に保持してカウントするか否かを設定する。例えばローレベル“0”で保持とカウントとを実行せず、ハイレベル“1”で保持とカウントとを実行するようにする。図10のビット1はカウントリセット信号CNTRSTであり、第1比較制御レジスタ(CCR1)1611の場合にはバッファA11のカウントリセットを実行する一方、第2比較制御レジスタ(CCR2)1612の場合にはバッファB12のカウントリセットを実行する。

R2) 1612の場合にはバッファB12のカウンタリセットを実行する。例えば、ローレベル“0”でバッファのカウンタリセットを実行せず、ハイレベル“1”でバッファのカウンタリセットを実行する。CNTRSTは書き込んだ値を保持せず、ハイレベル“1”が書き込まれることを検出してバッファA11およびバッファB12のカウンタリセットを行う。尚、図10でも、ビット15～2は、予約ビットRESERVEDである。

[0109] 図11は、本発明の実施の形態1によるデュアルコアマイコンMCU1の制御部16に含まれる図8に示した比較状態レジスタ(CSR)1613の構成を示す図である。

[0110] 図11に示したように、比較状態レジスタ(CSR)1613のビット0は比較エラー信号CMPERRであり、例えばローレベル“0”は比較エラー無し(比較結果一致)を示す一方、ハイレベル“1”は比較エラー有り(比較結果不一致)を示すものとする。尚、このビット0の比較エラー信号CMPERRとしてハイレベル“1”(比較結果不一致)が書き込まれると、その後の比較器15による比較結果が一致してもローレベル“0”(比較結果一致)がこのビット0に書き込まれることはない。尚、図11でも、ビット15～1は、予約ビットRESERVEDである。

[0111] 図8に戻ると、システムバス10のレディ信号RDYとコマンド信号CMDとアドレス信号Aとはデコーダ(DEC)1614によってデコードされ、比較制御レジスタ(CCR0)1610、第1比較制御レジスタ(CCR1)1611、第2比較制御レジスタ(CCR2)1612、比較状態レジスタ(CSR)1613へのライトデータWDの書き込み制御が実行される。特に制御部16の比較制御レジスタ(CCR0)1610と第1比較制御レジスタ(CCR1)1611と第2比較制御レジスタ(CCR2)1612と比較状態レジスタ(CSR)1613とに書き込まれる種々のライトデータWDは、システムバス10を介してデュアルコアマイコンMCU1のオンチップの内蔵不揮発性メモリ(図示せず)から供給されることが可能であり、またシステムバス10とダイレクトメモリアクセスコントローラ(DMAC)とを介して、マザーボー

ドに搭載されたオフチップの外部不揮発性メモリ(図示せず)から供給されることも可能である。

- [0112] 尚、図8には示されていないが、比較制御レジスタ(CCR0)1610、第1比較制御レジスタ(CCR1)1611、第2比較制御レジスタ(CCR2)1612、比較状態レジスタ(CSR)1613のシステムバス10への読み出し制御を実行して、リードデータRDをシステムバス10へ出力する機能を追加することも可能である。
- [0113] また比較制御レジスタ(CCR0)1610からの割り込みイネーブル信号INTENと比較状態レジスタ(CSR)1613からの比較エラー信号CMPERRとは2入力AND回路1616で論理積され、2入力AND回路1616の出力から割り込み発生回路17への比較エラー割り込み信号C__INTREQが生成される。また第1比較制御レジスタ(CCR1)1611は、バッファA11へ供給されるカウントイネーブル信号CNEAとカウンタリセット信号CNRAとを生成する。更に第2比較制御レジスタ(CCR2)1612は、バッファB12へ供給されるカウントイネーブル信号CNEBとカウンタリセット信号CNRBとを生成する。
- [0114] 更に図8に示した制御部16では、FIFOカウンタとしてのレジスタ(FC0A)1620とレジスタ(FC1A)1621とレジスタ(FC2A)1622とレジスタ(FC3A)1623は、バッファA11から順次に生成されるデータの何個目のデータがFIFOA13のフリップフロップ(FF)1310とフリップフロップ(FF)1320とフリップフロップ(FF)1330とフリップフロップ(FF)1340とにそれぞれ格納されるかを示すデータを保持するものである。
- [0115] レジスタ(FSTA)1624は、FIFOA13のフリップフロップ(FF)1310、1320、1330、1340の出力信号FO0、FO1、FO2、FO3の状態(データの有無)を保持する。レジスタ(FCNA)1625は、次にFIFOA13に保持されるべきバッファ出力信号BOがバッファA11から何個目に生成されるかの情報を保持する。制御部(CTA)162

6は、上述したレジスタ1620、1621、1622、1623、1624、1625の制御を実行する。制御部(CTA)1626は比較制御レジスタ(CCR0)1610から比較イネーブル信号CMPENと比較サイクルCMPCYCを入力して、バッファA11からバッファカウント信号BCAを入力する。まず、比較制御レジスタ(CCR0)1610に書き込みが実行されると、比較サイクルCMPCYCがレジスタ(FCNA)1625にコピーされる。

[0116] 制御部(CTA)1626はバッファカウント信号BCAをレジスタ(FCNA)1625の内容と比較して、両者が一致するとFIFOカウンタとしてのレジスタ1620、1621、1622、1623の中からレジスタ(FSTA)1624によってデータを含まないと最初に示されたレジスタにバッファカウント信号BCAが格納される。また同時に制御部(CTA)1626は、FIFOA13へのFIFOライトイネーブル信号FWEAとFIFOライト番号信号FWNAとを出力して、FIFOA13にバッファA11から供給されるバッファ出力信号BOAを書き込む。また制御部(CTA)1626は、その時点でのバッファカウント信号BCAの値と比較サイクルCMPCYCの値との加算値をレジスタ(FCNA)1625に書き込むものである。

[0117] 更に図8に示した制御部16では、FIFOカウンタとしてのレジスタ(FCOB)1630とレジスタ(FC1B)1631とレジスタ(FC2B)1632とレジスタ(FC3B)1633は、バッファB12から順次に生成されるデータの何個目のデータがFIOB14のフリップフロップ(FF)1310とフリップフロップ(FF)1320とフリップフロップ(FF)1330とフリップフロップ(FF)1340とにそれぞれ格納されるかを示すデータを保持するものである。

[0118] レジスタ(FSTB)1634は、FIOB14のフリップフロップ(FF)1310、1320、1330、1340の出力信号FO0、FO1、FO2、FO3の状態(データの有無)を保持する。レジスタ(FCNB)1635は、次にFIOB14に保持されるべきバッファ出力信号BOがバッファ

B 1 2 から何個目に生成されるかの情報を保持する。制御部 (C T B) 1 6 3 6 は、上述したレジスタ 1 6 3 0、1 6 3 1、1 6 3 2、1 6 3 3、1 6 3 4、1 6 3 5 の制御を実行する。制御部 (C T B) 1 6 3 6 は比較制御レジスタ (C C R 0) 1 6 1 0 から比較イネーブル信号 C M P E N と比較サイクル C M P C Y C を入力して、バッファ B 1 2 からバッファカウント信号 B C B を入力する。まず、比較制御レジスタ (C C R 0) 1 6 1 0 に書き込みが実行されると、比較サイクル C M P C Y C がレジスタ (F C N B) 1 6 3 5 にコピーされる。

[0119] 制御部 (C T B) 1 6 3 6 はバッファカウント信号 B C B をレジスタ (F C N B) 1 6 3 5 の内容と比較して、両者が一致すると F I F O カウンタとしてのレジスタ 1 6 3 0、1 6 3 1、1 6 3 2、1 6 3 3 の中からレジスタ (F S T B) 1 6 3 4 によってデータを含まないと最初に示されたレジスタにバッファカウント信号 B C B が格納される。また同時に制御部 (C T B) 1 6 3 6 は、F I F O B 1 4 への F I F O ライトイネーブル信号 F W E B と F I F O ライト番号信号 F W N B とを出力して、F I F O B 1 4 にバッファ B 1 2 から供給されるバッファ出力信号 B O B を書き込む。また制御部 (C T B) 1 6 3 6 は、その時点でのバッファカウント信号 B C B の値と比較サイクル C M P C Y C の値との加算値をレジスタ (F C N B) 1 6 3 5 に書き込むものである。

[0120] F I F O A 1 3 がデータで満杯になった場合には、バッファカウント信号 B C A がレジスタ (F C N A) 1 6 2 5 の内容と同一となったとしても、バッファ A 1 1 から供給されるバッファ出力信号 B O A を F I F O A 1 3 に書き込むことができない。一方、F I F O A 1 3 にデータの書き込みが実行されて、その後に F I F O B 1 4 に同一のデータ書き込みが実行されると、比較器 1 5 による比較が実行されて F I F O A 1 3 に空きができる。その時点のバッファカウント信号 B C A が空いた F I F O カウンタに書き込まれ、バッファカウント信号 B C A の値と比較サイクル C M P C Y C の値との加算値がレジスタ (F C N A) 1 6 2 5 に書き込まれる。また、その時点のバッファ出力信号 B O A が、F I F O A 1 3 に書き込まれる。

[0121] F I F O B 1 4 がデータで満杯になった場合も、同様に書き込みが不可能となる。このように F I F O B 1 4 が満杯になると、レジスタ (F C N B) 1 6 3 5 に事前に設定した比較サイクル C M P C Y C の整数倍となるバッファ B 1 2 からの所定の個数番目のバッファ出力信号 B O を F I F O B 1 4 に書き込めなくなってしまう。F I F O B 1 4 がデータで満杯になる以前に F I F O B 1 4 にデータの書き込みが実行されて、その後に F I F O A 1 3 に同一のデータ書き込みが実行されると、比較器 1 5 による比較が実行されて F I F O A 1 3、F I F O B 1 4 に空きができる。従って、ようやくこの F I F O B 1 4 の空きに、バッファ B 1 2 からのバッファ出力信号 B O が F I F O B 1 4 に書き込まれることが可能となる。このように、F I F O B 1 4 では比較サイクル C M P C Y C の整数倍毎のバッファ B 1 2 からのバッファ出力信号 B O B の書き込みが中断されるので、バッファ出力信号 B O B の書き込み個数のスキップが発生する。従って、このスキップが発生した場合には、F I F O B 1 4 から F I F O A 1 3 へスキップの発生を通知する必要がある。スキップの発生が通知された F I F O A 1 3 は、スキップに従って F I F O A 1 3 の F I F O カウンタの内容を更新する。F I F O A 1 3 でバッファ出力信号 B O A の書き込み個数のスキップが発生した場合には、F I F O A 1 3 から F I F O B 1 4 へスキップの発生を通知する必要がある。スキップの発生が通知された F I F O B 1 4 は、スキップに従って F I F O A 1 3 の F I F O カウンタの内容を更新する。すなわち、内部信号 1 6 2 7 は F I F O A 1 3 から F I F O B 1 4 へのスキップの発生を通知するために使用され、内部信号 1 6 3 7 は F I F O B 1 4 から F I F O A 1 3 へのスキップの発生を通知するために使用される。

[0122] 制御部 (C T A) 1 6 2 6 は、F I F O A 1 3 に有効なデータがない場合には比較イネーブル信号 C E A をローレベル “0” に設定する一方、F I F O A 1 3 に有効なデータがある場合にはハイレベル “1” に設定する。同様に、制御部 (C T B) 1 6 3 6 は、F I F O B 1 4 に有効なデータがない場合には比較イネーブル信号 C E B をローレベル “0” に設定する一方、F I F O

B 1 4 に有効なデータある場合にはハイレベル “ 1 ” に設定する。比較イネーブル信号 C E A と比較イネーブル信号 C E B とがハイレベル “ 1 ” になると、比較器 1 5 の比較出力信号 C O が 3 入力 A N D 回路 1 6 1 5 を介して比較状態レジスタ (C S R) 1 6 1 3 の比較エラー信号 C M P E R R に書き込まれる。比較状態レジスタ (C S R) 1 6 1 3 の比較エラー信号 C M P E R R は、比較状態レジスタ (C S R) 1 6 1 3 にクリア信号 H 0 0 0 0 を書き込むことによってクリア可能である。

[0123] 図 1 2 は、図 1 に示した本発明の実施の形態 1 によるデュアルコアマイコン M C U 1 に含まれる図 4 に示した F I F O A 1 3 、 B 1 4 の動作と図 8 に示した制御部 1 6 の動作とを、 F I F O A 1 3 を中心に示した図である。

[0124] 図 1 3 は、図 1 に示した本発明の実施の形態 1 によるデュアルコアマイコン M C U 1 に含まれる図 4 に示した F I F O A 1 3 、 B 1 4 の動作と図 8 に示した制御部 1 6 の動作とを、 F I F O B 1 4 を中心に示した図である。

[0125] 図 1 2 の動作と図 1 3 の動作では、制御部 1 6 の比較制御レジスタ (C C R 0) 1 6 1 0 のビット 7 ~ 0 は比較サイクル C M P C Y C は、所定の初期値として “ H 0 4 ” の値に設定されているとする。

[0126] 図 1 2 において、 6 番目のクロック信号 C L K では、バッファ A 1 1 から制御部 1 6 の制御部 (C T A) 1 6 2 6 に供給されるバッファカウント信号 B C A の値は “ 3 ” で、制御部 (C T A) 1 6 2 6 に接続されたレジスタ (F C N A) 1 6 2 5 の内容は “ 4 ” で、レジスタ (F S T A) 1 6 2 4 の内容は “ H 0 (データ無し)” である。

[0127] 図 1 2 の 9 番目のクロック信号 C L K で、バッファ A 1 1 から供給されるバッファカウント信号 B C A の値が “ 4 ” となってレジスタ (F C N A) 1 6 2 5 の内容 “ 4 ” と一致すると、次の 1 0 番目のクロック信号 C L K のタイミングで、制御部 (C T A) 1 6 2 6 に接続されたレジスタ (F C O A) 1 6 2 0 の内容 F C O A としてバッファカウント信号 B C A の値 “ 4 ” が書き込まれる。また、この 1 0 番目のクロック信号 C L K のタイミングで、この時点でのバッファカウント信号 B C A の値 “ 4 ” と比較サイクル C M P C Y C の

値“4”との加算値“8”が、レジスタ(FCNA)1625に書き込まれ、レジスタ(FSTA)1624の内容は“H0(データ無し)”から“H1(FOOにデータ有り)”に変更される。更に9番目のクロック信号CLKのタイミングで、制御部(CTA)1626からFIFOA13に供給される書き込みイネーブル信号FWEAがハイレベル“1”となるので、FIFOA13ではバッファA11から供給されるバッファ出力信号BOA(=D4)が1段目のフリップフロップ(FF)1310のデータFOOとして書き込まれる。9番目のクロック信号CLKのタイミングでは制御部(CTA)1626からFIFOA13に供給されるFIFOリード番号信号FRNAの値は“0”であるので、FIFOA13の読み出しデータFOAには1段目のフリップフロップ(FF)1310のデータFOOが選択され、10番目のクロック信号CLKのタイミングからデータD4が出力される。また、制御部(CTA)1626から3入力AND回路1615に供給される比較イネーブル信号CEAの値は、ハイレベル“1”となる。

[0128] 一方、図13において、6番目のクロック信号CLKのタイミングでは、バッファB12から供給されるバッファカウント信号BCBの値が“1”であり、レジスタ(FCNB)1635の値が“4”であり、レジスタ(FSTB)1634の内容は“H0(データ無し)”となっている。9番目のクロック信号CLKのタイミングでは、バッファカウント信号BCBの値が“2”で、レジスタ(FCNB)1635の値が“4”であり、レジスタ(FSTB)1634の内容は“H0(データ無し)”である。

[0129] 図12に戻り、19番目のクロック信号CLKのタイミングでは、バッファA11から供給されるバッファカウント信号BCAの値が“8”となってレジスタ(FCNA)1625の内容“8”と一致すると、次の20番目のクロック信号CLKのタイミングで、制御部(CTA)1626に接続されたレジスタ(FCOA)1621の内容FC1Aとしてバッファカウント信号BCAの値“8”が書き込まれる。また、この20番目のクロック信号CLKのタイミングで、この時点でのバッファカウント信号BCAの値“8”と比較

サイクルCMPCYCの値“4”との加算値“12”がレジスタ(FCNA) 1625に書き込まれ、レジスタ(FSTA) 1624の内容は“H1(FOOにデータ有り)”から“H3(FOOとFO1にデータ有り)”に変更される。更に、20番目のクロック信号CLKのタイミングでは、制御部(CTA) 1626からFIFOA13に供給される書き込みイネーブル信号FWEAが既にハイレベル“1”となっているので、FIFOA13ではバッファA11から供給されるバッファ出力信号BOA(=D8)が、2段目のフリップフロップ(FF) 1320のデータFO1として書き込まれる。

- [0130] 一方、図13において、19番目のクロック信号CLKのタイミングでバッファB12から供給されるバッファカウント信号BCBの値が“4”となってレジスタ(FCNB) 1625の内容“4”と一致すると、次の20番目のクロック信号CLKのタイミングで、制御部(CTB) 1636に接続されたレジスタ(FCOB) 1630の内容FCOBとしてバッファカウント信号BCBの値“4”が書き込まれる。この20番目のクロック信号CLKのタイミングで、この時点でのバッファカウント信号BCBの値“4”と比較サイクルCMPCYCの値“4”との加算値“8”がレジスタ(FCNB) 1635に書き込まれて、レジスタ(FSTB) 1634の内容は“H0(データ無し)”から“H1(FOOにデータ有り)”に変更される。また19番目のクロック信号CLKのタイミングでは制御部(CTB) 1636からFIOB14に供給される書き込みイネーブル信号FWEBがハイレベル“1”となるので、FIOB14ではバッファB12から供給されるバッファ出力信号BOB(=D4)が1段目のフリップフロップ(FF) 1310のデータFO0として書き込まれる。19番目のクロック信号CLKのタイミングでは、制御部(CTB) 1636からFIOB14に供給されるFIFOリード番号信号FRNBの値は“0”であるので、FIOB14の読み出しデータFOBには1段目のフリップフロップ(FF) 1310のデータFO0が選択され、20番目のクロック信号CLKのタイミングからデータD4が出力される。また制御部(CTB) 1636から3入力AND回路1615に供給され

る比較イネーブル信号CEBの値は、ハイレベル“1”となる。

[0131] 図12に戻り、20番目のクロック信号CLKのタイミングで比較イネーブル信号CEAと比較イネーブル信号CEBとがともにハイレベル“1”になったので、FIFO A 13のFIFO出力信号FOA(1300)とFIFO B 14のFIFO出力信号FOB(1400)を比較する比較器15の比較結果信号1500を示す比較出力信号CO(=C4)が有効な値となる。従って、次の21番目のクロック信号CLKのタイミングで、比較器15の比較出力信号CO(=C4)は3入力AND回路1615を介して比較状態レジスタ(CSR)1613の比較エラー信号CMPERRとして書き込まれる。また、同一のデータであるFIFO出力信号FOA(1300)とFIFO出力信号FOB(1400)との比較器15による比較が実行されたため、FIFO A 13の1段目のフリップフロップ(FF)1310は空きとなり、レジスタ(FSTA)1624の内容は“H3(FO0とFO1にデータ有り)”から“H2(FO1にデータ有り)”に変更される。また21番目のクロック信号CLKのタイミングで制御部(CTA)1626からFIFO A 13に供給されるFIFOリード番号信号FRNAの値が“0”から“1”に変更されたので、FIFO A 13の読み出しデータFOAには2段目のフリップフロップ(FF)1320のデータFO1(=D8)が選択される。

[0132] 一方、図13では20番目のクロック信号CLKのタイミングで同一のデータであるFIFO出力信号FOA(1300)とFIFO出力信号FOB(1400)の比較器15による比較が実行されたため、21番目のクロック信号CLKのタイミングではFIFO B 14の1段目のフリップフロップ(FF)1310(FO0)が空きとなって、レジスタ(FSTB)1634の内容は“H1(FO0にデータ有り)”から“H0(データ無し)”に変更される。制御部(CTB)1636からFIFO B 14に供給されるFIFOリード番号信号FRNBの値は“0”から“1”に変更されているので、FIFO B 14の読み出しデータFOBには2段目のフリップフロップ(FF)1320のデータFO1(不定)が選択されて、21番目のクロック信号CLKのタイミン

グではF I F O B 1 4のF I F O出力信号F O B (1 4 0 0)は不定となる。

[0133] 図 1 2に戻り、3 0番目のクロック信号C L KのタイミングでバッファA 1 1から供給されるバッファカウント信号B C Aの値が“1 2”となってレジスタ(F C N A) 1 6 2 5の内容“1 2”と一致すると、次の3 1番目のクロック信号C L Kのタイミングで、制御部(C T A) 1 6 2 6に接続されたレジスタ(F C O A) 1 6 2 2の内容F C 2 Aとしてバッファカウント信号B C Aの値“1 2”が書き込まれる。この3 0番目のクロック信号C L Kのタイミングで、この時点のバッファカウント信号B C Aの値“1 2”と比較サイクルC M P C Y Cの値“4”の加算値“1 6”がレジスタ(F C N A) 1 6 2 5に書き込まれて、レジスタ(F S T A) 1 6 2 4の内容は“H 2 (F O 1にデータ有り)”から“H 6 (F O 1とF O 2にデータ有り)”に変更される。更に3 0番目のクロック信号C L Kのタイミングでは、制御部(C T A) 1 6 2 6からF I F O A 1 3に供給される書き込みイネーブル信号F W E Aが既にハイレベル“1”となっているので、F I F O A 1 3ではバッファA 1 1から供給されるバッファ出力信号B O A (=D 1 2)が2段目のフリップフロップ(F F) 1 3 3 0のデータF O 2として書き込まれる。また3 2番目のクロック信号C L Kのタイミングで制御部(C T A) 1 6 2 6からF I F O A 1 3に供給されるF I F Oリード番号信号F R N Aの値が“1”から“2”に変更されたので、F I F O A 1 3の読み出しデータF O Aに3段目のフリップフロップ(F F) 1 3 3 0のデータF O 2 (=D 1 2)が選択される。

[0134] 一方、図 1 3において、3 0番目のクロック信号C L KのタイミングでバッファB 1 2から供給されるバッファカウント信号B C Bの値が“8”となってレジスタ(F C N B) 1 6 2 5の内容“8”と一致すると、次の3 1番目のクロック信号C L Kのタイミングで、制御部(C T B) 1 6 3 6に接続されたレジスタ(F C O B) 1 6 3 1の内容F C 1 Bとしてバッファカウント信号B C Bの値“8”が書き込まれる。この3 0番目のクロック信号C L Kのタイミングで、この時点でのバッファカウント信号B C Bの値“8”と比較サイクルC M P C Y Cの値“4”の加算値“1 2”がレジスタ(F C N B) 1 6

35に書き込まれて、レジスタ(FSTB)1634の内容は“H0(データ無し)”から“H2(FO1にデータ有り)”に変更される。また、30番目のクロック信号CLKのタイミングで制御部(CTB)1636からFIFOB14に供給される書き込みイネーブル信号FWEBがハイレベル“1”となるので、FIFOB14ではバッファB12から供給されるバッファ出力信号BOB(=D8)が2段目のフリップフロップ(FF)1320のデータFO1として書き込まれる。

[0135] 図12に戻り、31番目のクロック信号CLKのタイミングでは比較イネーブル信号CEAと比較イネーブル信号CEBとがともにハイレベル“1”となったので、FIFOA13のFIFO出力信号FOA(1300)とFIFOB14のFIFO出力信号FOB(1400)を比較する比較器15の比較結果信号1500を示す比較出力信号CO(=C8)が有効な値となる。従って、次の32番目のクロック信号CLKのタイミングで、比較器15の比較出力信号CO(=C8)は3入力AND回路1615を介して比較状態レジスタ(CSR)1613の比較エラー信号CMPERRとして書き込まれる。また、同一のデータであるFIFO出力信号FOA(1300)とFIFO出力信号FOB(1400)の比較器15による比較が実行されたため、FIFOA13の2段目のフリップフロップ(FF)1320は空きとなり、レジスタ(FSTA)1624の内容は“H6(FO1とFO2にデータ有り)”から“H4(FO2にデータ有り)”に変更される。制御部(CTB)1636からFIFOA13に供給されるFIFOリード番号信号FRNAの値は“1”から“2”に変更されているので、FIFOA13の読み出しデータFOAには3段目のフリップフロップ(FF)1330のデータFO2(=D12)が選択され、32番目のクロック信号CLKのタイミングではFIFOA13のFIFO出力信号FOA(1300)はデータD12となる。

[0136] 一方、図13において、31番目のクロック信号CLKのタイミングにて同一のデータであるFIFO出力信号FOA(1300)とFIFO出力信号FOB(1400)との比較器15による比較が実行されたため、FIFOB

14の2段目のフリップフロップ(F F)1320は空きとなり、レジスタ(F S T B)1634の内容は“H2(F O 1にデータ有り)”から“H0(データ無し)”に変更される。制御部(C T B)1636からF I F O B 14に供給されるF I F Oリード番号信号F R N Bの値は“1”から“2”に変更されているので、F I F O B 14の読み出しデータF O Bには3段目のフリップフロップ(F F)1330のデータF O 2(不定)が選択されて、32番目のクロック信号C L KのタイミングではF I F O B 14のF I F O出力信号F O B(1400)は不定となる。

[0137] 図14は、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1の図12と図13とに示したF I F O A 13、B 14の動作タイミングチャートの重要なタイミングでのF I F O A 13、B 14の動作を示す図である。

[0138] 図14の部分図(1-A)～部分図(6-A)は、図12と図13とに示したF I F O A 13、B 14の動作タイミングチャートのタイミング(1)とタイミング(2)とタイミング(3)とタイミング(4)とタイミング(5)とタイミング(6)のタイミングにおけるF I F O A 13の動作を示している。同様に、図14の部分図(1-B)～部分図(6-B)は、図12と図13とに示したF I F O A 13、B 14の動作タイミングチャートのタイミング(1)とタイミング(2)とタイミング(3)とタイミング(4)とタイミング(5)とタイミング(6)のタイミングにおけるF I F O B 14の動作を示している。

[0139] 図14の部分図(1-A)において、F I F Oカウンタのレジスタ(F C O A)1620とレジスタ(F C 1 A)1621とレジスタ(F C 2 A)1622とレジスタ(F C 3 A)1623の内容と、F I F O A 13の4段のフリップフロップ(F F)1310、1320、1330、1340の出力信号F O 0、F O 1、F O 2、F O 3の内容とは全て無効であり、レジスタ(F S T A)1624の内容は“H0(データ無し)”であり、レジスタ(F C N A)1625の内容は“4”である。従って、図14の部分図(1-A)に示した状態のF I F O A 13では、バッファカウント信号B C Aの値が“3”となり、バッフ

ァA 1 1からF I F O A 1 3にバッファ出力信号B O A (=D 3)が供給されても、F I F O A 1 3への書き込みは、行われない。この時には、F I F O ライト番号信号F W N AとF I F Oリード番号信号F R N Aとは、最初は制御部16によって初期値“0”に設定されている。

[0140] 図14の部分図(1-B)において、F I F Oカウンタのレジスタ(F C O B) 1 6 3 0とレジスタ(F C 1 B) 1 6 3 1とレジスタ(F C 2 B) 1 6 3 2とレジスタ(F C 3 B) 1 6 3 3の内容と、F I F O B 1 4の4段のフリップフロップ(F F) 1 3 1 0、1 3 2 0、1 3 3 0、1 3 4 0の出力信号F O 0、F O 1、F O 2、F O 3の内容とは全て無効であり、レジスタ(F S T A) 1 6 2 4の内容は“H 0(データ無し)”であり、レジスタ(F C N B) 1 6 3 5の内容は“4”である。従って、図14の部分図(1-B)に示した状態のF I F O B 1 4では、バッファカウント信号B C Bの値が“1”となり、バッファB 1 2からF I F O B 1 4にバッファ出力信号B O B (=D 1)が供給されても、F I F O B 1 4への書き込みは、行われない。この時には、F I F O ライト番号信号F W N BとF I F Oリード番号信号F R N Bとは、最初は制御部16によって初期値“0”に設定されている。

[0141] 図14の部分図(2-A)において、バッファカウント信号B C Aの値とレジスタ(F C N A) 1 6 2 5の内容とが“4”となったため、F I F Oカウンタのレジスタ(F C O A) 1 6 2 0の内容F C O Aとしてバッファカウント信号B C Aの値“4”が書き込まれ、バッファA 1 1から供給されるバッファ出力信号B O A (=D 4)がF I F O A 1 3の1段目のフリップフロップ(F F) 1 3 1 0のデータF O 0として書き込まれる。この時点でのバッファカウント信号B C Aの値“4”と比較サイクルC M P C Y Cの値“4”との加算値“8”が、レジスタ(F C N A) 1 6 2 5に書き込まれ、レジスタ(F S T A) 1 6 2 4の内容は“H 0(データ無し)”から“H 1(F O 0にデータ有り)”に変更され、F I F Oライト番号信号F W N A値は“0”から“1”に変更される。

[0142] 図14の部分図(2-B)において、バッファカウント信号B C Aの値が“

2”となり、バッファB 1 2からF I F O B 1 4にバッファ出力信号B O B (=D 2)が供給されても、F I F O B 1 4への書き込みは、行われない。

[0143] 図14の部分図(3-A)において、バッファカウント信号B C Aの値とレジスタ(F C N A) 1 6 2 5の内容とが“8”となったため、F I F Oカウンタのレジスタ(F C 1 A) 1 6 2 1の内容F C 1 Aとしてバッファカウント信号B C Aの値“8”が書き込まれ、バッファA 1 1から供給されるバッファ出力信号B O A (=D 8)がF I F O A 1 3の2段目のフリップフロップ(F F) 1 3 2 0のデータF O 1として書き込まれる。この時点でのバッファカウント信号B C Aの値“8”と比較サイクルC M P C Y Cの値“4”との加算値“12”がレジスタ(F C N A) 1 6 2 5に書き込まれ、レジスタ(F S T A) 1 6 2 4の内容は“H 1 (F O 0にデータ有り)”から“H 3 (F O 0とF O 1にデータ有り)”に変更されて、F I F Oライト番号信号F W N A値は“1”から“2”に変更される。

[0144] 図14の部分図(3-B)において、バッファカウント信号B C Bの値とレジスタ(F C N B) 1 6 3 5の内容とが“4”となったため、F I F Oカウンタのレジスタ(F C 0 B) 1 6 3 0の内容F C 0 Bとしてバッファカウント信号B C Bの値“4”が書き込まれ、バッファB 1 2から供給されるバッファ出力信号B O B (=D 4)がF I F O B 1 4の1段目のフリップフロップ(F F) 1 3 1 0のデータF O 0として書き込まれる。この時点でのバッファカウント信号B C Bの値“4”と比較サイクルC M P C Y Cの値“4”との加算値“8”が、レジスタ(F C N B) 1 6 3 5に書き込まれ、レジスタ(F S T B) 1 6 2 4の内容は“H 0 (データ無し)”から“H 1 (F O 0にデータ有り)”に変更され、F I F Oライト番号信号F W N B値は“0”から“1”に変更される。

[0145] 図14の部分図(4-A)では、F I F O A 1 3の1段目のフリップフロップ(F F) 1 3 1 0のデータF O 0としてバッファA 1 1から供給されたバッファ出力信号B O A (=D 4)が格納済みであって、F I F O B 1 4の1段目のフリップフロップ(F F) 1 3 1 0のデータF O 0としてバッファB 1 2か

ら供給されたバッファ出力信号BOB(=D4)が格納済みである。従って、同一のデータ(=D4)であるFIFO出力信号FOAとFIFO出力信号FOBとの比較器15による比較が実行されたため、FIFOA13の1段目のフリップフロップ(FF)1310は空き(無効)となり、レジスタ(FSTA)1624の内容は“H3(FO0とFO1にデータ有り)”から“H2(FO1にデータ有り)”に変更される。またFIFOリード番号信号FRNAの値が“0”から“1”に変更されたので、FIFOA13の読み出しデータFOAには2段目のフリップフロップ(FF)1320のデータFO1(=D8)が選択される。

[0146] 図14の部分図(4-B)でも、同一のデータ(=D4)であるFIFO出力信号FOA(1300)とFIFO出力信号FOB(1400)の比較器15による比較が実行されたため、FIOB14の1段目のフリップフロップ(FF)1310(FO0)が空き(無効)となり、レジスタ(FSTB)1634の内容は“H1(FO0にデータ有り)”から“H0(データ無し)”に変更される。またFIFOリード番号信号FRNBの値は“0”から“1”に変更されたので、FIOB14の読み出しデータFOBには2段目のフリップフロップ(FF)1320のデータFO1(不定)が選択される。

[0147] 図14の部分図(5-A)では、バッファカウント信号BCAの値とレジスタ(FCNA)1625の内容とが“12”となると、レジスタ(FCOA)1622の内容FC2Aとしてバッファカウント信号BCAの値“12”が書き込まれる。この時点のバッファカウント信号BCAの値“12”と比較サイクルCMPCYCの値“4”の加算値“16”がレジスタ(FCNA)1625に書き込まれて、レジスタ(FSTA)1624の内容は“H2(FO1にデータ有り)”から“H6(FO1とFO2にデータ有り)”に変更される。書き込みイネーブル信号FWEAがハイレベル“1”であるので、FIFOA13ではバッファA11から供給されるバッファ出力信号BOA(=D12)が3段目のフリップフロップ(FF)1330のデータFO2として書き込まれる。FIFOリード番号信号FRNAの値が“0”から“1”に変更され

ているので、FIFO A 13の読み出しデータFOAには2段目のフリップフロップ(FF) 1320のデータFO1(=D8)が選択される。またFIFOライト番号信号FWNAの値は、“2”から“3”に変更される。

[0148] 図14の部分図(5-B)では、一方、バッファカウント信号BCBの値とレジスタ(FCNB) 1635の内容が“8”となると、レジスタ(FC1B) 1631の内容FC1Bとしてバッファカウント信号BCBの値“8”が書き込まれる。この時点でのバッファカウント信号BCBの値“8”と比較サイクルCMPCYCの値“4”の加算値“12”がレジスタ(FCNB) 1635に書き込まれて、レジスタ(FSTB) 1634の内容は“H0(データ無し)”から“H2(FO1にデータ有り)”に変更される。また、書き込みイネーブル信号FWEBがハイレベル“1”なので、FIFOB 14ではバッファB 12から供給されるバッファ出力信号BOB(=D8)が2段目のフリップフロップ(FF) 1320のデータFO1として書き込まれる。またFIFOライト番号信号FWNBの値は、“1”から“2”に変更される。

[0149] 図14の部分図(6-A)では、同一のデータ(=D8)であるFIFO出力信号FOAとFIFO出力信号FOBとの比較器15による比較が実行されたため、FIFO A 13の2段目のフリップフロップ(FF) 1320は空き(無効)となり、レジスタ(FSTA) 1624の内容は“H6(FO1とFO2にデータ有り)”から“H4(FO2にデータ有り)”に変更される。FIFオリード番号信号FRNAの値が“1”から“2”に変更されたので、FIFO A 13の読み出しデータFOAには3段目のフリップフロップ(FF) 1330のデータFO2(=D12)が選択される。

[0150] 図14の部分図(6-B)でも、同一のデータ(=D8)であるFIFO出力信号FOA(1300)とFIFO出力信号FOB(1400)の比較器15による比較が実行されたため、FIFOB 14の2段目のフリップフロップ(FF) 1320(FO1)が空き(無効)となり、レジスタ(FSTB) 1634の内容は“H2(FO1にデータ有り)”から“H0(データ無し)”に変更される。またFIFオリード番号信号FRNBの値は“1”から“2”に変更され

たので、F I F O B 1 4 の読み出しデータ F O B に 3 段目のフリップフロップ (F F) 1 3 3 0 のデータ F O 2 (不定) が選択される。

[0151] 図 1 5 は、図 1 に示した本発明の実施の形態 1 によるデュアルコアマイコン M C U 1 に含まれる図 4 に示した F I F O A 1 3、B 1 4 の動作と図 8 に示した制御部 1 6 の動作とを、F I F O A 1 3 を中心に示した図である。この図 1 5 は、図 1 2 に示した動作タイミングチャートの続きの動作タイミングチャートである。

[0152] 図 1 6 は、図 1 に示した本発明の実施の形態 1 によるデュアルコアマイコン M C U 1 に含まれる図 4 に示した F I F O A 1 3、B 1 4 の動作と図 8 に示した制御部 1 6 の動作とを、F I F O B 1 4 を中心に示した図である。この図 1 6 は、図 1 3 に示した動作タイミングチャートの続きの動作タイミングチャートである。

[0153] 図 1 5 において、5 番目のクロック信号 C L K では、バッファ A 1 1 から制御部 1 6 の制御部 (C T A) 1 6 2 6 に供給されるバッファカウント信号 B C A の値は “1 5” で、制御部 (C T A) 1 6 2 6 に接続されたレジスタ (F C N A) 1 6 2 5 の内容は “1 6” で、レジスタ (F S T A) 1 6 2 4 の内容は “H 4 (F C 2 にデータ有り)” となっている。

[0154] 6 番目のクロック信号 C L K では、バッファ A 1 1 から供給されるバッファカウント信号 B C A の値は “1 6” となってレジスタ (F C N A) 1 6 2 5 の内容 “1 6” と一致すると、次の 7 番目のクロック信号 C L K では制御部 (C T A) 1 6 2 6 に接続されたレジスタ (F C 3 A) 1 6 2 3 の内容 3 A としてバッファカウント信号 B C A の値 “1 6” が書き込まれる。また、この 7 番目のクロック信号 C L K のタイミングで、この時点でのバッファカウント信号 B C A の値 “1 6” と比較サイクル C M P C Y C の値 “4” との加算値 “2 0” がレジスタ (F C N A) 1 6 2 5 に書き込まれ、レジスタ (F S T A) 1 6 2 4 の内容は “H C (F O 2 と F O 3 にデータ有り)” となる。更に 6 番目のクロック信号 C L K のタイミングで、制御部 (C T A) 1 6 2 6 から F I F O A 1 3 に供給される書き込みイネーブル信号 F W E A がハイレベル “1”

となるので、FIFO A 1 3ではバッファ A 1 1から供給されるバッファ出力信号BOA(=D 1 6)が4段目のフリップフロップ(FF) 1 3 4 0のデータFO3として書き込まれる。6番目のクロック信号CLKのタイミングで、制御部(CTA) 1 6 2 6からFIFO A 1 3に供給されるFIFOリード番号信号FRNAの値は“2”であるので、FIFO A 1 3の読み出しデータFOAには3段目のフリップフロップ(FF) 1 3 3 0のデータFO2(=D 1 2)が選択されている。

[0155] 一方、図16において、5番目のクロック信号CLKでは、バッファB 1 2から制御部16の制御部(CTB) 1 6 3 6に供給されるバッファカウント信号BCBの値は“10”であり、レジスタ(FCNB) 1 6 3 5の内容は“12”で、レジスタ(FSTB) 1 6 3 4の内容は“0(データ無し)”となっている。次の6番目のクロック信号CLKでも更にその次の7番目のクロック信号CLKでも、状態は変化しない。

[0156] 図15に戻り、16番目のクロック信号CLKでは、バッファA 1 1から供給されるバッファカウント信号BCAの値は“20”となってレジスタ(FCNA) 1 6 2 5の内容“20”と一致すると、次の17番目のクロック信号CLKのタイミングで、制御部(CTA) 1 6 2 6に接続されたレジスタ(FCOA) 1 6 2 0の内容FCOAとしてバッファカウント信号BCAの値“20”が書き込まれる。また、この17番目のクロック信号CLKのタイミングで、この時点でのバッファカウント信号BCAの値“20”と比較サイクルCMP CYCの値“4”との加算値“24”がレジスタ(FCNA) 1 6 2 5に書き込まれ、レジスタ(FSTA) 1 6 2 4の内容は“HC(FO2とFO3とにデータ有り)”から“HD(FO2、FO3、FO0に、データ有り)”に変更される。更に、16番目のクロック信号CLKのタイミングでは、制御部(CTA) 1 6 2 6からFIFO A 1 3に供給される書き込みイネーブル信号FWEAが既にハイレベル“1”となっているので、FIFO A 1 3ではバッファA 1 1から供給されるバッファ出力信号BOA(=D 2 0)が、1段目のフリップフロップ(FF) 1 3 1 0のデータFO0として書き込まれる。

- [0157] 一方、図 16 において、16 番目のクロック信号 CLK では、バッファ B12 から制御部 16 の制御部 (CTB) 1636 に供給されるバッファカウント信号 BCB の値は “11” であり、レジスタ (FCNB) 1635 の内容は “12” で、レジスタ (FSTB) 1634 の内容は “0 (データ無し)” となっている。
- [0158] 図 15 に戻り、22 番目のクロック信号 CLK では、バッファ A11 から供給されるバッファカウント信号 BCA の値は “24” となってレジスタ (FCNA) 1625 の内容 “24” と一致すると、次の 23 番目のクロック信号 CLK のタイミングで、制御部 (CTA) 1626 に接続されたレジスタ (FCOA) 1621 の内容 FC1A としてバッファカウント信号 BCA の値 “24” が書き込まれる。また、この 22 番目のクロック信号 CLK のタイミングで、この時点でのバッファカウント信号 BCA の値 “24” と比較サイクル CMPCYC の値 “4” との加算値 “28” がレジスタ (FCNA) 1625 に書き込まれ、レジスタ (FSTA) 1624 の内容は “HD (FO2、FO3、FO0 に、データ有り)” から “HF (FO2、FO3、FO0、FO1 にデータ有り)” に変更される。更に、21 番目のクロック信号 CLK のタイミングでは、制御部 (CTA) 1626 から FIFOA13 に供給される書き込みイネーブル信号 FWEA が既にハイレベル “1” となっているので、FIFOA13 ではバッファ A11 から供給されるバッファ出力信号 BOA (=D24) が、2 段目のフリップフロップ (FF) 1320 のデータ FO1 として書き込まれる。
- [0159] 一方、図 16 において、22 番目のクロック信号 CLK では、バッファ B12 から制御部 16 の制御部 (CTB) 1636 に供給されるバッファカウント信号 BCB の値は “11” であり、レジスタ (FCNB) 1635 の内容は “12” で、レジスタ (FSTB) 1634 の内容は “0 (データ無し)” となっている。
- [0160] 図 15 に戻り、27 番目のクロック信号 CLK では、バッファ A11 から供給されるバッファカウント信号 BCA の値は “28” となって、レジスタ (

FCNA) 1625の内容“28”と一致する。しかし、FIFO A 13に空きが無い場合、バッファカウント信号BCAの値“28”およびバッファ出力信号BOA(=D28)の書き込みは行われない。

[0161] 一方、図16において、30番目のクロック信号CLKでは、バッファB12から制御部16の制御部(CTB)1636に供給されるバッファカウント信号BCBの値は“12”であり、レジスタ(FCNB)1635の内容“12”と一致すると、次の31番目のクロック信号CLKのタイミングで、制御部(CTB)1636に接続されたレジスタ(FC2B)1632の内容FC2Bとしてバッファカウント信号BCBの値“12”が書き込まれる。また30番目のクロック信号CLKのタイミングで、この時点でのバッファカウント信号BCBの値“12”と比較サイクルCMPCYCの値“4”との加算値“16”がレジスタ(FCNB)1635に書き込まれ、レジスタ(FSTB)1634の内容は“H0(データ無し)”から“H4(FO2にデータ有り)”に変更される。更に、29番目のクロック信号CLKのタイミングでは、制御部(CTA)1626からFIFOB14に供給される書き込みイネーブル信号FWEBが既にハイレベル“1”となっているので、FIFOB14ではバッファB12から供給されるバッファ出力信号BOB(=D12)が、3段目のフリップフロップ(FF)1330のデータFO2として書き込まれる。

[0162] 30番目のクロック信号CLKでは、比較イネーブル信号CEAと比較イネーブル信号CEBとがハイレベル“1”となったので、FIFO A 13のFIFO出力信号FOA(1300)とFIFOB14のFIFO出力信号FOB(1400)を比較する比較器15の比較結果信号1500を示す比較出力信号CO(=C12)が有効な値となる。従って、31番目のクロック信号CLKでは、比較器15の比較出力信号CO(=C12)は、3入力AND回路1615を介して、比較状態レジスタ(CSR)1613の比較エラー信号CMPERRとして書き込まれる。また、同一のデータ(D12)であるFIFO出力信号FOA(1300)とFIFO出力信号FOB(1400)との比

較器 15 による比較が実行されたため、F I F O B 1 4 の 3 段目のフリップフロップ(F F) 1 3 3 0 は空きとなり、レジスタ(F S T B) 1 6 3 4 の内容は“H 4 (F O 2 にデータ有り)”から“H 0 (データ無し)”に変更される。また 3 1 番目のクロック信号 C L K のタイミングで制御部(C T B) 1 6 3 6 から F I F O B 1 4 に供給される F I F O リード番号信号 F R N B の値が“2”から“3”に変更されたので、F I F O B 1 4 の読み出しデータ F O B には 4 段目のフリップフロップ(F F) 1 3 4 0 のデータ F O 3 (=不定)が選択される。

[0163] 図 1 5 に戻って、3 0 番目のクロック信号 C L K で比較器 15 による比較が実行されたため、3 1 番目のクロック信号 C L K では、F I F O A 1 3 では 3 段目のフリップフロップ(F F) 1 3 3 0 には空きが生じる。3 2 番目のクロック信号 C L K で、バッファ A 1 1 から供給されるバッファカウント信号 B C A の値“3 1”が次の 3 1 番目のクロック信号 C L K のタイミングで、制御部(C T A) 1 6 2 6 に接続されたレジスタ(F C 2 A) 1 6 2 2 の内容 F C 2 A としてバッファカウント信号 B C A の値“3 1”が書き込まれる。また 3 0 番目のクロック信号 C L K のタイミングで、この時点でのバッファカウント信号 B C A の値“3 1”と比較サイクル C M P C Y C の値“4”との加算値“3 5”がレジスタ(F C N A) 1 6 2 5 に書き込まれ、レジスタ(F S T A) 1 6 2 4 の内容は“H F (F O 2、F O 3、F O 0、F O 1 にデータ有り)”の値で維持される。3 2 番目のクロック信号 C L K のタイミングでは、制御部(C T B) 1 6 3 6 から F I F O A 1 3 に供給される F I F O リード番号信号 F R N A の値は“2”に設定されているので、F I F O A 1 3 の読み出しデータ F O A には 3 段目のフリップフロップ(F F) 1 3 3 0 のデータ F O 2 (=D 3 1)が選択され、3 2 番目のクロック信号 C L K のタイミングでは F I F O A 1 3 の F I F O 出力信号 F O A (1 3 0 0)はデータ D 3 1 となる。

[0164] 図 1 7 は、図 1 に示した本発明の実施の形態 1 によるデュアルコアマイコン M C U 1 の図 1 5 と図 1 6 とに示した F I F O A 1 3、B 1 4 の動作タイ

ミングチャートの重要なタイミングでのFIFO A 13、B 14の動作を示す図である。

[0165] 図17の部分図(1-A)～部分図(6-A)は、図15と図16とに示したFIFO A 13、B 14の動作タイミングチャートのタイミング(1)とタイミング(2)とタイミング(3)とタイミング(4)とタイミング(5)とタイミング(6)のタイミングにおけるFIFO A 13の動作を示している。同様に、図17の部分図(1-B)～部分図(6-B)は、図15と図16とに示したFIFO A 13、B 14の動作タイミングチャートのタイミング(1)とタイミング(2)とタイミング(3)とタイミング(4)とタイミング(5)とタイミング(6)のタイミングにおけるFIFO B 14の動作を示している。

[0166] 図17の部分図(1-A)において、バッファA 11から制御部16の制御部(CTA) 1626に供給されるバッファカウント信号BCAの値が“15”であり、制御部(CTA) 1626に接続されたレジスタ(FCNA) 1625の内容が“16”であり、FIFOカウンタとしてのレジスタ(FC2A) 1622の内容“12”と2段目のフリップフロップ(FF) 1330のデータFO2(=D12)とが有効であり、その他のレジスタ(FC0A) 1620、(FC1A) 1621、(FC3A) 1623とその他のフリップフロップ(FF) 1310、1320、1340は無効である。この時には、レジスタ(FSTA) 1624の内容は“H4(FO2にデータ有り)”となっており、FIFOリード番号信号FRNAの値は“2(FO2)”となっており、FIFOライト番号信号の値は“3(FO3)”となっている。

[0167] 図17の部分図(1-B)において、FIFOカウンタのレジスタ(FC0B) 1630とレジスタ(FC1B) 1631とレジスタ(FC2B) 1632とレジスタ(FC3B) 1633の内容と、FIFO B 14の4段のフリップフロップ(FF) 1310、1320、1330、1340の出力信号FO0、FO1、FO2、FO3の内容とは全て無効であり、レジスタ(FSTA) 1624の内容は“H0(データ無し)”であり、レジスタ(FCNB) 1635の内容は“12”である。従って、図17の部分図(1-B)に示した状態での

F I F O B 1 4 では、バッファカウント信号 B C B の値が “ 1 0 ” となり、バッファ B 1 2 から F I F O B 1 4 にバッファ出力信号 B O B (= D 1 0) が供給されても、F I F O B 1 4 への書き込みは行われない。この時に、F I F O ライト番号信号 F W N B と F I F O リード番号信号 F R N B は、制御部 1 6 によって値 “ 2 (F O 2) ” に設定されている。

[0168] 図 1 7 の部分図 (2 - A) では、バッファカウント信号 B C A の値とレジスタ (F C N A) 1 6 2 5 の内容とが “ 1 6 ” となったため、バッファカウント信号 B C A の値 “ 1 6 ” がレジスタ (F C 3 A) 1 6 2 3 に書き込まれて、F I F O A 1 3 ではバッファ A 1 1 から供給されるバッファ出力信号 B O A (= D 1 6) が 4 段目のフリップフロップ (F F) 1 3 4 0 にデータ F O 3 として書き込まれる。この時点でのバッファカウント信号 B C A の値 “ 1 6 ” と比較サイクル C M P C Y C の値 “ 4 ” との加算値 “ 2 0 ” がレジスタ (F C N A) 1 6 2 5 に書き込まれて、レジスタ (F S T A) 1 6 2 4 の内容は “ H 4 (F O 2 にデータ有り) ” から “ H C (F O 2 と F O 3 にデータ有り) ” に更新される。また F I F O ライト番号信号 F W N A の値は “ 3 ” から “ 0 ” に更新され、F I F O リード番号信号 F R N A の値は “ 2 (F O 2) ” に維持されている。

[0169] 図 1 7 の部分図 (2 - B) において、バッファカウント信号 B C B の値が “ 1 0 ” であり、バッファ B 1 2 から供給されるバッファ出力信号 B O B (= D 1 0) の F I F O B 1 4 への書き込みは行われない。

[0170] 図 1 7 の部分図 (3 - A) において、バッファ A 1 1 から供給されるバッファカウント信号 B C A の値は “ 2 0 ” となりレジスタ (F C N A) 1 6 2 5 の内容 “ 2 0 ” と一致したため、レジスタ (F C 0 A) 1 6 2 0 の内容 F C 0 A としてバッファカウント信号 B C A の値 “ 2 0 ” が書き込まれ、バッファ出力信号 B O A (= D 2 0) が、1 段目のフリップフロップ (F F) 1 3 1 0 のデータ F O 0 として書き込まれる。バッファカウント信号 B C A の値 “ 2 0 ” と比較サイクル C M P C Y C の値 “ 4 ” との加算値 “ 2 4 ” がレジスタ (F C N A) 1 6 2 5 に書き込まれ、レジスタ (F S T A) 1 6 2 4 の内容は “ H C (

FO2とFO3とに、データ有り)”から“HD(FO2、FO3、FO0に、データ有り)”に変更される。またFIFOライト番号信号FWNAの値は、“0”から“1”に更新される。

[0171] 図17の部分図(3-B)において、バッファB12から制御部16の制御部(CTB)1636に供給されるバッファカウント信号BCBの値は“11”であり、レジスタ(FCNB)1635の内容は“12”で、レジスタ(FSTB)1634の内容は“0(データ無し)”となっており、FIFOB14へのバッファB12から供給されるバッファ出力信号BOB(=D11)の書き込みは行われない。

[0172] 図17の部分図(4-A)において、バッファA11から供給されるバッファカウント信号BCAの値は“24”となりレジスタ(FCNA)1625の内容“24”と一致したため、レジスタ(FCOA)1621の内容FC1Aとしてバッファカウント信号BCAの値“24”が書き込まれる。また、バッファカウント信号BCAの値“24”と比較サイクルCMPCYCの値“4”との加算値“28”が、レジスタ(FCNA)1625に書き込まれ、バッファA11から供給されるバッファ出力信号BOA(=D24)が、2段目のフリップフロップ(FF)1320のデータFO1として書き込まれる。またレジスタ(FSTA)1624の内容は“HD(FO2、FO3、FO0に、データ有り)”から“HF(FO2、FO3、FO0、FO1にデータ有り)”に変更され、FIFOライト番号信号FWNAの値は“1”から“2”に更新される。

[0173] 図17の部分図(4-B)において、バッファB12から制御部16の制御部(CTB)1636に供給されるバッファカウント信号BCBの値は“11”であり、レジスタ(FCNB)1635の内容は“12”で、レジスタ(FSTB)1634の内容は“0(データ無し)”となっており、FIFOB14へのバッファB12から供給されるバッファ出力信号BOB(=D11)の書き込みは行われない。

[0174] 図17の部分図(5-A)において、バッファB12から制御部16の制御

部(CTB)1636に供給されるバッファカウント信号BCBの値は“30”であり、レジスタ(FCNA)1625の値“28”を超過しているが、FIFOA13の全てのフリップフロップ(FF)1310、1320、1330、1340には空きがないので、FIFOA13へのバッファA11から供給されるバッファ出力信号BOA(=D30)の書き込みは行われない。

[0175] 図17の部分図(5-B)において、バッファB12から制御部16の制御部(CTB)1636に供給されるバッファカウント信号BCBの値“12”とレジスタ(FCNB)1635の内容“12”と一致すると、レジスタ(FC2B)1632の内容FC2Bとしてバッファカウント信号BCBの値“12”が書き込まれる。また、この時点でのバッファカウント信号BCBの値“12”と比較サイクルCMPCYCの値“4”との加算値“16”がレジスタ(FCNB)1635に書き込まれ、レジスタ(FSTB)1634の内容は“H0(データ無し)”から“H4(FO2にデータ有り)”に変更される。FIOB14では、バッファB12から供給されるバッファ出力信号BOB(=D12)が、3段目のフリップフロップ(FF)1330のデータFO2として書き込まれる。またFIFOライト番号信号FWNBの値とFIFOリード番号信号FRNBの値とは、“2”から“3”に更新される。

[0176] 図17の部分図(6-A)において、FIFOA13では3段目のフリップフロップ(FF)1330には空きが生じたので、バッファA11から供給されるバッファカウント信号BCAの値“31”が制御部(CTA)1626に接続されたレジスタ(FC2A)1622の内容FC2Aとして書き込まれる。またバッファA11から供給されるバッファ出力信号BOA(=D31)が、3段目のフリップフロップ(FF)1330のデータFO2として書き込まれる。この時点のバッファカウント信号BCAの値“31”と比較サイクルCMPCYCの値“4”との加算値“35”がレジスタ(FCNA)1625に書き込まれ、レジスタ(FSTA)1624の内容は“HF(FO2、FO3、FO0、FO1にデータ有り)”の値で維持される。FIFOリード番号信号FRNAの値は“2”に維持されて、FIFOライト番号信号FWNAの

値は“2”から“3”に更新される。

[0177] 図17の部分図(6-B)において、レジスタ(FSTB)1634の内容は“H0(データ無し)”に変更されているので、FIFOB14の4段のフリップフロップ(FF)1310、1320、1330、1340の出力信号F00、F01、F02、F03は全て無効であり、FIFOリード番号信号FRNBの値とFIFOライト番号信号FWNBの値とは“2”から“3”に更新される。

[0178] 《通常動作の並列データ処理から故障検出動作の冗長動作への移行》

図18は、図1に示した本発明の実施の形態1において、デュアルコアマイコンMCU1の通常動作の2個のCPUA2、B6による並列データ処理から故障検出動作のための2個のCPUA2、B6による冗長動作に移行する様子を示す図である。

[0179] 図18に示すように、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1の通常動作の2個のCPUA2、B6による並列データ処理では、CPUA2は個別タスク200を実行して、CPUB6は個別タスク600を実行して、タスク200とタスク600はそれぞれ異なるタスクである。

[0180] その後、CPUA2は故障検出動作のための冗長タスク203を実行するために、冗長タスク起動処理201を実行する。CPUB6の故障検出動作のための冗長タスク603の起動は、例えば、CPUA2からCPUB6への割り込み処理等を用いて実現できる。

[0181] 冗長タスク起動処理201の後の実行準備処理202において、CPUA2は比較制御レジスタ(CCR1)1611に設定値“H0003”を書き込み、バッファA11にカウンタリセット信号CNTRSTとカウントイネーブル信号CNTENとを供給する。すなわち、図10に示したように、カウンタリセット信号CNTRSTによりバッファA11のカウタリセットが実行されて、カウントイネーブル信号CNTENによりCPUA2の出力データがバッファA11に保持されカウントされるものとなる。その次にCP

U A 2 は比較制御レジスタ (C C R 0) 1 6 1 0 に設定値 “H 0 3 0 4” を書き込んで、比較器 1 5 の故障検出動作に関して割り込み許可信号 I N T E N に設定値 “1” を、比較許可比較イネーブル信号 C M P E N に設定値 “1” を、比較周期比較サイクル C M P C Y C に設定値 “4” をそれぞれ設定する。

[0182] 一方、C P U B 6 は個別タスク 6 0 0 の実行中に C P U A 2 からの割り込み 2 0 4 を受け付けて、実行準備処理 6 0 2 を実行する。この実行準備処理 6 0 2 において、C P U B 6 は比較制御レジスタ (C C R 2) 1 6 1 2 に設定値 “H 0 0 0 3” を書き込んで、バッファ B 1 2 にカウンタリセット信号 C N T R S T とカウントイネーブル信号 C N T E N とを供給する。すなわち、図 1 0 に示したように、カウンタリセット信号 C N T R S T によりバッファ B 1 2 のカウンタリセットが実行されて、カウントイネーブル信号 C N T E N により C P U B 6 の出力データがバッファ B 1 2 に保持されカウントされるものとなる。

[0183] 実行準備処理 2 0 2、6 0 2 によって 2 個の C P U A 2、B 6 による冗長動作の実行準備が完了すると、2 個の C P U A 2、B 6 は故障検出動作のため冗長タスク 2 0 3、6 0 3 をそれぞれ実行する。すなわち、2 個の C P U A 2、B 6 は、同一のオペランドデータに関して同一の冗長タスクプログラムを実行する。2 個の F I F O A 1 3、B 1 4 によって選択されて出力される所定の出力回数のデータは、比較器 1 5 によって比較される。比較器 1 5 による比較結果が一致する場合には、図 1 のデュアルコアマイコン M C U 1 に故障が存在しないと判定されて、比較器 1 5 による比較結果が不一致の場合には、図 1 のデュアルコアマイコン M C U 1 に故障が存在すると判定される。更に、比較器 1 5 による比較結果が不一致の場合には、比較器 1 5 の比較結果信号 1 5 0 0 (C O) に応答して制御部 1 6 は割り込み発生回路 1 7 に割り込み要求信号 1 6 0 4 (C _ I N T R E Q) を発生する。従って、図 1 に示す本発明の実施の形態 1 によるデュアルコアマイコン M C U 1 に故障が発生して 2 個の C P U A 2、B 6 の一方が異常動作している旨を通知する例外

処理が、割り込み発生回路 17 による割り込み要求信号 1604 (C__INTREQ) に応答して起動される。この例外処理は、例えば、自動車の運転席のダッシュボードの表示機器によって、デュアルコアマイコンMCU1の故障発生を通知するものである。従って、自動車の所有者は、故障発生が通知されたデュアルコアマイコンMCU1を搭載する自動車の整備や修理が必要であることを知ることが可能となる。

[0184] CPUA2による冗長タスク203の実行が終了するとCPUA2は次のタスクの実行に移行する一方、CPUB6による冗長タスク603の実行が終了すると、CPUB6は割り込み復帰を行って、元の個別タスク600に復帰する。

[0185] また本発明において、故障検出動作のための2個のCPUA2、B6による冗長動作への移行は、上述した割り込み204の受け付けのみに限定されるものではない。それ以外に、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1の電源投入時の初期化シーケンスにおいて、故障検出動作のための2個のCPUA2、B6による冗長動作を行うものとすることが可能である。すなわち、2個のCPUA2、B6による冗長動作を行い、デュアルコアマイコンMCU1に故障が存在しないと判定されてから、初めて通常動作の2個のCPUA2、B6の並列データ処理を開始するものである。更に、通常動作の2個のCPUA2、B6の並列データ処理を開始した後に、冗長動作を開始する命令や割り込みを2個のCPUA2、B6のいずれか一方から定期的に発行することによって、故障検出動作のための2個のCPUA2、B6による冗長動作を定期的に行うことも可能である。この時に故障検出動作のために2個のCPUA2、B6により実行される冗長動作の内容を、2個のCPUA2、B6のいずれか一方でそれ以前に実行されていた通常動作のデータ処理の内容とされることが可能である。

[0186] [実施の形態2]

《バッファメモリの他の構成》

図19は、図1に示すデュアルコアマイコンMCU1に含まれる本発明の

実施の形態 2 によるバッファメモリとしてのバッファ A 1 1、B 1 2 の他の構成を示す図である。

[0187] 図 1 9 に示す本発明の実施の形態 2 によるバッファメモリとしてのバッファ A 1 1、B 1 2 が図 2 に示した本発明の実施の形態 1 によるバッファメモリとしてのバッファ A 1 1、B 1 2 と相違するのは、以下の点である。

[0188] すなわち、図 1 9 に示す本発明の実施の形態 2 によるバッファメモリ A 1 1、B 1 2 に、図 2 に示した本発明の実施の形態 1 によるバッファメモリに含まれていない演算回路(OP) 1 1 7 0 が追加されている。

[0189] 図 1 9 に示したように、演算回路(OP) 1 1 7 0 の一方の入力端子と他方の入力端子とにライトデータWDとフリップフロップ(FF) 1 1 5 0 のバッファ出力信号BOとがそれぞれ供給され、演算回路(OP) 1 1 7 0 の出力端子はフリップフロップ(FF) 1 1 5 0 のデータ入力端子に接続されている。更に図 1 9 に示したように、制御部 1 6 からのパワーオンリセット信号RSTとカウンタリセット信号CNRはOR回路 1 1 4 0 で論理和され、OR回路 1 1 4 0 の出力によってカウンタ(CNT) 1 1 6 0 とフリップフロップ(FF) 1 1 5 0 とがリセットされる。

[0190] 図 1 9 に示すバッファメモリ A 1 1、B 1 2 では、演算回路(OP) 1 1 7 0 は一方の入力端子と他方の入力端子にそれぞれ供給されるライトデータWDとバッファ出力信号BOを所定の演算アルゴリズムに従って演算処理するので、この演算処理の結果に基づく出力信号が演算回路(OP) 1 1 7 0 の出力端子から生成される。演算回路(OP) 1 1 7 0 の出力端子から生成される出力信号は、AND回路 1 1 3 0 の出力から生成されるバッファライトイネーブル信号BWEがハイレベル“1”の期間に、フリップフロップ(FF) 1 1 5 0 に格納される。

[0191] 従って、図 1 9 に示したバッファメモリ A 1 1、B 1 2 では、CPU A 2、CPU B 6 から順次に供給される複数のライトデータWDの全ての値に依存した出力信号が演算回路(OP) 1 1 7 0 の出力端子から生成される。その結果、CPU A 2 からバッファメモリ A 1 1 へ順次供給される複数のライト

データWDとCPU B6からバッファメモリB12へ順次供給される複数のライトデータWDとが一部のみ相違するだけで、バッファメモリA11の演算回路(OP)1170の出力端子から生成される出力信号とバッファメモリB12の演算回路(OP)1170の出力端子から生成される出力信号とが相違する。

[0192] そのため、図19に示した本発明の実施の形態2によるバッファメモリA11、B12を図1に示したデュアルコアマイコンMCU1で使用することによって、2個のCPU A2、B6の一方での異常の検出確率を著しく向上することが可能となる。尚、バッファメモリA11、B12に順次に供給される複数のライトデータWDの値がバッファ出力信号BOの値に影響を与えるための演算回路(OP)1170の演算アルゴリズムとしては、論理和ORや論理積ANDや排他的論理和EXOR等の比較的単純な論理演算が選択される。比較的単純な論理演算とすることで、演算回路(OP)1170が高速化されると言う利点がある。

[0193] 《演算機能付きのバッファメモリの動作》

図20は、図19に示した本発明の実施の形態2による演算機能付きのバッファメモリA11、B12の動作を説明する図である。

[0194] 図20に示す本発明の実施の形態2による演算機能付きのバッファメモリA11、B12の動作が図3に示した本発明の実施の形態1によるバッファA11、B12の動作と相違するのは、以下の点である。

[0195] すなわち、図20に示す本発明の実施の形態2による演算機能付きのバッファメモリA11、B12の動作では、クロック信号CLKの1番目から6番目までの期間でフリップフロップ(FF)1150のバッファ出力信号BOの値は初期値BO0(=H0)に設定される。

[0196] 次にクロック信号CLKの7番目と8番目との間の期間では、フリップフロップ(FF)1150のバッファ出力信号BOの値は初期値BO0とライトデータWDのデータD3との演算処理(OP)の演算結果の値BO1(=OP(BO0, D3))となる。

[0197] 更に、クロック信号CLKの8番目と14番目との間の期間では、フリップフロップ(FF)1150のバッファ出力信号BOの値は以前の演算結果の値BO1とライトデータWDのデータD4との演算処理(OP)の演算結果の値BO2(=OP(BO1、D4))となる。

[0198] また、クロック信号CLKの14番目と15番目との間の期間では、フリップフロップ(FF)1150のバッファ出力信号BOの値は以前の演算結果の値BO2とライトデータWDのデータD8との演算処理(OP)の演算結果の値BO3(=OP(BO2、D8))となる。

[0199] 以上説明したように、図19と図20に示した本発明の実施の形態2によれば、バッファメモリA11、B12では、CPUA2、CPUB6から順次には供給される複数のライトデータWDの全ての値に依存した出力信号が演算回路(OP)1170の出力端子から生成される。そのため、図19に示す本発明の実施の形態2によるバッファメモリA11、B12を図1に示したデュアルコアマイコンMCU1で使用することによって、2個のCPUA2、B6の一方での異常の検出確率を著しく向上することが可能となる。

[0200] [実施の形態3]

《シングルコアマイコンの構成》

図21は、本発明の実施の形態3によるシングルコアマイコンMCU1の構成を示す図である。

[0201] 図21に示した本発明の実施の形態3によるシングルコアマイコンMCU1が、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1と相違するのは、以下の点である。

[0202] すなわち、図21に示した本発明の実施の形態3によるシングルコアマイコンMCU1では、高信頼性を実現するための多重の冗長動作が図1に示したように2個のCPUA2、CPUB6による並列動作で実行されるのではなく、単一のCPUA2による2重動作で実行されることである。

[0203] 従って、図21に示す本発明の実施の形態3によるシングルコアマイコンMCU1では、図1に示した本発明の実施の形態1によるデュアルコアマイ

コンMCU 1に含まれていたCPUB 6とメモリB 7とCPUBバス8とブリッジB 9とが省略されている。その代わりに、図2 1に示す本発明の実施の形態3によるシングルコアマイコンMCU 1では、バッファB 1 2がCPUAバス4に接続されているので、バッファB 1 2はCPUA 2から特定のアドレス空間に出力されるデータを保持してその出力回数をカウントするものである。

[0204] 例えば、2重動作では、単一のCPUA 2は同一のオペランドデータに関して同一の冗長タスクプログラムを2回実行する。1回目の動作すなわち2重動作の一方の動作によって、CPUA 2から特定のアドレス空間に出力される書き込みデータは、メモリA 3とバッファA 1 1に二重書き込みされる。2回目の動作すなわち2重動作の他方の動作によって、CPUA 2から特定のアドレス空間に出力される書き込みデータは、メモリA 3とバッファB 1 2に二重書き込みされる。

[0205] 図2 1に示した本発明の実施の形態3によるシングルコアマイコンMCU 1に故障が存在せずに単一のCPUA 2が常に正常に動作している場合には、バッファA 1 1、B 1 2に格納された書き込みデータは同一となる。しかし、図2 1に示した本発明の実施の形態3によるシングルコアマイコンMCU 1に故障が発生して単一のCPUA 2が異常動作している場合には、バッファA 1 1、B 1 2に格納された書き込みデータは不一致となり、故障検出が可能となる。

[0206] 図2 1に示した本発明の実施の形態3によるシングルコアマイコンMCU 1でも、図1に示した本発明の実施の形態1と同様に、2個のFIFO A 1 3、B 1 4は、2個のバッファA 1 1、B 1 2を経由してCPUA 2から冗長タスク演算結果として順次に出力され供給される複数のデータから所定の出力回数のデータのみを選択して格納する一方、それ以外の出力回数のデータは非選択として破棄するものである。2個のFIFO A 1 3、B 1 4によって選択されて出力される所定の出力回数のデータは、比較器1 5により比較される。比較器1 5による比較結果が一致する場合には、図2 1のシング

ルコアマイコンMCU1に故障が存在しないと判定されて、比較器15による比較結果が不一致の場合には、図21のシングルコアマイコンMCU1に故障が存在すると判定される。

[0207] 更に図21に示した本発明の実施の形態3によるシングルコアマイコンMCU1では、バッファA11、B12として図19と図20に示した本発明の実施の形態2による演算機能付きのバッファメモリA11、B12を使用することで、単一のCPUA2の異常の検出確率を著しく向上することが可能となる。

[0208] [実施の形態4]

《トリプルコアマイコンの構成》

図22は、本発明の実施の形態4によるトリプルコアマイコンMCU1の構成を示す図である。

[0209] 図22に示した本発明の実施の形態4によるトリプルマイコンMCU1が、図1に示した本発明の実施の形態1によるデュアルコアマイコンMCU1と相違するのは、以下の点である。

[0210] すなわち、図22に示した本発明の実施の形態4によるトリプルコアマイコンMCU1には、第3中央処理ユニットとしてのCPUC18と、第3内蔵メモリとしてのメモリC19と、第3CPUバスとしてのCPUCバス20、第3バスブリッジとしてのブリッジC21と、第3バッファメモリとしてのバッファC22、第3FIFOメモリとしてのFIFOC23が追加されている

第3バッファメモリとしてのバッファC22は、CPUC18とが特定のアドレス空間に出力する書き込みデータを保持して、その出力回数をカウントする。第3バッファメモリとしてのバッファC22も、CPUC18が特定のアドレス空間に出力する書き込みデータを保持して、その出力回数をカウントする。第3FIFOメモリとしてのFIFOC23はバッファC22の出力データ2201を保持する。

[0211] 比較器15は、FIFOA13の出力データ1300とFIFOB14の

出力データ 1400 と F I F O メモリの出力データ 2300 とを比較する。

[0212] 《トリプルコアマイコンでの通常動作》

図 22 に示した本発明の実施の形態 4 によるトリプルコアマイコン M C U 1 は高性能を実現するために、3 個の C P U A 2、B 6、C 18 にそれぞれ独立したデータ処理を並列に実行させる。3 個の C P U A 2、B 6、C 18 による並列処理結果は、3 個のメモリ A 3、B 7、C 19 に並列に格納可能である。更に 3 個のメモリ A 3、B 7、C 19 のデータは、3 個のブリッジ A 5、B 9、C 21 を介して、システムバス 10 に転送されることも可能である。

[0213] 《トリプルコアマイコンでの冗長動作》

図 22 に示す本発明の実施の形態 4 によるデュアルコアマイコン M C U 1 は高信頼性を実現するために、3 個の C P U A 2、B 6、C 18 に同一のデータ処理を実行させその処理結果の不一致を検出して故障を検出するようにした冗長動作が実行される。

[0214] この冗長動作のために、3 個の C P U A 2、B 6、C 18 は、同一のオペランドデータに関して同一の冗長タスクプログラムを実行する。図 22 のトリプルコアマイコン M C U 1 に故障が存在せず 3 個の C P U A 2、B 6、C 18 が正常に動作している場合には、3 個の C P U A 2、B 6、C 18 から特定のアドレス空間に出力されメモリ A 3、B 7、C 18 とバッファ A 11、B 12、C 22 に二重書き込みされる書き込みデータは同一となる。しかし、図 22 のトリプルコアマイコン M C U 1 に故障が発生して 3 個の C P U A 2、B 6、C 18 のいずれかが異常動作している場合には、3 個の C P U A 2、B 6、C 18 から特定のアドレス空間に出力されメモリ A 3、B 7、C 18 とバッファ A 11、B 12、C 22 とに二重書き込みされる書き込みデータは不一致となり、故障検出が可能となる。

[0215] 3 個の F I F O A 13、B 14、C 23 は、3 個のバッファ A 11、B 12、C 22 を経由して 3 個の C P U A 2、B 6、C 18 から冗長タスク演算結果として順次に出力されて供給される複数のデータから所定の出力回数の

データのみを選択して格納する一方、それ以外の出力回数のデータは非選択として破棄するものである。3個のFIFO A13、B14、C23によって選択されて出力される所定の出力回数のデータは、比較器15によって比較される。比較器15による比較結果が一致する場合には、図22のトリプルコアマイコンMCU1に故障が存在しないと判定されて、比較器15による比較結果が不一致の場合には、図22のトリプルマイコンMCU1に故障が存在すると判定される。従って、高性能の3個のCPU A2、B6、C18から順次に出力される複数のデータによって3個のFIFO A13、B14、C23に短時間に空き領域がなくなり、3個のCPU A2、B6、C18が容易にストールするかウェイトされるという問題が解消されることが可能となる。

[0216] 更に図22に示した本発明の実施の形態4によるトリプルコアマイコンMCU1では、バッファA11、B12、C22として、図19と図20とに示した本発明の実施の形態2による演算機能付きのバッファメモリを使用することで、単一のCPU A2の異常の検出確率を著しく向上することが可能となる。

[0217] [実施の形態5]

《他のトリプルコアマイコンの構成》

図23は、本発明の実施の形態5による他のトリプルコアマイコンMCU1の構成を示す図である。

[0218] 図23に示した本発明の実施の形態5によるトリプルマイコンMCU1が、図22に示す本発明の実施の形態4によるトリプルコアマイコンMCU1と相違するのは、以下の点である。

[0219] すなわち、図23に示した本発明の実施の形態5によるトリプルマイコンMCU1では、3個のCPU A2、B6、C18の処理結果の一致・不一致の検出を3つの機能ブロック24、25、26により実行するようにしたものである。

[0220] 図23に示した本発明の実施の形態5によるトリプルマイコンMCU1に

含まれた3つの機能ブロック24、25、26の構成は、同一である。特に、3つの機能ブロック24、25、26の各機能ブロックは、図1乃至図18に示した本発明の実施の形態1で説明したバッファA11とバッファB12とFIFO A13とFIFO B14と比較器15と制御部16とを含むものである。

[0221] 従って、第1機能ブロック24は第1CPU A2の出力データと第2CPU B6の出力データとを比較して、両方の出力データが不一致となる場合には、割り込み発生回路17に割り込み要求2400を出力することが可能である。また第2機能ブロック25は第2CPU B6の出力データと第3CPU C18の出力データとを比較して、両方の出力データが不一致となる場合には、割り込み発生回路17に割り込み要求2500を出力することが可能である。最後の第3機能ブロック26は第1CPU A2の出力データと第3CPU C18の出力データとを比較して、両方の出力データが不一致となる場合には、割り込み発生回路17に割り込み要求2600を出力することが可能である。割り込み発生回路17は、3つの機能ブロック24、25、26からの3つの割り込み要求を受け付けることが可能である。従って、図23に示す本発明の実施の形態5によるトリプルコアマイコンMCU1に故障が発生して3個のCPU A2、B6、C18のいずれかが異常動作している旨を通知する例外処理が、割り込み発生回路17への割り込み要求信号2400、2500、2600のいずれかに応答して起動される。

[0222] [実施の形態6]

《自動車への高信頼性マイコンの搭載》

図24は、図1乃至図18に示した本発明の実施の形態1によるデュアルコアマイコンMCU1または図19と図20とに示した本発明の実施の形態2による演算機能付きのバッファメモリA11、B12を使用したデュアルコアマイコンMCU1または図21に示した本発明の実施の形態3によるシングルコアマイコンMCU1または図22に示した本発明の実施の形態4によるトリプルマイコンMCU1または図23に示した本発明の実施の形態5

によるトリプルマイコンMCU1を搭載した本発明の実施の形態6による自動車の構成を示す図である。

[0223] 上述したように本発明の種々の実施の形態によるマイコンMCU1は、高信頼性を実現するための多重の冗長動作の機能を有するように構成されたものである。特に、多重の冗長動作の機能を利用することによって、マイコンMCU1の故障検出が可能となったものである。その結果、マイコンMCU1の故障が検出されない限り、本発明の種々の実施の形態によるマイコンMCU1の演算結果は高信頼性を有するものであるので、高い安全性と高精度とが必要とされる自動車へのマイコンMCU1の搭載が可能とされたものである。

[0224] 図24は、一例として、上述した本発明の種々の実施の形態によるマイコンMCU1が、自動車27のエンジン28を制御する電子制御装置(ECU: Electronic Control Unit)29の内部に搭載される様子を示したものである。従って、図24に示した本発明の実施の形態6によれば、自動車27のエンジン28の制御を、高信頼性かつ高精度とすることが可能となる。

[0225] 以上、本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0226] 例えば、本発明は、4個のCPUを有するクワッドコアマイコンMCU1にも適用可能であることは、言うまでもない。この際には、4個のバッファと4個のFIFOとが使用されて、4個のFIFOの出力信号は比較器に供給される。

[0227] また更に本発明は、マイクロコントローラの内蔵CPUの故障検出のための多重冗長動作にのみに限定されるものではない。本発明は、広範囲の用途の半導体集積回路の種々の内蔵機能モジュール、例えば、不動少数点演算ユニット(FPU: Floating Point number processing Unit)、暗号処理プロセッサ、MPEGデコーダ、2D画像処理プロセッサ、3D画像処理プロセッサ等の故障検出用の多重冗長動作に適用されることが可能である。

- [0228] 更に本発明は半導体集積回路の通常動作前の電源投入時の初期化シーケンスでの故障検出動作のための多重冗長動作や通常動作の開始後の故障検出動作のための多重冗長動作にのみに限定されるものではない。本発明による半導体集積回路の検査のための多重冗長動作は、例えば工場出荷前の半導体ウェハ段階での半導体集積回路の半導体チップの良品と不良品を判別する試験であるBIST (Built In Self Test)に適用することが可能である。

産業上の利用可能性

- [0229] 本発明は、機能モジュールと内蔵メモリとを具備する半導体集積回路の検査のための多重冗長動作に、広く適用することができる。

符号の説明

- [0230] 1…マイクロコントローラ(マイコン)MCU
2…第1中央処理ユニット(CPUA)
3…第1内蔵メモリ(メモリA)
4…第1CPUバス(CPUAバス)
5…第1バスブリッジ(ブリッジA)
6…第2中央処理ユニット(CPUB)
7…第2内蔵メモリ(メモリB)
8…第2CPUバス(CPUBバス)
9…第2バスブリッジ(ブリッジB)
10…システムバス
11…第1バッファメモリ(バッファA)
12…第2バッファメモリ(バッファB)
13…第1FIFOメモリ(FIFOA)
14…第2FIFOメモリ(FIFOB)
15…比較器
16…制御部
17…割り込み発生回路

請求の範囲

[請求項1]

半導体集積回路は、機能モジュールと、内蔵メモリと、第1バッファメモリと、第2バッファメモリと、第1FIFOメモリと、第2FIFOメモリと、比較器とを具備して、

前記半導体集積回路の検査のための多重冗長動作の第1動作の間に前記機能モジュールから出力される第1書き込みデータは前記内蔵メモリと前記第1バッファメモリに供給され、前記半導体集積回路の前記検査のための前記多重冗長動作の第2動作の間に前記機能モジュールから出力される第2書き込みデータは前記内蔵メモリと前記第2バッファメモリに供給され、

前記第1FIFOメモリは前記第1動作の間に前記第1バッファメモリから順次に出される第1出力データの複数のデータから所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択として、

前記第2FIFOメモリは前記第2動作の間に前記第2バッファメモリから順次に出される第2出力データの複数のデータから前記所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択として、

前記比較器は、前記第1FIFOメモリによって選択され出力される前記所定の出力回数の前記データと前記第2FIFOメモリによって選択され出力される前記所定の出力回数の前記データを比較することを特徴とする半導体集積回路。

[請求項2]

請求項1において、

前記機能モジュールは、第1機能モジュールと第2機能モジュールとを少なくとも含むものであり、

前記内蔵メモリは、第1内蔵メモリと第2内蔵メモリとを少なくとも含むものであり、

前記第1動作の間に前記第1機能モジュールから出力される前記第

1 書き込みデータは、前記第 1 内蔵メモリと前記第 1 バッファメモリとに供給されるものであり、

前記第 2 動作の間に前記第 2 機能モジュールから出力される前記第 2 書き込みデータは、前記第 2 内蔵メモリと前記第 2 バッファメモリとに供給される

ことを特徴とする半導体集積回路。

[請求項3]

請求項 2 において、

前記第 1 機能モジュールと前記第 2 機能モジュールは、それぞれ第 1 中央処理ユニットと第 2 中央処理ユニットである

ことを特徴とする半導体集積回路。

[請求項4]

請求項 2 において、

前記第 1 バッファメモリは、前記第 1 動作の間に順次に前記第 1 バッファメモリに供給される前記第 1 書き込みデータの前記複数のデータの第 1 出力回数をカウント可能とされ、

前記第 2 バッファメモリは、前記第 2 動作の間に順次に前記第 2 バッファメモリに供給される前記第 2 書き込みデータの前記複数のデータの第 2 出力回数をカウント可能とされた

ことを特徴とする半導体集積回路。

[請求項5]

請求項 4 において、

前記半導体集積回路は、前記第 1 バッファメモリと前記第 2 バッファメモリと前記第 1 F I F O メモリと前記第 2 F I F O メモリに接続された制御部を更に具備して、

前記制御部は、前記所定の出力回数の情報を格納可能な第 1 レジスタと第 2 レジスタとを含み、

前記第 1 バッファメモリによってカウントされた前記第 1 出力回数が前記第 1 レジスタに格納された前記情報と一致することに応答して、前記第 1 F I F O メモリが前記所定の出力回数の前記データを選択して格納するための第 1 F I F O ライトイネーブル信号を前記制御部

が前記第 1 F I F O メモリに供給可能とされ、

前記第 2 バッファメモリによってカウントされた前記第 2 出力回数が前記第 2 レジスタに格納された前記情報と一致することに対応して、前記第 2 F I F O メモリが前記所定の出力回数の前記データを選択して格納するための第 2 F I F O ライトイネーブル信号を前記制御部が前記第 2 F I F O メモリに供給可能とされたことを特徴とする半導体集積回路。

[請求項 6]

請求項 3 において、

前記多重冗長動作の前記第 1 動作と前記第 2 動作の内容は、前記第 1 中央処理ユニットと前記第 2 中央処理ユニットとのいずれか一方で以前に実行されていた通常動作の内容とされることが可能であることを特徴とする半導体集積回路。

[請求項 7]

請求項 6 において、

前記通常動作から前記多重冗長動作への移行は、前記通常動作を実行中の前記第 1 中央処理ユニットと前記第 2 中央処理ユニットとのいずれか一方から他方への割り込みによって可能とされたことを特徴とする半導体集積回路。

[請求項 8]

請求項 5 において、

前記第 1 バッファメモリは、前記第 1 F I F O メモリに出力される前記第 1 出力データを格納する第 1 フリップフロップと、一方の入力端子と他方の入力端子とに前記第 1 書き込みデータと前記第 1 フリップフロップの出力端子の第 1 出力データとがそれぞれ供給される第 1 演算回路とを含み、前記第 1 演算回路の出力端子から生成される出力信号は前記第 1 フリップフロップに格納可能とされ、

前記第 2 バッファメモリは、前記第 2 F I F O メモリに出力される前記第 2 出力データを格納する第 2 フリップフロップと、一方の入力端子と他方の入力端子とに前記第 2 書き込みデータと前記第 2 フリップフロップの出力端子の第 2 出力データとがそれぞれ供給される第 2

演算回路とを含み、前記第2演算回路の出力端子から生成される出力信号は前記第2フリップフロップに格納可能とされたことを特徴とする半導体集積回路。

[請求項9]

請求項1乃至請求項8のいずれかにおいて、

前記比較器による前記第1FIFOメモリによって出力される前記所定の出力回数の前記データと前記第2FIFOメモリによって出力される前記所定の出力回数の前記データとの比較結果が両方のデータの一致を示す場合には、前記半導体集積回路は正常と判断されて、比較結果が両方のデータの不一致を示す場合には、前記半導体集積回路は異常と判断される

ことを特徴とする半導体集積回路。

[請求項10]

請求項1乃至請求項8のいずれかにおいて、

前記第1中央処理ユニットは前記第1内蔵メモリに格納された前記通常動作のための命令を実行することに並列して、前記第2中央処理ユニットは前記第2内蔵メモリに格納された前記通常動作のための命令を実行することによって、前記半導体集積回路は多重コアのマイクロコントローラとして動作可能とされた

ことを特徴とする半導体集積回路。

[請求項11]

半導体集積回路は、機能モジュールと、内蔵メモリと、第1バッファメモリと、第2バッファメモリと、第1FIFOメモリと、第2FIFOメモリと、比較器とを具備して、

前記半導体集積回路の検査のための多重冗長動作の第1動作の間に前記機能モジュールから出力される第1書き込みデータは前記内蔵メモリと前記第1バッファメモリに供給され、前記半導体集積回路の前記検査のための前記多重冗長動作の第2動作の間に前記機能モジュールから出力される第2書き込みデータは前記内蔵メモリと前記第2バッファメモリに供給され、

前記第1FIFOメモリは前記第1動作の間に前記第1バッファメ

メモリから順次に出力される第1出力データの複数のデータから所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択として、

前記第2 F I F Oメモリは前記第2動作の間に前記第2バッファメモリから順次に出力される第2出力データの複数のデータから前記所定の出力回数のデータを選択して格納する一方、前記所定の出力回数と異なる出力回数の他のデータを非選択として、

前記比較器は、前記第1 F I F Oメモリによって選択され出力される前記所定の出力回数の前記データと前記第2 F I F Oメモリによって選択され出力される前記所定の出力回数の前記データを比較することを特徴とする半導体集積回路の動作方法。

[請求項12]

請求項11において、

前記機能モジュールは、第1機能モジュールと第2機能モジュールとを少なくとも含むものであり、

前記内蔵メモリは、第1内蔵メモリと第2内蔵メモリとを少なくとも含むものであり、

前記第1動作の間に前記第1機能モジュールから出力される前記第1書き込みデータは、前記第1内蔵メモリと前記第1バッファメモリとに供給されるものであり、

前記第2動作の間に前記第2機能モジュールから出力される前記第2書き込みデータは、前記第2内蔵メモリと前記第2バッファメモリとに供給される

ことを特徴とする半導体集積回路の動作方法。

[請求項13]

請求項12において、

前記第1機能モジュールと前記第2機能モジュールは、それぞれ第1中央処理ユニットと第2中央処理ユニットである

ことを特徴とする半導体集積回路。

[請求項14]

請求項12において、

前記第 1 バッファメモリは、前記第 1 動作の間に順次に前記第 1 バッファメモリに供給される前記第 1 書き込みデータの前記複数のデータの第 1 出力回数をカウント可能とされ、

前記第 2 バッファメモリは、前記第 2 動作の間に順次に前記第 2 バッファメモリに供給される前記第 2 書き込みデータの前記複数のデータの第 2 出力回数をカウント可能とされたことを特徴とする半導体集積回路の動作方法。

[請求項15]

請求項 1 4 において、

前記半導体集積回路は、前記第 1 バッファメモリと前記第 2 バッファメモリと前記第 1 F I F O メモリと前記第 2 F I F O メモリに接続された制御部を更に具備して、

前記制御部は、前記所定の出力回数の情報を格納可能な第 1 レジスタと第 2 レジスタとを含み、

前記第 1 バッファメモリによってカウントされた前記第 1 出力回数が前記第 1 レジスタに格納された前記情報と一致することに応答して、前記第 1 F I F O メモリが前記所定の出力回数の前記データを選択して格納するための第 1 F I F O ライトイネーブル信号を前記制御部が前記第 1 F I F O メモリに供給可能とされ、

前記第 2 バッファメモリによってカウントされた前記第 2 出力回数が前記第 2 レジスタに格納された前記情報と一致することに応答して、前記第 2 F I F O メモリが前記所定の出力回数の前記データを選択して格納するための第 2 F I F O ライトイネーブル信号を前記制御部が前記第 2 F I F O メモリに供給可能とされたことを特徴とする半導体集積回路の動作方法。

[請求項16]

請求項 1 3 において、

前記多重冗長動作の前記第 1 動作と前記第 2 動作の内容は、前記第 1 中央処理ユニットと前記第 2 中央処理ユニットとのいずれか一方で以前に実行されていた通常動作の内容とされることが可能である

ことを特徴とする半導体集積回路の動作方法。

[請求項17]

請求項 1 6 において、

前記通常動作から前記多重冗長動作への移行は、前記通常動作を実行中の前記第 1 中央処理ユニットと前記第 2 中央処理ユニットとのいずれか一方から他方への割り込みによって可能とされたことを特徴とする半導体集積回路の動作方法。

[請求項18]

請求項 1 5 において、

前記第 1 バッファメモリは、前記第 1 F I F O メモリに出力される前記第 1 出力データを格納する第 1 フリップフロップと、一方の入力端子と他方の入力端子とに前記第 1 書き込みデータと前記第 1 フリップフロップの出力端子の第 1 出力データとがそれぞれ供給される第 1 演算回路とを含み、前記第 1 演算回路の出力端子から生成される出力信号は前記第 1 フリップフロップに格納可能とされ、

前記第 2 バッファメモリは、前記第 2 F I F O メモリに出力される前記第 2 出力データを格納する第 2 フリップフロップと、一方の入力端子と他方の入力端子とに前記第 2 書き込みデータと前記第 2 フリップフロップの出力端子の第 2 出力データとがそれぞれ供給される第 2 演算回路とを含み、前記第 2 演算回路の出力端子から生成される出力信号は前記第 2 フリップフロップに格納可能とされた

ことを特徴とする半導体集積回路の動作方法。

[請求項19]

請求項 1 1 乃至請求項 1 8 のいずれかにおいて、

前記比較器による前記第 1 F I F O メモリによって出力される前記所定の出力回数の前記データと前記第 2 F I F O メモリによって出力される前記所定の出力回数の前記データとの比較結果が両方のデータの一致を示す場合には、前記半導体集積回路は正常と判断されて、比較結果が両方のデータの不一致を示す場合には、前記半導体集積回路は異常と判断される

ことを特徴とする半導体集積回路の動作方法。

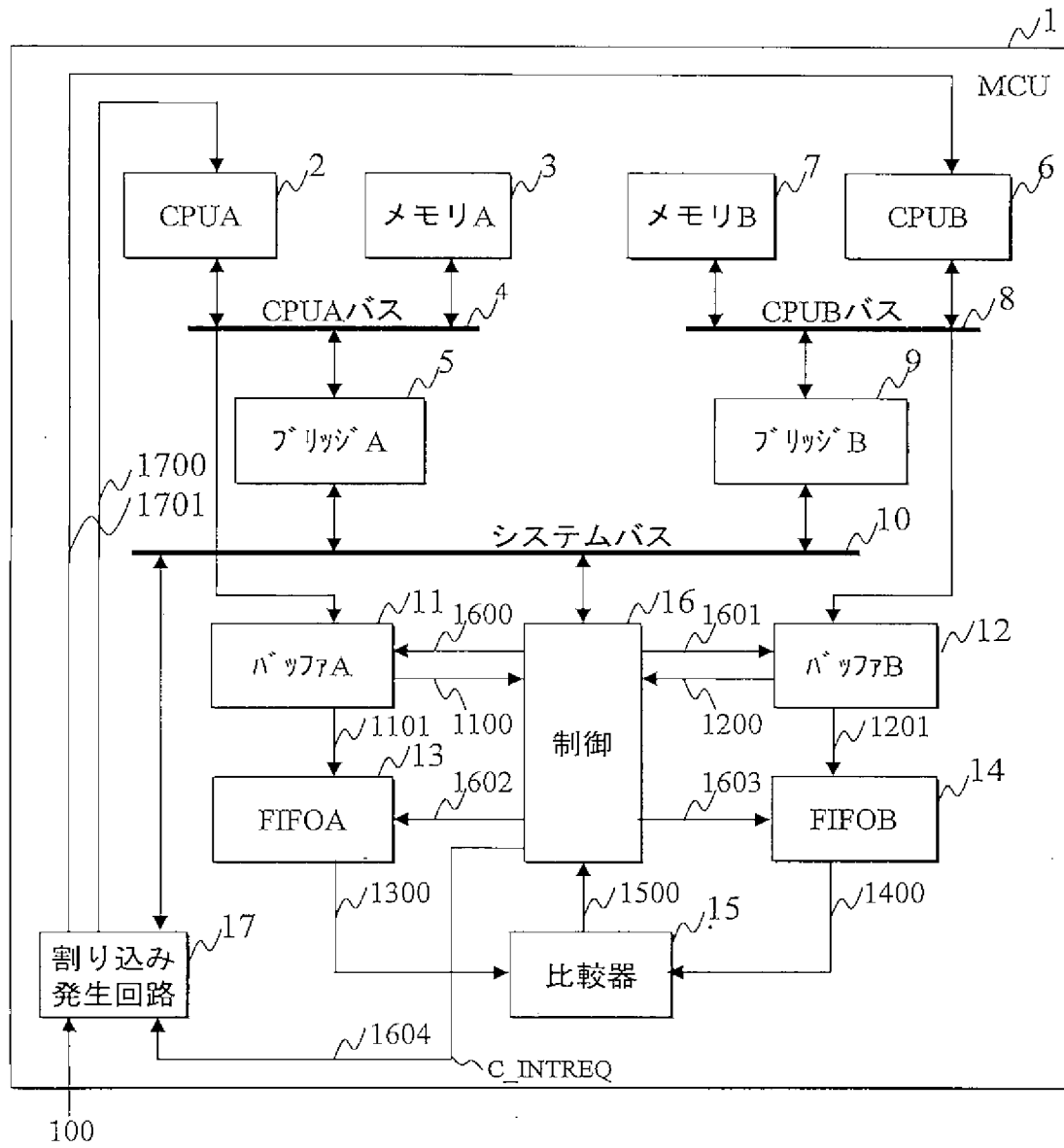
[請求項20]

請求項 1 1 乃至請求項 1 8 のいずれかにおいて、

前記第 1 中央処理ユニットは前記第 1 内蔵メモリに格納された前記通常動作のための命令を実行することに並列して、前記第 2 中央処理ユニットは前記第 1 2 内蔵メモリに格納された前記通常動作のための命令を実行することによって、前記半導体集積回路は多重コアのマイクロコントローラとして動作可能とされたことを特徴とする半導体集積回路の動作方法。

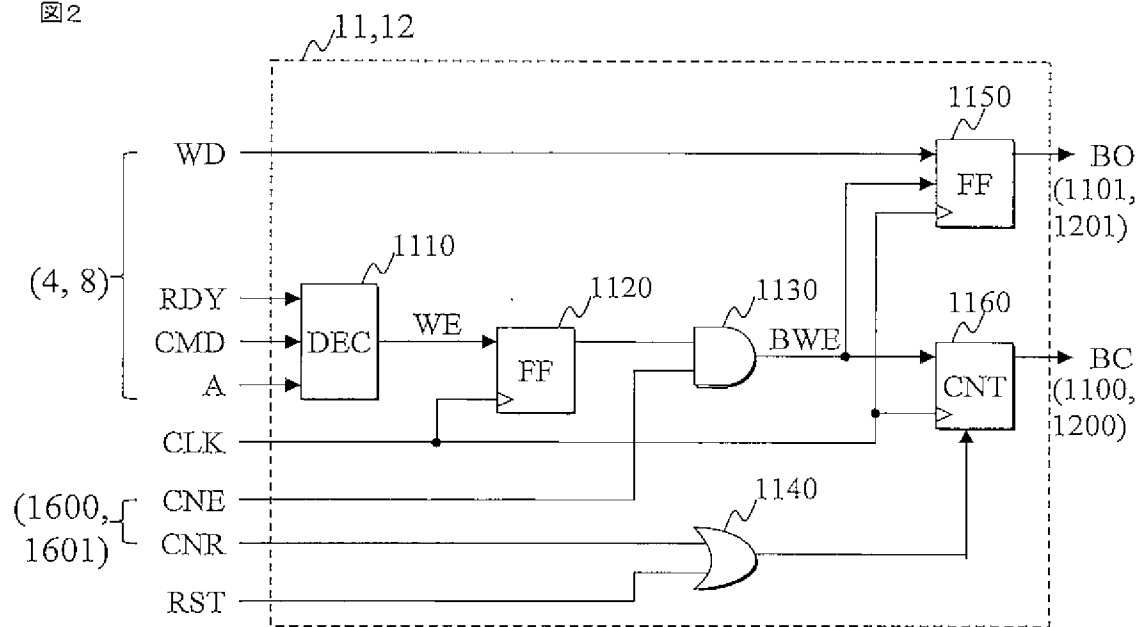
[図1]

図1



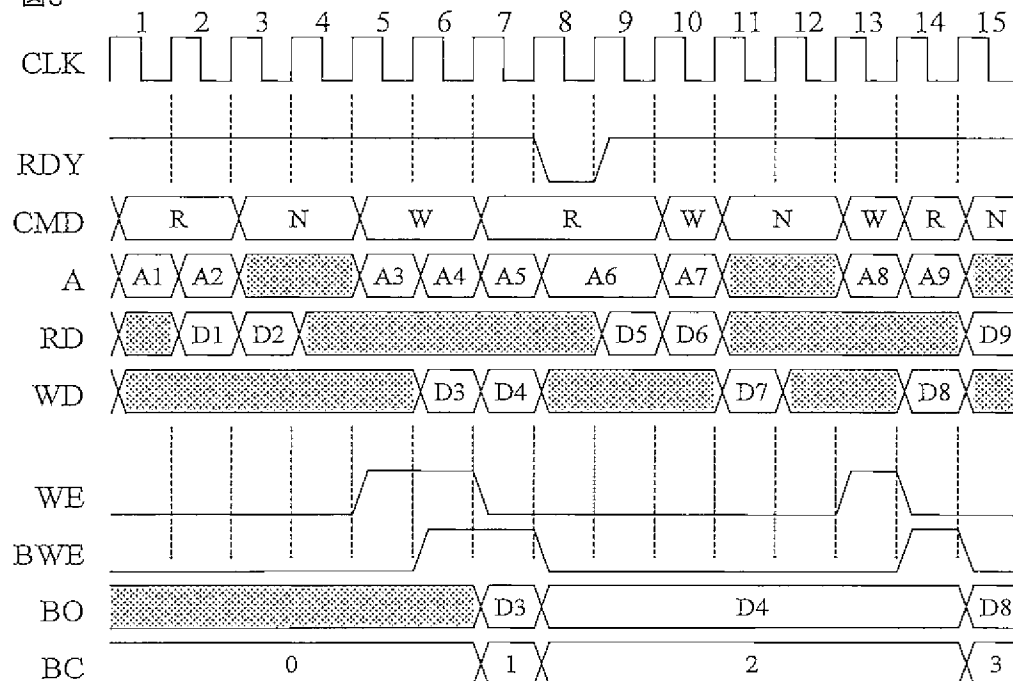
[図2]

図2



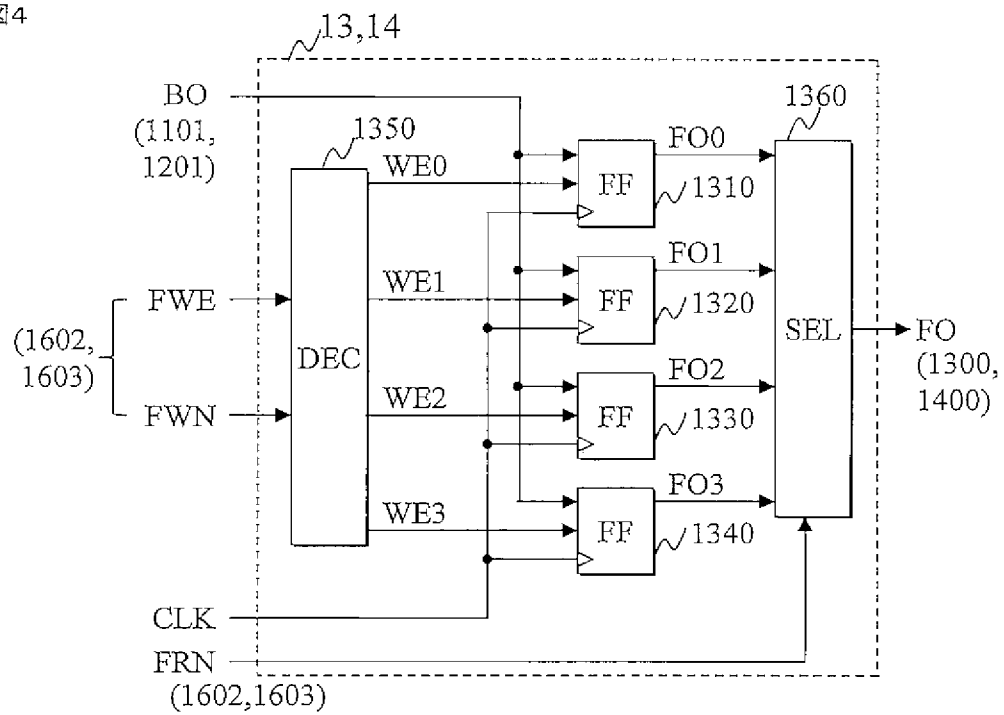
[図3]

図3



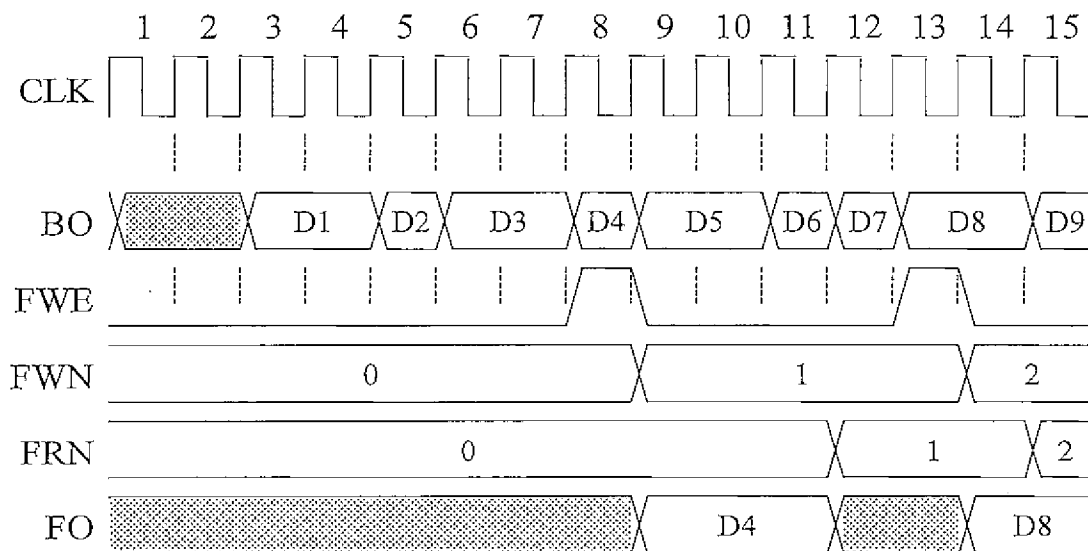
[図4]

図4



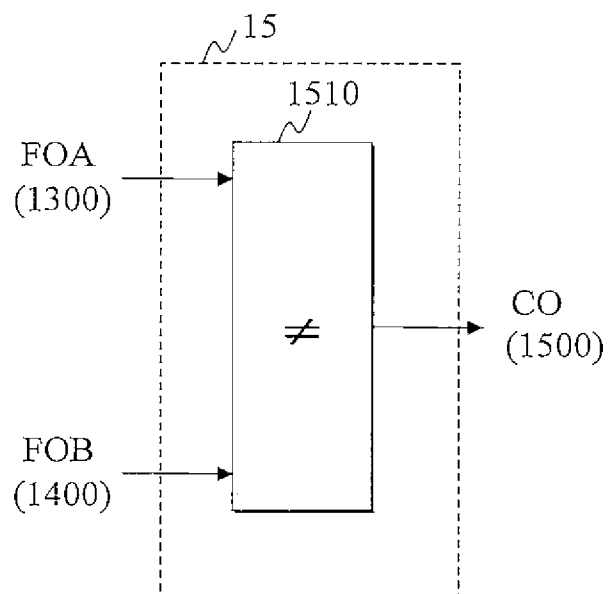
[図5]

図5



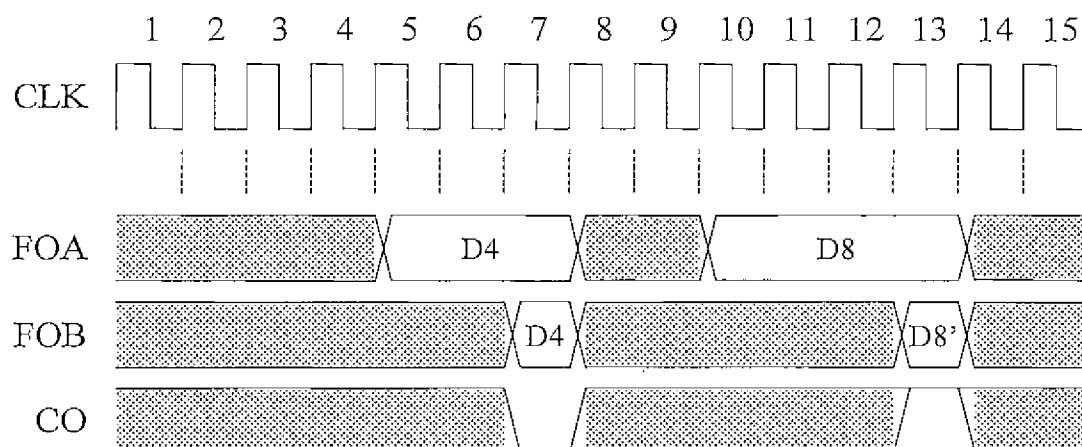
[図6]

图6

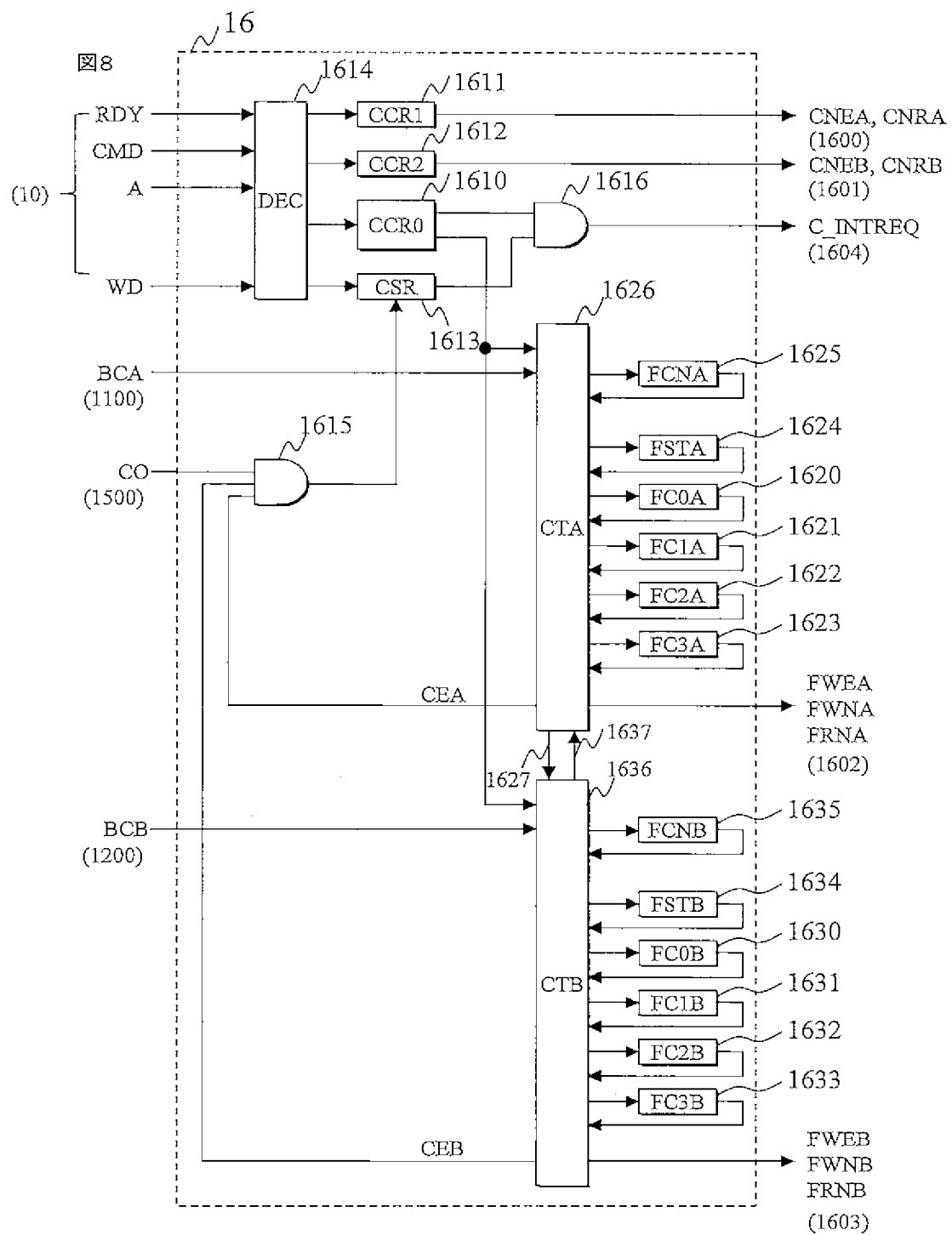


[図7]

图7

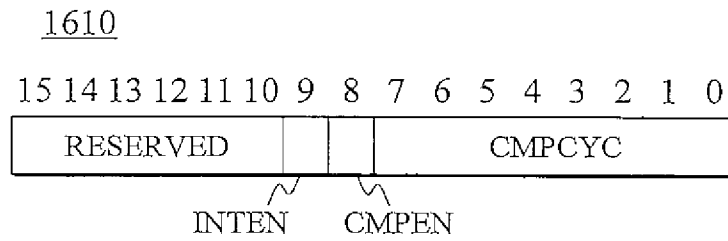


[図8]



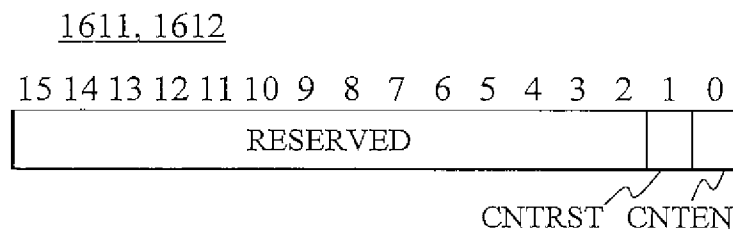
[図9]

図9



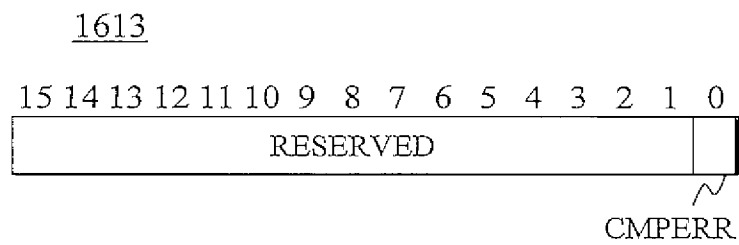
[図10]

図10



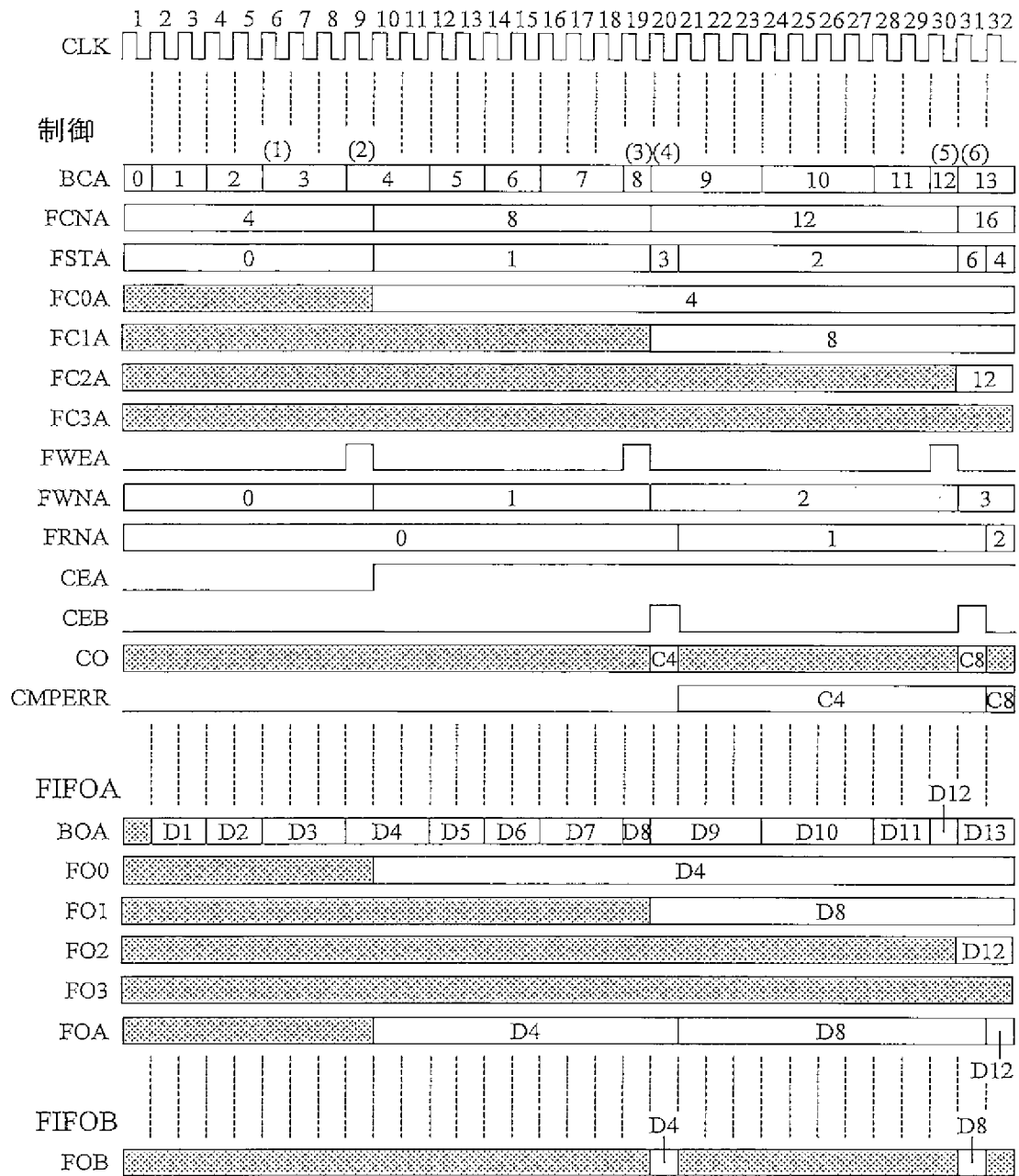
[図11]

図11



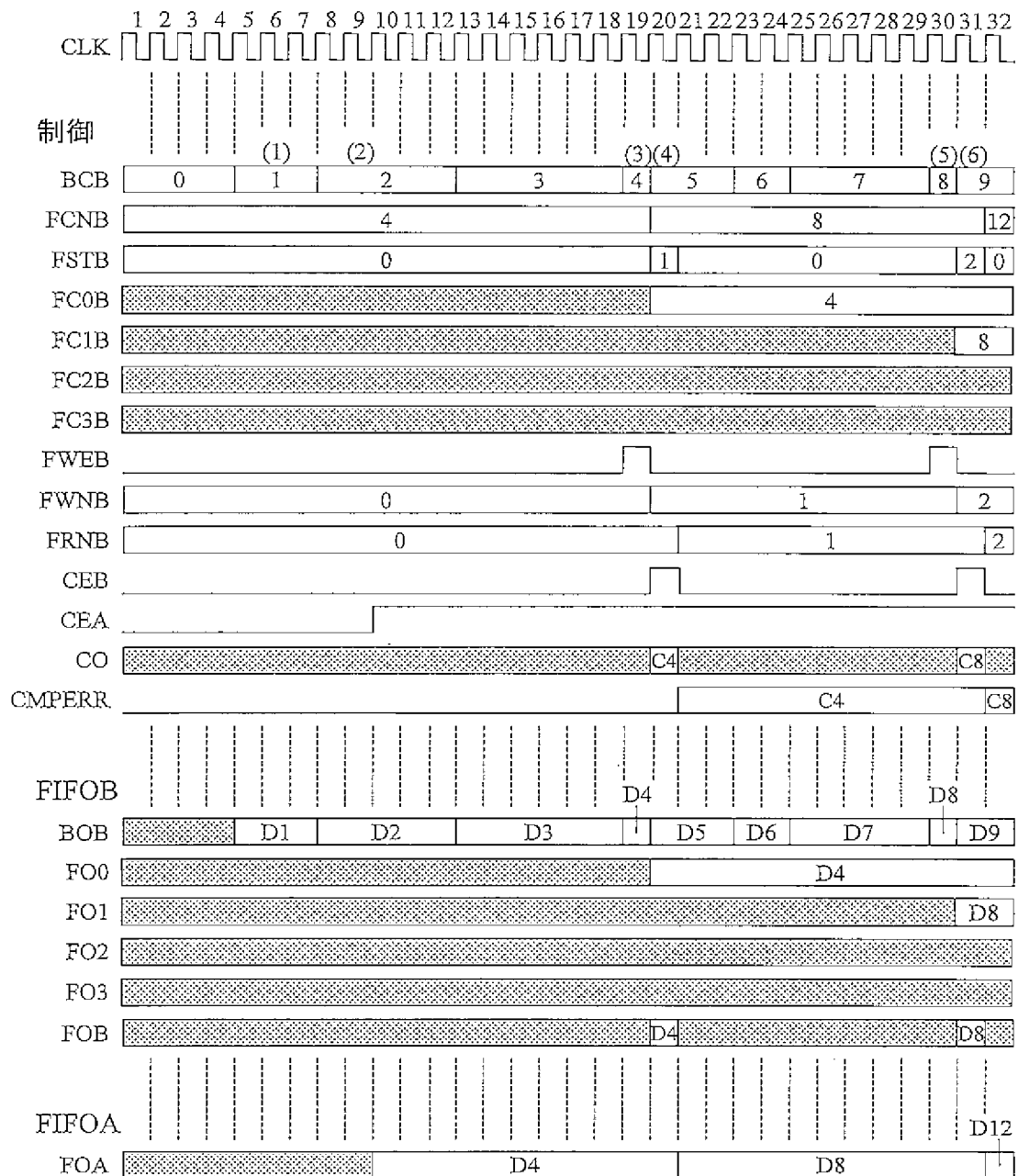
[図12]

図12



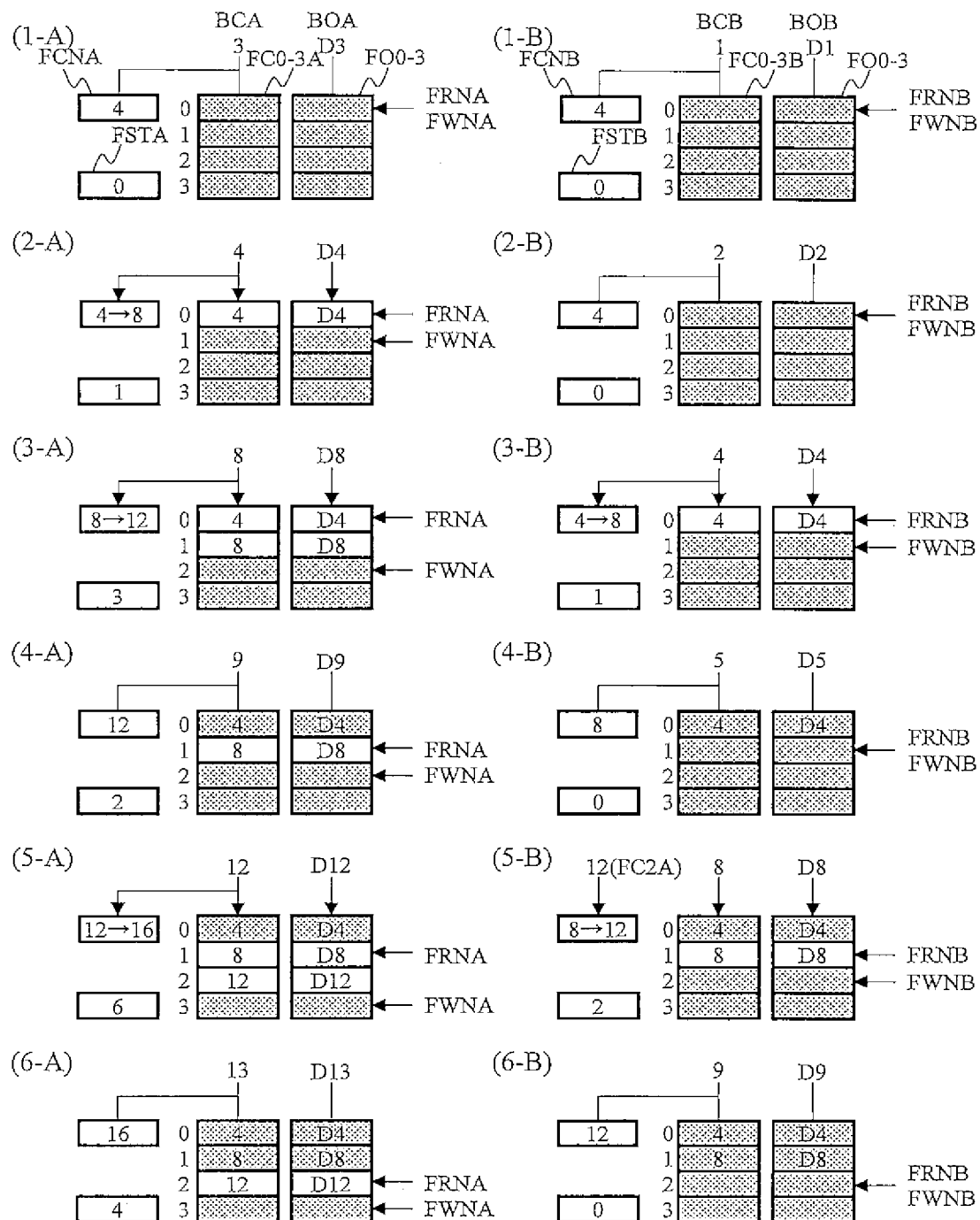
[図13]

図13



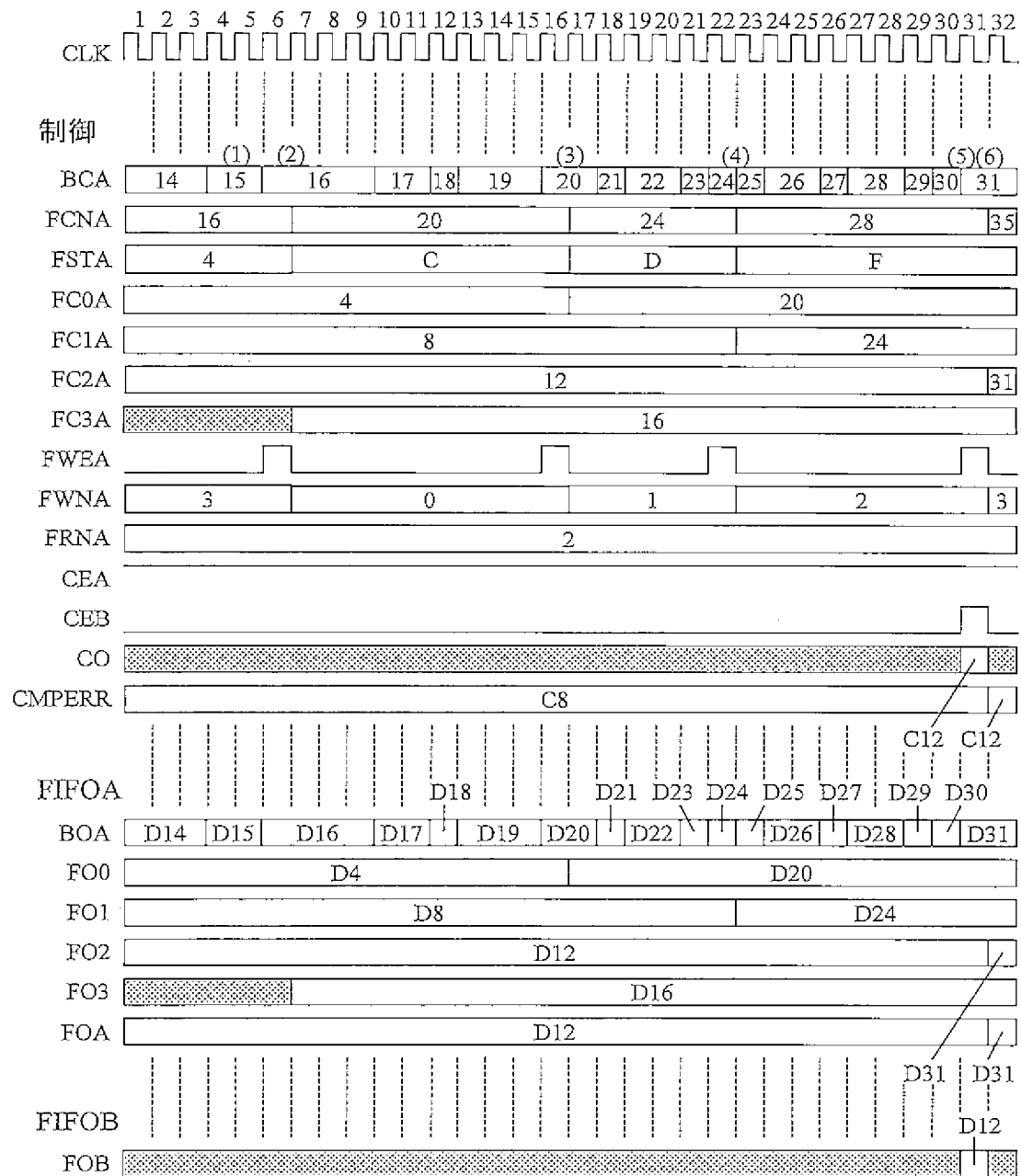
[図14]

図14



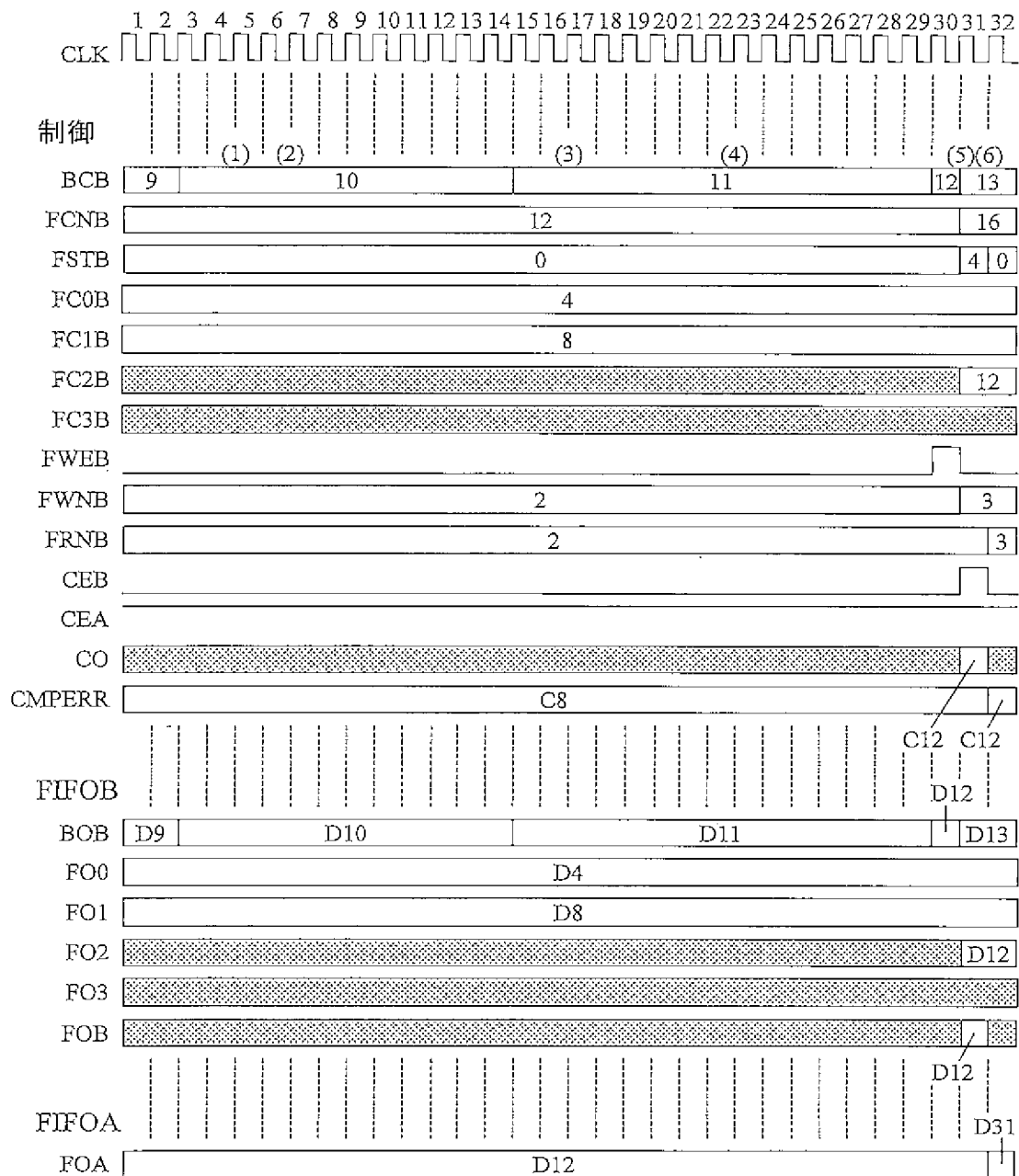
[図15]

図15



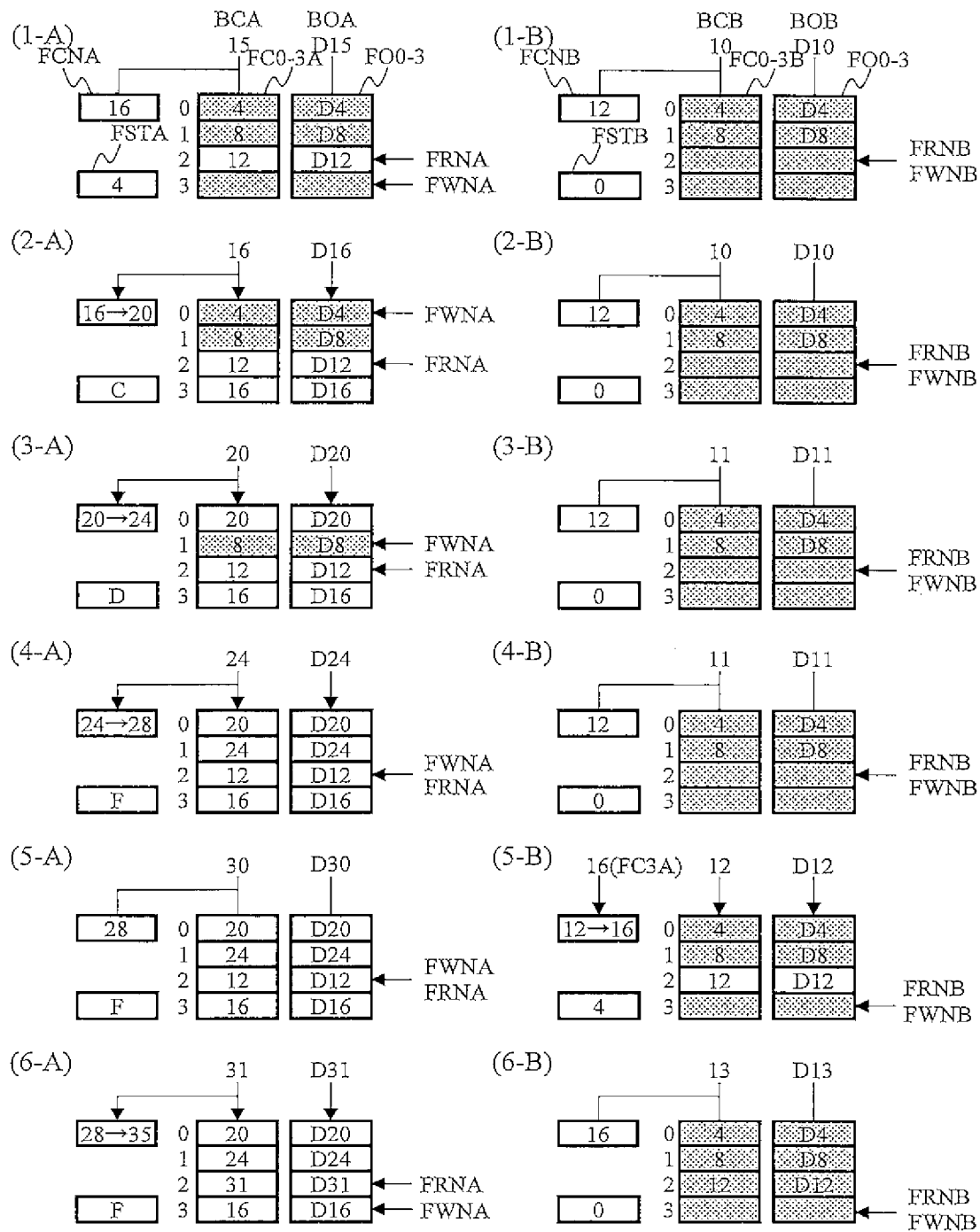
[図16]

図16



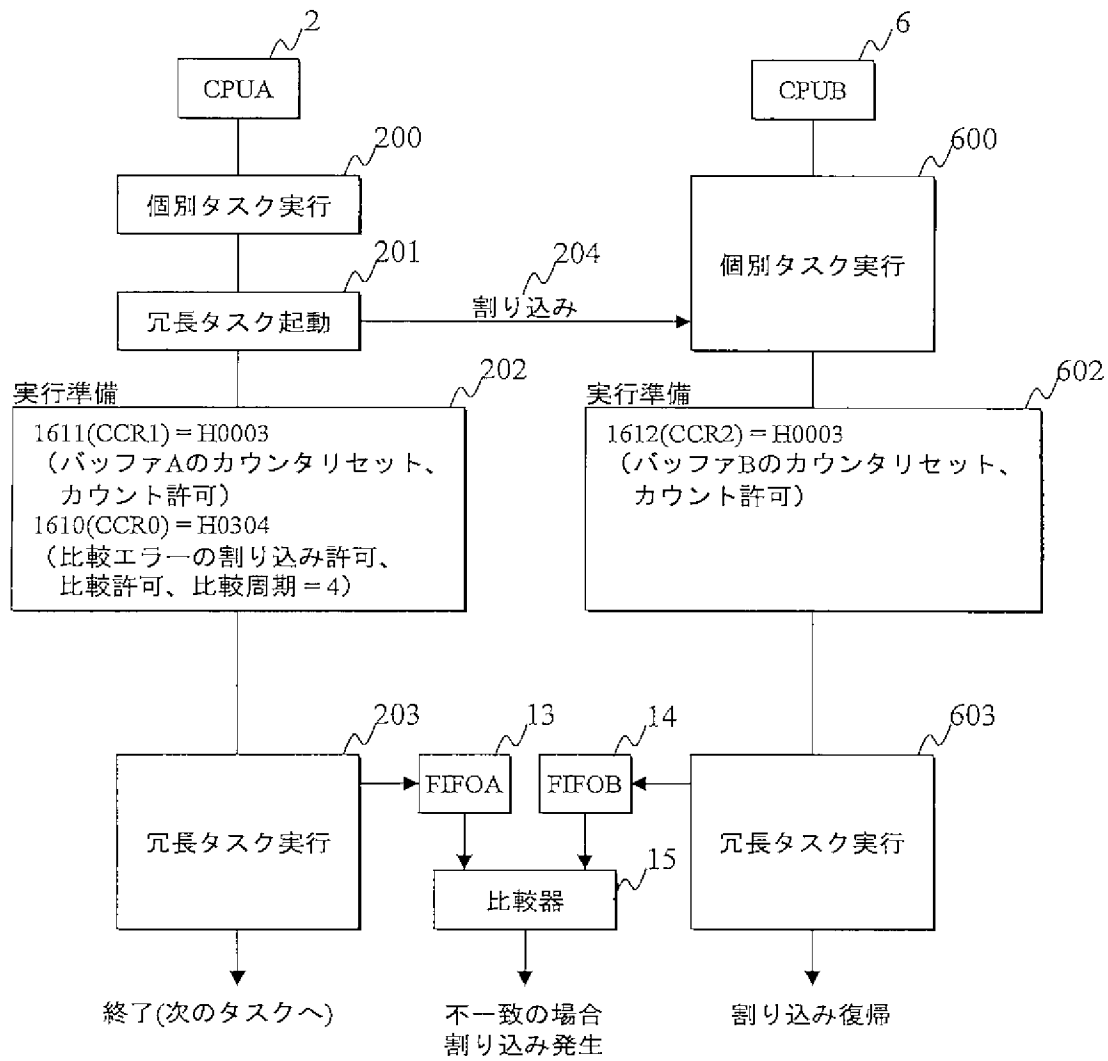
[図17]

図17

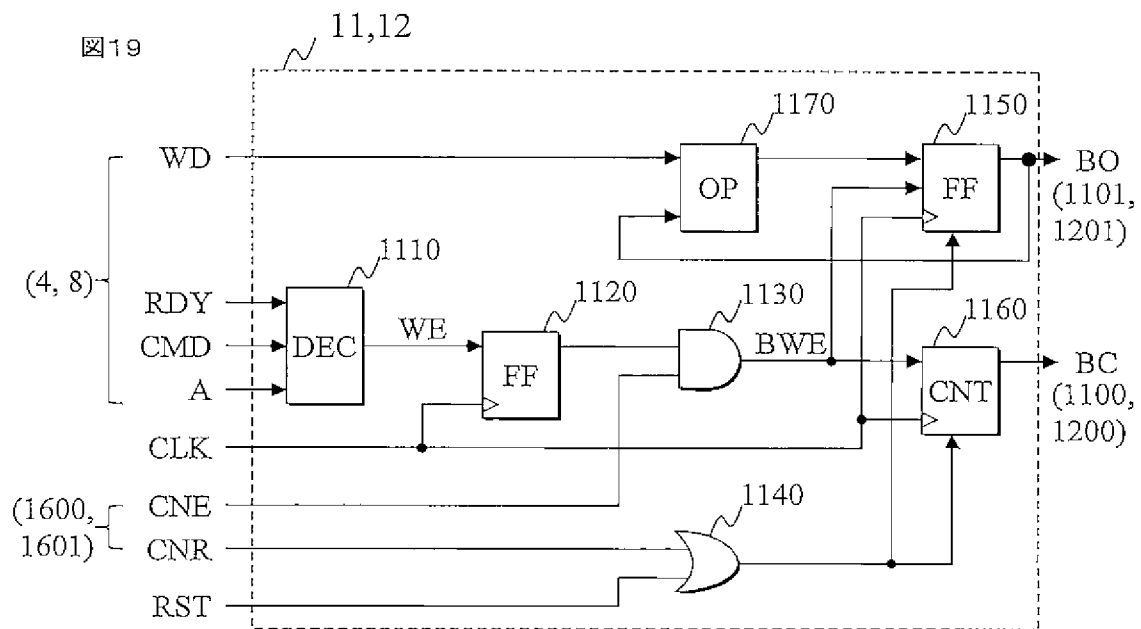


[図18]

図18

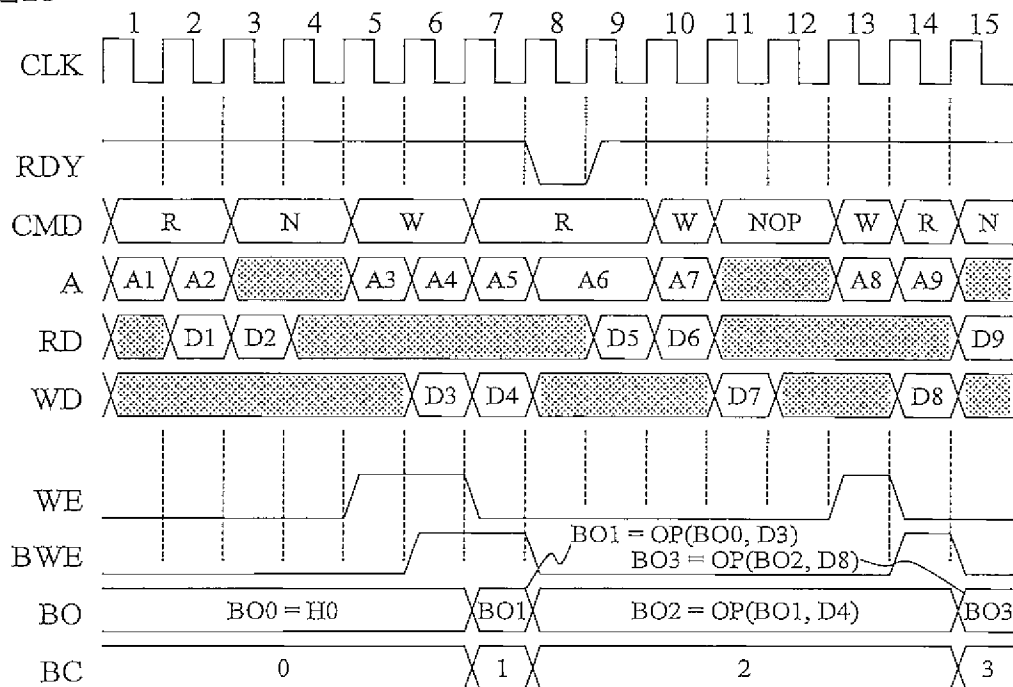


[図19]



[図20]

図20



[図21]

図21

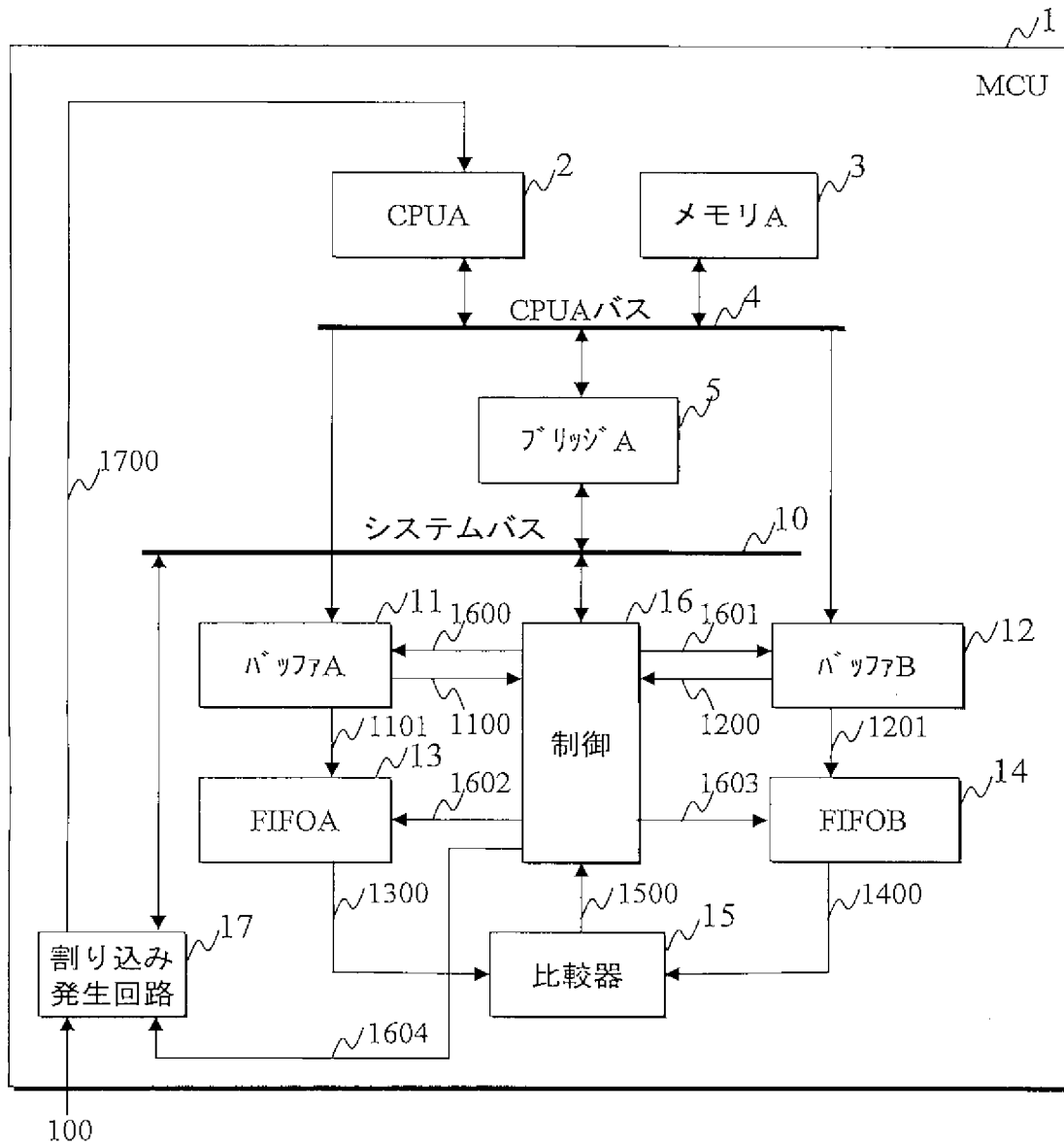
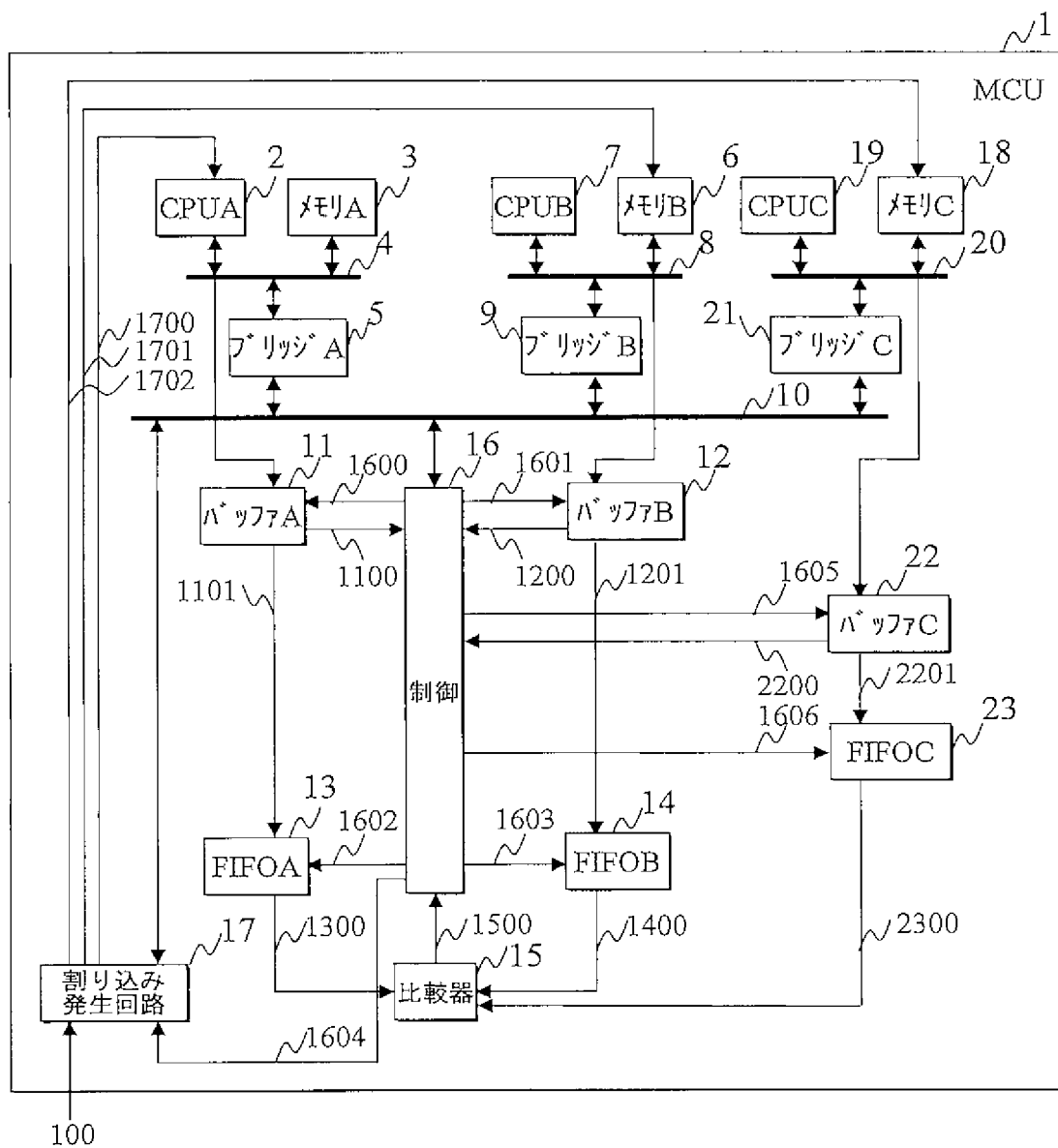
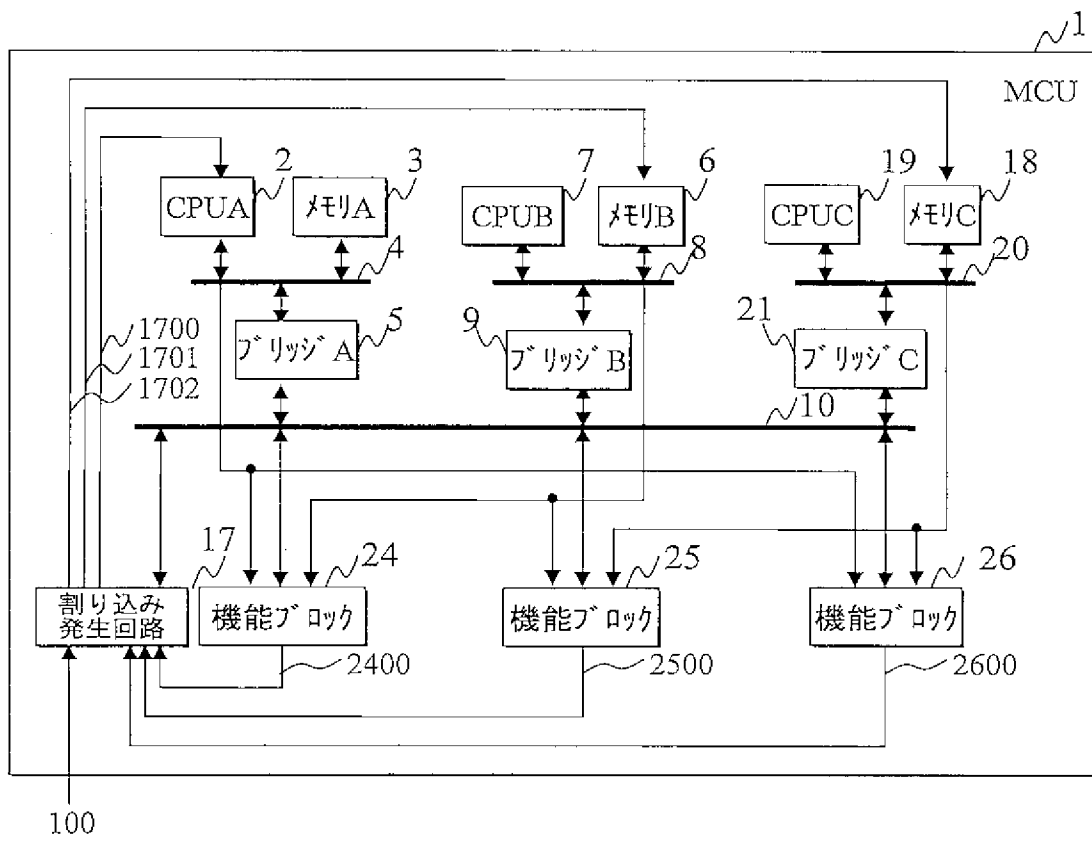


图 22



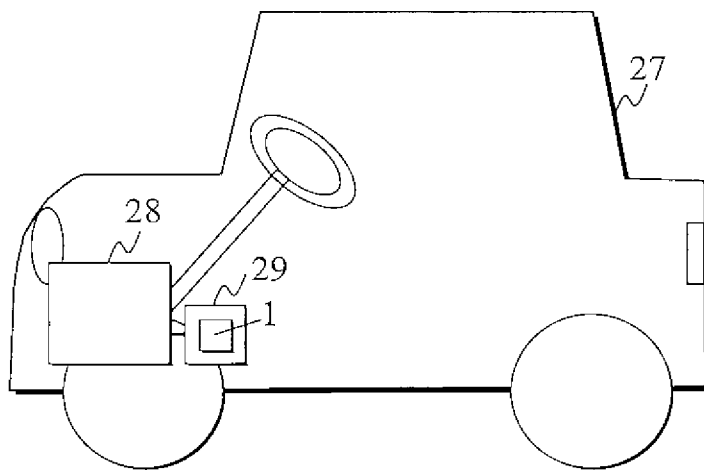
[図23]

図23



[図24]

図24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059807

A. CLASSIFICATION OF SUBJECT MATTER

G06F11/18 (2006.01) i, H01L21/822 (2006.01) i, H01L27/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F11/18, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-113388 A (Renesas Technology Corp.), 20 May 2010 (20.05.2010), paragraphs [0068] to [0071]; fig. 9, 10; paragraphs [0063] to [0064]; fig. 5, 6 & US 2010/0131741 A1	1-20
Y	JP 8-241217 A (Hitachi, Ltd.), 17 September 1996 (17.09.1996), paragraphs [0036] to [0050]; fig. 3 (Family: none)	1-20
Y	JP 7-146802 A (Kyosan Electric Mfg. Co., Ltd.), 06 June 1995 (06.06.1995), paragraphs [0010] to [0021]; fig. 1 (Family: none)	1-20

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 July, 2011 (21.07.11)Date of mailing of the international search report
02 August, 2011 (02.08.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059807

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-507015 A (Robert Bosch GmbH), 22 March 2007 (22.03.2007), paragraphs [0039] to [0040]; fig. 3 & US 2007/0277023 A1 & EP 1639454 A	7, 17
A	JP 4-138532 A (NEC Corp.), 13 May 1992 (13.05.1992), page 2, lower left column, line 14 to page 3, upper left column, line 20; fig. 1 (Family: none)	1-20
A	JP 2004-234144 A (Hitachi, Ltd.), 19 August 2004 (19.08.2004), paragraphs [0013] to [0015]; fig. 1, 2 (Family: none)	1-20

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F11/18(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F11/18, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-113388 A (株式会社ルネサステクノロジ) 2010.05.20, 段落68~71、図9、10、段落63~64、図5、6 & US 2010/0131741 A1	1 - 2 0
Y	JP 8-241217 A (株式会社日立製作所) 1996.09.17, 段落36~50、図3 (ファミリーなし)	1 - 2 0
Y	JP 7-146802 A (株式会社京三製作所) 1995.06.06, 段落10~21、図1 (ファミリーなし)	1 - 2 0

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 7 . 2 0 1 1

国際調査報告の発送日

0 2 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

三坂 敏夫

5 B

4 1 7 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-507015 A (ローベルト ボッシュ ゲゼルシャフト ミット ベシュレンクテル ハフツング) 2007.03.22, 段落 39 ~ 40、図 3 & US 2007/0277023 A1 & EP 1639454 A	7、17
A	JP 4-138532 A (日本電気株式会社) 1992.05.13, 2 頁左下欄 14 行目 ~ 3 左上頁 20 欄行目、第 1 図 (ファミリーなし)	1 - 20
A	JP 2004-234144 A (株式会社日立製作所) 2004.08.19, 段落 13 ~ 15、図 1、2 (ファミリーなし)	1 - 20