



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월10일
(11) 등록번호 10-2250029
(24) 등록일자 2021년05월03일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01)
(52) CPC특허분류
H01L 27/11551 (2013.01)
H01L 27/11521 (2013.01)
(21) 출원번호 10-2016-0075053
(22) 출원일자 2016년06월16일
심사청구일자 2019년06월11일
(65) 공개번호 10-2017-0026101
(43) 공개일자 2017년03월08일
(30) 우선권주장
62/212,315 2015년08월31일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
KR1020150070819 A*
(뒷면에 계속)

(73) 특허권자
롱지튜드 플래쉬 메모리 솔루션즈 리미티드
아일랜드 디18 피3웨이9 더블린 샌디포드 브레큰
로드 블랙슨 익스체인지 1층
(72) 발명자
장, 렌후아
미국 95051 캘리포니아 산타 클라라 칼리슬 애비
뉴 3717
람쿠마르, 크리쉬나스와미
미국 95129 캘리포니아 새너제이 린브룩 웨이
1193
(뒷면에 계속)
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 19 항

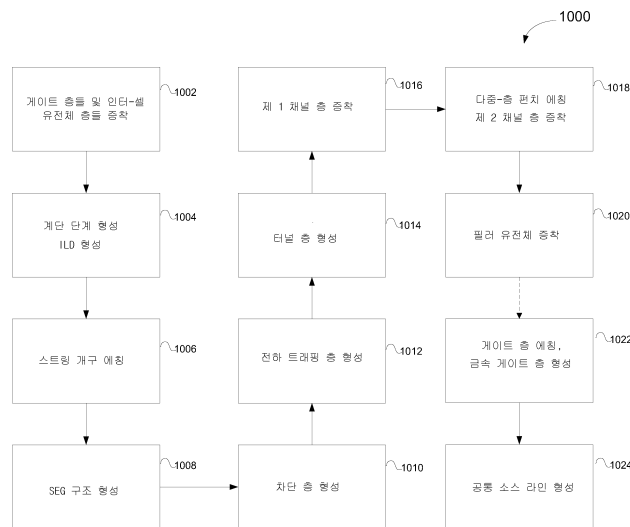
심사관 : 고연화

(54) 발명의 명칭 다중-층 채널 및 전하 트래핑 층을 갖는 메모리 디바이스

(57) 요약

3-D NAND 플래시 메모리 디바이스와 같은 3-D/수직 비-휘발성(NV) 메모리 디바이스, 및 그 제조 방법이 제공되며, NV 메모리 디바이스는 웨이퍼 위의 제 1 스택 층들 및 제 2 스택 층들의 교번하는 스택 층들의 스택에 배치되는 수직 개구, 각각의 개구의 내부 측벽 위에 배치되는 다중-층 유전체, 다중-층 유전체 위에 배치되는 제 1 채널 층 및 제 1 채널 층 위에 배치되는 제 2 채널 층을 포함하며, 제 1 또는 제 2 채널 층들 중 적어도 하나는 다결정 게르마늄 또는 실리콘-게르마늄을 포함한다.

대표도 - 도1



- | | |
|--|---|
| <p>(52) CPC특허분류
 <i>H01L 27/11556</i> (2013.01)
 <i>H01L 27/11568</i> (2013.01)
 <i>H01L 27/11578</i> (2013.01)
 <i>H01L 27/11582</i> (2013.01)</p> <p>(72) 발명자
 스기노, 린지
 미국 95129 캘리포니아 새너제이 콜벳 드라이브
 1040
 수, 레이
 미국 95070 캘리포니아 사라토가 캐년 뷰 드라이브
 20890</p> | <p>(56) 선행기술조사문헌
 KR1020150040806 A
 US20100322009 A1
 US20150072488 A1
 US20150171106 A1
 JP2015512567 A
 *는 심사관에 의하여 인용된 문헌</p> <p>(30) 우선권주장
 62/279,068 2016년01월15일 미국(US)
 15/078,156 2016년03월23일 미국(US)</p> |
|--|---|
-

명세서

청구범위

청구항 1

메모리 디바이스로서,
 웨이퍼 위의 제 1 스택 층들 및 제 2 스택 층들을 포함하는 스택에 배치되는 개구;
 상기 개구의 적어도 내부 측벽 위에 배치되는 다중-층 유전체;
 상기 다중-층 유전체 위에 배치되는 제 1 채널 층;
 상기 제 1 채널 층 위에 배치되는 반도체 물질을 포함하는 제 2 채널 층; 및
 상기 제 2 채널 층 위에 배치된 적어도 하나의 부가적인 채널 층
 을 포함하고,
 상기 제 1 또는 제 2 채널 층들 중 적어도 하나는 게르마늄(Ge)을 포함하고,
 상기 적어도 하나의 부가적인 채널 층은 상기 제 1 또는 제 2 채널 층들보다 더 낮은 Ge 농도를 포함하는,
 메모리 디바이스.

청구항 2

제 1 항에 있어서,
 상기 제 1 또는 제 2 채널 층들 중 적어도 하나는 Si-Ge(silicon-germanium) 합성 층을 포함하고, 상기 Si-Ge 합성 층은 5% 내지 95%의 범위로 원자들의 수에 의한 Ge 농도를 포함하는,
 메모리 디바이스.

청구항 3

제 1 항에 있어서,
 상기 제 1 및 제 2 채널 층들은 다-결정 구조(poly-crystalline structure)를 포함하는,
 메모리 디바이스.

청구항 4

삭제

청구항 5

제 1 항에 있어서,
 상기 제 1 및 제 2 채널 층들 간의 채널 인터페이스
 를 더 포함하고,
 상기 제 1 및 제 2 채널 층들은 2개의 분리된 증착 단계들에서 증착되고, 각각은 상이한 Ge 농도의 실리콘-게르
 마늄 합성 층을 포함하는,
 메모리 디바이스.

청구항 6

제 1 항에 있어서,

상기 개구는 실질적으로 상기 웨이퍼의 상부 표면에 대해 직교하는,
메모리 디바이스.

청구항 7

제 1 항에 있어서,
상기 개구는 원, 타원, 정사각형, 다이아몬드, 및 직사각형의 그룹으로부터 선택되는 단면 형상을 포함하는,
메모리 디바이스.

청구항 8

제 1 항에 있어서,
상기 다중-층 유전체는, 상기 개구의 적어도 내부 측벽 위의 차단 유전체 층, 상기 차단 유전체 층 위의 전하-트래핑 층(charge-trapping layer) 및 상기 전하-트래핑 층 위의 터널 유전체 층을 포함하고, 상기 전하-트래핑 층은 다중-층 구조를 포함하는,
메모리 디바이스.

청구항 9

제 8 항에 있어서,
상기 전하-트래핑 층의 다중-층 구조는 외부 질화물 층, 중간 유전체 층, 및 내부 질화물 층을 포함하고, 상기 외부 또는 내부 질화물 층들 중 적어도 하나는 실리콘 산질화물을 포함하고, 상기 외부 및 내부 질화물 층들 중 하나는 산소-풍부형이고, 다른 하나는 실리콘-풍부형이고, 상기 중간 유전체 층은 전하-트랩이 없는,
메모리 디바이스.

청구항 10

제 1 항에 있어서,
상기 제 1 및 제 2 스택 층들은 상기 스택을 형성하도록 교번적인 방식으로 서로 위에 배치되고,
상기 제 1 스택 층들은 실리콘 이산화물(SiO₂)을 포함하고,
상기 제 2 스택 층들 각각은 게이트 층을 포함하고, 상기 게이트 층은 도핑된 다결정 실리콘(Poly-Si) 층 또는 텅스텐/티타늄 질화물(W/TiN) 합성 층 중 하나를 포함하는,
메모리 디바이스.

청구항 11

제 1 항에 있어서,
상기 제 1 또는 제 2 채널 층들 중 적어도 하나는 포지티브로(positively) 도핑되는,
메모리 디바이스.

청구항 12

제 11 항에 있어서,
상기 제 1 또는 제 2 채널 층들 중 적어도 하나는 붕소, 갈륨, 또는 인듐의 그룹으로부터 선택되고 1e15 cm⁻³ 내지 1e18 cm⁻³의 농도 범위에서 도핑된 도펀트를 포함하는,
메모리 디바이스.

청구항 13

제 1 항에 있어서,
 상기 제 1 및 제 2 채널 층들의 두께 비는 1:5 내지 1:0.2의 범위에 있는,
 메모리 디바이스.

청구항 14

메모리 디바이스로서,
 웨이퍼 위에 형성되는 스택 - 상기 스택은 유전체 층들 및 게이트 층들을 포함함 - ;
 각각이 상기 스택에 형성된 수직 개구 내에 형성되는 복수의 수직 NAND 스트링들;
 각각이 상기 스택에 형성된 수직 CSL(common source-line) 실트(silt) 내에 형성되는 적어도 하나의 CSL
 를 포함하고,
 상기 복수의 수직 NAND 스트링들은,
 상기 수직 개구의 적어도 내부 측벽 위에 배치되는 차단 유전체 층;
 상기 차단 유전체 층 위에 배치되는 다중-층 전하-트래핑 층;
 상기 다중-층 전하-트래핑 층 위에 배치되는 터널 유전체 층;
 게르마늄(Ge)을 포함하는 채널로서, 상기 채널은 추가로, 상기 터널 유전체 층 위에 배치되는 외부 채널 및 상
 기 외부 채널 위에 배치되는 반도체 물질을 포함하는 내부 채널을 포함하는, 상기 Ge 를 포함하는 채널; 및
 상기 수직 개구의 하부에 형성되는 SEG(selective epitaxial growth) 구조로서, 상기 외부 채널은 상기 내부 채
 널에 의해 상기 SEG 로부터 물리적으로 격리되는, 상기 SEG 구조
 를 포함하고,
 상기 복수의 수직 NAND 스트링 중 적어도 하나는 상기 SEG 구조를 통해 상기 적어도 하나의 CSL 중 하나에 전기
 적으로 커플링되는,
 메모리 디바이스.

청구항 15

제 14 항에 있어서,
 상기 채널은 상기 터널 유전체 층 위에 배치되는 외부 채널, 상기 외부 채널 위에 배치되는 내부 채널을 포함하
 는 다중-층 구조를 포함하고,
 상기 외부 또는 내부 채널 층들 중 적어도 하나는, 5% - 95% 범위의 GE 농도를 포함하는 다결정 실리콘-게르마
 늄(Si-Ge) 합성 층을 포함하는,
 메모리 디바이스.

청구항 16

제 14 항에 있어서,
 상기 채널은 다중-층 구조를 포함하고,
 상기 외부 또는 내부 채널 층들 중 적어도 하나는 다결정 Ge(Poly-Ge) 층을 포함하는,
 메모리 디바이스.

청구항 17

제 14 항에 있어서,
 상기 다중-층 전하-트래핑 층은 외부 질화물 층, 중간 유전체 층 및 내부 질화물 층을 포함하고, 상기 외부 질
 화물 층은 산소-결핍형(oxygen-lean)이고 상기 다중-층 전하-트래핑 층에 분포된 전하 트랩들을 포함하고, 상기

중간 유전체 층은 전하 트랩들이 없는 산소-풍부 유전체를 포함하는,
메모리 디바이스.

청구항 18

메모리 어레이로서,

유전체 층들 및 게이트 층들을 포함하는, 웨이퍼 위에 형성되는 스택;

각각이 상기 스택에 형성된 수직 개구 내에 형성되는 복수의 수직 NAND 스트링들 - 상기 복수의 수직 NAND 스트링들은,

상기 수직 개구의 적어도 내부 측벽 위에 배치된 다중-층 유전체;

상기 다중-층 유전체 위에 배치되는 제 1 채널 층;

상기 제 1 채널 층 위에 배치되는 반도체 물질을 포함하는 제 2 채널 층;

상기 수직 개구의 하부에 형성되는 SEG(selective epitaxial growth) 구조를 포함하고, 상기 제 1 또는 제 2 채널 층들 중 적어도 하나는 게르마늄(Ge)을 포함하고, 상기 SEG 구조는 상기 제 2 채널 층과 직접 접촉하고 또한 상기 제 1 채널 층으로부터 물리적으로 격리됨 - ;

각각이 상기 게이트 층들 중 하나에 커플링되는 복수의 워드-라인들;

복수의 비트-라인들 - 각각의 비트-라인은 상기 제 1 또는 제 2 채널 층들의 상부 단부에서 상기 복수의 수직 NAND 스트링들 중 적어도 하나에 커플링됨 - ; 및

상기 스택에서 CSL(common source-line) 실트 내에 형성되는 CSL

를 포함하고,

상기 CSL은 상기 SEG 구조를 통해 상기 제 1 또는 제 2 채널 층들의 하부 단부에서 상기 복수의 수직 NAND 스트링들 중 적어도 하나에 커플링되는,

메모리 어레이.

청구항 19

제 18 항에 있어서,

상기 제 1 또는 제 2 채널 층들 중 적어도 하나는 5% - 95% 범위의 Ge 농도를 포함하는 실리콘-게르마늄 합성 층을 포함하는,

메모리 어레이.

청구항 20

제 18 항에 있어서,

상기 제 1 채널 층의 Ge 농도는 상기 제 2 채널 층의 Ge 농도보다 더 높은,

메모리 어레이.

발명의 설명

기술 분야

우선권

[0001]

[0001] 본 출원은 2015년 8월 31일 출원된 미국 가출원 번호 제62/212,315호의 35 U.S.C. § 119(e) 하의 우선권 및 이익을 주장하며, 상기 가출원은 그 전체가 인용에 의해 본원에 포함된다. 본 출원은 또한 2016년 1월 15일 출원된 미국 가출원 번호 제62/279,068의 35 U.S.C. § 119(e) 하의 우선권 및 이익을 주장하며, 이 둘 다는

[0002]

그 전체가 인용에 의해 본원에 포함된다.

[0003] 기술 분야

[0004] [0002] 본 개시는 일반적으로 NV(non-volatile) 메모리 디바이스들에 관한 것으로서, 보다 구체적으로는, 3-D(three-dimensional) 또는 수직 NV 메모리 셀 스트링들 및 다중층 채널 및/또는 전하 트래핑 층을 형성하는 것을 포함하는 그 제조 방법들에 관한 것이다.

배경 기술

[0006] [0003] NAND 및 NOR 양자 타입들의 플래시 메모리는 FGMS(floating-gate metal-oxide-semiconductor field-effect) 트랜지스터들 및 SONOS(silicon-oxide-nitride-oxide-silicon) 트랜지스터들과 같은 NV 메모리 엘리먼트들 또는 셀들의 스트링들을 포함한다. 2-차원 또는 평면 플래시 메모리 디바이스들의 제조는 10-nm 리소그래피로 감소되고, 스케일의 감소는 각각의 NV 메모리 엘리먼트들이 점점 더 작고 물리적으로 서로 더 근접하게 되기 때문에 잠재적인 이슈들을 생성하기 시작하였다. 이들 NV 메모리 엘리먼트들에서, 그의 전하 트래핑 게이트들의 더 작은 스케일로 인해 훨씬 더 적은 전기 전하를 보유한다. 그 결과, 제조 프로세스의 임의의 작은 불완전성은 NV 메모리 엘리먼트들의 로직/메모리 상태들을 구별하기 더 어렵게 되게 할 수 있으며, 이는 로직 상태들의 틀린 판독을 초래할 수 있다. 또한, 제어 전극들은 매우 작고 근접하게 이격되게 되어 바이어싱 게이트들과 같은 효과들이 하나 초과의 메모리 셀들 또는 스트링에 걸쳐 확산될 수 있게 되고, 이는 데이터의 신뢰할 수 없는 판독 및 기록으로 이어질 수 있다.

[0007] [0004] 반도체 기판 상의 이용 가능한 영역의 제한들을 극복하기 위해, 3-D 또는 수직 지오메트리에서, NV 메모리 셀 스트링들은 수직으로 배향되고, NV 메모리 셀들은 반도체 기판 상에서 스택된다. 이에 따라, 메모리 비트 밀도는 기판 상의 유사한 풋프린트를 갖는 2-차원(2-D) 지오메트리에 비해 매우 강화된다.

[0008] [0005] 3-D NV 메모리 셀 스트링들에서, 채널들은 기판 상의 유전체/게이트 스택에 형성되는 개구들 내에 배치된다. 특정한 애플리케이션들에서, 채널들은 주로 Poly-Si(polycrystalline silicon)으로 구성되어, 전기 전류(전하 캐리어들)가 채널들을 따라 흐르도록 허용한다. Poly-Si 채널들은 작은 입자 크기들의 실리콘 결정들을 포함하여, 입자 경계들(grain boundaries)과 같은 보다 심각한 잠재적 결함들에 기여한다. 입자 경계들과 같은 결함들은 전하 캐리어들이 산란하게 한다. 그 결과, 채널들을 따라 흐르는 전류는 상당히 감소될 수 있다. 3-D NAND와 같은 3-D 메모리 셀 스트링들에서, 판독 전류의 감소는 판독 동작에 대한 마진에 불리하게 영향을 미칠 수 있다. 또한, 임계 판독 또는 온-전류를 유지하기 위해, 유전체/게이트 스택의 층들의 수는 제한될 것이고, 이는 결국 하나의 NV 메모리 스트링에서 메모리 셀들(FGMS, SONOS 등)의 수를 제한한다.

도면의 간단한 설명

[0010] [0006] 본 개시는 첨부 도면들의 도면에서 제한이 아닌 예로서 예시된다.

[0007] 도 1은 NV 메모리 셀들의 스트링들을 포함하는 수직 NV 메모리 디바이스를 제조하기 위한 방법의 실시예를 예시하는 흐름도이다.

[0008] 도 2a 및 도 2b는 도 1의 방법에 따라 제조 동안 수직 NV 메모리 디바이스의 부분의 등각도를 예시하는 대표도들이다.

[0009] 도 2c는 수직 NV 메모리 어레이의 부분의 대표적 단면도이다.

[0010] 도 2d 내지 도 2u는 도 1의 방법에 따른 제조 동안 수직 NV 메모리 디바이스의 부분의 단면도들을 예시하는 대표도들이다.

[0011] 도 2v 내지 도 2z는 도 1 및 2a-2u의 방법에 따라 제조된 공통 소스 라인 및 NV 메모리 셀들의 다수의 수직 스트링들을 포함하는 마무리된 수직 NV 메모리 디바이스의 부분의 단면도 및 개략도를 예시하는 대표도들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 하기의 설명은 본 청구 대상의 몇 개의 실시예들의 양호한 이해를 제공하기 위해 특정한 시스템들, 컴포넌트들, 방법들 등의 예들과 같은 다수의 특정 세부사항들을 기술한다. 그러나 적어도 일부의 실시예들은 이들 특정 세부사항들 없이 실시될 수 있다는 것이 당업자에게 자명할 것이다. 다른 인스턴스들에서, 잘-알려진 컴포

년트들 또는 방법들은 본원에서 설명된 기술들을 불필요하게 모호하게 하는 것을 방지하기 위해 상세히 설명되지 않거나 단순 블록도 포맷으로 제시된다. 따라서, 이하 기술되는 특정 세부사항들은 단지 예시적이다. 특정 구현들은 이들 예시적인 세부사항들로부터 변동될 수 있고, 여전히 본 청구 대상의 사상 및 범위 내에 있는 것으로 고려된다.

[0012] [0013] NVM(non-volatile memory) 트랜지스터들 및/또는 FET(field-effect transistors)의 스트링을 포함하는 수직 또는 3-D(three-dimensional) NV(non-volatile) 메모리 디바이스의 실시예들 및 그 제조 방법들이 도면들을 참조하여 본원에서 설명된다. NV 메모리는 동작 전력이 제거될 때조차도 그의 상태들을 유지하는 메모리 디바이스들을 포함한다는 것이 이해된다. 그의 상태들이 결국 소실될 수 있지만, 이들은 비교적 긴 시간 기간 동안 유지된다. 그러나 특정 실시예들은 이들 특정 세부사항들 중 하나 또는 그 초과 없이 또는 다른 잘 알려진 방법들, 물질들 및 장치들과 결합하여 실시될 수 있다. 이하의 설명에서, 본 청구 대상의 완전한 이해를 제공하기 위해, 특정 물질들, 치수들, 농도들 및 프로세스 파라미터들 등과 같은 다수의 특정 세부사항들이 기술된다. 다른 인스턴스들에서, 잘-알려진 반도체 설계 및 제조 기술들은 본 청구 대상을 불필요하게 모호하게 하는 것을 방지하기 위해 특정한 세부사항들에서 설명되지 않는다. 설명에서 "실시예", "일 실시예", "예시적인 실시예", "일부 실시예들" 및 "다양한 실시예들"에 대한 참조는, 실시예(들)와 관련하여 설명되는 특정 피처, 구조 또는 특성이 청구 대상의 적어도 하나의 실시예에 포함된다는 것을 의미한다. 또한, 설명의 다양한 장소들에서 "실시예", "일 실시예", "예시적인 실시예", "일부 실시예들" 및 "다양한 실시예들"란 문구들의 출현은 모두가 반드시 동일한 실시예(들)를 지칭하는 것은 아니다.

[0013] [0014] 설명은 상세한 설명의 부분을 형성하는 첨부 도면들에 대한 참조들을 포함한다. 도면들은 예시적인 실시예들에 따른 예시들을 도시한다. "예들"로서 본원에서 또한 지칭될 수 있는 이들 실시예들은 당업자들이 본원에서 설명된 청구 대상의 실시예들을 실시하는 것을 가능하게 하기에 충분히 상세히 설명된다. 실시예들은 결합될 수 있고, 다른 실시예들이 활용될 수 있거나, 또는 구조적, 논리적 및 전기적 변경들이 청구 대상의 범위 및 사상으로 부터 벗어남 없이 이루어질 수 있다. 본원에서 설명된 실시예들은 청구항의 범위를 제한하도록 의도되는 것이 아니라, 당업자가 청구 대상을 실시, 제조 및/또는 이용하는 것을 가능케 하도록 의도된다는 것이 이해되어야 한다.

[0014] [0015] 여기서 이용된 바와 같은 "위에", "위에 놓이는", "아래", "사이에" 및 "상의" 란 용어들은 다른 층들에 대한 하나의 층의 상대적 포지션을 지칭한다. 이와 같이, 예를 들어, 다른 층 위에 또는 아래에 배치되거나 증착되는 하나의 층은 다른 층들과 직접 접촉될 수 있거나, 하나 이상의 개재 층들을 가질 수 있다. 또한, 층들 사이에 배치되거나 증착되는 하나의 층은 층들과 직접 접촉될 수 있거나, 하나 이상의 개재층들을 가질 수 있다. 대조적으로, 제 2 층 "상의" 제 1 층은 제 2 층과 접촉한다. 또한, 다른 층들에 대한 하나의 층들의 상대적 포지션은 웨이퍼의 절대적인 배향을 고려함 없이 동작들이 시작 웨이퍼에 대해 막들을 증착, 수정 및 제거하는 것을 가정하여 제공된다.

[0015] [0016] 실시예들의 요약

[0016] [0017] 메모리 디바이스는, 웨이퍼 위의 제 1 스택 층들 및 제 2 스택 층들을 포함하는 스택에 배치되는 개구 또는 개구들, 개구의 적어도 내부 측벽 위에 배치되는 다중-층 유전체, 다중-층 유전체 위에 배치되는 제 1 채널 층, 및 제 1 채널 층 위에 배치되는 제 2 채널 층을 포함하며, 제 1 또는 제 2 채널 층들 중 적어도 하나는 게르마늄(Ge)을 포함한다. 일 실시예들에서, 개구는 웨이퍼의 상부 표면에 대해 실질적으로 직교할 수 있고, 원, 타원, 정사각형, 다이아몬드 및 직사각형의 그룹으로부터 선택된 단면 형상을 포함할 수 있다. 일 실시예에서, 제 1 및 제 2 스택 층들은 스택을 형성하도록 교번적인 방식으로 서로 위에 배치될 수 있고, 제 1 스택 층은 실리콘 이산화물(SiO₂), 또는 다른 유전체를 포함하고, 제 2 스택 층들 각각은 게이트 층을 포함하고, 게이트 층은 도핑된 다결정 실리콘(Poly-Si) 층 또는 텅스텐/티타늄 질화물(W/TiN) 합성 층 또는 다른 금속 게이트 층들 중 하나를 포함할 수 있다.

[0017] [0018] 일 실시예에서, 상기 제 1 또는 제 2 채널 층들 중 적어도 하나는 Si-Ge(silicon-germanium) 합성 층을 포함할 수 있고, 상기 Si-Ge 합성 층은 5% 내지 95% 대략적 범위로 원자들의 수에 의한 Ge 농도를 포함할 수 있다. 다른 실시예에서, 제 1 및 제 2 채널 층들은 다-결정 구조(poly-crystalline structure)를 포함할 수 있다.

[0018] [0019] 일 실시예에서, 적어도 하나의 부가적인 채널 층이 제 2 채널 층 위에 배치될 수 있고, 적어도 하나의 부가적인 채널 층은 Ge를 포함한다.

- [0019] [0020] 일 실시예에서, 제 1 및 제 2 채널 층들 간의 채널 인터페이스가 있을 수 있으며, 제 1 및 제 2 채널 층들은 2개의 분리된 증착 단계에서 증착되고, 각각은 상이한 Ge 농도의 실리콘-게르마늄 합성 층을 포함한다.
- [0020] [0021] 일 실시예에서, 다중-층 유전체는, 개구의 적어도 내부 측벽 위에 배치되는 차단 유전체 층, 차단 유전체 층 위의 전하-트래핑 층(charge-trapping layer) 및 전하-트래핑 층 위의 터널 유전체 층을 포함하고, 전하-트래핑 층은 다중-층 구조를 포함할 수 있다. 다른 실시예에서, 전하-트래핑 층의 다중-층 구조는 외부 질화물 층, 중간 유전체 층, 및 내부 질화물 층을 포함할 수 있고, 외부 또는 내부 질화물 층들 중 적어도 하나는 실리콘 산질화물을 포함할 수 있다. 또한, 외부 및 내부 질화물 층들 중 하나는 산소-풍부형일 수 있고, 다른 하나는 실리콘-풍부형일 수 있고, 중간 유전체 층은 산소-풍부형이며 대부분 전하-트랩이 없을 수 있다.
- [0021] [0022] 일 실시예에서, 제 1 또는 제 2 채널 층들 중 적어도 하나는 포지티브로 도핑되고, 붕소, 갈륨, 또는 인듐의 그룹으로부터 선택되고 $1e15 \text{ cm}^{-3}$ 내지 $1e18 \text{ cm}^{-3}$ 의 대략적 농도 범위에서 도핑된 도펀트를 포함할 수 있다.
- [0022] [0023] 일 실시예에서, 제 1 및 제 2 채널 층들의 두께 비는 1:5 내지 1:0.2의 대략적 범위에 있을 수 있다.
- [0023] [0024] NVM 트랜지스터는 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 또는 플로팅 게이트 기술에 관련된 메모리 트랜지스터들 또는 디바이스들을 포함할 수 있다. NV 메모리 엘리먼트들의 스트링(들)을 포함하는 수직 메모리 디바이스를 제조하기 위한 방법의 실시예가 도 1 및 도 2a 내지 도 2z를 참조하여 이제 상세히 설명될 것이다. 도 1은 3-D 또는 수직 NV 메모리 디바이스를 제조하기 위한 방법 또는 프로세스 흐름의 실시예를 예시하는 흐름도이다. 도 2a 내지 도 2u는 도 1의 방법에 따른 메모리 셀들의 제조 동안 수직 NV 메모리 디바이스의 부분의 단면 및 등각도들을 예시하는 블록 및 개략도들이다. 도 2t 내지 2z는 마무리된 메모리 디바이스 또는 어레이의 일 실시예의 부분의 단면도들을 예시하는 대표도들이다. 일 실시예에서, 수직 NV 메모리 디바이스는 NAND 플래시 메모리 스트링과 같은 단일 또는 다중 수직 메모리 셀 스트링들을 포함할 수 있다.
- [0024] [0025] 도 1 및 도 2a를 참조하면, 제조 프로세스(1000)는 제조 프로세스(1000)의 단계(1002)에서, 기판 또는 웨이퍼(102) 위에 다수의 인터-셀 유전체 층들 또는 제 1 스택 층들(104) 및 게이트 층들 또는 제 2 스택 층들(106)의 교번 층들의 스택(105)을 형성하는 것으로 시작한다. 일 실시예에서, 각각의 인터-셀 유전체 층(104)은 전체 스택(105)에 걸쳐 또는 스택(105) 적어도 부분에서 2개의 게이트 층들(106) 사이에 스택되며, 그 반대도 가능하다. 웨이퍼(102)는 반도체 디바이스 제조에 적합한 임의의 단일 결정 물질로 구성된 벌크 웨이퍼일 수 있거나, 또는 웨이퍼 상에 형성된 적합한 물질의 상부 에피택셜 층을 포함할 수 있다. 일 실시예에서, 웨이퍼(102)에 적합한 물질들은 실리콘, 게르마늄, 실리콘-게르마늄 또는 그룹 III-V 화합물 반도체 물질을 포함(그러나 이것으로 제한되지 않음)한다. 일 실시예에서, 계단 지오메트리 또는 복수의 단계들을 갖는 피라미드 구성을 채택하는 스택(105)이 형성된다. 일 실시예에서, 각각의 단계는 쌍(103)을 형성하도록 인터-셀 유전체 층(104) 및 게이트 층(106)을 포함한다. 단계(1004)에서 형성된 계단 지오메트리에 따라, 일 실시예에서, 인터-셀 유전체 층(104) 및 게이트 층(106) 쌍(103)의 표면 영역은, 이들이 스택(105)에서 더 위에 배치될 때마다 점점 더 작아질 수 있다. 스택(105)의 계단 지오메트리는 게이트 층들(106)에 대한 보다 효과적인 위드-라인 연결들을 용이하게 할 수 있다. 다른 실시예들에서, 스택(105)은 다른 구성들을 채택할 수 있고, 모든 인터-셀 유전체 층(104) 및 게이트 층(106) 쌍(103)은 대략 동일한 표면 영역을 가질 수 있다. 도 2a에 예시되는 바와 같이, 바닥 쌍(103)의 인터-셀 유전체 층(104)은 웨이퍼(102) 위에 놓여 직접적으로 그리고 웨이퍼(102)와 접촉하여 증착될 수 있거나, 또는 이 둘 사이에 개재 층들(도시되지 않음)이 존재할 수 있다. 일 실시예에서, 개재 층들은 NV 메모리 셀들의 스트링과 웨이퍼(102) 사이에 개재 디바이스들을 제조하는데 사용되는 유전체 층들, 게이트 층들, 반도체 층들이다. 또 다른 실시예에서, 스택(105)의 상부 인터-셀 유전체 층(104) 및 게이트 층(106) 쌍(103) 위에 형성되는 추가 층들이 존재할 수 있다. 일 실시예에서, 하부 개재 층들 및 상부 추가 층들은 시스템 요건들에 따른 전계-효과 트랜지스터들(FET) 또는 연결 엘리먼트들과 같은 NV 메모리 셀들 외의 다른 반도체 디바이스들을 형성하는데 활용될 수 있다.
- [0025] [0026] 일 실시예에서, 인터-셀 유전체 층(104)은 스퍼터링, CVD(chemical vapor deposition), MBE(molecular beam epitaxy), ALD(atomic layer deposition) 등과 같이 당 분야에 알려진 임의의 적합한 증착 방법들에 의해 형성될 수 있다. 인터-셀 유전체 층들(104)은 실리콘 이산화물(SiO_2) 또는 약 20 나노미터(nm) 내지 약 50nm의 두께 또는 다른 적절한 두께들을 갖는 다른 유전체 물질을 포함할 수 있다. 일부 실시예들에서, 인터-셀 유전체 층(104)은 스택(105)에 걸쳐 가변 두께들을 가질 수 있다. 하나의 대안적인 실시예에서, 인터-셀 유전체 층들(104) 중 일부 또는 전부는 열 산화 프로세스, 인-시추 스팀 생성 프로세스 또는 플라즈마 또는 라디컬 산화 기

술에 의해 성장될 수 있다.

- [0026] [0027] 일반적으로, 게이트 층들(106)은 결국, 수직 NV 메모리 디바이스(200)(이 도면에서 도시되지 않음)에서 NV 트랜지스터들의 게이트들이 되거나 또는 이를 제어하도록 전기적으로 커플링될 수 있다. 일 실시예에서, 게이트 층들(106)은 워드-라인들에 커플링될 수 있다. 도 2a에서 가장 잘 도시된 바와 같이, 게이트 층들(106)은 각각의 인터-셀 유전체 층(104)의 상부 표면 위에 형성될 수 있다. 일 실시예에서, 폴리실리콘 제어 게이트들이 요구될 때, 게이트 층들(106)은 위에서 논의된 것들과 같은 증착 프로세스에 의해 형성될 수 있고, 당 분야에 알려진 적절한 도펀트들 및 농도로 포지티브로 또는 네거티브로 도핑(p+ 도핑 또는 n+ 도핑)된 단일 도핑 폴리실리콘 층을 포함한다. 게이트 층들(106)은 약 30nm 내지 약 60nm의 두께 또는 다른 두께들을 가질 수 있다. 일부 실시예들에서, 게이트 층들(106)은 스택(105)에 걸쳐 가변 두께들을 가질 수 있다. 일 대안적인 실시예에서, 금속 제어 게이트들이 요구될 때, 게이트 층들(106)은 증착 프로세스에 의해 형성되고 약 30nm 내지 약 60nm의 두께 또는 다른 두께를 갖는 단일 층의 실리콘 질화물(Si₃N₄)로 구성될 수 있다. 실리콘 질화물로 구성된 게이트 층들(106)은 그 후 단계(1022)에서 금속 게이트 층들(123)로 교체되거나 변환될 수 있으며, 이는 추후의 섹션들에서 논의될 것이다.
- [0027] [0028] 도 1 및 도 2b를 참조하면, 웨이퍼(102)의 평면에 대해 실질적으로 직교하는 수직 개구(108)는 수직 NV 메모리 디바이스(200)의 NV 메모리 셀 스트링들(100)의 수직 채널들이 후속적으로 형성될 수 있는 위치들에 형성될 수 있다. 일 실시예에서, 하나의 수직 NV 메모리 디바이스(200)에서 다수의 NV 메모리 셀 스트링들(100)이 있을 수 있다. 개구들(108)의 수직 축들은 웨이퍼(102)의 상부 표면에 대해 직각(90°) 또는 대략 직각으로 배치될 수 있다는 것이 이해된다. 일 실시예에서, 개구(108)는 플라즈마 에칭, 습식 에칭 등과 같은 적합한 에칭 프로세스들을 이용하여 스택(105)을 에칭함으로써 형성될 수 있다. 블록(1024)에서 스택(105)에 CSL(common source line)(152)를 형성하도록 복수의 슬릿들(151)이 있을 수 있다. 일 실시예에서, 슬릿들(151)은 스택(105)에 걸쳐 형성되는 딥 트랜치들이다.
- [0028] [0029] 도 2c에서 예시된 바와 같이, NV 메모리 어레이(500)는 웨이퍼(102) 상에 배치된 다수의 수직 NV 메모리 디바이스들(200)을 포함할 수 있다. 일 실시예에서, SiO₂와 같은 유전체의 층이 형성되고, 후속적으로 단계(1004)에서 ILD(interlayer dielectric layer)(202)를 형성하도록 평탄화된다.
- [0029] [0030] 도 2d는 도 2b 및 도 2e의 라인 Y-Y'를 따른 측면 단면도를 피쳐링하고, 도 2e는 도 2d의 X-X'에 따른 상부 단면도를 피쳐링한다. 일 실시예에서, 개구들(108)은 단계(1006)에서 웨이퍼(102)의 상부 표면에 도달하거나 넘도록 에칭될 수 있다. 광학 방출 세기 및/또는 분광 분석 반사율계 기술(spectroscopic reflectometry technique)은 종결 지점을 검출하고 후속적으로 개구(108) 형성 프로세스를 종결하는데 이용될 수 있다. 개구들(108)은 스택(105) 전체에 걸쳐서 약 60nm 내지 약 130nm 또는 다른 치수들의 대략 균일한 직경(110)을 가질 수 있다. 다른 실시예들에서, 개구(108)는 테이퍼링된 형상(도시되지 않음)과 같이 가변 단면 직경을 가질 수 있다. 수직 NV 메모리 디바이스(200)의 단일 스택(105)에 형성된 다수의 개구들(108)이 있을 수 있다. 수직 NV 메모리 셀 스트링들(100)의 적절한 동작들 및 절연을 보장하기 위해, 각각의 개구(108)는 하나의 개구(108)의 둘레로부터 다른 개구의 둘레까지의 거리인 최소 간격을 유지하도록 분포될 수 있다. 일 실시예에서, 최소 간격은 약 20nm 내지 약 130nm 또는 다른 치수들로 유지될 수 있다. 다른 실시예에서, 개구(108)는 형성될 영역(92)의 NV 메모리 셀들이 제어 게이트들의 동일 세트 및 워드-라인들 및/또는 CSL(152)의 동일 세트에 대한 연결들을 공유하도록 분포될 수 있다.
- [0030] [0031] 도 1, 도 2d 및 도 2e를 참조하면, 4개의 교번하는 인터-셀 유전체 층(104) 및 게이트 층(106)을 갖는, 단일 개구(108)(완료 시에 하나의 NV 메모리 셀 스트링들(100))를 피쳐링하는 수직 NV 메모리 디바이스(200)의 부분이 예시된다. 이는 제한이 아닌 예시 목적들을 위해, 수직 NV 메모리 디바이스(200)가 개구(108), 교번하는 인터-셀 유전체 층(104) 및 게이트 층(106) 쌍(103)의 다른 수량 및 결합들을 가질 수 있다는 것으로서 청구 대상을 예시하기 위한 예시적인 실시예라는 것이 이해될 것이다. 또한, 수직 NV 메모리 디바이스(200)는 자신의 2개의 단부들(위에서 논의된 바와 같은 상부 추가 층들 및 하부 개재 층들)에 형성된 추가적인 반도체 디바이스들을 포함할 수 있다. 다수의 개구들(108)을 갖는 수직 NV 메모리 디바이스(200)는, 각각이 동시에 또는 순차적으로 유사한 프로세스들에서 제조될 수 있는 다수의 NV 메모리 셀 스트링들(100)을 포함할 수 있다. 일 실시예에서, 수직 NV 메모리 디바이스(200)는 직렬로 연결된 영역들(92)에 NV 메모리 셀들(94)의 스트링을 형성함으로써 개구들(108)에 형성될 수 있다. 각각의 NV 메모리 셀(94)은 2개의 인터-셀 유전체 층들(104) 및 하나의 게이트 층(106)을 포함하는 영역(92)에 형성될 수 있다. 일 실시예에서, 동일한 NV 메모리 셀 스트링들(100)의 NV 메모리 셀들(94)은 직렬로 커플링될 수 있으며, 이는 NAND 플래시 메모리 셀 스트링 실시예를 닮는다. 도 2e에

서 가장 잘 예시된 바와 같이, 개구(108)는 약 60nm 내지 약 130nm 또는 다른 치수들의 직경(110)을 갖는 원형 단면을 가질 수 있다. 다른 실시예들에서, 도 2f에서 가장 잘 예시된 바와 같이, 개구(108')는 정사각형, 직사각형, 다이아몬드, 타원 등과 같은 다른 형상들의 단면을 가질 수 있다. 일부 실시예들에서, 다른 형상들의 개구들(108')은 또한 서로로부터 약 20 nm 내지 약 130nm의 최소 간격을 유지할 수 있다.

[0031] [0032] 도 1 및 도 2g를 참조하면, SEG(selective epitaxial growth) 구조(154)는 단계(1008)에서 개구(108)의 하부에서 그리고 웨이퍼(102) 위에 놓이도록 형성된다. 일 실시예에서, SEG 구조(154)는 웨이퍼(102)와 접촉하게 배치될 수 있고, 스택(105)의 다수의 교번층들 및/또는 개재층들에 대응하도록 개구(108)의 바닥에서부터 층 전한다. 성장이 웨이퍼(102)의 노출된 실리콘 영역들 상에서 발생하는 SEG 기술을 이용하여 제조되는 SEG 구조(154)는 실리콘으로 구성된다. 실리콘 성장이 요구되지 않는 영역들은 유전체막, 통상적으로 실리콘 이산화물 또는 실리콘 질화물에 의해 마스크될 수 있다. SEG 구조에서 성장된 실리콘은 도핑되지 않을 수 있다. 대안적으로 실리콘은 도핑될 수 있다. 일부 실시예들에서, SEG 구조(154)의 실리콘은 포지티브로 도핑될 수 있고, 네거티브로 도핑되고, 도핑은 인-시추 도핑일 수 있다. SEG 구조(154)의 도핑은, 수행되는 경우, SEG 형성 단계(1008) 동안 또는 그 이후 수행될 수 있다. 일 실시예에서, 각각의 NV 메모리 셀 스트링(100)에 대한 SEG 구조(154)는 웨이퍼(102) 내에 또는 그 상에 형성되는 커플링 구조로 CSL(152)(이 도면에서 도시되지 않음)에 연결될 수 있다.

[0032] [0033] 도 2h는 수직 NV 메모리 디바이스(200)의 부분의 일 실시예의 측면 단면도이고, 도 2i는 도 2h의 X-X'에 따른 상부 단면도이다. 도 1, 도 2h 및 도 2i를 참조하면, 차단 유전체 층(112)이 단계(1010)에서 개구(108)에 형성된다. 일 실시예에서, 차단 유전체 층(112)은 단일 층 또는 다중 층들을 포함할 수 있고, 개구(108)의 내부 벽 및 SEG 구조(154)의 상부 표면을 코팅하는 SiO₂의 또는 다른 유전체 물질들의 층들을 포함할 수 있다. 차단 유전체 층(112)은 CVD 및 ALD와 같은 적합한 컨포멀 증착 프로세스에 의해 형성될 수 있고 약 30 Å 내지 약 70 Å 또는 다른 두께들의 비교적 균일한 두께를 갖는다. 예를 들어, 차단 유전체 층(112)은 실리콘 이산화물(SiO₂) 차단 유전체 층(112)을 제공하도록 맞춰진 유량들로 및 비들로 실란 또는 DCS(dichlorosilane) 및 산소-함유 가스, 예컨대 O₂ 또는 N₂O의 가스 혼합물들을 포함하는 프로세스 가스를 이용한 CVD 프로세스에 의해 증착될 수 있다. 다른 실시예에서, 차단 유전체 층(112)은 실리콘 이산화물에 대해 부가적으로 또는 대안적으로, 하프늄 산화물과 같은 다른 하이-k 유전체 물질들을 포함할 수 있다. 다양한 다른 실시예들에서, 예컨대 게이트 층들(106)이 Poly-Si로 구성될 때, 차단 유전체 층(112)은 열적 산화 또는 인-시추 스팀 생성 또는 플라즈마, 라디칼 또는 다른 산화 프로세스들에 의해 형성될 수 있다.

[0033] [0034] 도 2j는 수직 NV 메모리 디바이스(200)의 부분의 일 실시예의 측면 단면도이다. 도 2k는 도 2j의 X-X'를 따른 상부 단면도이다. 도 1, 도 2j 및 도 2k를 참조하면, 전하-트래핑 층(114)이 단계(1012)에서 개구(108)에 형성된다. 다양한 실시예들에서, 전하-트래핑 층(114)은 단일 층이고, 차단 유전체 층(112)과 접촉하거나 그 위에 놓이거나 그 상에 형성되는 실리콘 질화물 및/또는 실리콘 산질화물의 층을 포함할 수 있다. 전하-트래핑 층(114)은 CVD 및 ALD와 같은 적합한 컨포멀 증착 프로세스에 의해 형성될 수 있다. 일 실시예에서, 전하-트래핑 층(114)은 약 50 Å 내지 약 100 Å 또는 다른 두께를 갖는 비교적 균일한 두께를 가질 수 있다. 도 2j에서 가장 잘 도시된 바와 같이, 전하-트래핑 층(114)은 연속적인 층이거나, 또는 개구(108)의 전체 길이를 코팅한다. 일 실시예에서, 전하-트래핑 층(114)은 NV 메모리 셀들(94)이 개구(108)에 형성되는 부분들을 커버할 수 있다. 스택(105)의 상이한 층들에 형성되는 NV 메모리 셀들(94)은 전하-트래핑 층(114)에 트래핑된 전하 캐리어들이 개구(108)를 따라 수직으로 층으로부터 층으로 이동할 수 없기 때문에 서로 간섭하지 않는다. 게이트 층들(106)과 연관된 전기장들은 전하-트래핑 층(114)의 전하 캐리어들이 트래핑된 게이트 층(106)으로 이들을 폐쇄적으로 국한시킨다.

[0034] [0035] 다른 실시예에서, 도 2k의 확대도에서 예시된 바와 같이, 전하-트래핑 층(114')의 대안적인 실시예는 차단 유전체 층(112)과 접촉하거나 위에 놓이거나 그 상에 형성되는 제 1 전하-트래핑 층 또는 외부 전하-트래핑 층(114a) 및 제 1 전하-트래핑 층(114a)과 접촉하거나 그 위에 놓이거나 그 상에 형성되는 제 2 전하-트래핑 층 또는 내부 전하-트래핑 층(114c)을 적어도 포함하는 다중층들을 포함할 수 있다. 제 1 전하-트래핑 층(114a)은 제 2 전하-트래핑 층(114c)에 대해 산소-희박형일 수 있고 다중-층 전하-트래핑 층(114')에 분포된 전하 트랩들 대부분을 포함할 수 있다. 일 실시예에서, 제 1 전하-트래핑 층(114a)은 제 2 전하-트래핑 층(114c)의 것과 상이한 산소, 질소 및/또는 실리콘의 화학양론적 조성을 갖는 실리콘 질화물 및 실리콘 산질화물 층을 포함할 수 있다. 제 1 전하-트래핑 층(114a)은 실리콘-풍부형, 산소-빈약형 상부 질화물 층을 제공하도록 맞춰진 유량으로 및 비들로 DCS/NH₃ 및 N₂O/NH₃ 가스 혼합물들을 포함하는 프로세스 가스를 이용한 CVD 프로세스에 의해 형성되기

나 증착될 수 있는 실리콘 산질화물 층을 포함할 수 있다. 다양한 다른 실시예들에서, 모노-실란 SiH_4 (MS), 디-실란 Si_2H_6 (DS), 테트라-클로로-실란 SiCl_4 (TCS) 및 헥사-클로로-디-실란 Si_2Cl_6 (HCD)는 CVD 프로세스에서 실리콘의 소스로서 이용될 수 있다. 다중-층 전하-트래핑 층(114')의 제 2 전하-트래핑 층(114c)은 실리콘 질화물 (Si_3N_4), 실리콘-풍부 실리콘 질화물 또는 실리콘 산질화물(SiO_xN_y) 층을 포함할 수 있다. 예를 들어, 제 2 전하-트래핑 층(114c)은 실리콘-풍부 및 산소-풍부 산질화물 층을 제공하도록 맞춰진 유량들로 및 비들로 DCS(dichlorosilane)/암모니아(NH_3) 및 질소 산화물(N_2O)/ NH_3 가스 혼합물들을 이용하는 CVD 프로세스에 의해 형성된 실리콘 산질화물 층을 포함할 수 있다. 하나의 대안적인 실시예에서, 산소, 질소 및/또는 제 1 및 제 2 전하-트래핑 층들(114a & 114c)의 실리콘의 화학양론적 조성은 서로 동일하거나 비슷할 수 있다

[0036] 다른 실시예에서, 다중-층 전하 트래핑 층(114') NON(Nitride-Oxide-Nitride) 구조/스택을 형성하도록 제 1 및 제 2 전하-트래핑 층들(114a & 114c) 간에 형성되는 중간 유전체 및/또는 산화물 층(114b)이 있을 수 있다. 일 실시예에서, 중간 산화물 층(114b)은 전하 트랩들이 없는 SiO_2 및/또는 산소-풍부 유전체를 포함할 수 있다. 중간 산화물 층(114b)은 제 2 전하-트래핑 층(114c)으로의 터널링으로부터 프로그래밍 동안 제 1 전하-트래핑 층(114a)의 경계들에 누적되는 전자 전하의 가능성을 실질적으로 감소시킬 수 있어서, 종래의 메모리 디바이스들에 대해서보다 더 적은 누설 전류를 초래한다. 일 실시예에서, 중간 산화물 층(114b)은 CVD 및 ALD와 같은 열적 또는 라디칼 산화 또는 증착 프로세스들을 이용하여 선택된 깊이까지 산화시킴으로써 형성된다.

[0037] 본 명세서에 사용된 바와 같이, 용어들 "산소-풍부" 및 "실리콘-풍부"는 (Si_3N_4)의 조성물을 갖고 대략적으로 633nm에서 (2.0)의 굴절률(RI)을 갖는 당 분야에 흔히 이용되는 화학양론 실리콘 질화물 또는 "질화물"에 상대적이다. 따라서 산소-풍부 실리콘 산질화물은 화학양론 실리콘 질화물로부터 더 높은 무게 백분율의 실리콘 및 산소(즉, 질소의 감소)쪽에서의 시프트에 대응한다. 산소 풍부 실리콘 산질화물 막은 이에 따라 실리콘 이산화물에 더 가깝고 RI는 순수 실리콘 이산화물의 1.45 RI를 향해 감소된다. 유사하게, "실리콘-풍부"로서 여기서 설명되는 막들은 화학양론 실리콘 질화물로부터 "산소-풍부" 막보다 더 적은 산소를 갖는 더 높은 무게 백분율의 실리콘 쪽에서의 시프트에 대응한다. 실리콘-풍부 실리콘 산질화물 막은 이에 따라 실리콘에 더 가깝고 RI는 순수 실리콘의 3.5 RI 쪽으로 증가된다.

[0038] 도 21은 수직 NV 메모리 디바이스(200)의 부분의 일 실시예의 측면 단면도이고, 도 2m은 도 21의 X-X'를 따른 상부 단면도이다. 도 1 및 도 21 및 2m을 참조하면, 터널 유전체 층(116)이 단계(1014)에서 개구(108)에 형성된다. 일 실시예에서, 터널 유전체 층(116)은 개구(108) 내의 전하-트래핑 층(114)과 접촉하거나 그 위에 놓이거나 그 상에 형성될 수 있다. 예를 들어, 유전체 물질의 층은 CVD 또는 ALD 프로세스에 의해 증착될 수 있다. 다양한 실시예들에서, 유전체 물질의 층은, 실리콘 이산화물, 실리콘 산질화물, 실리콘 질화물, 알루미늄 산화물, 하프늄 산화물, 지르코늄 산화물, 하프늄 실리케이트, 지르코늄 실리케이트, 하프늄 산질화물, 하프늄 지르코늄 산화물 및 란탄 산화물을 포함(그러나 이것으로 제한되지 않음)할 수 있다. 일반적으로 터널 유전체 층(116)은 약 20 Å 내지 약 50 Å, 또는 적용된 게이트가 바이어싱되지 않았을 때 누설에 대한 적합한 배리어를 유지하면서, 적용된 제어 게이트 바이어스 하에서 전하 캐리어들이 전하-트래핑 층(114)으로 터널링하는 것을 허용하기에 적합한 다른 두께의 비교적 균일한 두께를 갖는다. 특정한 실시예들에서, 터널 유전체 층(116)은 실리콘 이산화물, 실리콘 산질화물 또는 이들의 결합이고, 제 2 전하-트래핑 층(114c)의 부분의 플라즈마 또는 라디칼 산화를 이용하여 열적 산화 프로세스에 의해 성장될 수 있다. 또 다른 실시예에서, 터널 유전체 층(116)은 실리콘 이산화물 또는 실리콘 산질화물과 같은(그러나 이것으로 제한되지 않음) 제 1 물질 층 및 실리콘 질화물, 알루미늄 산화물, 하프늄 산화물, 지르코늄 산화물, 하프늄 실리케이트, 지르코늄 실리케이트, 하프늄 산질화물, 하프늄 지르코늄 산화물 및 란탄 산화물을 포함(그러나 이것으로 제한되지 않음)할 수 있는 제 2 물질층을 포함하는 이중-층 유전체 영역일 수 있다.

[0039] 일 실시예에서, 차단 유전체 층(112), 전하-트래핑 층(114) 및 터널 유전체 층(116)은 집합적으로 전하 트래핑 유전체 또는 다중-층 유전체(107)로서 지칭될 수 있다.

[0040] 도 2o은 수직 NV 메모리 디바이스(200)의 부분의 일 실시예의 측면 단면도이고, 도 2p는 도 2o의 X-X'에 따른 상부 단면도이다. 일 실시예에서, 제 1 채널 층 또는 외부 채널 층(118a)은 개구(108) 내에서 터널 유전체 층(116)과 접촉하거나 그 위에 놓이거나 또는 그 상에 형성될 수 있다. 일반적으로 제 1 채널 층(118a)은 실리콘, 게르마늄, 실리콘 게르마늄, 또는 III-V, II-VI와 같은 다른 화합물 반도체 물질과 같은 임의의 적합한 반도체 물질들 또는 도전성 또는 반-도전성 산화물들 등을 포함할 수 있다. 반도체 물질은 비정질, 다결정, 또는 단결정일 수 있다. 제 1 채널 층(118a)은 LPCVD(low pressure chemical vapor deposition), CVD 및 ALD와 같은

입자의 적합한 증착 프로세스에 의해 형성될 수 있다. 특정한 실시예들에서, 반도체 채널 물질은 초기 증착된 비정질 반도체 물질을 재결정화함으로써 형성되는 재결정화된 다결정 반도체 물질일 수 있다.

[0040] [0041] 앞서 논의된 바와 같이, 판독 동작들 동안 에러를 방지하기 위해 NV 메모리 셀 스트링들(100)을 통해 흐르는 충분히 높은 판독 전류 또는 온-전류를 유지하는 것이 필수적이다. 약한 판독 전류의 잠재적인 문제는, 스택(105)이 NV 메모리 셀 스트링들(100)에 더욱 많은 NV 메모리 셀들(94)을 통합하기 위해 더욱 많은 인터-셀 유전체 층(104) 및 게이트 층(106) 쌍들(103)(계단 단계들)을 포함할 때 악화된다. 특정한 종래의 실시예들에서, Poly-Si는 주로 채널들을 형성하는데 이용된다. Poly-Si의 비교적 작은 입자 크기들은 입자 경계들의 보다 심각한 결함으로 이어질 수 있어서, 전자 캐리어(약한 온-전류)들의 더욱 많은 산란에 기여한다. 일 실시예에서, 적어도 2개의 별개의 단계들(단계들(1016 및 1018))에서 다중-층 채널(118)을 형성하는 것이 제안된다. 도 1, 도 2a 및 도 2b를 참조하면, 제 1 채널 층(118a)은 단계(1016)에서 개구(108)에 형성된다. 도 2a에서 예시된 바와 같이, 수직 NV 메모리 디바이스(200)의 제 1 채널 층(118a)은 수직이고 2-D 지오메트리에서 대향하는 채널 배향을 갖는 기판(102)의 상부 평면에 대해 실질적으로 직교한다. 제 1 채널 층(118a)은 LPCVD 및 PECVD(plasma-enhanced chemical vapor deposition)와 같은 CVD 프로세스를 이용하여 배치된다. 제 1 채널 층(118a)은 Si-Ge(silicon-germanium) 합성 층을 포함할 수 있다. Si-Ge 합성 층에서 Ge의 농도는 Ge 원자들의 수에 의해 1% 내지 99% 범위에 있을 수 있다. 일 실시예에서, 농도는 약 5% Ge 내지 95% Ge로 유지된다. 특정 실시예들에서, 제 1 채널 층(118a)은 Poly-Si 또는 Poly-Ge 만을 포함할 수 있다. 일 실시예에서, 제 1 채널 층(118a)은 약 50 Å 내지 약 150 Å 또는 다른 두께의 비교적 균일한 두께를 가질 수 있다. 제 1 채널 층(118a)에서 Ge를 갖는 하나의 이점은, Si-Ge 합성 층이 더 높은 전자 및/또는 홀 이동성을 가질 수 있다는 것이다. 결과적으로, 제 1 채널 층(118a)을 통한 판독 또는 온-전류는 더 높은 레벨로 유지될 수 있다. 증착 프로세스 동안, 반도체 소스는, GeH_2Cl_2 , Ge_2H_6 , GeH_4 , SiH_2Cl_2 , Si_3H_8 , Si_2H_6 , SiH_4 및 이들의 결합의 그룹으로부터 선택될 수 있다. 가스 LT0520는 개구(108)와 같은 작은 개구들에서 증착 프로세스 동안 시드 형성을 강화하는데 이용될 수 있다. 또한, Si-Ge 층은 Si/Poly-Si보다 더 낮은 용융점을 갖고, 이에 따라 Si/Poly-Si보다 비교적 더 큰 입자들을 산출한다. 그러므로 제 1 채널 층(118a)의 Si-Ge 층은 앞서 논의된 바와 같이 판독 전류에 불리하게 영향을 줄 수 있는 입자 경계들과 같은 결함을 더 적게 가질 수 있다. Si-Ge 층은 또한, Si-Ge 층이 Ge 농도에 의존하여 상이한 밴드-구조를 가질 수 있기 때문에, 제 1 채널 층(118a)에서 가능한 밴드-갭 엔지니어링(Band-gap engineering)을 허용한다.

[0041] [0042] 일부 실시예들에서, 제 1 채널 층(118a)은 위에서 논의된 바와 같은 도핑되지 않은 또는 전기적으로 중성인 반도체 채널 물질을 포함할 수 있다. 디바이스 성능 요건들에 의존하여, 또 다른 실시예에서, 반도체 채널 물질은 붕소(boron)와 같은 포지티브-타입의 도펀트들로 가볍게 도핑될 수 있다. 일 실시예에서, 제 1 채널 층(118a)은 인-시추(in-situ) 붕소-도핑 CVD 기법에 의해 형성된다. 증착 프로세스 동안, SiH_4 에서의 BCl_3 또는 B_2H_6 과 같은 붕소 소스의 대략 0.01% 내지 1%가 도입되고, 프로세스가 대략 530 °C의 온도에서 수행된다. 일 실시예에서, 제 1 채널 층(118a)에서의 도펀트의 농도는 약 $1e15 \text{ cm}^{-3}$ 내지 약 $1e18 \text{ cm}^{-3}$ 또는 다른 적절한 농도들일 수 있다. 다른 실시예들에서, 갈륨 또는 인듐과 같은 도펀트들은 대안적으로 또는 부가적으로 이용될 수 있다. 컨포멀 주입 기술, 플라즈마-침투 이온 주입과 같이, 높은 중형비가 가능한 증착 프로세스들이 또한 이용될 수 있다.

[0042] [0043] 도 2q는 수직 NV 메모리 디바이스(200)의 부분의 일 실시예의 측면 단면도이다. 도 1 및 도 2q를 참조하면, 다중-층 펀치 또는 에칭의 프로세스가 단계(1018)에서 수행된다. 일 실시예에서, 다중-층 펀치는 SONO(semiconductor-oxide-nitride-oxide) 층들 및/또는 다른 층들의 부분을 제거하도록 수행될 수 있다. 도 2a에서 예시된 바와 같이, 제 1 채널 층(118a)은 적어도 차단 유전체 층(112), 전하 트래핑 층(114) 및 터널 유전체 층(116)에 의해 SEG 구조(154)로부터 물리적으로 그리고 전기적으로 격리된다. 에칭 프로세스는 개구(108)의 하부에 앞서 증착된 층들을 제거하도록 수행된다. 일 실시예에서, 플라즈마 에칭 프로세스는 개구(108)의 하부가 SEG 구조(154)에 적어도 도달하거나 또는 이를 가우지(gouge)할 때까지 수행된다. 에칭트는 CF_4 , C_4F_6 , CH_2F_2 , NF_3 , 및 O_2 및 Ar와 같은 플루오르-기반 화학물을 포함할 수 있다. 일 실시예에서, 다중-층 펀치는 SEG 구조(154)가 노출될 때까지, 개구(108)의 하부에 배치된 제 1 채널 층(118a) 및 다중-층 유전체(107)의 부분을 제거하도록 수행된다. 일 실시예에서, 다중-층 펀치 이후에, 제 1 채널 층(118a)은 SEG 구조(154)로부터 물리적으로 및/또는 전기적으로 격리될 수 있다.

[0043] [0044] 도 2r은 수직 NV 메모리 디바이스(200)의 부분의 일 실시예의 측면 단면도이다. 도 1 및 도 2r을 참조하면, 제 2 채널 층 또는 내부 채널 층(118b)이 단계(1018)에서 개구(108)에 형성된다. 도 2r에서 예시된 바와 같이,

제 2 채널 층(118b)은 이전에 논의된 다중-층 펀치 또는 에칭 프로세스에 의해 생성된 개구(108)의 하부 및 제 1 채널 층(118a) 위에 증착된다. 제 2 채널 층(118b)은 단계(1016)에서 제 1 채널 층(118a)을 형성하는데 이용된 것과 유사한 CVD 프로세스를 이용하여 배치된다. 제 1 채널 층(118a)과 동일하게, 제 2 채널 층(118b)은 Si-Ge(silicon-germanium) 합성 층을 포함할 수 있다. Si-Ge 합성 층에서 Ge의 농도는 1% 내지 99% 범위에 있을 수 있다. 일 실시예에서, 농도는 (Ge 원자들의 수에 기초하여) 약 5% Ge 내지 95% Ge 농도로 유지된다. 특정 실시예들에서, 제 2 채널 층(118b)은 Poly-Si 또는 Poly-Ge만을 포함할 수 있다. 일 실시예에서, 제 2 채널 층(118b)은 약 50 Å 내지 약 150 Å 또는 다른 두께의 비교적 균일한 두께를 가질 수 있다. 제 2 채널 층(118b)은 또한, 도핑되지 않거나, 제 1 채널 층(118a)을 형성하는데 있어 유사한 프로세스 및 농도에 의해 약하게 그리고 포지티브로 도핑될 수 있다. 일 실시예에서, 제 1 및 제 2 채널 층들(118a 및 118b)은 NV 메모리 셀 스트링들(100)에 대한 채널(118)을 형성한다. 다른 실시예에서, 채널(118)은 단일 층일 수 있다. 도 2r에서 가장 잘 예시되는 바와 같이, 제 2 채널(118b)은 SEG 구조(154) 및 제 1 채널 층(118a)에 전기적으로 그리고 물리적으로 커플링될 수 있어서, 두 엘리먼트들을 재연결한다. SEG 구조(154)는 그 후 공통 소스 라인(152)(이 도면에서 도시되지 않음)에 전기적으로 커플링된다. 제 2 채널(118b)은 일부 실시예들에서, SEG 구조(154)를 제 1 채널 층(118a)에 물리적으로 연결할 수 있다. 다양한 실시예에서, 제 1 및 제 2 채널 층들(118a 및 118b)은 그의 Si-Ge 합성 층 각각에서 상이한 Ge 농도를 가질 수 있다. 일 실시예에서 Ge 농도는 제 1 채널 층(118a)에서 더 높고, 제 2 채널 층(118b)에서 실리콘/Poly-Si 농도가 더 높다. 이 실시예에서, 더 높은 Ge 농도는 제 1 채널 층(118a)의 온-전류를 증가시키는 반면에, 제 2 채널 층(118b)에서 더 높은 Si/Poly-Si 농도는 SEG 구조(154)와의 더 양호한 격자 매칭 및 후속적으로 형성되는 유전체 필러(120)(이 도면에서 도시되지 않음)와의 유효 배면 인터페이스(effective back interface)를 제공할 수 있다. 유전체 필러(120)의 형성은 추후의 섹션에서 논의될 것이다. 제 1 및 제 2 채널 층들(118a 및 118b) 간의 두께 비는 약 1:5 내지 약 1:0.2의 범위에 있을 수 있다. 일 실시예에서, 제 1 및 제 2 채널 층들(118a 및 118b) 간의 두께 비는 약 1:1이 되도록 구성된다.

[0044] [0045] 도 2s는 도 2r의 X-X'를 따른 상부 단면도이다. 도 2s에서 예시된 바와 같이, 제 1 및 제 2 채널 층들(118a 및 118b)은 서로 인접하고 및/또는 접촉한다. 다음의 가능한 이유들로 2개의 채널 층들(118a 및 118b) 간의 채널 인터페이스(118c)가 있을 수 있다: 1. Ge 농도의 차이; 2. 입자 크기들의 차이; 3. 밴드-구조의 차이; 4. 에칭 단계에 의해 분리된 2개의 분리된 증착 단계들(단계들(1016 및 1018)); 및 5. 제 1 채널 층(118a)의 내부(상부) 표면이 제 2 채널 층(118b)을 수신하기 이전에 다중-층 펀치 또는 에칭 단계(1018) 동안 에천트들로 처리됨.

[0045] [0046] 일 실시예에서, 하나 또는 그 초과와 부가적인 채널 층(도시되지 않음)은 시스템 요건들에 따라 제 2 채널 층(118b) 위에 증착될 수 있다. 제 2 채널 층(118b) 위의 부가적인 채널 층(들)은 제 1 및 제 2 채널 층들(118a 및 118b)과 유사한 프로세스 단계들에서 증착될 수 있다. Ge 농도, 부가적인 채널 층(들)의 두께는 제 1 및 제 2 채널 층들(118a 및 118b)과 유사하거나 상이할 수 있다. 일 실시예에서, 최내각 채널 층은 유전체 필러(120)(이 도면에서 도시되지 않음)의 형성 동안 Ge 산화물의 형성을 감소시키도록 비교적 더 낮은 Ge 농도를 가질 수 있다. 부가적인 채널 층(들)은 하나의 단계 또는 여러 단계들에서 형성될 수 있다.

[0046] [0047] 도 2t는 수직 NV 메모리 디바이스(200)의 부분의 일 실시예의 측면 단면도이다. 도 2u는 도 2t의 X-X'를 따른 상부 단면도이다. 도 1 및 도 2t 및 2u를 참조하면, 유전체 필러(120)는 단계(1020)에서, 제 2 채널 층(118b)이 형성된 이후 개구(108)의 빈 공간을 채우도록 개구(108)에 형성된다. 일 실시예에서, 유전체 필러(120)는 실리콘 이산화물, 실리콘 질화물 및 실리콘 산질화물과 같은 유전체 물질들을 포함한다. 유전체 필러(120)는 CVD 또는 ALD와 같은 증착 방법들, 또는 플라즈마 또는 라디컬 산화 기술 또는 열 RTO와 같은 산화 방법들에 의해 형성된다.

[0047] [0048] 도 2v는 수직 NV 메모리 디바이스(200)의 NV 메모리 셀 스트링(100)의 부분의 하나의 실시예의 측면 단면도이고, 도 2x는 도 2v의 X-X'를 따른 상부 단면도이다. 도 1, 도 2v 및 도 2x를 참조하면, 단계(1022)에서, 금속 게이트 층(123)은 스택(105)에서의 인터-셀 유전체 층들(104) 사이에 증착되는 게이트 층들(106)을 대체하기 위해 형성된다. 일 실시예에서, 실리콘 질화물을 포함하는 게이트 층들(106)은 습식 에칭 프로세스를 사용하여 먼저 제거된다. 수직 NV 메모리 디바이스(200)는 약 50분(mins) 내지 약 120 mins 동안 약 150 °C 내지 약 170 °C의 온도 범위 내에서 인산(H₃PO₄)과 같은 습식 에칭 화학물(chemical)에 디핑된다(dipped). 일 실시예에서, 포토레지스트 층들 또는 하드 마크들(도시되지 않음)은 에천트(etchant)들로부터 다른 층들을 보호하기 위해 형성될 수 있다. 일단 게이트 층들(106)이 제거되면, 제거된 게이트 층들(106)은 그 다음, 금속 게이트 층들(123)로 대체되고, 여기서, 각각의 금속 게이트 층(123)은 게이트 코팅 층(124) 및 게이트 필러 층(122)을 포함한다. 일 실시예에서, 프로세스는 금속유기 CVD(metalorganic; MOCVD) 또는 ALD와 같은 적합한 증착 프로세스를

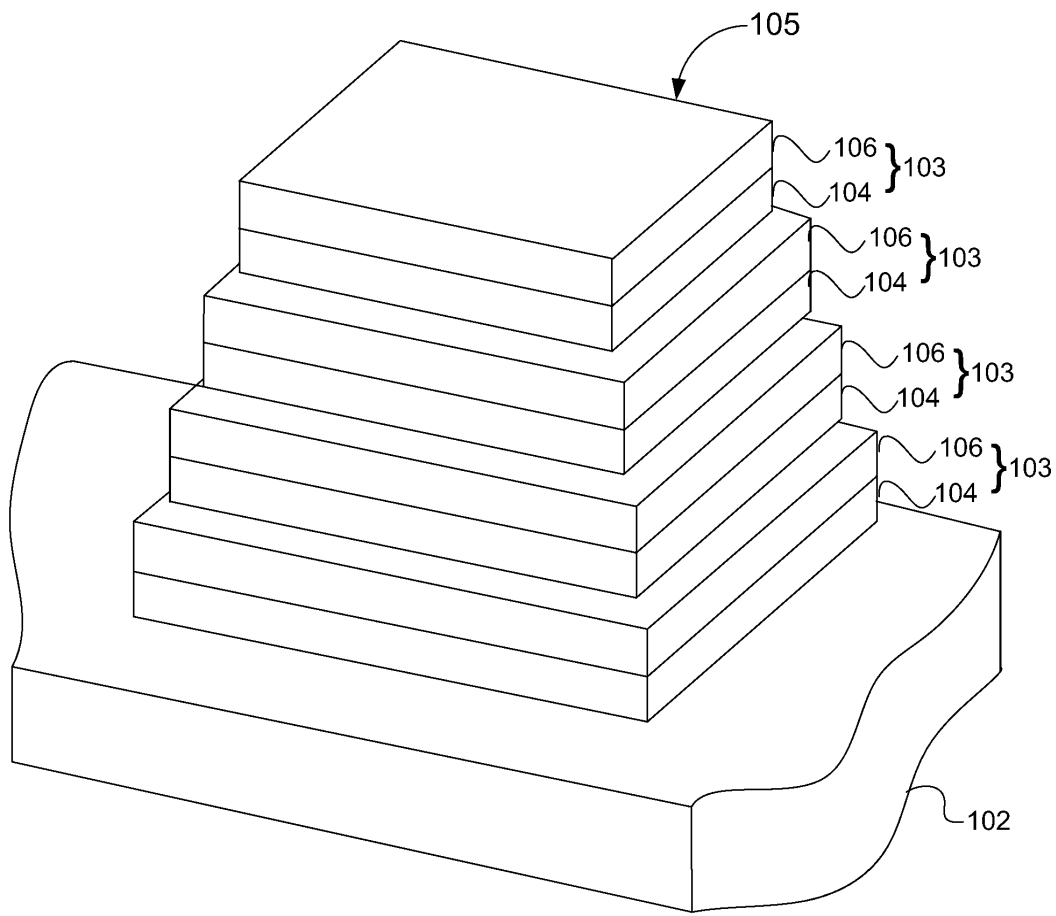
사용하여 타이타늄 질화물(TiN)의 게이트 코팅 층(124)을 형성함으로써 시작될 수 있다. 프로세스가 완료되면, 증착된 층은 2개의 이웃하는 인터-셀 유전체 층들(104) 및 차단 유전체 층(112)에 의해 정의되는 공간을 코팅 또는 라이닝(line)하는 게이트 코팅 층(124)이 된다. 다양한 실시예들에서, 공간의 코팅은 전적이거나 또는 부분적일 수 있다. 후속적으로, 나머지 공간은 금속 CVD 프로세스를 사용하여, 텅스텐(W)과 같은 전도성 물질의 층으로 충전된다. 일 실시예에서, 게이트 코팅 층(124)과 같은 TiN 코팅은 표면 속성들을 개선한다. 금속 게이트 층(123)을 형성하기 위한 TiN 및 W의 결합은 본 실시예의 결합들 중 하나이다. 상이한 전도성 물질들을 사용하여 금속 게이트 층들(123)을 형성하기 위한 다른 결합들은 금속 질화물, 금속 탄화물, 금속 규화물, 하프늄, 지르코늄, 타이타늄, 탄탈럼, 알루미늄, 루테튬, 텅스텐, 팔라듐, 플래티넘, 코발트 및 니켈을 포함하며(이들로 제한되는 것은 아님), 이들은 당 분야에 알려져 있으며 채택될 수 있다. 하나의 대안적 실시예에서, 금속 게이트 층들(123)을 형성하는 대신에, 폴리실리콘 게이트 층들(123)은 CVD 및 ALD와 같은 증착 프로세스에 의해 형성된다. 일 실시예에서, 당 분야에 알려져 있는 조작상의 농도(operational concentration)의 적절한 도펀트들로 도핑되는 폴리실리콘이 증착될 수 있다. 다른 대안적인 실시예에서, 게이트 코팅 층(124)이 증착되기 이전에, 하이-k 유전체(125)의 층은 전적으로 또는 부분적으로, 2개의 이웃한 인터-셀 유전체 층들(104) 및 차단 유전체 층(112)에 의해 정의된 공간을 코팅 또는 라이닝하도록 증착된다. 하이-k 유전체 층(125)의 층은 Al₂O₃을 포함할 수 있고 ALD에 의해 증착될 수 있다.

[0048] [0049] 일 실시예에서, 도 2v 및 2y에서 도시되는 바와 같이, 금속 게이트 층들(123) 또는 폴리실리콘 게이트 층들이 형성된 이후, NV 메모리 셀 스트링들(100)이 1차적으로 완료된다. 도 2v에서 도시된 실시예들은 5개의 NV 메모리 셀들(94)을 피쳐링한다. 하나의 NV 메모리 셀 스트링들(100)에서 다른 수량의 NV 메모리 셀들(94)이 스택(105)서 보다 많은 계단 단계들(103)을 가짐으로써 본원에서 개시된 프로세스 단계들을 이용하여 제조될 수 있다는 것이 당업자에 의해 이해될 것이다. 일 실시예에서, 완료된 NV 메모리 셀 스트링(100)은 (채널 층(118)에 의해) 직렬로 연결되는 NV 메모리 셀들(94)의 스트링을 포함하며, 여기서, 금속 게이트 층들(123) 또는 폴리실리콘 층들은 개별 NV 메모리 셀들(94)의 소스/드레인 영역들에 대한 인터-셀 유전체 층들(104)에 인접한 채널 층(118)의 제어 게이트들 및 부분들에 대응한다. 언급된 바와 같이, 웨이퍼(102) 위에/내부에 그리고 스택(105)에서의 하부 개재 층들 및 상부 추가 층들에 형성되는 전계-효과 트랜지스터들(FET) 또는 연결 엘리먼트들과 같은, NV 메모리 셀들(94) 외의 다른 반도체 디바이스들이 존재할 수 있다. 예를 들어, 연결 구조(도시되지 않음)는 공통 소스 라인(152)에 SEG 구조(154)를 연결하도록 웨이퍼(102) 상에 또는 그 내에 형성된다. 일 실시예에서, 제 1 및 제 2 채널층들(118a 및 118b)을 포함하는 채널 층(118)은 NV 메모리 셀 스트링들(100)의 하나의 개구(108) 내의 모든 NV 메모리 셀들(94)에 대한 공유 채널을 나타낸다.

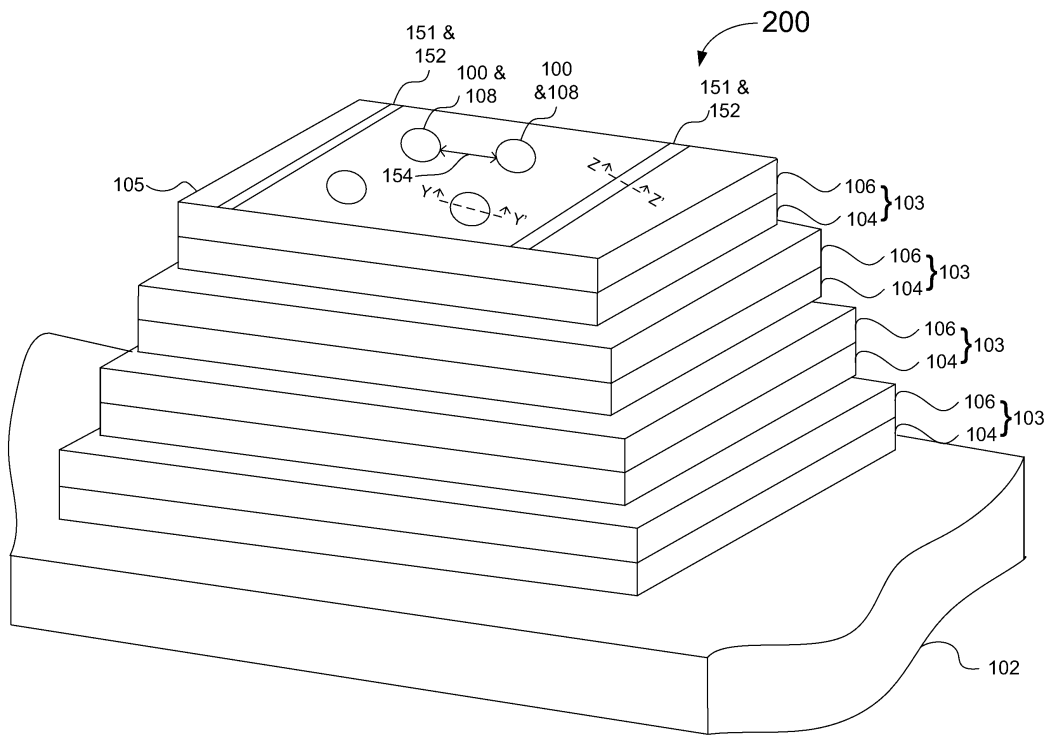
[0049] [0050] 도 2b 및 도 2y를 참조하면, 일 실시예에서, 동일한 수직 NV 메모리 디바이스(200)의 수직 NV 메모리 셀 스트링들(100)은 동시에 또는 순차적으로 제조될 수 있다. 스택(105)의 동일한 층 상의 각각의 NV 메모리 셀(94)은 게이트 코팅 층(124) 및 게이트 필러 층(122)을 포함하는 동일한 금속 게이트 층(123)을 공유한다. 일 실시예에서, 금속 게이트 층(123)은 공통 워드 라인으로서 기능하거나 또는 수직 nv 메모리 디바이스(200)에서 동일한 수직 층의 NV 메모리 셀들(94)에 대한 공통 워드 라인에 커플링된다. 수직 NV 메모리 셀 스트링들(100)은 비트-라인(152)에 커플링되는 하나의 상부 단부 및 채널 층(118) 및 SEG 구조(154)를 통해 공통 소스-라인(152)에 커플링되는 하나의 하부 단부를 가질 수 있다. 일 실시예에서, 하나 또는 그 초과 수직 NV 메모리 셀 스트링들(100)은 하나의 비트-라인을 공유할 수 있다. 다른 실시예에서, 하나 또는 그 초과 수직 NV 메모리 셀 스트링들(100)은 하나의 공통 소스-라인(152)을 공유할 수 있다. 일 실시예에서, 채널 층(118)은 채널 층(118)의 상부에서 채널 플러그(도시되지 않음)를 통해 비트-라인에 연결될 수 있다. 채널 플러그들 및/또는 비트-라인들에 대한 다른 연결 엘리먼트들은 당업자에 의해 실시되는 방법들에서 제조된다는 것이 이해되며, 본원에서 상세히 논의되지 않을 것이다.

[0050] [0051] 도 2z는 공통 소스 라인 구조(152)를 도시하는 수직 NV 메모리 디바이스(200)의 부분의 일 실시예의 도 2b의 Z-Z'에 따른 측면 단면도이다. 도 2b를 참조하면, 일 실시예에서, 시스템 요건들에 따라, 플라즈마 에칭 및 습식 에칭과 같은 에칭 방법에 의해, 스택(105)에서 특정 패턴으로 생성된 다수의 수직 딥 CSL 슬릿들 또는 트랜치들(151)이 있을 수 있다. 각각의 딥 CSL 트랜치(151) 내에서, 도 2z에서 가장 잘 예시되는 바와 같이, CSL 구조(152)가 형성된다. 일 실시예에서, 실리콘 산화물과 같은 유전체(156)의 층은 CSL 트랜치(151)에서 CVD 또는 ALD에 의해 증착된다. 후속적으로, W와 같은 전기 전도 물질을 포함할 수 있는 소스-라인(158)이 증착될 수 있다. 일 실시예에서, 소스-라인(158)은 웨이퍼(102)로 연장하거나 가우지하고 하나 또는 여러 수직 NV 메모리 셀 스트링들(100)의 SEG 구조(154)에 추가로 연결될 수 있다. 도 2z에서 예시된 회로도는, 4개의 수직 NV 메모리 셀 스트링들(100)(각각이 그 자신의 비트-라인(BL1-4)을 가짐)이 CSL(152)에 각각 커플링된다는 것을 예시

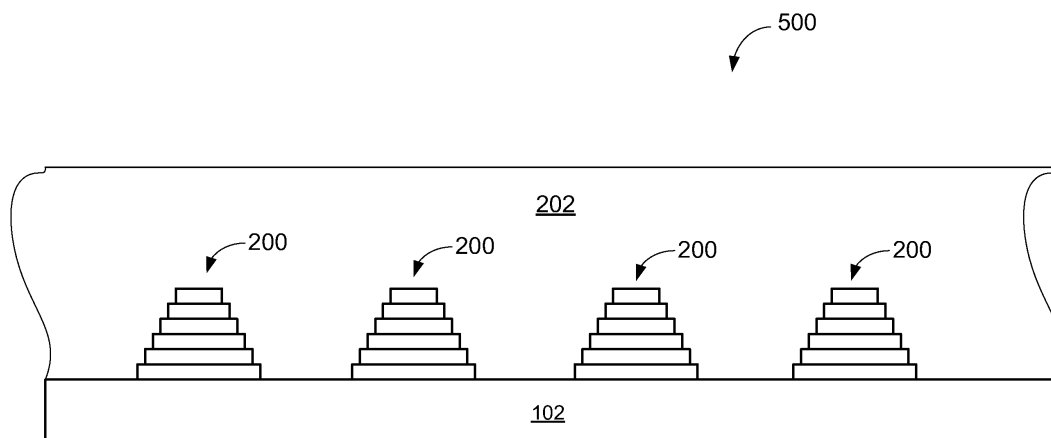
도면2a



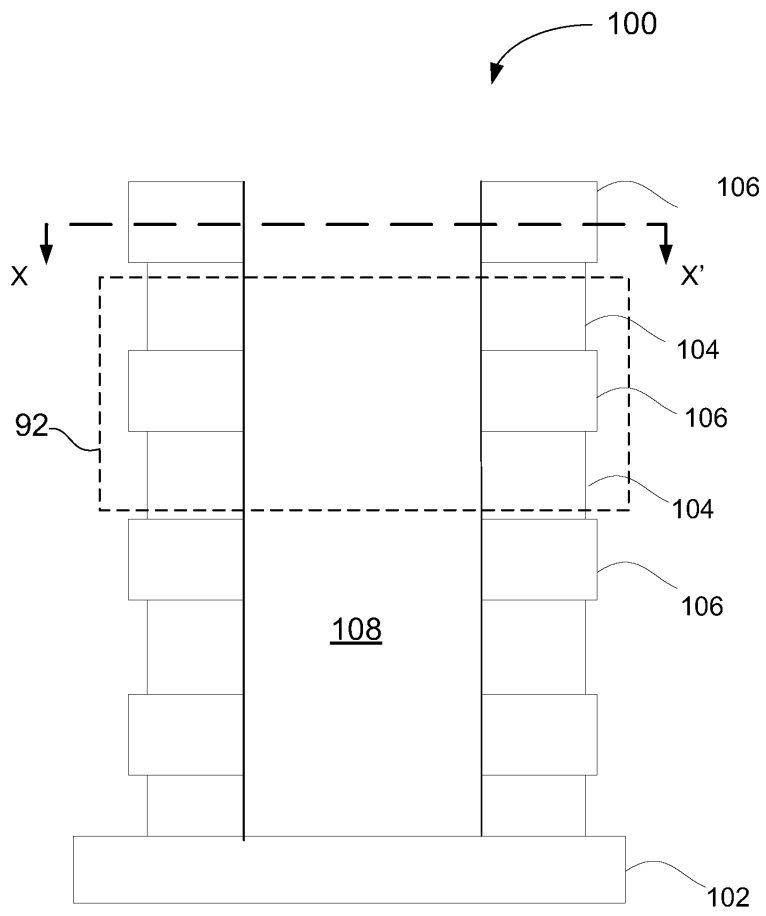
도면2b



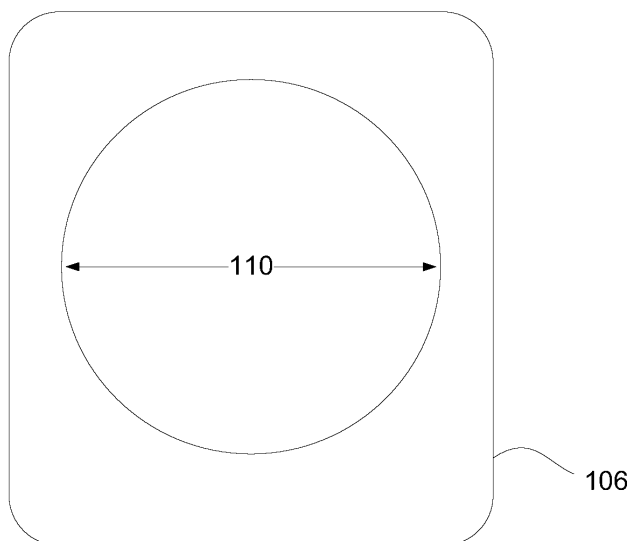
도면2c



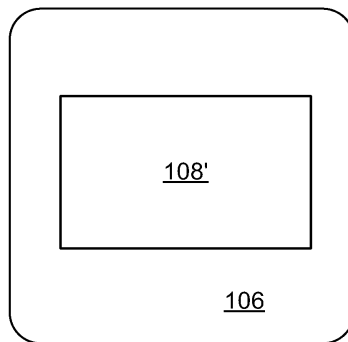
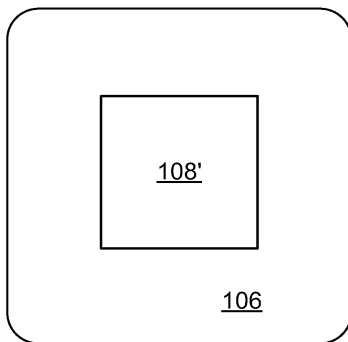
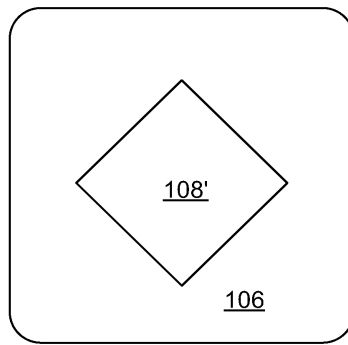
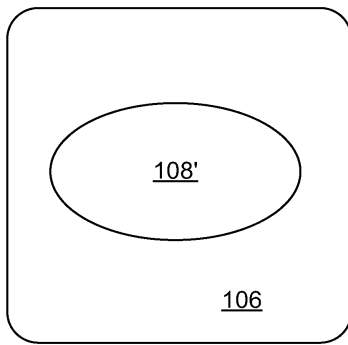
도면2d



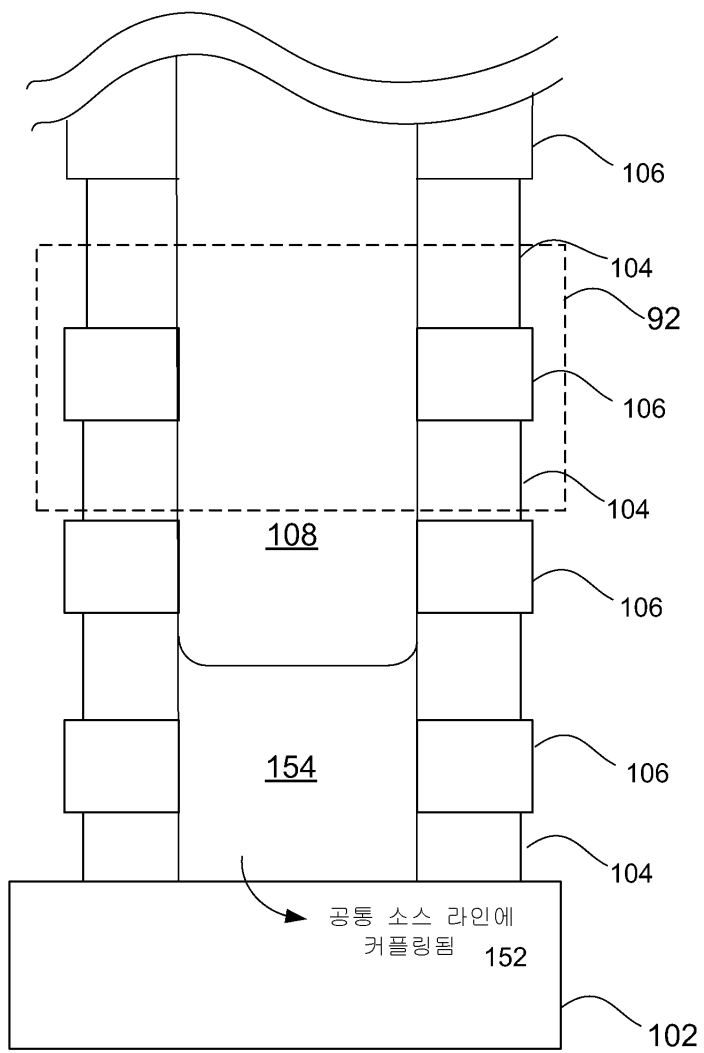
도면2e



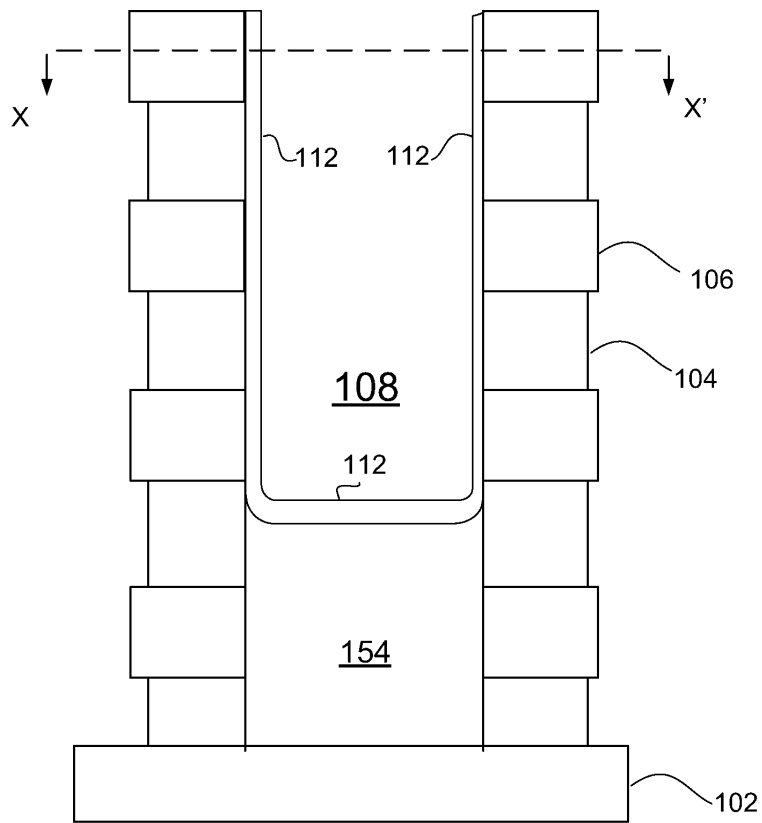
도면2f



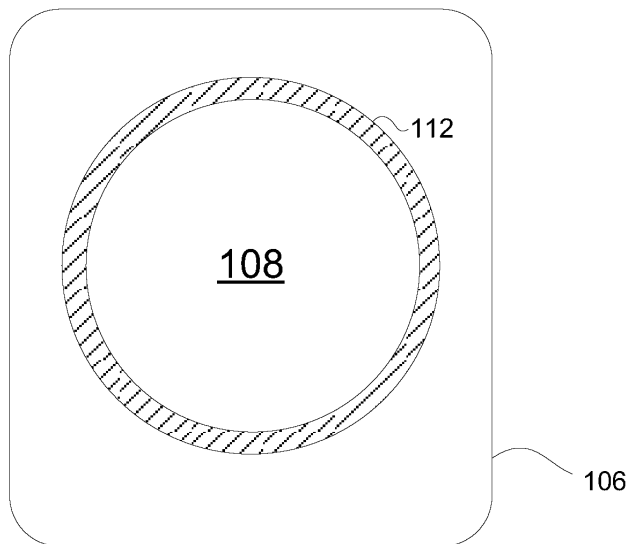
도면2g



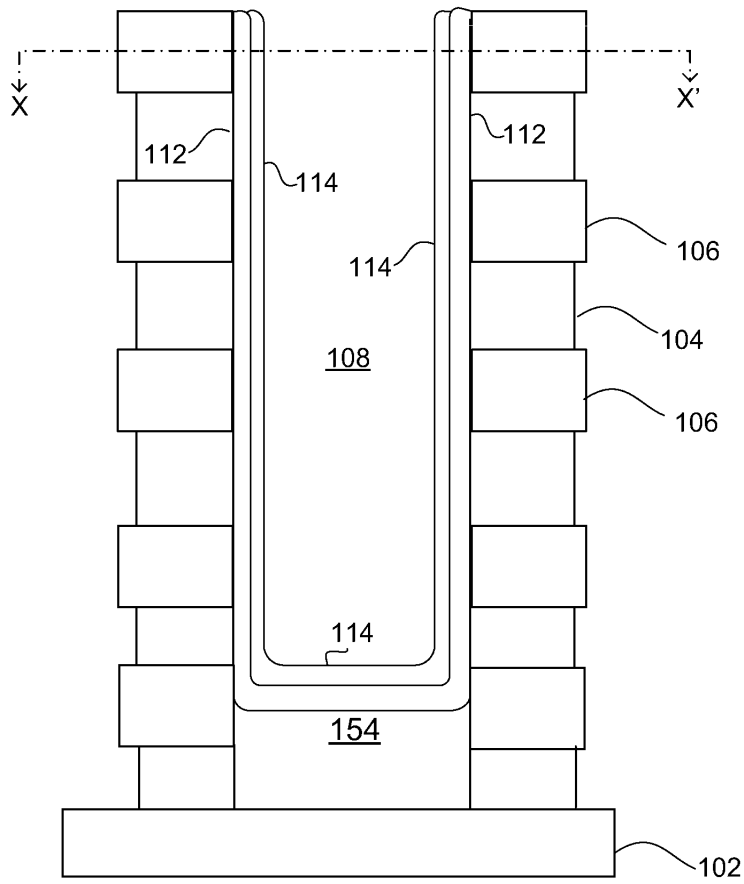
도면2h



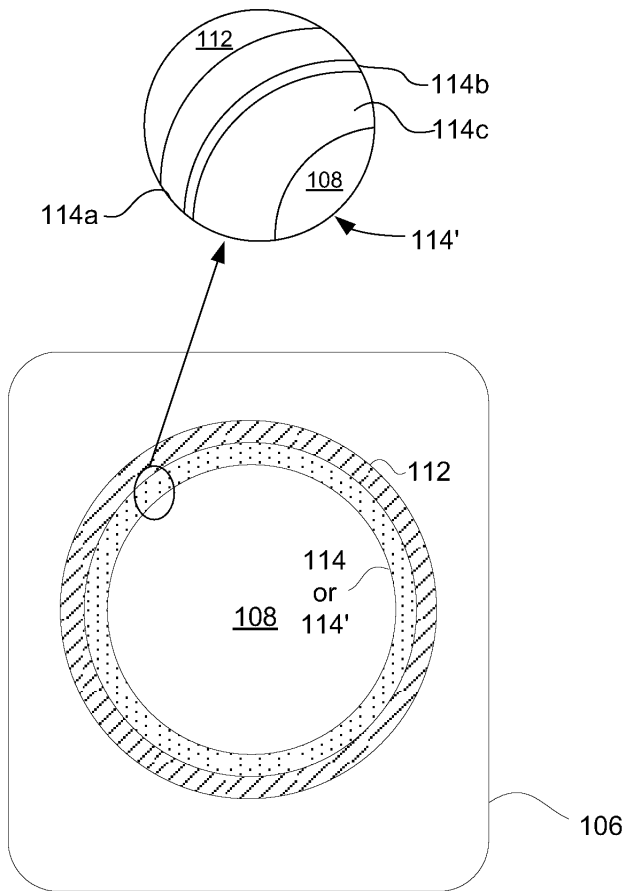
도면2i



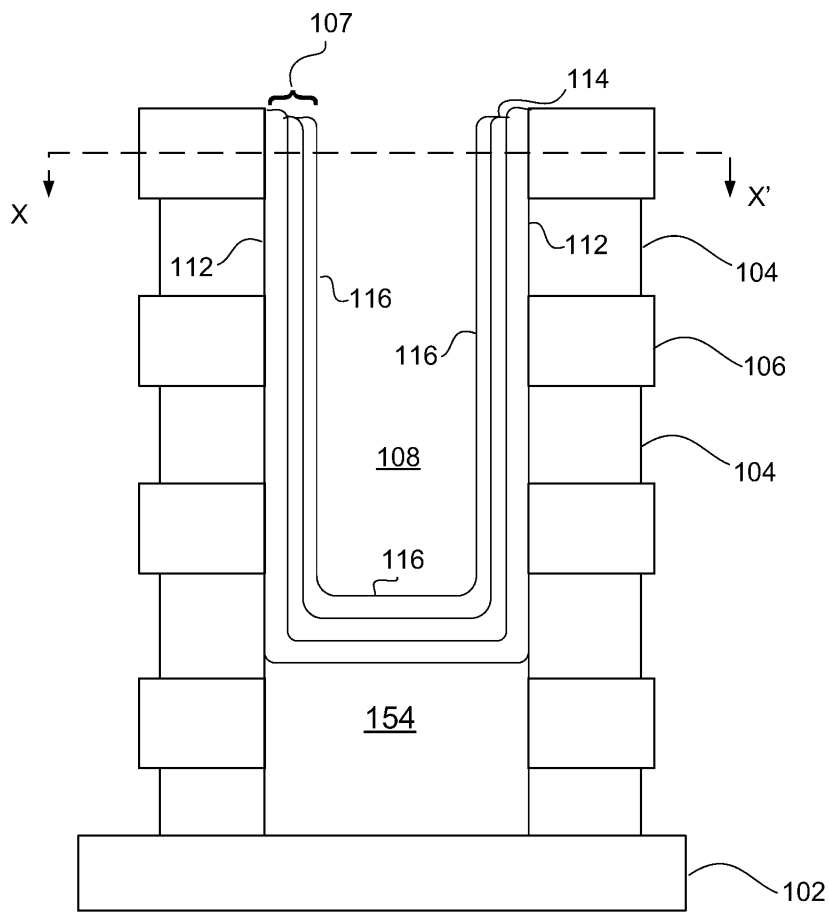
도면2j



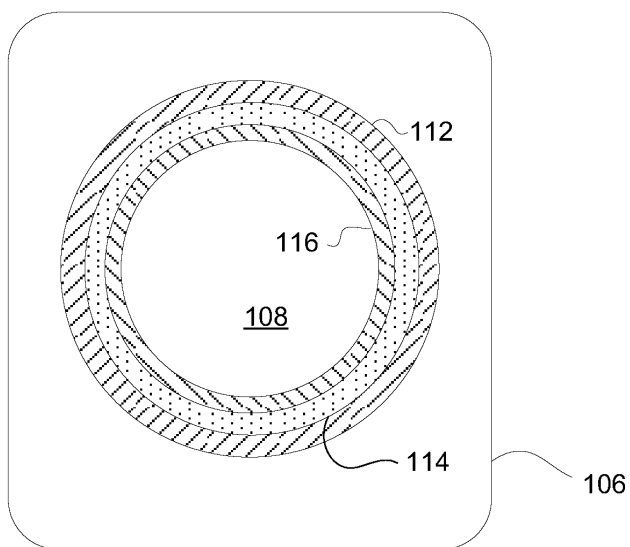
도면2k



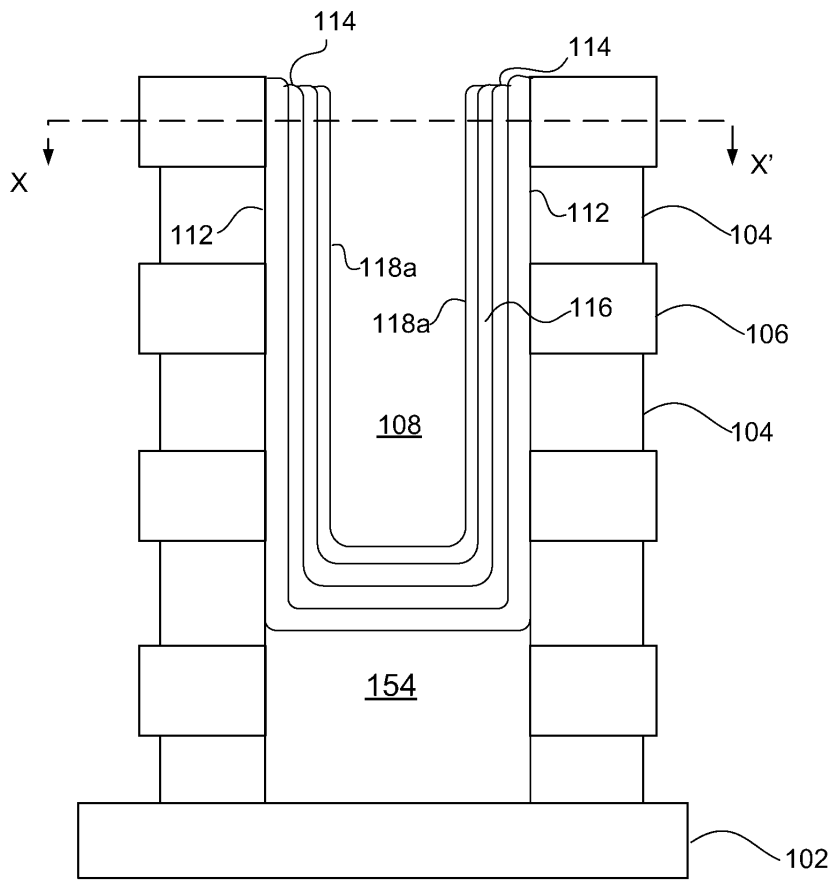
도면21



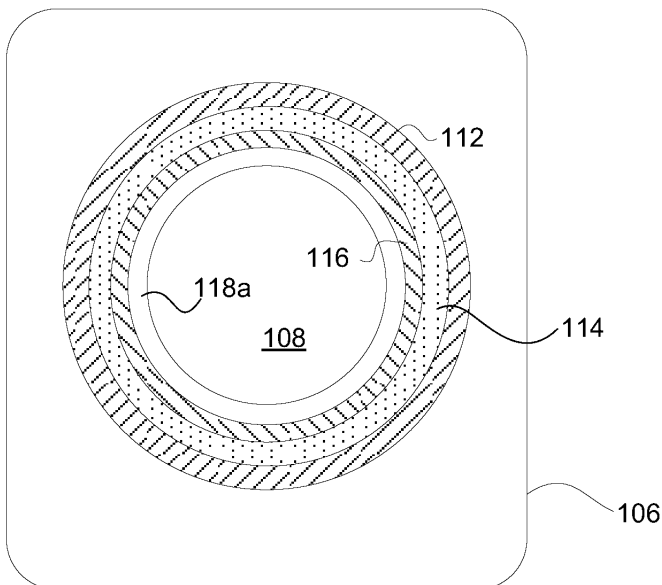
도면2m



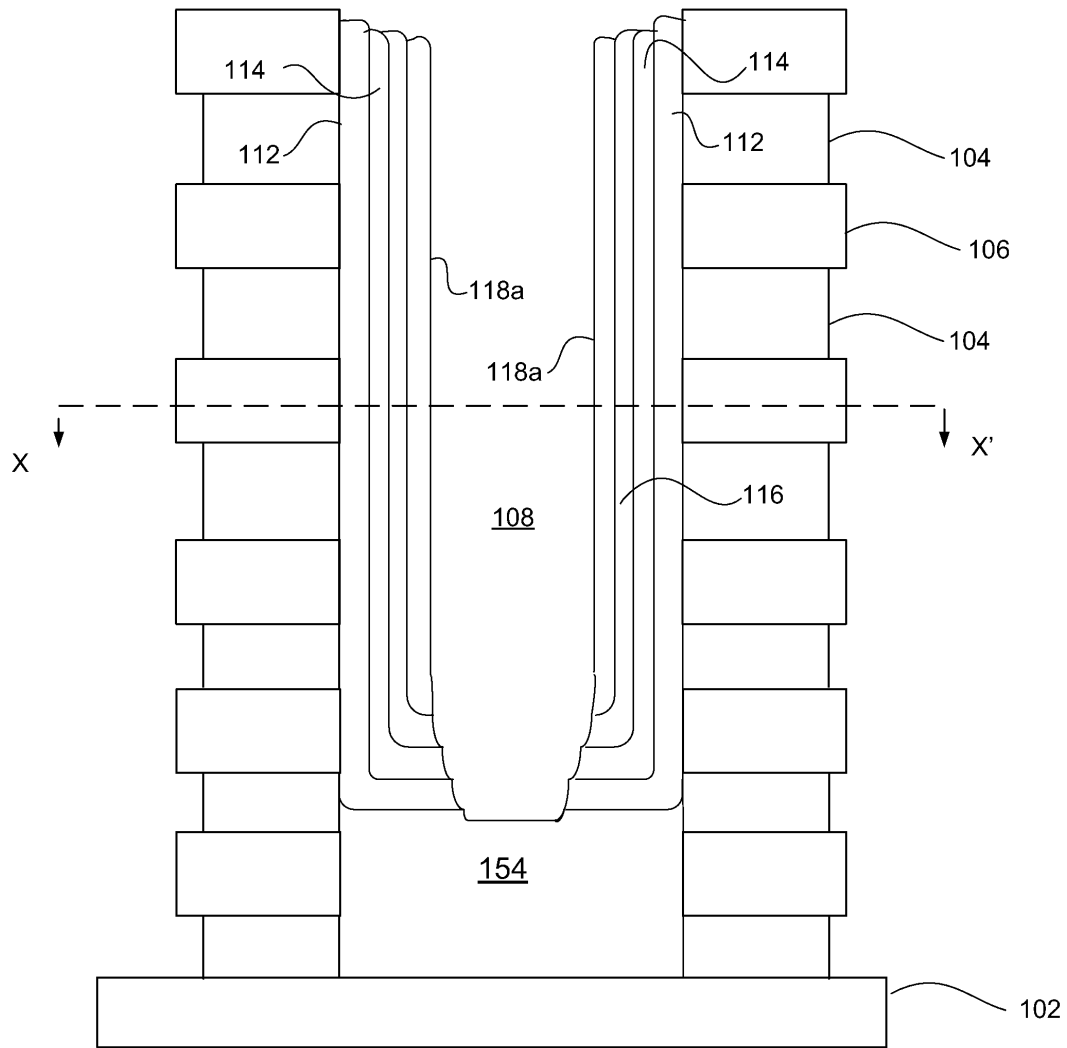
도면2o



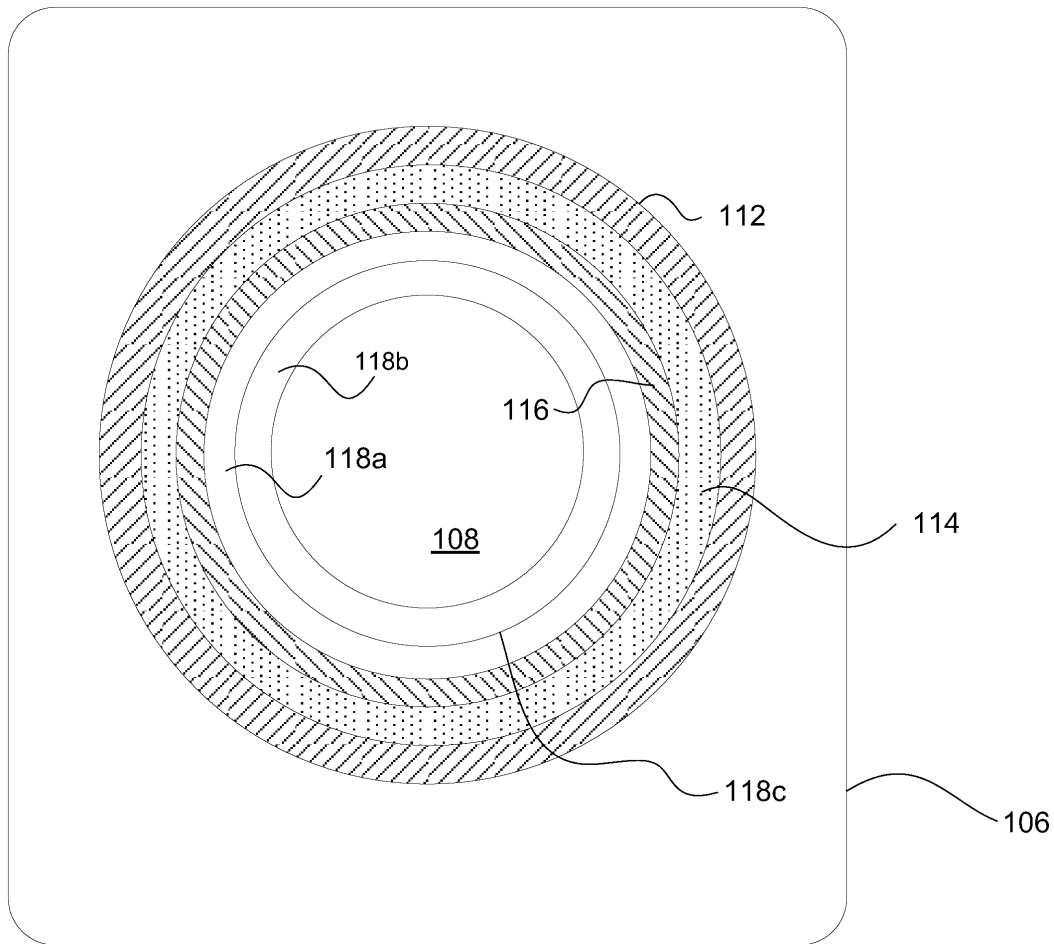
도면2p



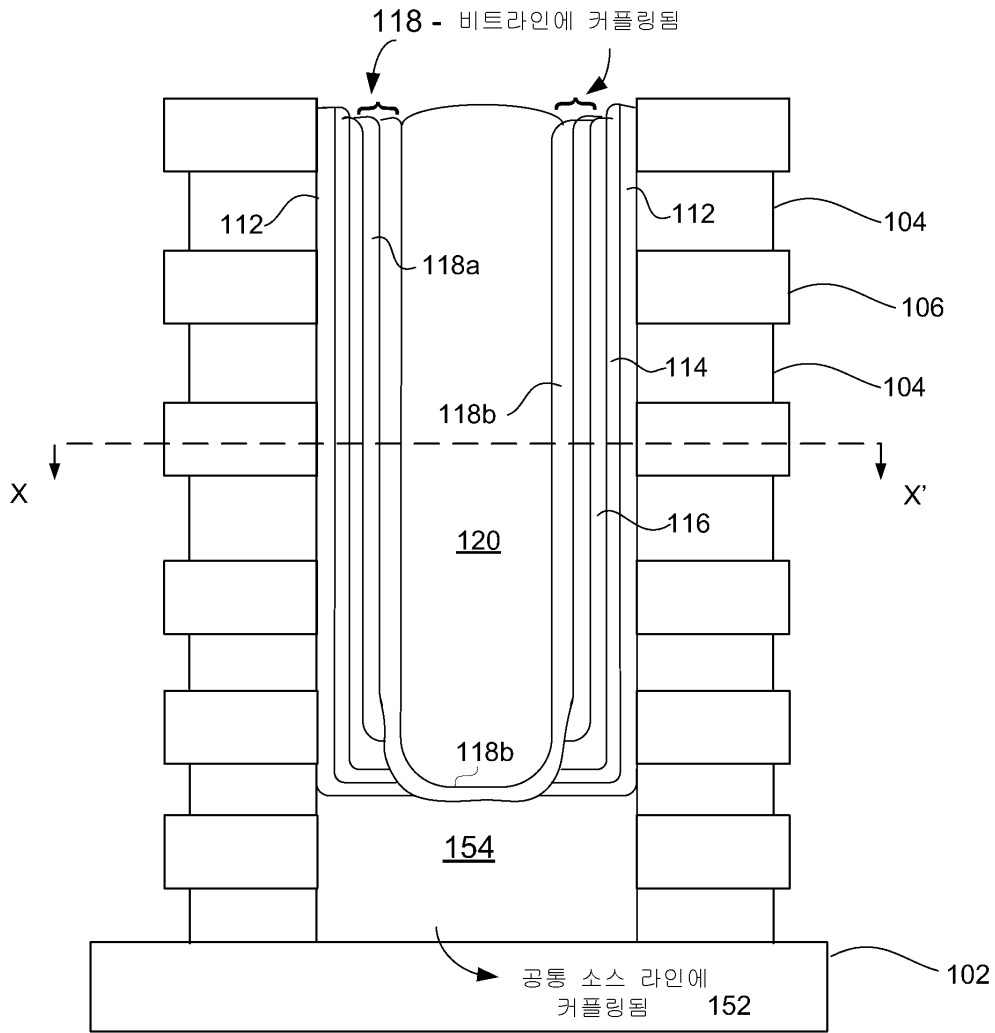
도면2q



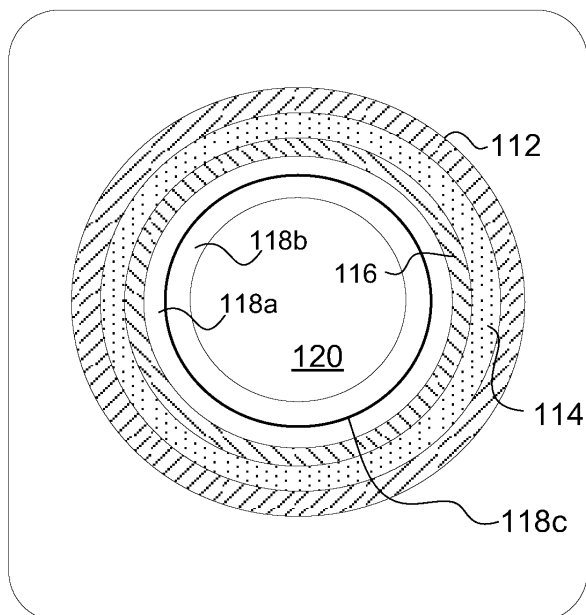
도면2s



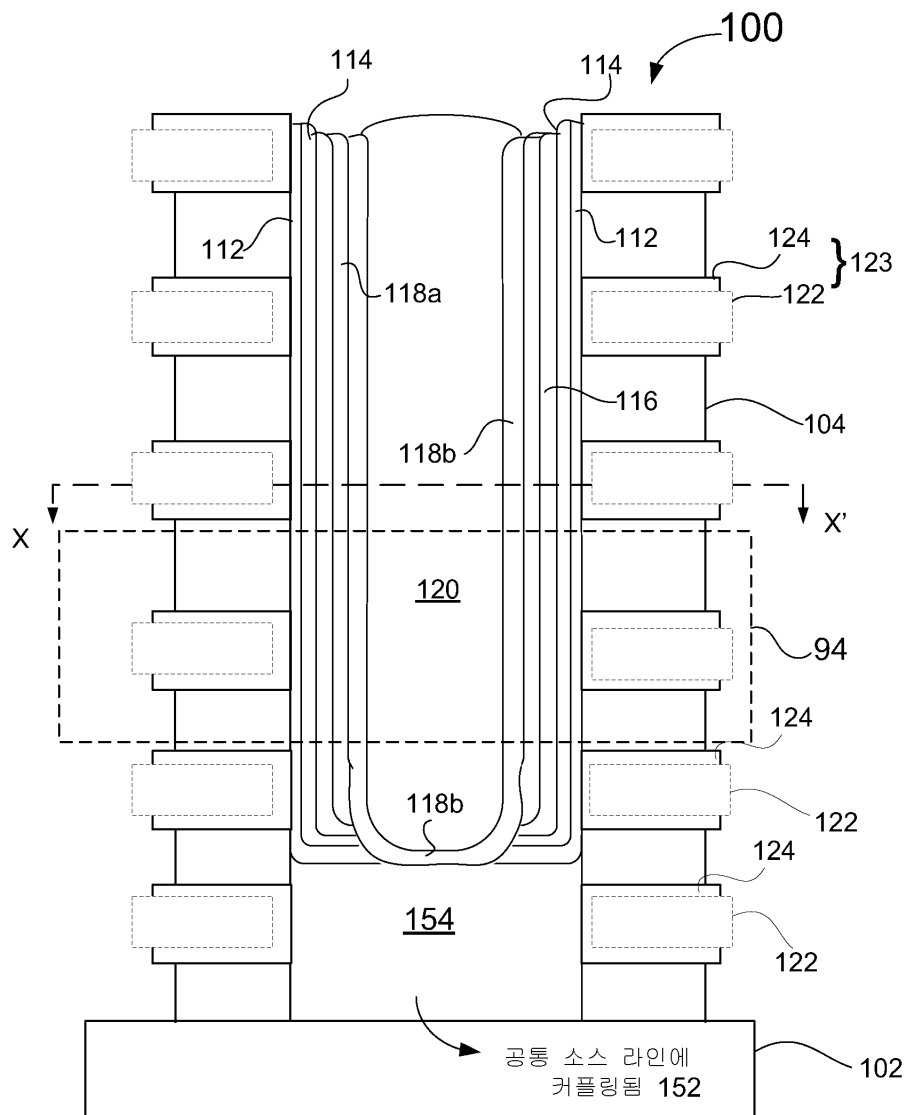
도면2t



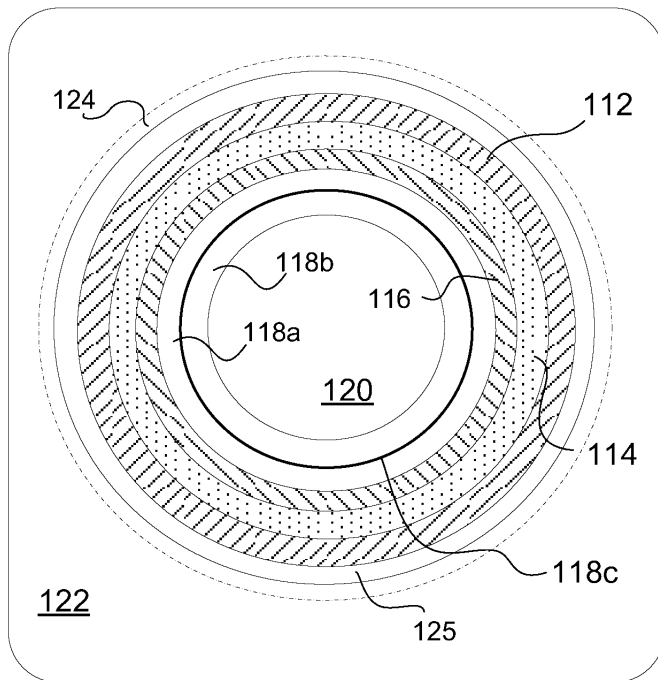
도면2u



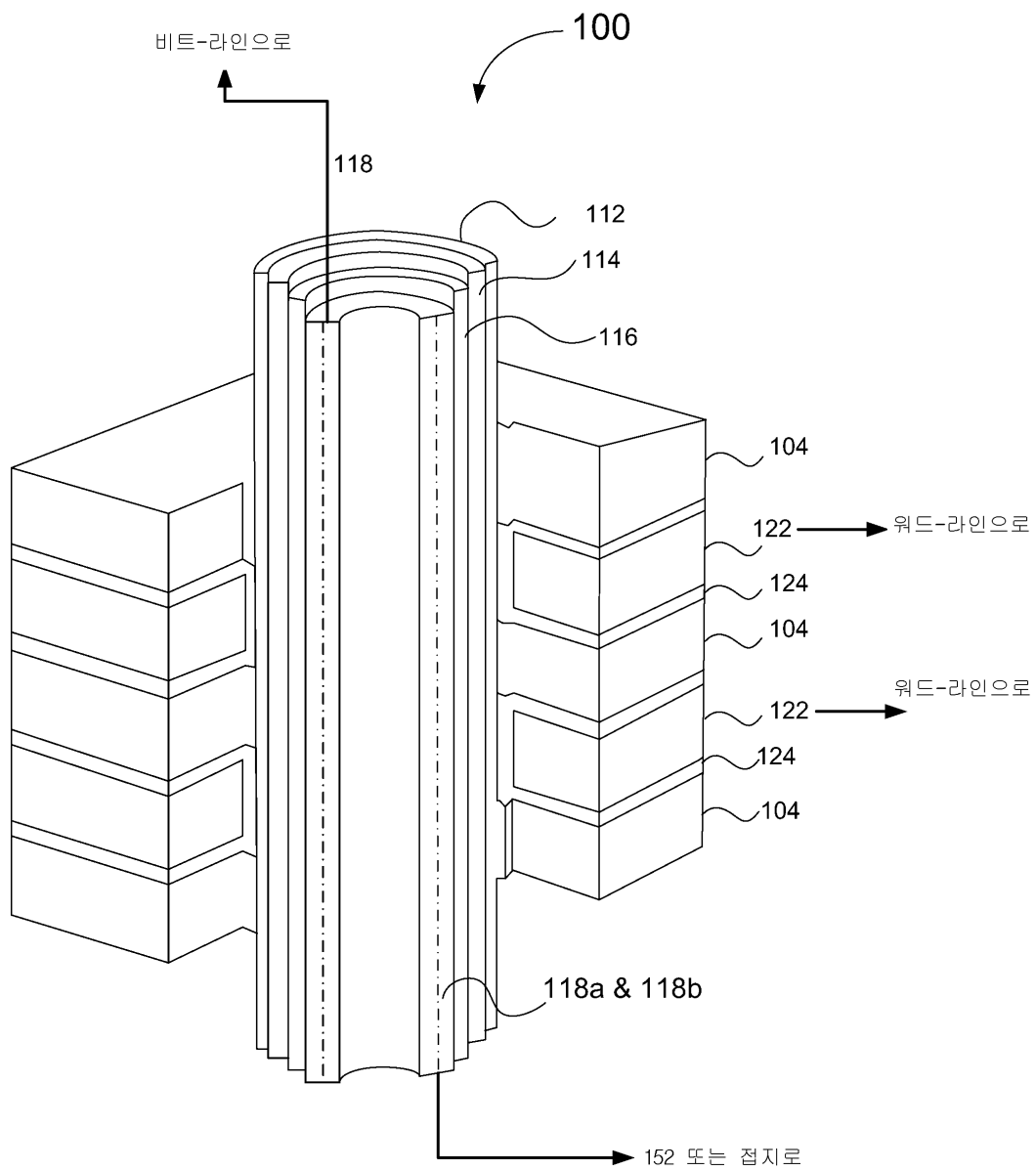
도면2v



도면2x



도면2y



도면2z

