

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年02月06日；10/774,014

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體係關於快閃EEPROM(電可擦可程式唯讀記憶體)型之非揮發性半導體記憶體，且特定而言係關於操作NAND類型之記憶體單元陣列的結構及方法。

【先前技術】

現今正使用多種商業成功之非揮發性記憶體產品，特別為使用快閃EEPROM單元陣列之小型因子卡(factor card)形式。

一種流行之快閃EEPROM架構利用NAND陣列，其中藉由在個別位元線與參考電位之間的一或多個選擇電晶體來連接大量的記憶體單元串。在圖2A中以平面圖表示了該陣列之一部分。BL0-BL4 (其中BL1-BL3亦標為12-16)代表至全域垂直金屬位元線(未展示)之擴散位元線連接。雖然在每一串中表示了四個浮動閘極記憶體單元，但個別串通常包括16、32或更多記憶體單元電荷儲存元件，諸如一行中之浮動閘極。標為WL0-WL3 (在為沿圖2A之線A-A之橫截面圖的圖2B中標為P2)之控制閘極(字元)線及串選擇線SGD及SGS越過在浮動閘極列上的多個串而延伸，該等浮動閘極通常為多晶矽(圖2B中標為P1)。然而，對於電晶體40及50而言，可電連接控制閘極與浮動閘極(未圖示)。如圖2B所示，通常控制閘極線作為一自我對準之堆疊而形成於浮動閘極上，並藉由中間介電層19而彼此電容性地耦合。通常經由一自外圍電驅動之使用浮動閘極材料(P1)作為其主動

閘極(active gate)的電晶體，來將該串之頂部及底部分別連接至位元線及共同源極線。藉由增加耦合其上之控制閘極上的電壓，浮動閘極與控制閘極之間的電容性耦合允許浮動閘極電壓升高。在程式化期間，藉由在其各自之字線上置放相對較高之電壓並在一所選字線上置放相對較低之電壓而導致該串中之剩餘單元打開來讀取並驗證行中之個別單元，使得流過每一串之電流主要僅視所選擇字線下之已定址單元中儲存之電荷位準而定。通常為大量串平行地感測電流，藉此沿一浮動閘極列平行地讀取電荷位準狀態。

在以下美國專利申請案第5,570,315號、第5,774,397號、第6,046,935號、第6,456,528號及第6,522,580號中提供了NAND類型快閃記憶體及其操作之相關實例，其均以引用的方式併入本文中。

現今之快閃EEPROM陣列之電荷儲存元件大部分均為通常之電傳導浮動閘極，其通常自摻雜多晶矽材料形成。然而亦可使用其它具有電荷儲存能力且無需為電傳導之材料。替代性材料之一實例為氮化矽。在Takaaki Nozaki等人之文章"A 1-Mb EEPROM with MONOS Memory cell for Semiconductor Disk Application" (IEEE固態電路雜誌1991年4月26卷第4號，497-501頁)中描述了該單元。

習知非揮發性快閃陣列之記憶體單元被劃分為共同擦除之離散單元塊。意即，儘管可在一單一擦除操作中擦除一或多個塊，但是該塊包含作為一擦除單元(unit)而分別可一起擦除之最小數目單元(cell)。每一塊通常儲存一或多個資

料頁面，儘管可在一單一操作中程式化或讀取一或多個頁面，但是一頁面定義為作為程式化及讀取基本單元之可同時經受資料程式化及讀取操作的最小數目單元。每一頁面通常儲存一或多個資料扇區，其中扇區之大小由主機系統界定。一扇區之實例為：按照以磁碟驅動器建立之標準的512位元組使用者資料加上若干數目位元組關於使用者資料及/或其儲存之塊的耗用資訊之扇區。

在大部分積體電路應用中，快閃EEPROM陣列中亦存在壓縮實施若干積體電路功能所需之矽基板區域之壓力。不斷地需要增加在矽基板給定區域內可儲存之數位資料量，以增加給定尺寸記憶卡及其它類型封裝之儲存容量，或同時增加容量並減少尺寸。另一種增加資料儲存密度之方法為在每一記憶體單元電荷儲存元件儲存多於一位元之資料。此係藉由將電荷儲存元件之允許電壓或電荷儲存窗劃分為兩個或兩個以上狀態來達成。使用四個該等狀態允許每一單元儲存兩位元資料，八個狀態則允許每一單元儲存三位元資料，並依此類推。在美國專利申請案第5,043,940號、第5,172,338號、第5,570,315號及第6,046,935號中描述了多狀態快閃EEPROM結構及操作。

使用NAND結構之用於快閃記憶體系統的習知架構包括NAND陣列，其中每一陣列包括若干NAND串。舉例而言，圖3A僅展示了其陣列包含三個以上NAND串之圖2A之記憶體陣列的三個NAND串11、13及15。圖3A之每一NAND串包括兩個選擇電晶體及四個記憶體單元。舉例而言，NAND

串 11 包括選擇電晶體 20 及 30，及記憶體單元 22、24、26 及 28。NAND 串 13 包括選擇電晶體 40 及 50，及記憶體單元 42、44、46 及 48。每一串經由其選擇電晶體(例如選擇電晶體 30 及選擇電晶體 50)而連接至源極線上。使用選擇線 SGS 以控制源極側選擇閘極。經由受選擇線 SGD 控制之選擇電晶體 20、40 等將多個 NAND 串連接至各自之位元線。在其它實施例中，選擇線無需為共同。字線 WL3 連接至用於記憶體單元 22 及記憶體單元 42 之控制閘極。字線 WL2 連接至用於記憶體單元 24 及記憶體單元 44 之控制閘極。字線 WL1 連接至用於記憶體單元 26 及記憶體單元 46 之控制閘極。字線 WL0 連接至用於記憶體單元 28 及記憶體單元 48 之控制閘極。如圖可見，每一位元線及各自之 NAND 串包含記憶體單元陣列之行。字線(WL3、WL2、WL1 及 WL0)包含陣列之列。每一字線連接該列中每一記憶體單元之控制閘極。舉例而言，字線 WL2 連接至用於記憶體單元 24、44 及 64 之控制閘極。

圖 3B 為描繪了若干 NAND 陣列之電路圖，其中每一陣列由一組共同字線控制。圖 2A 及圖 3 之陣列為圖 3B 中之頂部陣列。如圖 3B 所示，相同陣列中之每一 NAND 串(例如 11、13)連接至複數個位元線 12、14..... 中之一者及一共同源極線，且由共同之一組字線(WL0-WL3)所控制。

每一記憶體單元可儲存資料(類比或數位)。當儲存一位元數位資料(二進位記憶體單元)時，記憶體單元之可能臨限電壓分為以邏輯資料"1"及"0"指派的兩個範圍。在一 NAND 類型快閃記憶體之實例中，在記憶體單元擦除後臨限電壓

為負，並定義為邏輯"1"。程式化操作後之臨限電壓為正，並定義為邏輯"0"。當臨限電壓為負且在將零伏特施加至其控制閘極之情形下嘗試讀取時，記憶體單元會傳導電流以指示正在儲存邏輯1。當臨限電壓為正且嘗試讀取操作時，記憶體單元將不會打開，其指示儲存邏輯0。記憶體單元亦可儲存諸如多位元數位資料之多位準資訊。在儲存多位準資料之情況下，將可能臨限電壓之範圍劃分為資料位準之數目。舉例而言，若儲存了四位準之資訊，則存在四個臨限電壓範圍，每一範圍指派至一資料值。藉由臨限電壓多個(諸如兩個以上)範圍之間的差異來儲存資料之記憶體稱作多狀態記憶體。在NAND類型記憶體之一實例中，擦除操作後之臨限電壓為負，並定義為"11"。正臨限電壓係用於"10"、"01"及"00"之狀態。

當程式化一NAND快閃記憶體單元時，一程式化電壓施加至控制閘極，且選擇用於程式化之NAND串之通道區域接地(0V)。將來自NAND串下方之通道區域的電子注入浮動閘極。在電子積累於浮動閘極時，浮動閘極帶負電荷且單元之臨限電壓升高。為將所選NAND串之通道區域接地，相應位元線接地(零伏特)，同時SGD連接至高於選擇電晶體臨限電壓之足夠高的電壓(通常為如3.3伏特之 V_{dd})。為將程式化電壓施加至正被程式化之單元的控制閘極，該程式化電壓施加至合適字線。如上所述，該字線亦連接至利用相同字線之其它NAND串之每一者中之一單元。舉例而言，因為所有單元均共享相同字線，所以在程式化圖3A之單元24時亦

將程式化電壓施加至單元44之控制閘極。當需要在不程式化其它連接至相同字線之單元時程式化字線上之一單元的情況下(如當其需要程式化單元24而非單元44時),產生一問題。因為將程式化電壓施加至連接至字線之所有單元,所以可能不注意地將字線上之未選單元(並非欲程式化之單元)程式化。舉例而言,單元44鄰接單元24。當程式化單元24時,會擔心可能無意地將單元44程式化。所選字線上之未選單元之無意程式化稱作"程式干擾"。更一般而言,"程式干擾"係用於描述正方向或負方向之不良臨限電壓位移,其可在程式化操作期間發生且無需限於所選字線。

可使用若干技術來防止程式干擾。在K.D. Suh等人之"A 3.3 V 32 Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme" (固態電路雜誌1995年11月30卷第11號1149-55頁)提出一種稱作"自行補增"("SB")之方法。在使用SB機制之程式化期間,未選NAND串之通道區域與其相應位元線電絕緣。隨後在將較高程式化電壓(如18伏特)施加至所選字線時,將中間通過電壓(如10伏特)施加至未選字線。在本申請案中,可替換地使用術語"絕緣"及"電絕緣",且可替換地使用術語"寫入電壓"、"程式化電壓"及"程式化電壓"。將未選NAND串之通道區域電容性地耦合至未選字線,其導致未選NAND串之通道區域中存在一電壓(如,假定耦合係數為0.6,則為六伏特)。此稱為"自行補增"之電壓減少了未選NAND串之通道區域與施加至所選字線之程式化電壓之間的電位差。結果,對於未選NAND串中之

記憶體單元而言，特別對於所選字線上該串中之記憶體單元而言，該電壓越過穿隧氧化物(tunnel oxide)並因此顯著減少了程式干擾。

現參看圖3A，當將自行補增程式技術應用至圖3A中之記憶體陣列以程式化位元線12上之單元之一者時，例如將零電壓施加至位元線12並將電壓 V_{dd} (如3.3伏特)施加至位元線14。電壓 V_{dd} 施加至汲極選擇線SGD以打開電晶體20及40，且零電壓施加至源極選擇線SGS以關閉電晶體30及50。假定陣列42至48中之所有記憶體單元處於正常開啟狀態(如，擦除狀態或負臨限電壓狀態)，則由施加至SGD之 V_{dd} 與選擇電晶體40之臨限電壓之間的差給出電晶體40及50之間的NAND串中所有單元的通道電位。舉例而言，若 V_{dd} 為3.3伏特且電晶體40之臨限電壓為1.3伏特，則所有單元42至48之通道電位均充電至2伏特。因為在該情況中通道電位被預充電至約2V之預定電位，所以上述操作可稱作"預充電"。由於電晶體50關閉，且在NAND串之通道電位達到足夠高之值(在該情況下為2伏特)後自動關閉電晶體40，所以記憶體單元42至48之通道電位變成浮動。因此，假定耦合係數約為0.6，由於電容性耦合，在將高程式化電壓 V_{pgm} (如18伏特)施加至字線WL2，並將中間電壓 V_{pass} (如10伏特)施加至剩餘字線時，記憶體單元42至48之通道電位自2伏特之初始預先充電位準自舉(bootstrap)或補增至諸如8伏特之值。因此即使將如18伏特之較高電壓施加至記憶體單元44之控制閘極，該較高電壓與通道電位之間的電位差亦無法

充分地導致電子穿隧通過氧化物至記憶體單元44之浮動閘極，以此防止程式干擾。

通常(但並非總是如此)將NAND串自源極側程式化至汲極側，例如自記憶體單元28程式化至記憶體單元22。當程式化處理準備好程式化NAND串之最後(或靠近最後)記憶體單元時，若被抑制之串(例如串13)上的所有或大部分先前程式化之單元被程式化，則先前程式化之單元的浮動閘極上存在負電荷。因為浮動閘極上之此負電荷，所以預先充電不能完全進行，其導致NAND串下方之通道區域的初始電位較低，且該通道區域之隨後的自行補增效果亦降低。因此，未選NAND串通道中之補增電位可能不會變得足夠高，且在最後的少數字線上仍可能有程式干擾。舉例而言，當將程式化電壓施加至WL3時，若程式化被抑制之串上的單元48、46及44，則該等記憶體單元44、46及48之每一個在其浮動閘極上具有負電荷，其會限制自行補增處理之補增位準並可能導致單元42上之程式干擾。

由於上述問題，T.S. Jung等人在IEEE之ISSCC96之第二部分之快閃記憶體 Paper TP2.1之32頁 "A 3.3V 128Mb Multi-Level NAND Flash Memory for Mass Storage Applications"中提出一區域自行補增("LSB")技術作為改良。

在LSB機制中，當將較高程式化電壓施加至字線WL2以減少或防止關於被抑制之串上的記憶體單元44之程式干擾時，將0伏特施加至字線WL1及WL3使得記憶體單元42及46

關閉。接著記憶體單元44之通道電位不受或少地受記憶體單元42、46及48之通道區域中自行補增之影響。因此可能藉由較高程式化電壓 V_{pgm} 將記憶體單元44通道區域之通道電位自行補增至比當記憶體單元44之通道區域受剩餘記憶體單元42、46及48之自行補增影響時所獲得之電壓位準位更高之電壓位準。當程式化記憶體單元24時，此可防止程式干擾。請參看美國專利申請案第6,107,658號，尤其參看行6至行10之描述，以獲得自行補增及區域自行補增之更詳細解釋。

在屬於Tanaka等人之美國專利案第6,525,964號中描述了作為區域自行補增之替代所提議的另一技術，且其稱為擦除區域自行補增("EASB")。EASB與LSB之不同之處在於，EASB僅關閉未選單元之源極側上之記憶體單元，而非關閉未選單元任一側之兩者上的記憶體單元以防止LSB中的單元之程式干擾。舉例而言，在程式化記憶體單元24時，無需關閉記憶體單元42，僅關閉記憶體單元46以防止單元44處之程式干擾。

儘管LSB及EASB對於多種應用均為有利，但是當該等機制以其現有形式使用時仍遇到若干問題，尤其當未來世代裝置之記憶體單元尺寸繼續減少或比例縮小時。因此需要提供緩解該等問題的經改良之自行補增機制。

【發明內容】

參看圖2B及圖3，N⁺擴散區域49用作源極選擇電晶體50之汲極及鄰近記憶體單元或電晶體48之源極。當指諸如圖

2B及圖3中所示之該等串中之元件時，本文中可替代地使用術語"記憶體單元"、"電荷儲存電晶體"及"電晶體"。於電晶體22、24或26中任一者之上述自行補增機制之程式化期間，將零伏特施加至電晶體50之閘極，且多數情況下將中間電壓 V_{pass} (諸如10伏特)施加至電晶體48之控制閘極。因此，假定耦合係數為0.6 (假定在補增前通道區域預充電至2伏特)，可將電晶體48之通道區域補增至諸如8伏特之值。可能由於電晶體50之汲極區域49之帶至帶穿隧，電晶體48之補增通道電壓可導致崩潰。此崩潰可導致電晶體48之經補增通道區域及相同NAND串中之其它記憶體單元之經補增通道區域放電，使得通道電位降低並可能發生程式干擾。另一可能發生之機構為將崩潰所生成之電子朝向電晶體48下方之已補增通道區域加速；此可能導致所謂之熱電子，隨後可將該等熱電子注入電晶體48之浮動閘極中，其導致臨限電壓位移。該臨限電壓位移可能導致電晶體48自一電荷狀態改變為另一電荷狀態，諸如自一已程式化狀態改變至一不良的不同已程式化狀態。可藉由利用針對防止電晶體50之汲極區域49崩潰之合適偏壓條件來防止該狀態變化。

可藉由使用合適偏壓條件，在多位準臨限電壓類型記憶體以及二進位位準臨限電壓記憶體中防止不當的電荷狀態改變。合適偏壓條件之應用可具有以下效果：其導致諸如源極選擇電晶體之汲極側帶至帶穿隧的一或多個崩潰機制降低至不導致鄰接源極選擇電晶體之電晶體的所需電荷儲

存狀態變化至另一不同電荷狀態；在一些情形下，可完全抑制該或該等機構。

在一實施例中，藉由將施加至一串中鄰近源極選擇電晶體之電晶體(目標電晶體)的電壓降低至一低於自行補增機制中正常用於補增該通道電壓以減少或防止程式干擾之值，來防止汲極區域處之源極選擇電晶體崩潰。在該實施例之一具體實施例中，施加至目標電晶體之電壓可在1至3伏特之範圍內。在另一具體實施例中，用於防止程式干擾之耦合至除目標電晶體之外的若干電晶體之補增電壓可能比耦合至目標電晶體之補增電壓高出至少50%。

雖然在補增期間汲極側選擇閘極通常具有比在補增期間源極側選擇閘極通常為0V的閘極電壓更高的閘極電壓(諸如在1.5至2.5 V之範圍內)，上述崩潰亦可發生於鄰近汲極選擇電晶體之串中之電晶體的汲極區域，諸如圖2B中之選擇電晶體40之電晶體區域51。藉由將施加至一串中鄰近源極選擇電晶體之電晶體(目標電晶體)之電壓降低至一低於自行補增機制中正常用於補增該通道電壓以減少或防止程式干擾之值，來防止源極區域之汲極選擇電晶體崩潰。在該具體實施例之一實施例中，施加至該目標電晶體之電壓可在1至3伏特之範圍內。在另一實施例中，為防止程式干擾而耦合至目標電晶體之外的若干電晶體之補增電壓可能比耦合至目標電晶體之補增電壓高出至少50%。

上述源極選擇電晶體汲極區域崩潰及汲極選擇電晶體源極區域崩潰可能發生於一串電荷儲存電晶體中之任意電晶

體的寫入或程式化期間。因此，為減少程式干擾，除了在緊鄰該源極或汲極選擇電晶體之電晶體的程式化期間，可於該串中之兩個或兩個以上電晶體之連續程式化或寫入期間或實際上在該串中所有電晶體之連續程式化或寫入期間，施加上述機制。

同樣地，視需要上述機制可與其它自行補增機制(諸如本文所述之自行補增及預充電機制之一個或多個)及除本文所述之預充電機制之外的預充電機制協同施加。

當未來世代裝置之記憶體單元尺寸變得更小時，EASB機制內之記憶體單元通道長度可能變得過短以至於不能電絕緣耦合至所選字線之每一電晶體之汲極及源極側上的兩個個別地補增之通道區域。結果，可能降低經補增之通道電壓而導致程式干擾。申請者提出，藉由偏壓耦合至所選字線之電晶體的源極側上及鄰近該電晶體的兩個或兩個以上字線或控制閘極(宜為彼此相鄰)，以有效增加絕緣記憶體單元或電晶體之通道長度以藉此減少兩個補增區域之間的滲漏來改良兩個補增區域之間的絕緣。偏壓條件宜為：隨滲漏減少的同時帶至帶穿隧亦減少。

在上述改良之EASB機制中，由於絕緣僅發生於耦合至該所選字線之電晶體的源極側，因此至少在一些具體實施例中，無需類似地減少耦合至該等電晶體之汲極側上之單元或電晶體的補增電壓，使得耦合至兩個或兩個以上字線或控制閘極之電壓位準低於該/該等耦合至該等電晶體之汲極側上之單元或電晶體之電壓位準。如上所述，上述改良

之EASB機制對於諸如單元尺寸小於130或100奈米之具有小尺寸單元的記憶體陣列特別有用。

當未來世代裝置之記憶體單元尺寸變得更小時，LSB機制中之記憶體單元之通道長度亦可能變得過短以至於不能電絕緣耦合至所選字線之未選電晶體的通道區域與該等電晶體之汲極及源極側上的補增之通道區域。結果，可能降低補增之通道電壓，其導致程式干擾。申請者提出，藉由偏壓耦合至所選字線之電晶體的源極側上及鄰近該電晶體的兩個或兩個以上字線或控制閘極(宜為彼此相鄰)，以有效增加絕緣記憶體單元或電晶體之通道長度來改良兩個補增區域之間的絕緣。換言之，將電壓位準耦合至兩組電晶體，以將耦合至所選字線之至少一個未選電晶體之通道區域與在與未選電晶體相同之串的鄰近通道區域絕緣，其中每一組包括至少兩個電晶體，且其中兩組定位於耦合至所選字線之未選電晶體的相反側上。較佳地，電壓位準使得耦合至至少一電壓位準之所選串中處於較低電壓臨限(例如具有負臨限電壓，諸如未程式化電晶體之臨限電壓)的具有可能電荷狀態之一者的電晶體打開，而耦合至至少一電壓位準之所選串中處於較高電壓臨限(例如具有正臨限電壓，諸如程式化電晶體之臨限電壓)的具有可能電荷狀態之一者的電晶體關閉。較佳地，電壓位準使得歸因於記憶體單元之較短通道長度的洩漏與帶至帶穿隧所導入之崩潰同時減少。

對於若干施加及設計，可能無需或沒有必要在LSB機制

中所選字線之汲極側上完全地電絕緣。在該事件中，可能實施一經修改之LSB機制，其中耦合至所選字線之汲極側上的單元或電晶體之補增電壓為不導致該等電晶體完全關閉之值，而在所選字線之汲極側上提供一些電絕緣。

對於低值 V_{pass} 且當作為絕緣電晶體之記憶體單元的臨限電壓處於擦除狀態時，減少兩個補增區域之間的滲漏尤為關鍵。為能夠在該等電晶體處於擦除狀態之情況下關閉絕緣電晶體，需要源極側之一定的正補增電壓。當 V_{pass} 電壓自較低值(如0伏特)升至較高值(如在5至10伏特之範圍)時，於補增處理開始時建立該正電壓。在 V_{pass} 於低值時，將通道區域補增至次高電壓；結果會延遲關閉絕緣電晶體，因此允許自較高補增汲極區域運輸更多電荷並藉此降低汲極側區域補增電壓。具有兩個或兩個以上記憶體單元作為絕緣電晶體會有效地增加通道長度及該等絕緣電晶體之絕緣特性。此外，當兩個或兩個以上記憶體單元用作絕緣電晶體時，該等記憶體單元之兩個或兩個以上處於擦除狀態之機率小於僅有一記憶體單元作為絕緣電晶體之情況。在儲存四個位準之MLC記憶體單元之情況下，所有絕緣記憶體單元均處於擦除狀態之機率僅為6.25%，而在僅有一絕緣記憶體單元之情況下機率為25%。

另一可導致程式干擾發生之機構尤其在 V_{pass} 值相對較高時發生。在該情況下，將汲極側區域補增至可在位於所選字線附近之絕緣電晶體的汲極側上導致崩潰之高電壓。該崩潰之可能機構為絕緣記憶體單元之汲極區域邊緣處或

其附近的帶至帶穿隧。亦可能發生其它崩潰機構。由於崩潰，生成可能變為所謂"熱電子"之電子，此係由於該等電子可能由存在於所選字線之鄰近存在的強電場加速。可將該等熱電子注入所選字線上之記憶體單元的浮動閘極或鄰接記憶體單元之浮動閘極中，藉此改變該等記憶體單元之臨限電壓且可能導致記憶體單元之電荷儲存狀態之改變。藉由選擇用於絕緣記憶體單元之合適偏壓電壓，可防止或至少顯著抑制絕緣電晶體之汲極側區域處的崩潰。崩潰之另一可能副作用為，汲極側補增區域由崩潰部分地放電。由於崩潰生成洞/電子對，流入汲極側補增通道區域之電子會降低區域之補增電位，藉此可能導致程式干擾增加。

【實施方式】

記憶體系統

藉由圖1之方塊圖說明一可能實施本發明之多種態樣之實例記憶體系統。一包括排列於一矩陣中的複數個記憶體單元M之記憶體單元陣列1由行控制電路2、列控制電路3、c源極控制電路4及c-p井控制電路5控制。在該實例中，記憶體單元陣列1為上述先前技術及以引用的方式併入本文中之參考資料中所描述的NAND類型。控制電路2連接至記憶體單元陣列1之位元線(BL)，以讀取儲存在記憶體單元(M)中之資料並在程式操作期間判定記憶體單元(M)之狀態及控制位元線(BL)之電位位準以促進程式化或抑制程式化。列控制電路3連接至字線(WL)，以選擇字線(WL)其中之一、施加讀取電壓、施加與由行控制電路2控制之位元線電

位位準組合之程式化電壓及施加與記憶體單元(M)形成於其上的p型區域(單元P井)之電壓耦合的擦除電壓。c源極控制電路4控制連接至記憶體單元(M)之共同源極線。c-p井控制電路5控制單元P井電壓。

由行控制電路2讀取儲存在記憶體單元(M)之資料，並經由I/O線及資料輸入/輸出緩衝器6將其輸出至外部I/O線。待儲存在記憶體單元中之程式資料經由外部I/O線輸入資料輸入-輸出緩衝器6，並傳送至行控制電路2。將外部I/O線連接至控制器9。控制器9包括多種類型之暫存器及其它包括揮發性隨機存取記憶體(RAM) 10之記憶體。

用於控制快閃記憶體裝置之指令資料輸入連接至與控制器9連接之外部控制線的指令電路7。指令資料通知快閃記憶體請求何種操作。將輸入指令傳送至一控制行控制電路2、列控制電路3、c源極控制電路4、c-p井控制電路5及資料輸入/輸出緩衝器6之狀態機8。狀態機8可輸出快閃記憶體狀態資料，諸如READY/BUSY或PASS/FAIL。

控制器9與諸如個人電腦、數位相機或個人數位助理之主機系統連接或可與其連接。由主機初始化指令，諸如將資料儲存入記憶體陣列或自記憶體陣列1讀取資料，並分別提供或接收資料。控制器將該等指令轉換為指令電路7可解譯並執行之指令訊號。控制器通常亦包含緩衝器記憶體，其用於被寫入記憶體陣列或自其讀取之使用者資料。典型記憶體系統包括：一包括控制器9之積體電路晶片11A；及各包含一記憶體陣列及關聯控制、輸入/輸出及狀態機電路之

一或多個積體電路晶片11B。可將一系統之記憶體陣列及控制器電路一併整合在一或多個積體電路晶片上。

圖1之記憶體系統可作為主體系統之部分而嵌入，或可包括於一抽取式地插入主機系統配對插座(mating socket)之記憶卡中。該卡可包括整個記憶體系統，或可在單獨之卡中提供控制器及記憶體陣列，以及相關聯之周邊電路。在如全文以引用的方式併入本文中的美國專利案第5,887,145號中描述了若干卡之實施例。

圖4A至圖4D為用於說明本發明之一態樣之NAND串100之橫截面圖，其展示了習知自行補增程式化機制中於四個不同連續時間間隔中的偏壓電壓。如上所述，通常自源極側至汲極側連續地程式化NAND串，所以圖4A至圖4D中之自WL0至WL4，第一個被程式化之單元為記憶體單元122，下一個為記憶體單元124且依次類推直至記憶體單元或電晶體130。NAND串100可能包含遠多於圖4A中所示之五個單元122-130之單元；通常在一NAND串中串聯地連接16或32個單元。可能以參看圖2B之形式來實施NAND串100，然而亦可能使用其它具體實施例。可以上述方式控制並操作NAND串100。

圖4A說明了當NAND串100之單元122被程式化時施加至NAND串100之偏壓電壓。如圖4A所示，將零伏特施加至源極選擇電晶體120之閘極SGS。此外，將可為零伏特或稍微較高之電壓 V_s 施加至源極線。在程式化期間將大於零伏特之電壓施加至源極線，此改良了選擇電晶體120之絕緣特

性。如圖4A中所示，將較高程式化電壓 V_{PGM} 施加至字線 WL0 並將中間電壓 V_{PASS} 施加至剩餘字線。較高 V_{PGM} 導致自通道之電子穿隧通過氧化物至電晶體 122 中之浮動閘極 FG0。如上所述，施加中間電壓 V_{PASS} 以減少或防止未選單元或電晶體中之程式干擾，該等未選單元或電晶體可由字線 WL0 藉由補增該等未選電晶體之通道電位來定址。此為習知自行補增機制。可以增加之增量來施加程式化電壓 V_{PGM} ，每一增加後跟隨一讀取循環以測試電晶體 122 之臨限電壓。藉由圖1之記憶體系統實施該等步驟。在程式化導致電晶體 122 之臨限電壓到達目標臨限後，如圖4B所示記憶體系統隨後在下一程式化時間間隔內移動至程式電晶體 124。因此，如圖4B所示，作為替代將較高寫入電壓施加至字線 WL1，並將中間電壓 V_{PASS} 施加至剩餘字線，以使用與上述用於程式化電晶體 122 之相同方法來程式化電晶體 124。在程式化電晶體 124 後，如圖4C所示記憶體系統隨後在下一程式化間隔期間前行以程式化電晶體 126，其中將較高讀取電壓施加至字線 WL2 並將中間電壓施加至剩餘字線。在此完成後，如圖4D所示記憶體系統在下一程式化時間間隔內前行至程式電晶體 128 並隨後在下一程式化時間間隔期間程式化電晶體 130。該處理開始於最接近源極選擇電晶體之電晶體，並隨後如電晶體在源極選擇電晶體(例如圖3A中之電晶體 50)與汲極選擇電晶體(例如圖3A中之電晶體 40)之間的布局順序且連續地重複，直至程式化串 100 之所有電晶體。

如以上參看圖2B所討論的，電晶體 122 中之補增通道電壓

可能導致源極選擇電晶體120之汲極區域在圖4B至圖4D中說明之四個程式化時間間隔中的三個期間崩潰，使得在已經程式化浮動閘極FG0後可能生成注入浮動閘極FG0之熱電子。此電子注入會導致FG0之臨限電壓位移，其可導致將FG0自所需電荷儲存狀態切換至不同之錯誤電荷儲存狀態。記憶體陣列中之其它串亦可能如此。如參看圖2B所討論的，電晶體122之補增通道電壓可導致源極選擇電晶體120之汲極區域在圖4A至圖4B中說明之四個程式化時間間隔期間崩潰。結果，因為NAND串通道區域中補增電位減少，所以可能發生程式干擾。在選擇用於程式化之字線時，諸如當將 V_{PGM} 施加至字線時，該程式干擾類型可發生於任意字線。上文亦提及之另一程式干擾之機率則歸因於可能生成於源極選擇電晶體120汲極之附近或記憶體單元122之通道區域中並隨後注入浮動閘極FG0之熱電子。因為熱電子區域化並限制在該源極選擇閘極120之附近或記憶體單元122之通道區域中，所以此後之機制將可能僅會影響WL0上之記憶體單元。此熱電子注入會導致FG0之臨限電壓位移，其可能導致將FG0自所需電荷儲存狀態切換至不同之錯誤電荷儲存狀態。對於記憶體陣列中之其它串亦可能如此。

由於當程式化所有單元時持續上述崩潰現象，吾人發現隨著連續字線被程式化，單元122之臨限電壓分佈逐漸惡化。在程式化所有字線後，吾人發現臨限分佈升高並顯著變寬。在一些快閃記憶體中，電荷位準電壓範圍窗劃分為四個狀態，其中升高狀態"11"具有一負臨限電壓範圍，且

剩餘三個狀態"10"、"00"及"01"具有上升次序之正臨限電壓範圍。其中在程式化所有記憶體單元後施加習知自行補增機制，其中每一單元可儲存四個狀態之任一，吾人發現"10"臨限電壓分佈位移至較高值並顯著變寬，使得"10"可讀作"00"。亦發現"00"臨限電壓分佈亦已受少許影響。藉由減少施加至WL0之電壓，希望大量減少或全部消除"10"電荷狀態之上移及變寬。

因此本發明之一態樣係基於以下認識：藉由將電位施加至字線，可減輕或全面防止源極側選擇電晶體汲極區域之崩潰，使得抑制了上述之程式干擾機制，所以補增不會改變FG0處之電荷狀態。在一具體實施例中，其可藉由將供應至WL0之電壓減少至低於 V_{PASS} 之值來達成，該值為諸如為在一至三伏特範圍內之電壓，而非習知自行補增期間正常施加至 V_{PASS} 之五至十伏特範圍之中間電壓。圖5A至圖5D對其進行說明。

圖5A至圖5D為說明本發明之一態樣之具有不同於習知自行補增期間所施加電壓之偏壓電壓之NAND串100的截面圖。當程式化單元122時，所施加之偏壓電壓與習知自行補增機制中所使用之偏壓電壓相同。然而，在程式化單元124、126及128之後續程式化時間間隔期間，並未將通常為八至十伏特範圍內的習知 V_{PASS} 施加至字線WL0，而是將一較低之電壓 V_{LOW} 施加至字線WL0。如上所述，在一實施例中， V_{LOW} 可能在一至三伏特之範圍內。除了在字線WL0下方之單元之程式化時間間隔期間，可能在至少一些且宜在

所有用於程式化記憶體陣列中之所有單元的程式化時間間隔期間，將該低電壓施加至字線WL0。藉由將一較低電壓施加至WL0，WL1、WL2及其它字線下方之補增通道電位無法全部傳送至源極選擇電晶體之汲極。結果，降低了源極選擇電晶體之汲極電壓，且可嚴格防止或減少崩潰。舉例而言，在圖5B之情況下，假定所有記憶體單元122至130均處於具有約-2V之擦除臨限電壓的擦除狀態，則記憶體單元124至130下方通道區域會補增至(例如)8V(視 V_{PASS} 值而定)。進一步假定將1.5V之電壓 V_{LOW} 施加至WL0，其與記憶體單元122之-2V臨限電壓組合，此意謂著記憶體單元122係處於傳導狀態。結果，會將記憶體單元124至130之通道區域中之部分補增電荷傳送至記憶體單元122之源極側；結果，源極側上之電位會升高。然而，在記憶體單元122之源極側電位已達到約3.5V之值(閘極電壓-臨限電壓)時，此升高會停止。結果，源極側選擇電晶體之汲極電位僅補增至3.5V之值，而在習知情況下其會補增至8V。很明顯汲極電壓之顯著減少會防止或至少大量減少選擇電晶體汲極處之崩潰。藉由該機制，帶至帶穿隧減少至施加於電晶體122至130之通道區域之自行補增電壓不會改變單元122之電荷狀態的程度。

雖然汲極側選擇閘極在補增期間通常具有比源極側選擇閘極(在補增期間閘極電壓通常為0V)高的閘極電壓(諸如在1.5V至2.5V之範圍)，但是上述崩潰亦可發生於鄰接汲極選擇電晶體之串中的電晶體之源極區域，諸如圖2B中之汲

極選擇電晶體40之電晶體區域51。藉由將施加至靠近汲極選擇電晶體之串中的電晶體之電壓減少至低於自行補增機制中正常用於補增通道電壓以降低或防止系統干擾之值，來防止源極區域之汲極選擇電晶體崩潰。因此，僅需要略微修改圖5A至圖5D以對其進行說明。電晶體120不再作為源極選擇電晶體，而是作為具有一比源極選擇電晶體之閘極電壓(諸如補增期間在1.5至2.5V範圍內)高的汲極選擇電晶體。亦曾經修改之標明字線之解譯，使得WL0為最接近汲極選擇電晶體120之字線。隨後進行程式化序列，其從最接近源極選擇電晶體之電晶體開始，並朝向該等串之汲極側，直至到達最接近汲極選擇電晶體(120)之電晶體(122)。因此，圖5D至圖5A以此順序說明了該程式化序列之最後幾個循環。施加低正電壓 V_{LOW} ，而非將零伏特施加至耦合至電晶體122(靠近汲極選擇電晶體之電晶體)之字線WL0。在一實施例中，施加至電晶體122之電壓 V_{LOW} 可在一至三伏特之範圍內。在另一實施例中，耦合至除電晶體122之外以防止程式干擾的若干電晶體之補增電壓可能比耦合至電晶體122之補增電壓(V_{LOW})高出至少50%。上述關於靠近汲極及/或源極選擇電晶體之電晶體之源極及/或汲極區域崩潰的特性可與任何自行補增機制協同使用，包括(但不限於)SB、LSB及EASB之任何形式。

圖5A至圖5D所說明之處理較佳地自最接近源極選擇電晶體之電晶體開始，並接著如電晶體在源極選擇電晶體(諸如圖3A中之電晶體50)與汲極選擇電晶體(諸如圖3A中之電

晶體40)之間的布局順序且連續地重複，直至串100中之所有電晶體全部程式化。

圖6A至圖6E為說明串中個別單元之習知EASB程式化之NAND串100的截面圖。如上所述在程式化期間EASB系統將零伏特施加至所選字線源極側上之字線，使得由字線上具有零伏特之記憶體單元絕緣下字線及上字線之兩個補增通道區域。此導致該記憶體單元關閉，藉此絕緣兩個補增通道區域。將兩個通道區域分開之結果為改良了汲極側之補增效率。因為源極側上之一些記憶體單元可處於程式化狀態且因此具有較高臨限電壓，所以源極側之通道區域補增較小。由於汲極側上之所有單元仍處於具有負臨限電壓之擦除狀態，因此所選字線之汲極側之通道區域(幾乎)全部由位元線預充電且補增更有效。參看圖6B，例如當程式化單元124時，將零伏特施加至WL0。當如圖6C所說明的當程式化單元126時，將零伏特施加至WL1。當程式化單元128時，將零伏特施加至WL2且當程式化單元130時，將零伏特施加至串100之WL3。

習知EASB之一缺點為，關於崩潰之滲漏(及/或帶至帶穿隧)可能發生於接地字線下方單元之汲極區域處。此崩潰可間接地導致熱電子注入所選字線上的單元之浮動閘極或導致補增通道電位減少，其類似於用於SB機制之描述，藉此可能導致程式干擾。此外，當未來世代裝置之記憶體單元尺寸變得更小時，關閉之記憶體單元之通道長度可能變得過短而不能電絕緣所選字線之汲極及源極側處的兩個分開

之補增通道區域。因此本發明之另一態樣係基於以下認識：藉由合適地偏壓所選電晶體或字線上之兩個或兩個以上字線(較佳地為彼此相鄰)或控制閘極，來有效增加絕緣記憶體單元之通道長度，同時可減少兩個補增區域之間的帶至帶穿隧及/或滲漏。由於在改良之EASB機制中，絕緣僅發生在所選記憶體單元或字線之源極側上，通常無需同樣減少耦合至所選電晶體汲極側上之單元的電壓。在圖7A至圖7E中說明了本發明之該態樣。儘管在圖7A至圖7E中每一串中表示了五個浮動閘極記憶體單元，但是個別串通常包括16、32或更多記憶體單元電荷儲存元件。

圖7A至圖7E為說明本發明之態樣的展示了在一經修改之EASB機制中施加至串之偏壓電壓之NAND串100的截面圖。圖7A至圖7E之經修改之機制與圖6A至圖6E之不同在於，代替習知EASB機制中僅一字線接地，其將所選字線之源極側上的兩個字線(較佳地為彼此相鄰)均接地。因此，在圖7C至圖7E中，例如當在連續程式化時間間隔中程式化單元126、128及130時，將緊鄰所選字線之兩個源極側字線接地。因此在圖7C中，當程式化單元126時，將零伏特施加至WL0及WL1。在圖7D中，當選擇字線WL3用於程式化單元128時，將零伏特施加至WL1及WL2。在圖7E中，當程式化單元130且選擇WL4時，將零伏特施加至WL2及WL3。

將零伏特施加至相鄰字線之兩個源極側具有增加絕緣區域通道長度之效果。藉由將絕緣區域之通道長度增加至橫越兩個相鄰單元，改良了所選單元之汲極側通道區域之補

增，藉此亦減少了程式干擾。若需要，可能將0伏特施加至兩個或兩個以上相鄰字線，以進一步增加補增通道區域之間的絕緣區域長度。若需要，可藉由一或多個字線將接地字線與所選字線絕緣。偏壓兩個或兩個以上字線至0V之另一優點為，發生源極與汲極補增通道區域之間的滲漏之最壞情況的機率減少。最壞情況發生在0V字線下方之單元處於擦除負臨限電壓狀態時；在該情況下，由於在補增操作之一部分期間記憶體單元為傳導性的(因為負臨限電壓)，因此一些補增汲極側通道電荷仍可能滲漏。當將兩個字線連接至0V時，所有字線下方均存在處於擦除狀態之記憶體單元的機率小於僅將一字線偏壓至0V時之機率。

如圖4A至圖4D之處理，圖7A至圖7E之處理較佳地開始於最接近源極選擇電晶體之電晶體，並接著如電晶體在源極選擇電晶體(例如圖3A中之電晶體50)與汲極選擇電晶體(例如圖3A中之電晶體40)之間的布局順序且連續地重複，直至串100之所有電晶體全部程式化。

歸因於滲漏及/或帶至帶穿隧之崩潰在接地單元與正程式化之單元之間，及在接地單元與施加了中間電壓 V_{PASS} 之單元之間仍可能發生。對於具有較小通道長度之記憶體單元尤其如此。因此崩潰可發生於汲極接合中或發生在圖7D中單元126與單元128之間以及相同圖式中之單元122及單元124之間的汲極接合附近。為減少該崩潰，可施加一較低正電壓，以代替將所選字線之源極側上之兩個字線接地。此具有減少圖7D中絕緣單元124與126之接合區域(記憶體

單元、汲極及源極)與記憶體單元122及128之浮動閘極電位之間的電位差之效果。浮動閘極與其相應較高補增汲極或源極區域之間減少的電位差減少了可崩潰發生之可能。施加至圖7D中字線WL1及WL2的約為一至三伏特之較小偏壓電壓可能足以抑制諸如滲漏及/或帶至帶穿隧之崩潰機構，同時亦足夠將在EASB機制中的兩個補增區域絕緣。在圖8A至圖8E中說明了該經修改之機制。自兩組圖式(圖7A至圖7E；圖8A至圖8E)之比較應注意，如圖8A至圖8E中所示施加較低電壓 V_{LOW1} 及 V_{LOW2} ，而非如圖7A至圖7E中所示將所選字線之源極側上及緊鄰之兩個字線接地。

圖8A至圖8E之實施例亦併入上述參看圖5A至圖5D之發明態樣。如圖8D及圖8E中所說明的施加一較低電壓 V_{LOW3} ，而非如在圖7B至圖7E中施加中間電壓 V_{PASS} 。此會減少或防止可能影響字線WL0下方之FG0之臨限電壓的源極選擇電晶體120之汲極側崩潰。同樣，本發明之此態樣(將較低電壓施加至WL0)可與LSB機制組合。為此目的，可略微修改圖8A至圖8E，以將電壓(例如0伏特)施加至所選字線汲極側上之字線，同時亦將耦合至所選字線之未選單元與汲極側上其鄰近單元之通道區域絕緣。

以下為記錄了參看圖8A至圖8E之可能SB及EASB偏壓機制總結之表。應注意，下表中之電壓 V_1 、 V_2 及 V_3 無須為不同。該等三種電壓之典型值應為約一至三伏特。儘管可能有多種變化，但是較佳組態為： V_{LOW1} 及 V_{LOW3} 等於處於1至3伏特之範圍內的 V_{dd} ，且較佳地為1.8伏特，且電壓 V_{LOW2}

為約零伏特。該等電壓組態會抑制或防止選擇閘極與絕緣字線處之崩潰，且由於兩個絕緣字線中之一者接地，所以可有效絕緣兩個補增通道區域，並藉此關閉耦合至接地字線之電晶體。在該等值處，自圖8E應注意，藉由電晶體之相同串中的至少另一電晶體(如128)(其中將除0伏特之外的較低正電壓施加至該電晶體(如128))將所選電晶體(如130)與耦合至施加了0伏特之字線的電晶體(諸如126)絕緣。

方法	描述	V_{Low1}	V_{Low2}	V_{Low3}	註釋
1	SB	V_{PASS}	V_{PASS}	V_{PASS}	習知SB
2	EASB	OV	V_{PASS}	V_{PASS}	習知EASB(圖6A-圖6E)
3	經修改之SB	V_{PASS}	V_{PASS}	V_3	減少在源極側選擇閘極處的崩潰(圖5A-圖5D)
4	經修改之EASB	OV	OV	V_{PASS}	改良兩個補增區域之間的絕緣(圖7A-圖7E)
5	經修改之EASB	V_1	V_{PASS}	V_{PASS}	減少所選字線附近之字線處的崩潰
6	經修改之EASB	V_1	V_2	V_{PASS}	減少所選字線附近之字線處的崩潰並改良兩個補增區域之間的絕緣
7	經修改之EASB	V_1	V_{PASS}	V_3	減少所選字線附近之字線及選擇閘極處之崩潰
8	經修改之EASB	V_1	V_2	V_3	減少所選字線附近之字線及選擇閘極處之崩潰並改良兩個補增區域之間的絕緣(圖8A-圖8E)

V_1 及 V_3 較佳地在約1至3V之範圍內， V_2 較佳地約為0V。

為說明另一實施例，在電晶體130之汲極側上，串100包括在串中的另一單元或電晶體(未展示)，其中將該電晶體耦合至WL4之汲極側上之另一字線WL5(未展示)。在該實施例

中，將一程式化電壓 V_{pgm} 施加至字線 $WL5$ ，且將電壓施加至剩餘字線，使得其具有如下電壓： $WL4=V_1=1.5V$ ， $WL3=V_2=0V$ ， $WL2=V_1=1.5V$ ， $WL1=V_{pass}$ ， $WL0=V_3=1.5V$ 。此可防止在施加了0伏特之字線 $WL3$ 的兩側發生崩潰。在更通常方式中，可將較低電壓施加至三個相鄰字線，其中施加至三個字線中央一個之電壓(諸如0伏特)導致耦合至其之程式化電晶體關閉。

與上述EASB機制類似之機制亦可用於LSB。習知LSB之缺點在於，崩潰可發生於耦合至所選字線之通道區域與所選字線源極側上接地字線下方單元之汲極及源極區域之間。該崩潰可間接地導致熱電子注入所選字線上之單元的浮動閘極內及/或導致補增通道電位減少，藉此可能改變該等單元之臨限電壓，此為不當的。在未來世代裝置之記憶體單元尺寸變得更小之情況下，關閉之記憶體單元的通道長度可能變得過短而無法將耦合至所選字線之通道區域與所選字線之汲極及源極側的通道區域電絕緣；結果，補增電荷可滲漏且補增電位會減少，此可能導致程式干擾。因此，本發明之另一態樣基於以下認識：藉由合適地偏壓源極側上之兩個或兩個以上字線(較佳地為彼此相鄰)並合適地偏壓所選電晶體或字線之汲極側上之兩個或兩個以上字線(較佳地為彼此相鄰)來有效增加絕緣記憶體單元之通道長度，藉此帶至帶穿隧與三個補增區域之間的滲漏均可同時減少。在圖9A至圖9E中說明了本發明之此態樣。

圖9A至圖9E為說明本發明之該態樣的展示了經修改之

LSB機制中施加至串之偏壓電壓之NAND串100的截面圖。圖9A至圖9E之經修改之機制與圖8A至圖8E之經修改之機制的不同之處在於，除了所選字線之源極側上之字線，將0或較低正電壓位準 V_{LOW4} 、 V_{LOW5} 施加至所選字線汲極側上之兩個字線(較佳地為彼此相鄰)。因此，在圖9A至圖9C中，例如當在連續程式化時間間隔中程式化單元122、124及126時，將零或較低正電壓位準施加至緊鄰所選字線之兩個汲極側字線。因此，在圖9A中，當程式化單元122時，將0或較低正電壓位準 V_{LOW4} 、 V_{LOW5} 施加至WL1及WL2。在圖9B中，當選擇字線WL1用於程式化單元124時，將零伏特或較低正電壓位準 V_{LOW4} 、 V_{LOW5} 施加至WL2及WL3。在圖9C中，當程式化單元126並選擇WL2時，將零伏特或較低正電壓位準 V_{LOW4} 、 V_{LOW5} 施加至WL3及WL4。

將零伏特施加至兩個相鄰字線之源極側具有增加絕緣區域通道長度之效果。藉由將絕緣區域之通道長度增加至橫越所選字線之每一側上之兩個或兩個以上相鄰單元，改良了耦合至所選字線之未選單元的通道區域補增，藉此亦減少了程式干擾。若需要，可將零伏特或較低正電壓位準施加至兩個或兩個以上相鄰字線以進一步增加補增通道區域之間的絕緣區域長度。若需要，可藉由一或多個字線將接地字線與所選字線絕緣。

如在圖4A至圖4D之處理中，圖9A至圖9E中之程式化處理較佳地開始於最接近源極選擇電晶體之電晶體，並接著如電晶體在源極選擇電晶體(例如圖3A中之電晶體50)與汲極

選擇電晶體(例如圖3A中之電晶體40)之間的布局順序且連續地重複，直至串100之所有電晶體全部程式化。在該程式化機制下，施加至與所選字線(如圖9A中之WL0)相鄰之汲極側上之字線(如圖9A中之WL1及WL2)的零伏特將不會關閉在與所選電晶體(如圖9A中之122)之相同串中並耦合至該字線(如圖9A中之WL1或WL2)之電晶體(如圖9A中之124或126)，此係由於該電晶體仍處於擦除狀態並具有負臨限電壓。結果，完全絕緣為不可能的，但其應比僅具有一偏壓在0V之電晶體好。由於相同原因，因為用於擦除單元之浮動閘極與補增汲極/源極之間的電位差小於用於程式化單元之浮動閘極與補增汲極/源極之間的電位差，所以在單元處於擦除狀態之情況下，用於 V_{LOW4} 及 V_{LOW5} 之較佳電壓為0V，此係由於其會優化絕緣而不存在帶至帶穿隧之危險。然而，零伏特之耦合電壓會完全關閉在與所選電晶體相同串中的具有正臨限電壓之程式化電晶體。

崩潰仍可能發生於直接相鄰於連接至 V_{PGM} 之所選字線的接地單元之汲極或源極側、及接地單元及施加了中間電壓 V_{PASS} 之單元的汲極或源極側。因此，崩潰可發生於圖9A中之單元124之源極側及同一圖式中單元126之汲極側。為減少該崩潰，可施加一較低正電壓，而非將所選字線之汲極側上之兩個字線接地。此具有減少圖9A中記憶體單元124之浮動閘極與其較高補增源極側之間的電位差、並減少記憶體單元126之浮動閘極與其補增汲極側(其藉由WL3、WL4補增並因此具有電壓 V_{PASS})之間的電位差之效果。然

而，如通常使用 LSB 方法，所選單元汲極側處之單元仍處於擦除狀態(負臨限電壓)，由於帶至帶穿隧主要發生於處於最高程式化狀態(臨限電壓約為 2.5 至 3V)之記憶體單元汲極或源極側，因此無需施加較低正電壓以減少帶至帶穿隧。

儘管在圖 9A 至圖 9E 中可能具有多種變化，但較佳組態為： V_{LOW1} 及 V_{LOW2} 均等於在 1 至 3 伏特之範圍內的 V_{dd} ，且較佳地為 1.8 伏特，且電壓 V_{LOW2} 、 V_{LOW4} 及 V_{LOW5} 約為零伏特。此電壓組態會抑制或防止選擇閘極與絕緣字線處之崩潰，且由於源極側上之兩個絕緣字線之一者及汲極側之兩個絕緣字線中的至少一個且在較佳情況下汲極側之兩個隔離字線均接地，因此會有效地絕緣耦合至所選字線之通道區域，藉此關閉耦合至接地字線之電晶體。在該等值處，自圖 9C 應注意，藉由電晶體之相同串中之至少另一電晶體(如 124 及 128)將所選電晶體(如 126)與耦合至施加了 0 伏特之字線的電晶體(如 122 及 130)絕緣，並將較低正電壓施加至該等絕緣電晶體(如 124 及 128)，儘管較佳為將 0 伏特施加至記憶體單元 128。

在一些情況下，在程式化處理期間可能需要能夠略微提高所選電晶體之通道區域之電壓。在以引用的方式併入本文中之美國專利申請案 US 2003/0147278 中對該等需要此能力之情況之一實例進行了描述。為使其成為可能，可能需要允許用於所選串之位元線上的較低正電壓(如 0.5 V)經由所選字線汲極側上之單元的通道區域與所選電晶體之通道區域通信。為達成此目的，可略微修改參看圖 9A 至 9E 之

上述LSB機制。較佳地將 V_{LOW4} 及 V_{LOW5} 設定為諸如在1至3伏特之範圍內的較低正電壓且較佳地為1.8伏特，而非將其設定為約0伏特。另一可能為僅設定其中之一為約0伏特，而其餘處於諸如在1至3伏特之範圍內且較佳地為1.8伏特之較低正電壓。在該情況下，為減少或避免崩潰，較佳地將 V_{LOW4} 設定為該低正電壓，而將 V_{LOW5} 設定為約0伏特。或者，將 V_{LOW4} 設定為該低正電壓，而 V_{LOW5} 為較高電壓，諸如通常在5至10伏特範圍內之 V_{PASS} 。

儘管已參照多種實施例描述本發明，但是應理解，可在不離開僅由隨附申請專利範圍及其均等物定義之本發明的範疇之情形下作出多種改變及修改。本文所提及之參考文獻均以引用的方式併入本文中。

【圖式簡單說明】

圖1為其中可能實施本發明之記憶體單元陣列及操作性改良的記憶體系統類型之方塊圖。

圖2A為先前技術之NAND陣列平面圖。

圖2B為圖2A之先前技術NAND沿線A-A所取之截面圖。

圖3A為描繪了圖2A之三NAND串之電路圖。

圖3B為描繪了一定數目NAND陣列之電路圖，其中每一陣列由一組共同字線控制。

圖4A至圖4D為說明串中各個單元之習知自行補增程式化方法之NAND串的截面圖，以說明在四個連續時間間隔期間串中之偏壓電壓。

圖5A至圖5D為說明本發明之一實施例的展示了一改良

自行補增程式機制中，在四個連續時間間隔期間串中之偏壓電壓之NAND串的截面圖。

圖6A至圖6E為展示了在五個連續時間間隔期間串中各個單元之習知擦除區域自行補增程式化機制之偏壓電壓之NAND串的截面圖。

圖7A至圖7E為說明本發明之另一實施例的展示了一改良EASB程式化機制中，在五個連續時間間隔期間串中之偏壓電壓之NAND串的截面圖。

圖8A至圖8E為說明本發明之仍另一實施例的展示了一改良EASB程式化機制中，在五個連續時間間隔期間串中之偏壓電壓之NAND串的截面圖。

圖9A至圖9E為說明本發明之仍另一實施例的展示了一改良LSB程式化機制中，在五個連續時間間隔期間串中之偏壓電壓之NAND串的截面圖。

為簡化及描述，本申請案中以相同數字標示同一元件。

【主要元件符號說明】

1	記憶體單元陣列
2	行控制電路
3	列控制電路
4	c源極控制電路
5	c-p井控制電路
6	資料輸入/輸出緩衝器
7	指令電路
8	狀態機

9	控 制 器
10	隨 機 存 取 記 憶 體
11、13、15	串
11A	積 體 電 路 晶 片
11B	積 體 電 路 晶 片
12、14、16	位 元 線
19	中 間 介 電 層
20、30	選 擇 電 晶 體
22、24、26、 28、40、42、 44、46、48、 50、122、124、 126、128、130	記 憶 體 單 元 / 電 晶 體 / 電 荷 儲 存 電 晶 體
49	擴 散 區 域
51	電 晶 體 區 域
100	串

五、中文發明摘要：

在一NAND串之不同單元之程式化循環期間，將大約在一至三伏特之數量級之一較低電壓而非一中間 V_{PASS} 電壓(例如五至十伏特之數量級)施加至緊鄰該NAND快閃裝置之源極側或汲極側選擇閘極之字線零，以減少或防止耦合至字線零之記憶體單元的臨限電壓位移。此可在多種不同自行補增機制之任一種中實施，該等自行補增機制包括擦除區域自行補增機制及區域自行補增機制。在一經修改之擦除區域自行補增機制中，將較低電壓施加至該所選擇字線之該源極側上的兩個或兩個以上字線，以減少帶至帶穿隧(band-to-band tunneling)並改良兩個經補增至通道區域之間的絕緣。在一經修改之區域自行補增機制中，將零伏特或較低電壓施加至該所選擇字線之該源極側上之兩個或兩個以上字線及該汲極側上之兩個或兩個以上字線，以減少帶至帶穿隧並改良耦合至該所選擇字線之該等通道區域之絕緣。

六、英文發明摘要：

十一、圖式：

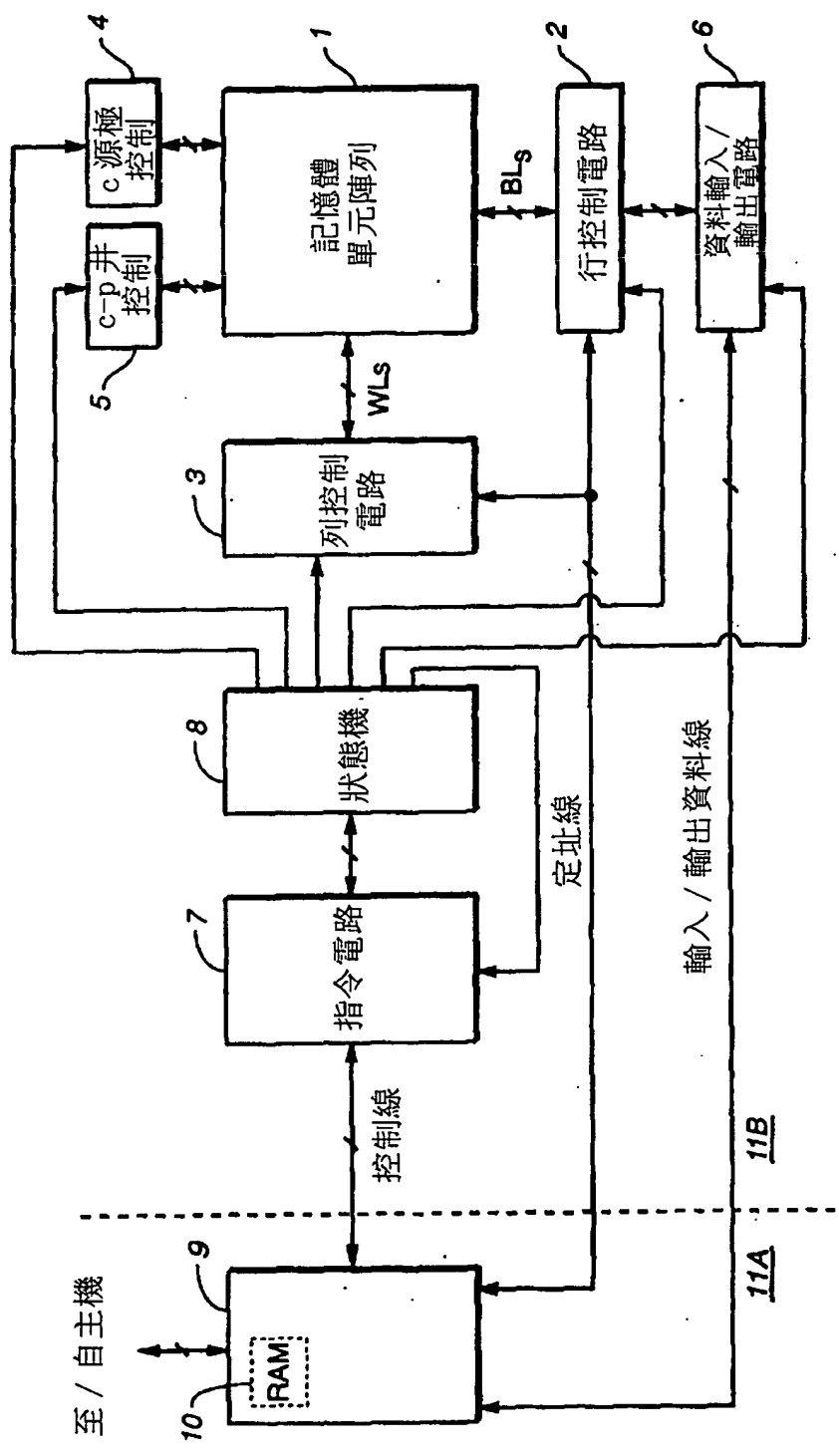


圖 1

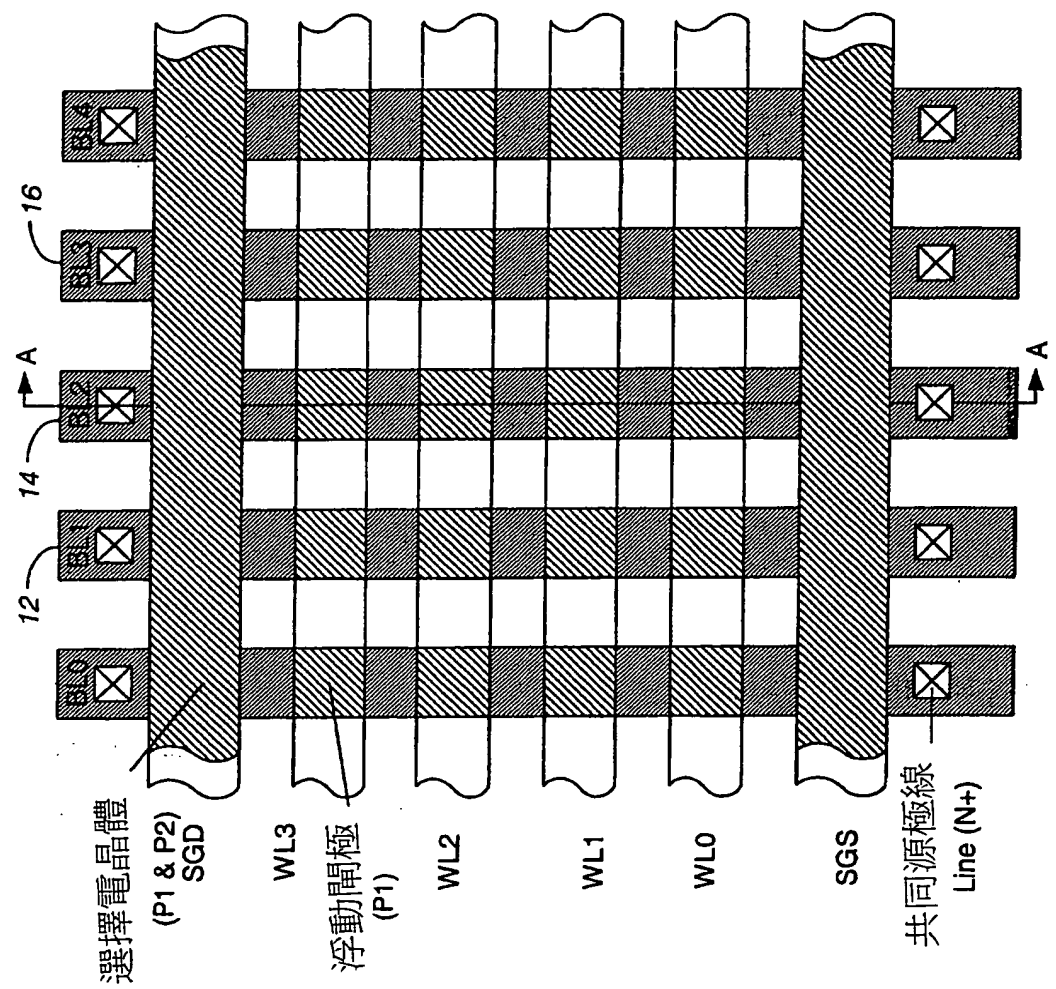


圖2A (先前技術)

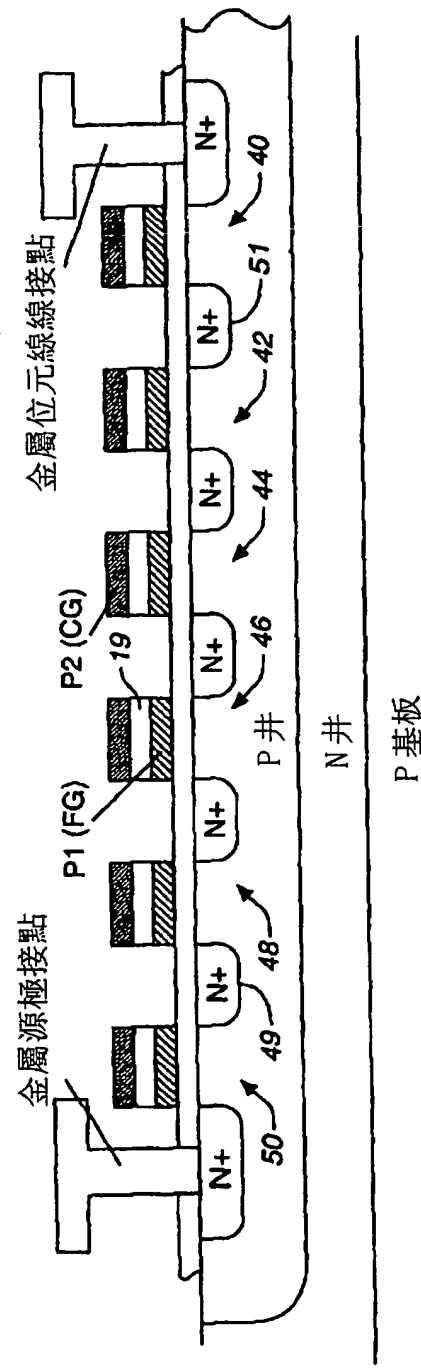


圖 2B (先前技術)

(截面 A-A)

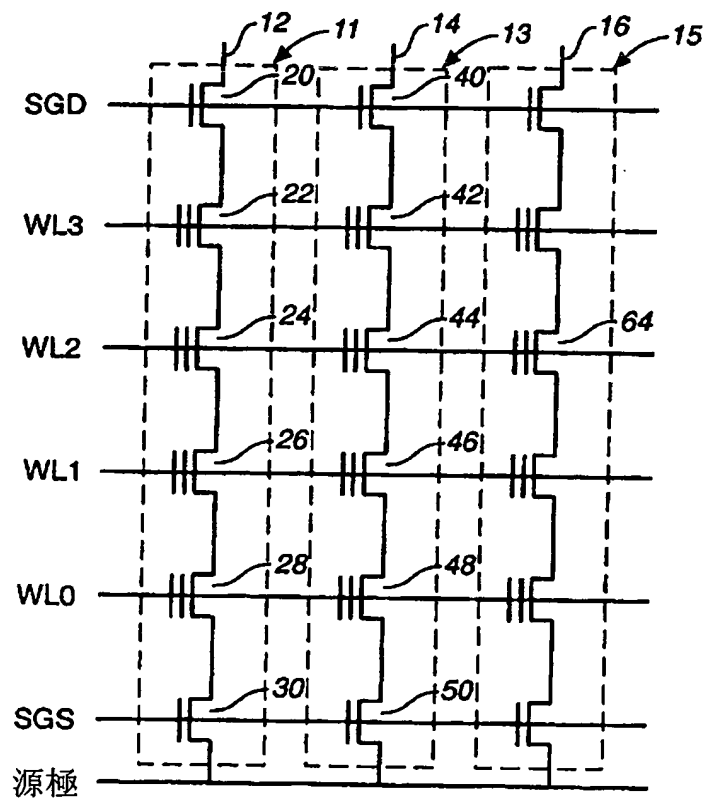


圖 3A

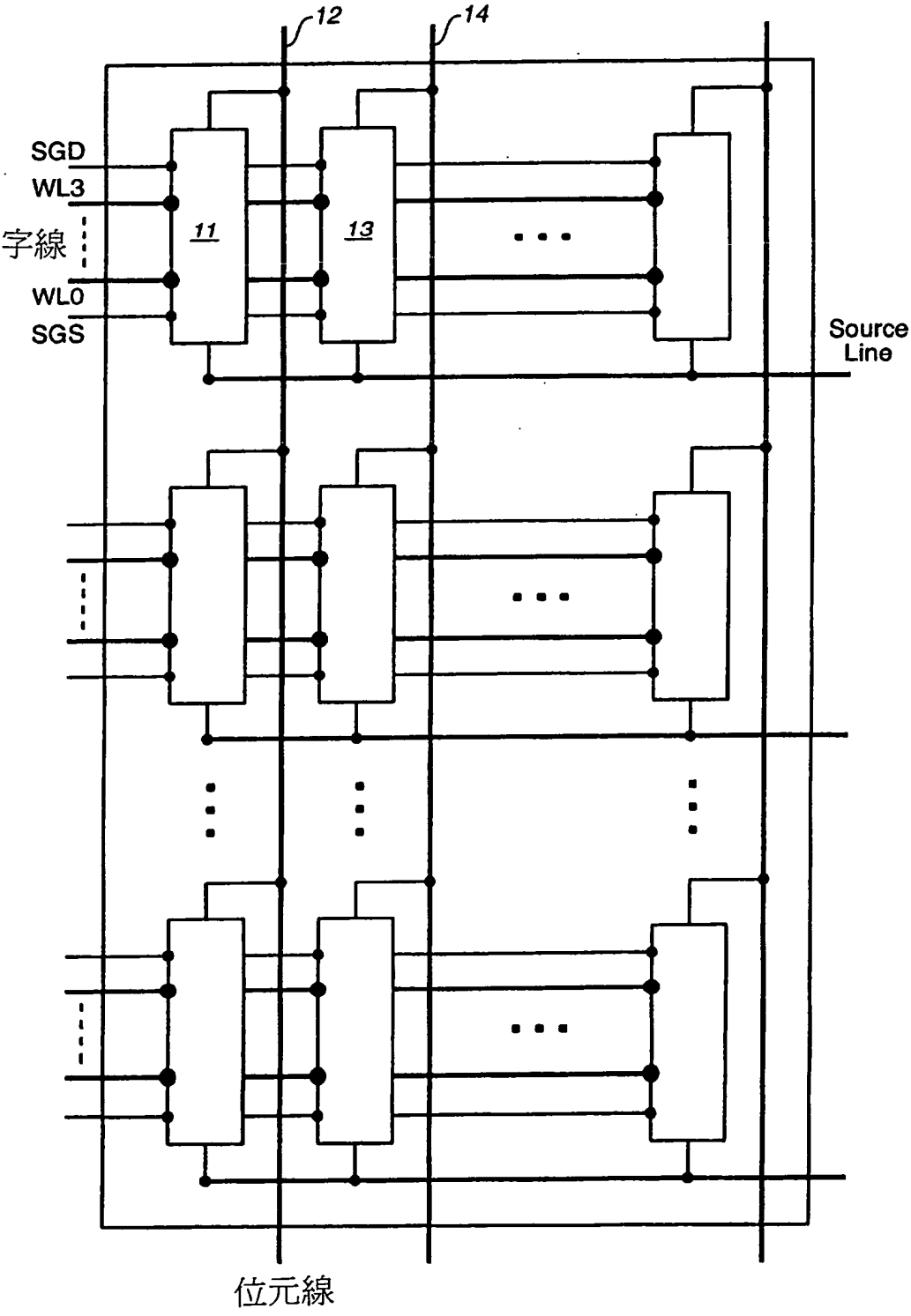


圖3B

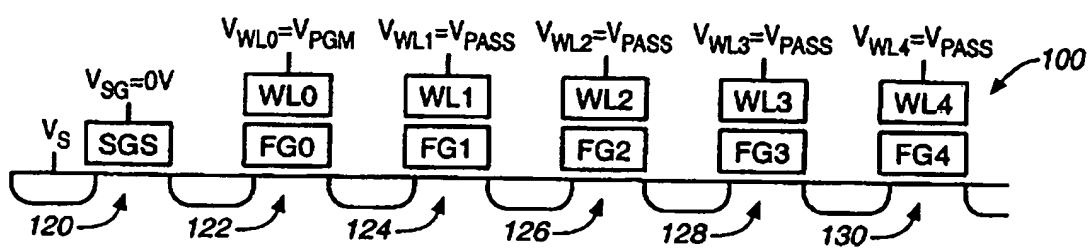


圖 4A (先前技術)

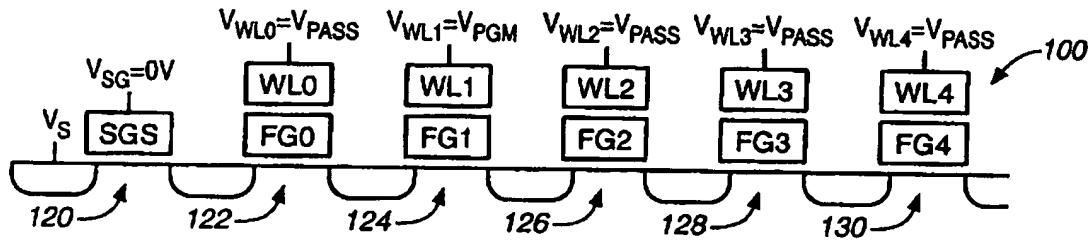


圖 4B (先前技術)

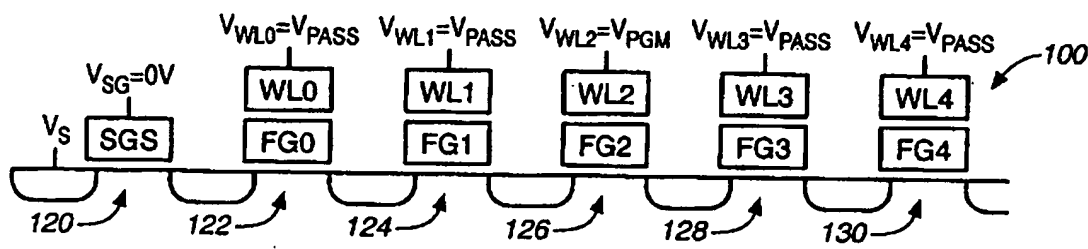


圖 4C (先前技術)

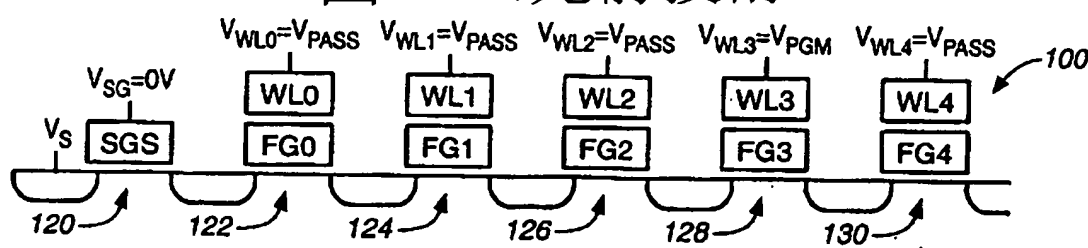


圖 4D (先前技術)

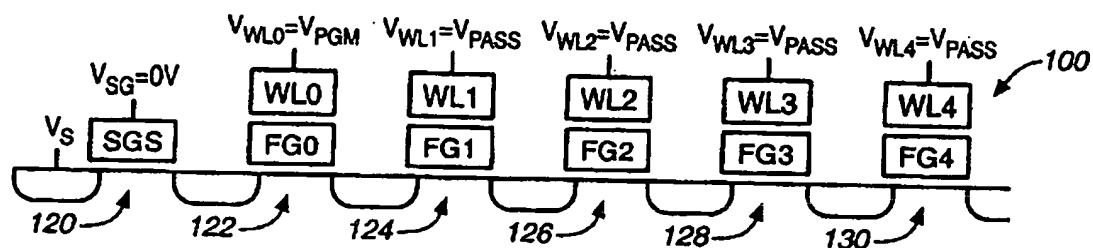


圖 5A

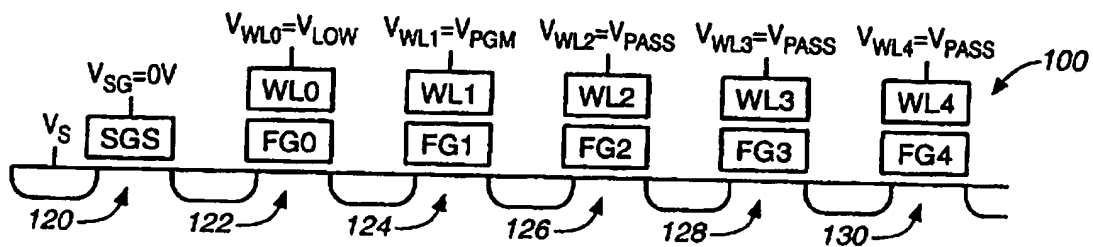


圖 5B

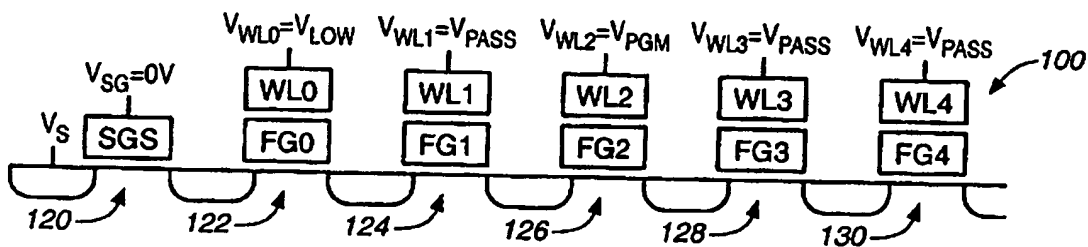


圖 5C

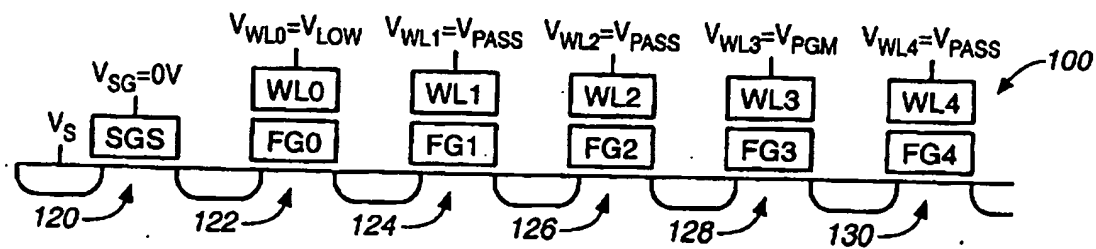


圖 5D

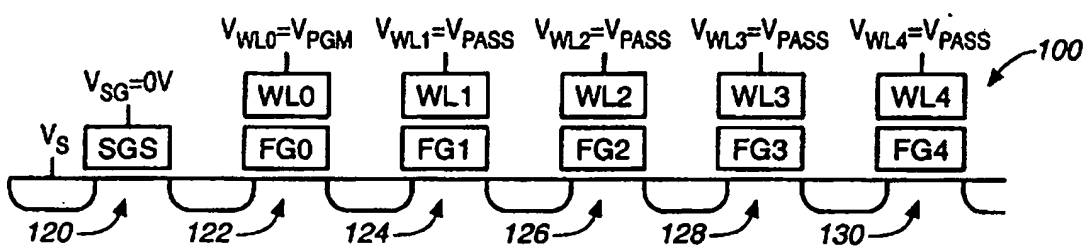


圖 6A (先前技術)

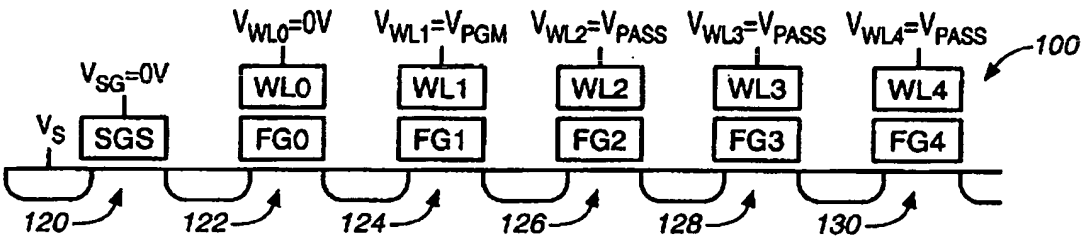


圖 6B (先前技術)

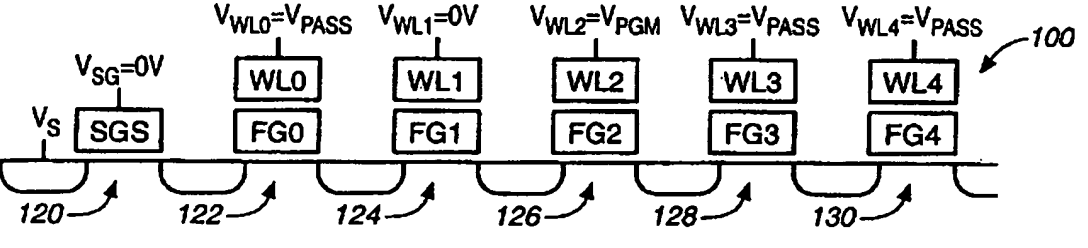


圖 6C (先前技術)

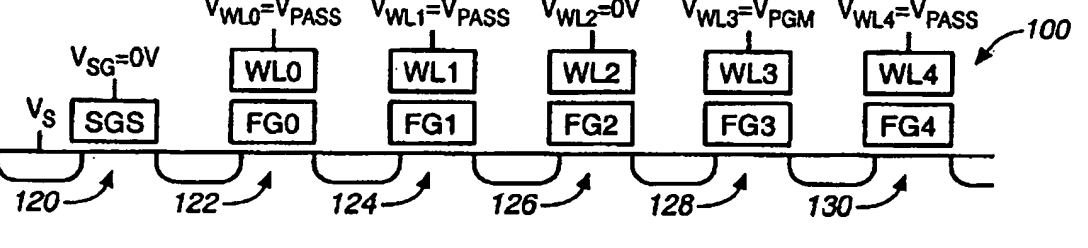


圖 6D (先前技術)

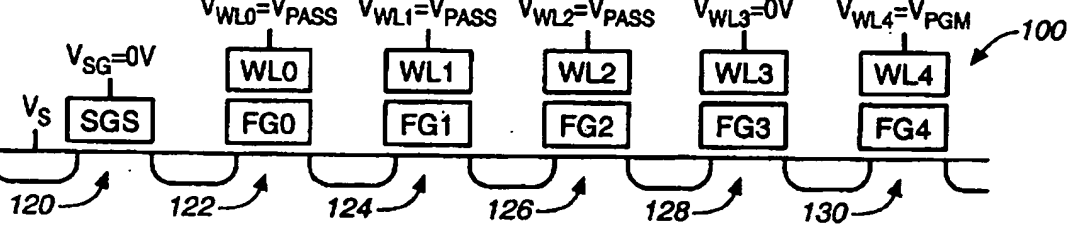


圖 6E (先前技術)

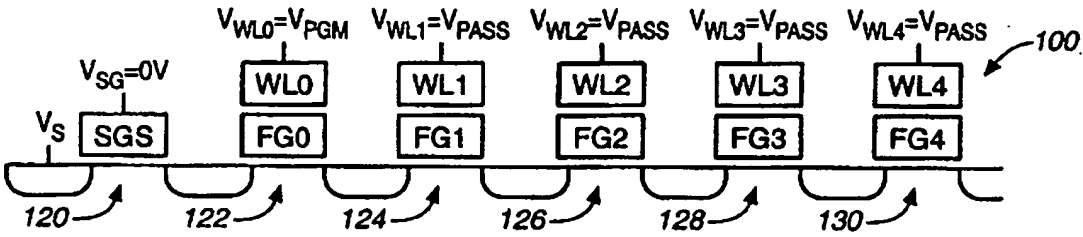


圖 7A

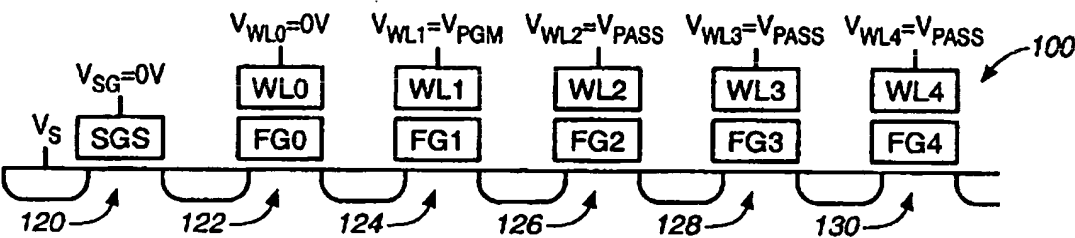


圖 7B

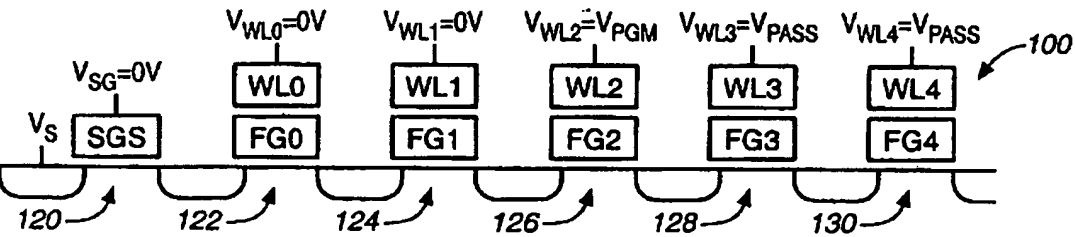


圖 7C

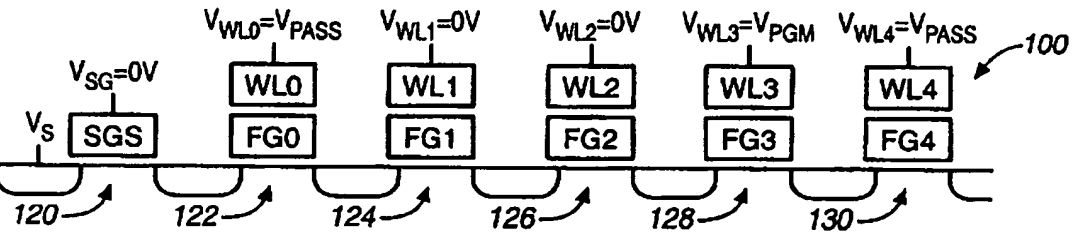


圖 7D

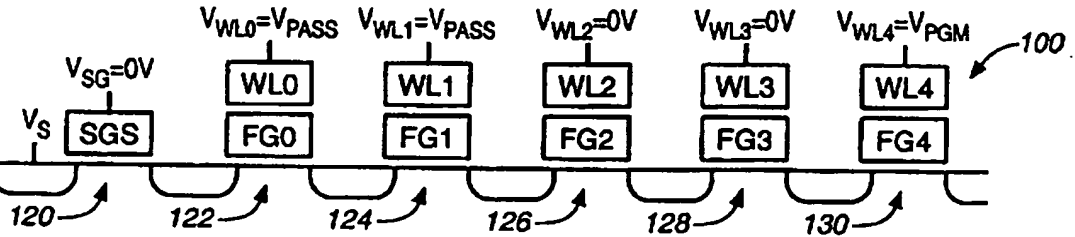


圖 7E

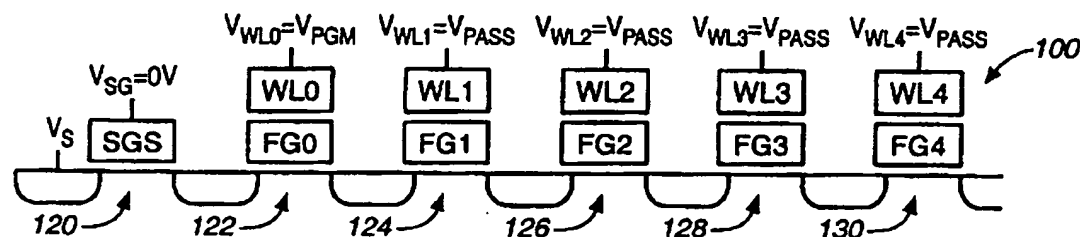


圖 8A

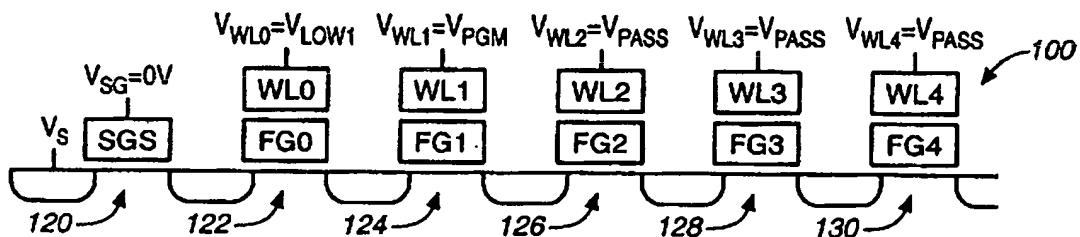


圖 8B

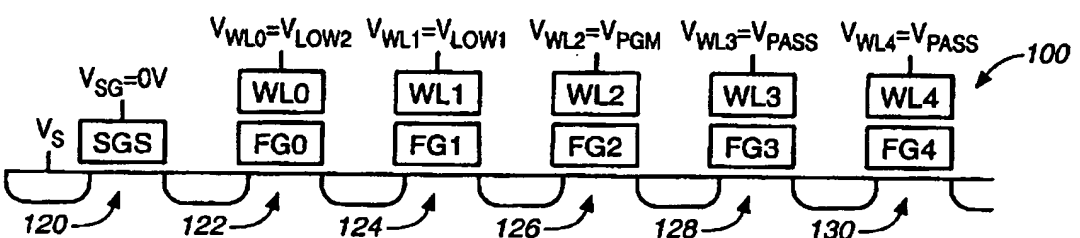


圖 8C

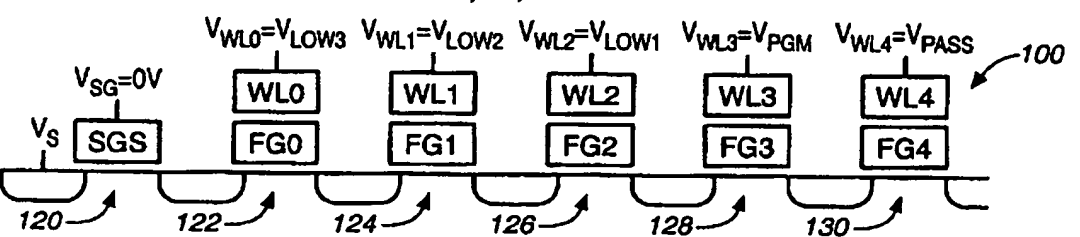


圖 8D

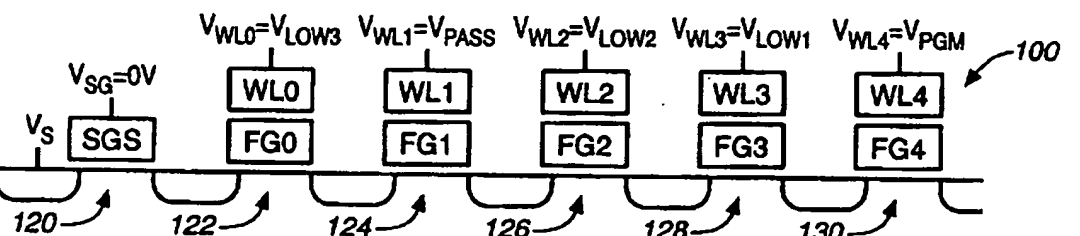


圖 8E

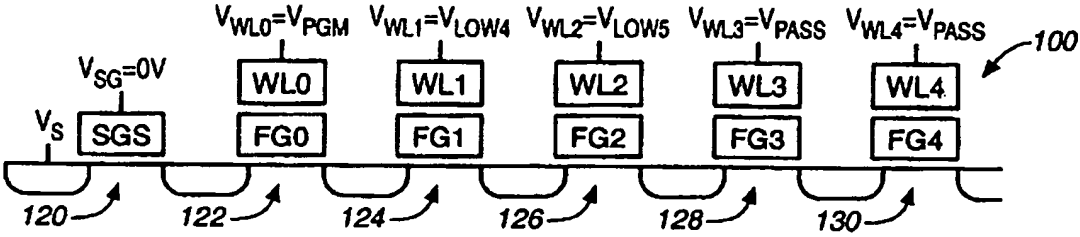


圖 9A

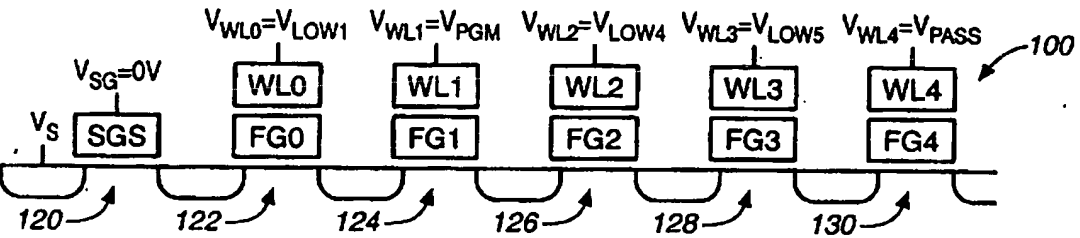


圖 9B

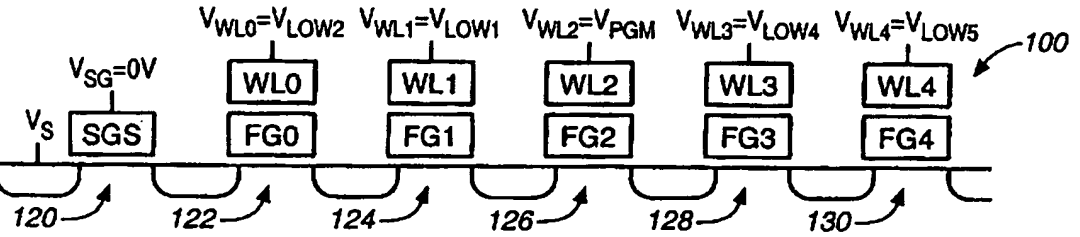


圖 9C

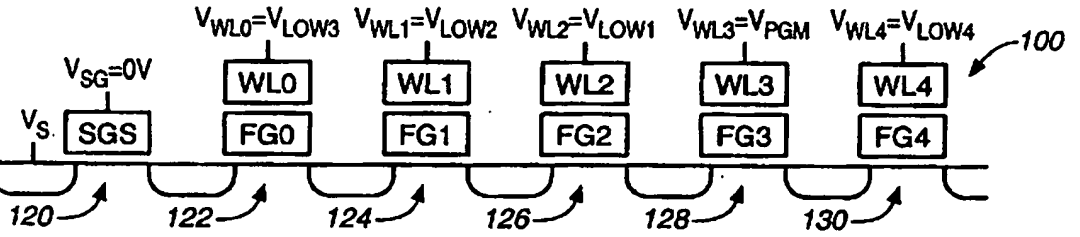


圖 9D

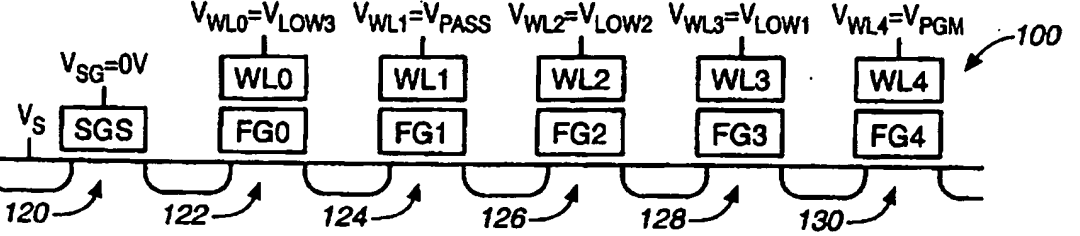


圖 9E

七、指定代表圖：

(一)本案指定代表圖為：第(9A)圖。

(二)本代表圖之元件符號簡單說明：

100 位 元 串

120、122、 記 憶 體 單 元 / 電 晶 體 / 電 荷 儲 存 電 晶 體

124、126、

128、130

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書年 月 日修正替換頁
97.5.5

中文說明書替換頁(97年5月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：094103221

※ 申請日期：94.2.2

※IPC 分類：G11C 16/00 (2006.01)

一、發明名稱：(中文/英文)

快閃記憶單元之自行補增系統與方法

SELF-BOOSTING SYSTEM AND METHOD FOR FLASH MEMORY
CELLS**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

1. 查爾斯 樊 歐登

VAN ORDEN, CHARLES

2. 梅根 康普特

COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州桑尼貝市卡斯本可特 140 號

140 CASPIAN COURT, SUNNYVALE, CA 94089, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

葛瑞特 詹 漢明克

HEMINK, GERRIT JAN

國 籍：(中文/英文)

荷蘭 THE NETHERLANDS

十、申請專利範圍：

1. 一種用於程式化一記憶體系統之方法，該系統包含用於儲存不同電荷狀態之電荷儲存電晶體之串，該等串之每一包括兩個選擇電晶體，該等串之每一連接於複數個位元線之一與一源極線之間，該等串由共同之一組字線所控制，其中至少在該等串之一第一串中且與該第一串中兩個選擇電晶體其中之一相鄰的一第一電晶體處於一所需電荷儲存狀態，該方法包含：

經由該等字線之一將一程式化電壓位準施加至一控制閘極以程式化一第二電晶體，該控制閘極與不同於該第一串之該等串之一第二串中的一第二電晶體電容性地耦合，當較連接至該第二串的該位元線更接近該源極線之電荷儲存電晶體被程式化時，藉由該第二串中之三個或更多個電荷儲存電晶體將該第二電晶體與該源極線分離，或較該源極線更接近該位元線之電荷儲存電晶體被程式化時，藉由該第二串中之三個或更多個電荷儲存電晶體，該第二電晶體與連接至該第二串的該位元線分離；及

藉由將電壓位準耦合至該第一串中之至少部分該等電晶體，經由部分字線來補增該第一串電晶體之通道區域之電位，以減少程式干擾，其中補增該第一串中之部分該等電晶體之該等通道區域的該或該等電位，使得該第一串中之該一選擇電晶體之汲極或源極側之崩潰減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不

[S]

同的電荷狀態之程度。

2. 如請求項1之方法，其中該耦合將一第一電壓耦合至該第一電晶體，並將一第二電壓耦合至該第一串之剩餘電晶體中之至少部分，該第二電壓高於該第一電壓。
3. 如請求項2之方法，該第二電壓比該第一電壓高出該第一電壓之至少50%。
4. 如請求項1之方法，其中補增該第一串中部分該等電晶體之該等通道區域的該或該等電位，使得該一選擇電晶體之該汲極側或該源極側之帶至帶穿隧減少至不會導致該第一電晶體之所需電荷儲存狀態改變為一不同電荷狀態之程度。
5. 如請求項4之方法，其中減少由該一選擇電晶體在該源極或汲極側處之該帶至帶穿隧所造成的在該第一串中電晶體在補增的通道區域之通道電位降低。
6. 如請求項4之方法，其中減少由該一選擇電晶體在該源極或汲極側處之該帶至帶穿隧所造成的在該第一串中的該第一電晶體或其他電晶體在補增的通道區域之通道電位降低。
7. 如請求項4之方法，其中該源選擇電晶體在該汲極側處之該帶至帶穿隧被抑制。
8. 如請求項2之方法，其中該第一電壓在一約1至3伏特之範圍內。
9. 如請求項2之方法，其中該第二電壓在一約5至10伏特之範圍內。

10. 如請求項2之方法，進一步包含將一第三電壓耦合至該第一串中的一選擇電晶體以導致其為電性上非傳導，且其中該第一電壓高於該第三電壓。
11. 如請求項1之方法，其中該控制閘極亦控制該第一串中之一第三電荷儲存電晶體，該方法進一步包含關閉該源極線與該第三電晶體之間之該第一串中之至少一第四電荷儲存電晶體，以使該第三電晶體和該源極線與該第四電晶體之間之該第一串中之電晶體電絕緣。
12. 如請求項11之方法，進一步包含關閉在連接至該第一串之該位元線與該第三電晶體之間之該第一串中之至少一第五電荷儲存電晶體，以使該第三電晶體和該位元線與該第五電晶體之間之該第一串中之電晶體電絕緣。
13. 如請求項12之方法，其中經由該第一串中之至少一電晶體將該第四電晶體及該第五電晶體之每一者與該第三電晶體分離。
14. 如請求項11之方法，其中經由該第一串中之至少一電晶體將該第四電晶體與該第三電晶體分離。
15. 如請求項11之方法，其中該耦合將一電壓位準耦合至與該第四電荷儲存電晶體相鄰的該第一串中至少一第五電荷儲存電晶體，以抑制或避免該第四電荷儲存電晶體之崩潰。
16. 如請求項15之方法，其中與該至少一第五電荷儲存電晶體耦合的該電壓位準在一約1至3伏特之範圍內。
17. 如請求項11之方法，其中該耦合將電壓位準耦合至在該[S]

第四儲存電荷電晶體相對側的該第一串中之一第六電荷儲存電晶體及一第五電荷儲存電晶體，以抑制或避免該第四電荷儲存電晶體之崩潰。

18. 如請求項17之方法，其中與該第五電荷儲存電晶體及第六電荷儲存電晶體耦合的該或該等電壓位準在一約1至3伏特之範圍內。

19. 一種用於程式化一記憶體系統之方法，該系統包含用於儲存不同電荷狀態之電荷儲存電晶體之串，該等串之每一者包括兩個選擇電晶體，該等串由共同之一組字線所控制，且連接於複數個位元線與一源極線之間，其中在該等串之一第一串中且與該等兩個選擇電晶體其中之一相鄰之一第一電晶體處於兩個以上可能電荷儲存狀態之一所需電荷儲存狀態，該方法包含：

經由該等字線之一將一程式化電壓位準施加至一控制閘極以程式化一第二電晶體，該控制閘極與該等串之一第二串中的一第二電晶體電容性地耦合，當較連接至該第二串的該位元線更接近該源極線之該電荷儲存電晶體被程式化時，經由該第二串中之三個或更多個電荷儲存電晶體，將該第二電晶體與該源極線分離，或當較該源極線更接近該位元線之電荷儲存電晶體被程式化時，藉由該第二串中之三個或更多個電荷儲存電晶體，該第二電晶體與連接至該第二串的該位元線分離；及

藉由將電壓位準耦合至該第一串中之至少部分該等電晶體，經由一些字線來補增該第一串電晶體之通道區域

之電位，以減少程式干擾，其中補增該第一串中之一些該等電晶體之該等通道區域的該或該等電位，使得該補增不會導致該第一電晶體之所需電荷儲存狀態改變至兩個以上可能電荷狀態中之一不同狀態。

20. 一種用於程式化一記憶體系統之方法，該系統包含用於儲存不同電荷狀態之電荷儲存電晶體之串，該等串包括一第一串，該等串之每一者包括兩個選擇電晶體，該等串由共同之一組字線所控制，且連接於複數個位元線與一源極線之間，其中一在該第一串中且與該等兩個選擇電晶體其中之一相鄰之第一電荷儲存電晶體處於一所需之電荷儲存狀態，該方法包含：

將一程式化電壓位準施加至與一第二電荷儲存電晶體電容性耦合之第一控制閘極，隨後並將一程式化電壓位準施加至與該第二電晶體不同的一第三電荷儲存電晶體電容性地耦合之一第二控制閘極，以程式化該第二電晶體及該第三電晶體，當較連接至該第二串的該位元線更接近該源極線之該電荷儲存電晶體被程式化時，經由在一第二串中之一個或多個電荷儲存電晶體，該第二電晶體及該第三電晶體之每一者位於不同於該第一串之該等串之該第二串中，並與該源極線分離，或較該源極線更接近該位元線之電荷儲存電晶體被程式化時，藉由該第二串中之二個或更多個電荷儲存電晶體，該第二電晶體及該第三電晶體之每一者與連接至該第二串的該位元線分離；及

[5]

藉由將補增電壓位準耦合至該電晶體之至少部分及將一電壓位準耦合至該第一串中的該第一電晶體，來補增該第一串電晶體之通道區域之電位，以減少程式干擾，其中當將一程式化電壓位準施加至耦合至該第二電晶體及該第三電晶體之該等控制閘極時，耦合至該第一電晶體之該電壓位準不同於耦合至該第一串中之其它電晶體之電壓位準。

21. 如請求項20之方法，該方法包含複數個程式化時間間隔以程式化該第二串中之所有該等電晶體，其中在該等複數個程式化時間間隔期間之每一時間間隔，將一程式化電壓位準耦合至該第二串中之該等電晶體之一，以程式化該電晶體，並在二或更多個該等複數個程式化時間間隔之期間，耦合至該第一電晶體之該電壓位準不同於耦合至該第一串中之其它電晶體的該/該等電壓位準。
22. 如請求項20之方法，其中補增該第一串之該等通道區域之該或該等電位，使得該一選擇電晶體之汲極側或源極側之崩潰減少至不會導致該第一電晶體所需之電荷儲存狀態變化至一不同的電荷狀態之程度。
23. 如請求項22之方法，其中減少由在該一選擇電晶體在該汲極或源極側之崩潰所造成的該第一串中電晶體補增的通道區域之通道電位降低。
24. 如請求項22之方法，其中減少由在該一選擇電晶體在該汲極或源極側之崩潰所造成的該第一串中該第一電晶體或其他電晶體在補增的通道區域的通道電位降低。

25. 如請求項22之方法，其中補增該第一串之該等通道區域之該或該等電位，使得該一選擇電晶體之汲極側或源極側之帶至帶穿隧受到抑制。
26. 如請求項22之方法，其中該所需電荷儲存狀態為該第一電晶體之兩個以上可能電荷儲存狀態其中之一，且將該電壓位準耦合至該第一電晶體不會導致該第一電晶體之所需電荷儲存狀態改變至該等兩個以上可能電荷狀態中之一不同的狀態。
27. 如請求項20之方法，其中該耦合將一第一電壓耦合至該第一電晶體並將一第二電壓耦合至該第一串中之剩餘電晶體之至少部分，其中該第二電壓高於該第一電壓。
28. 如請求項27之方法，該第二電壓比該第一電壓高出該第一電壓之至少50%。
29. 如請求項27之方法，其中該第一電壓在一約1至3伏特之範圍內。
30. 如請求項27之方法，其中該第二電壓在一約5至10伏特之範圍內。
31. 如請求項27之方法，進一步包含將一第三電壓耦合至該第一串中之該一選擇電晶體以導致其為電性上非傳導，且其中該第一電壓高於該第三電壓。
32. 如請求項20之方法，其中該第一控制閘極或該第二控制閘極亦控制該第一串中之一第四電荷儲存電晶體，該方法進一步包含關閉在該源極線與該第四電晶體之間之該第一串中之至少一第五電荷儲存電晶體，以使該第四電

[S]

晶體和該源極線與該第五電晶體之間之該第一串中之電荷儲存電晶體電絕緣。

33. 如請求項32之方法，其中經由該第一串中之至少一個電晶體將該第五電晶體與該第四電晶體分離。

34. 如請求項32之方法，進一步包含關閉在連接至該第一串之該位元線與該第四電晶體之間之該第一串中之至少一第六電荷儲存電晶體，以使該第四電晶體和在該位元線與該第六電晶體之間之該第一串中之電荷儲存電晶體電絕緣。

35. 如請求項34之方法，其中經由該第一串中之至少一個電荷儲存電晶體，將該第五電晶體及該第六電晶體之每一者與該第四電晶體分離。

36. 一種用於程式化一記憶體系統之方法，該系統包含用於儲存不同電荷狀態之電荷儲存電晶體之串，該等串包括一第一串及一第二串，每一串連接於複數個位元線之一與一源極線之間，並由共同字線控制，該方法包含：

將一程式化電壓施加至耦合至該第一串中之一所選電晶體之一所選字線，以程式化該所選電晶體，該所選字線經由該第一串中之至少兩個電荷儲存電晶體與該源極線分離；

將第一電壓位準耦合至在該所選字線與連接至該第二串之該位元線之間之該第二串中之所有電晶體，以補增該第二串中之通道區域之電位，以減少程式化干擾；及

將小於該或該等第一電壓位準之第二電壓位準耦合至

在該所選字線與該源極線之間之該第二串中之至少兩個相鄰電荷儲存電晶體，該或該等第二電壓位準使該等至少兩個相鄰電晶體之源極側上之該第二串之一通道區域與由該所選字線控制之該第二串中之該電晶體電絕緣，以減少程式干擾，該或該等第二電壓位準包含一電壓位準等於或大約0伏特且為正電壓位準。

37. 如請求項36之方法，其中耦合至該第二串中之該等至少兩個相鄰電晶體中之至少其中之一之該或該等第二電壓位準關閉該至少一個電晶體。

38. 如請求項37之方法，其中將該或該等第二電壓位準耦合至該等至少兩個相鄰電晶體，使得至少一個電晶體關閉，且該至少一個電晶體經由該第二串中之至少一電荷儲存電晶體，與該所選字線分離。

39. 如請求項38之方法，其中將一正電壓耦合至在該第二串中將該所選字線與該關閉之電晶體分離之該至少一電晶體。

40. 如請求項39之方法，其中該正電壓在一約1至3伏特之範圍內。

41. 如請求項39之方法，其中該等第二電壓位準包括一正電壓，該正電壓耦合至在該第二串中與該所選字線相鄰卻經由該等至少兩個相鄰電晶體和該所選字線分離之至少一電晶體。

42. 如請求項36之方法，其中該第二串包括兩個選擇電晶體，其中一在該第二串中並緊鄰該等兩個選擇電晶體其

[S]

中之一之第一電晶體處於一所需電荷儲存狀態，進一步包含將一第三電壓位準耦合至處於該所需電荷儲存狀態之該第一電晶體，使得該第三電壓位準之該耦合及該第二串之該等通道區域之該或該等電位之補增不會將該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態。

43. 如請求項42之方法，其中該第三電壓位準及該第二串之該等通道區域電位之補增所造成之該一個選擇電晶體之汲極側或源極側之崩潰減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度。

44. 如請求項42之方法，其中該所需電荷儲存狀態為該第一電晶體之兩個以上可能電荷儲存狀態其中之一，且該第三電壓位準耦合至該第一電晶體不會導致該第一電晶體之所需電荷儲存狀態改變至該等兩個以上可能電荷狀態中之一不同的狀態。

45. 如請求項36之方法，其中該第二串包括兩個選擇電晶體，其中一在該第二串中且緊鄰該等兩個選擇電晶體其中之一之電晶體處於一所需電荷儲存狀態，其中藉由將該程式化電壓施加至與該等至少兩個所選電晶體電容性地耦合之兩個控制閘極，將該程式化電壓相繼地耦合至該第一串中之至少兩個所選電荷儲存電晶體，

當將該程式化電壓施加至該等兩個控制閘極時，將一第三電壓位準耦合至處於該所需電荷儲存狀態之該電晶體，使得該第三電壓位準之該耦合及該第二串之該等通

道區域之該或該等電位之補增不會將該所需電荷儲存狀態改變至一不同的電荷狀態，該第三電壓位準小於該或該等第一電壓位準。

46. 如請求項36之方法，其中經由耦合該或該等第一電壓位準之一之至少一電荷儲存電晶體將該第二串中之該等至少兩個相鄰電晶體分離。

47. 一種程式化一記憶體系統之方法，該系統包含用於儲存不同電荷狀態之電荷儲存電晶體的串，該等串包括一第一串及一第二串，每一串連接於複數個位元線之一者與一源極線之間，並由共同字線控制，該方法包含：

將一程式化電壓施加至一耦合至該第一串中之一所選電晶體之所選字線以程式化該所選電晶體，該所選字線經由該第一串中之至少兩個電荷儲存電晶體與該源極線分離；

將第一電壓位準耦合至在該所選字線與連接至該第二串之該位元線之間之該第二串中之所有電晶體，以補增該第二串中之電晶體之通道區域的電位，以減少程式化干擾；及

將小於該或該等第一電壓位準之第二電壓位準耦合至在該所選字線與該源極線之間之該第二串中之至少兩個電晶體，該或該等第二電壓位準使該等至少兩個電晶體之源極側上之該第二串之一通道區域與由該所選字線控制之該第二串中之該電晶體電絕緣，以減少程式干擾，該第二電壓位準包含一電壓位準等於或大約0伏特，且為 [5]

正電壓。

48. 如請求項47之方法，其中該或該等第二電壓位準使得該等至少兩個電晶體中之至少一者關閉。
49. 如請求項48之方法，其中該關閉之至少一電晶體經由該第二串中之至少一個電荷儲存電晶體與該所選字線分離。
50. 如請求項49之方法，其中將一正電壓耦合至將該所選字線與該關閉之電晶體分離之該第二串中之該至少一個電晶體。
51. 如請求項50之方法，其中該正電壓在一約1至3伏特之範圍內。
52. 如請求項47之方法，其中該第二串中之該等至少兩個電荷儲存電晶體彼此相鄰。
53. 一種用於程式化一記憶體系統之方法，該系統包含用於儲存不同電荷狀態之電荷儲存電晶體之串，該等串包括一第一串及一第二串，每一串連接於複數個位元線之一與一源極線之間，並由共同字線控制，該方法包含：

將一程式化電壓施加至耦合至該第一串中之一所選電晶體之一所選字線以程式化該所選電晶體，該所選字線經由該第一串中之至少兩個電荷儲存電晶體，和連接至該第一串之該源極線及該位元線分離；

藉由將第一電壓位準耦合至由該所選字線控制之該第二串中之一相應電晶體之汲極側及源極側上之部分電晶體來補增該第二串電晶體中之部分該等電荷儲存電晶體

之通道區域的電位，該第二串中之該相應電晶體經由該第一串中之至少兩個電荷儲存電晶體中之至少一第一組與該源極線分離，並經由該第二串中之至少兩個電荷儲存電晶體之一第二組與連接至該第二串之該位元線分離，該等兩組定位於該相應之電晶體附近；及

將小於該或該等第一電壓位準之第二電壓位準施加至控制該等兩組相鄰電晶體之字線，以關閉每一組中之至少一電晶體，以減少程式干擾，其中該或該等第二電壓位準包含至少一電壓位準，以打開一耦合至該至少一電壓位準之該第一串中之一未程式化電晶體，但關閉一耦合至該至少一電壓位準之該第一串中之一程式化電晶體，被施加至該第一組電晶體之該或該等第二電壓位準包含一電壓位準等於或大約0伏特且為正電壓位準。

54. 如請求項53之方法，其中耦合至該等兩組電晶體之該或該等第二電壓位準使該等兩組之每一組中之關閉之至少一電晶體，經由該第二串中之至少一電荷儲存電晶體，與該所選字線分離。

55. 如請求項54之方法，其中將一正電壓耦合至將該所選字線與該等兩組之每一組中之關閉之該電晶體分離之該第二串中之該至少一電晶體。

56. 如請求項55之方法，其中該正電壓在一約1至3伏特之範圍內。

57. 如請求項53之方法，其中將不同電壓位準耦合至該第二串中之該等兩組之每一組中的該等相鄰電晶體。

[S]

58. 如請求項53之方法，其中該第二串包括兩個選擇電晶體，其中在該第二串中且緊鄰該等選擇電晶體其中之一之第一電晶體處於一所需電荷儲存狀態，進一步包含將一第三電壓位準耦合至該第一電晶體使得該第三電壓位準之耦合及該第二串中之該等通道區域之該或該等電位之補增不會將該第一電晶體之該所需電荷儲存狀態改變為一不同的電荷狀態。
59. 如請求項58之方法，其中該第三電壓位準及該第二串之該等通道區域之該或該等電位之補增所造成之該一選擇電晶體之汲極側或源極側之崩潰，減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度。
60. 如請求項58之方法，其中該所需電荷儲存狀態為該第一電晶體之兩個以上可能電荷儲存狀態其中之一，且該將該第三電壓位準耦合至該第一電晶體不會導致該第一電晶體之所選電荷儲存狀態改變至該等兩個以上之可能電荷狀態中之一不同的狀態。
61. 如請求項53之方法，其中該第二串包括兩個選擇電晶體，其中一在該第二串中並緊鄰該等兩個選擇電晶體其中之一之第一電晶體處於一所需電荷儲存狀態，其中藉由將該程式化電壓相繼地施加至與至少兩個所選電晶體電容性地耦合之兩個控制閘極來將該程式化電壓相繼地耦合至該第一串中之該等至少兩個所選電晶體，
在將該程式化電壓施加至該等兩個控制閘極時，將一

第三電壓位準耦合至處於該所需電荷儲存狀態之該第一電晶體，使得該第三電壓位準之耦合及該第二串之該等通道區域之該或該等電位之補增不會將該第一電晶體之該所需電荷儲存狀態改變為一不同的電荷狀態，該第三電壓位準小於該或該等第一電壓位準。

62. 如請求項53之方法，其中施加至該第二組電晶體的該或該等第二電壓位準包含正電壓位準。

63. 如請求項62之方法，其中該等正電壓位準之一在一約1至3伏特之範圍內，且該等正電壓位準之另一在一約5至10伏特之範圍內。

64. 如請求項62之方法，其中該等正電壓位準在一約1至3伏特之範圍內。

65. 如請求項53之方法，其中被施加至該第二組電晶體的該或該等第二電壓位準包含一正電壓位準且一電壓係等於或大約0伏特。

66. 一種用於程式化一記憶體系統之方法，該系統包含用於儲存不同電荷狀態之電荷儲存電晶體之串，該等串包括一第一串及一第二串，每一串連接於複數個位元線之一與一源極線之間，並由共同字線控制，該方法包含：

將一程式化電壓施加至一耦合至該第一串上之一所選電晶體之所選字線以程式化該所選電晶體，該所選字線經由該第一串中之至少兩個電荷儲存電晶體與該源極線分離；

將第一電壓位準耦合至在該所選字線與連接至該第二

串之該位元線之間之該第二串中之至少一些電晶體，以補增該第二串中之電晶體之通道區域之電位；

將一等於或約為0伏特之電壓耦合至該所選字線及該源極線之間的該第二串中至少一第一電荷儲存電晶體，使得該至少第一電晶體的該源極側上該第二串的一通道區域與由該所選字線所控制的該第二串中的該電晶體電絕緣，以減少程式化干擾；以及

將小於該或該等第一電壓位準的第二電壓位準耦合至該所選字線與該源極線之間之該第二串中至少一第二電荷儲存電晶體，使得耦合至該第二電壓的該至少第二電晶體之源極側上之該第二串之一通道區域與由該所選字線所控制之該第二串中之該電晶體電絕緣，該或該等第二電壓包含一正電壓位準。

67. 如請求項66之方法，其中該或該等第二電壓位準使與其耦合的該至少一電晶體關閉。

68. 如請求項67之方法，其中關閉之該至少一個電晶體經由該第二串中之至少一電荷儲存電晶體與該所選字線分離。

69. 如請求項68之方法，其中將一正電壓耦合至將該所選字線與該關閉之電晶體分離之該第二串中之該至少一個電晶體。

70. 如請求項69之方法，其中該正電壓在一約1至3伏特之範圍內。

71. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體之

串，該等串的每一包含兩個選擇電晶體，該等串的每一連接在複數個位元線之一者與一源極線之間，該等串由共同之一組字線所控制，其中在該等串之一第一串中且與該第一串中兩個選擇電晶體其中之一相鄰的至少一第一電晶體處於一所需電荷儲存狀態；

一電路，其經由該等字線之一將一程式化電壓位準施加至一控制閘極以程式化一第二電晶體，該控制閘極與不同於該第一串之該等串中之一第二串中的該第二電晶體電容性地耦合，藉由該第二串中之三或更多個電荷儲存電晶體，將該第二電晶體與連接至該第二串之該位元線或該源極線分離；以及

該電路經該字線之部分將電壓位準耦合至該第一串中的該等電晶體中至少部分，以補增電晶體之該第一串之通道區域之至少一電位，以減少程式干擾，其中補增該第一串中電晶體之該等通道區域的該至少一電位，使得該第一串中之該一選擇電晶體之汲極或源極側之崩潰減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度。

72. 如請求項71之系統，其中當該程式電壓位準施加時，該電路將一第一電壓耦合至該第一電晶體，並將一第二電壓耦合至該第一串之剩餘電晶體中之至少部分，該第二電壓高於該第一電壓。

73. 如請求項72之系統，該第二電壓比該第一電壓高出該第一電壓之至少50%。

[S]

74. 如請求項71之系統，其中補增該第一串中該等電晶體之該等通道區域的該至少一電位，使得該一選擇電晶體之該汲極側或該源極側之帶至帶穿隧減少至不會導致該第一電晶體之所需電荷儲存狀態改變為一不同電荷狀態之程度。
75. 如請求項74之系統，其中該源選擇電晶體在該汲極側處之該帶至帶穿隧被抑制。
76. 如請求項72之系統，其中該第一電壓在一約1至3伏特之範圍內。
77. 如請求項72之系統，其中該第二電壓在一約5至10伏特之範圍內。
78. 如請求項72之系統，其中該電路將一第三電壓耦合至該該第一串中的一選擇電晶體以導致其為電性上非傳導，且其中該第一電壓高於該第三電壓。
79. 如請求項71之系統，其中該控制閘極亦控制該第一串中之一第三電荷儲存電晶體，該系統進一步包含關閉在該源極線與該第三電晶體之間之該第一串中之至少一第四電荷儲存電晶體，以使該第三電晶體和該源極線與該第四電晶體之間之該第一串中之電晶體電絕緣。
80. 如請求項79之系統，進一步包含關閉在連接至該第一串之該位元線與該第三電晶體之間之該第一串中之至少一第五電荷儲存電晶體，以使該第三電晶體和該位元線與該第五電晶體之間之該第一串中之電晶體電絕緣。
81. 如請求項80之系統，其中經由該第一串中之至少一電晶

體將該第四電晶體及該第五電晶體之每一與該第三電晶體分離。

82. 如請求項 79 之系統，其中經由該第一串中之至少一電晶體將該第四電晶體與該第三電晶體分離。

83. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體之串，該等串之每一者包括兩個選擇電晶體，該等串由共同之一組字線所控制，且連接於複數個位元線與一源極線之間，其中在該等串之一第一串中且與該等兩個選擇電晶體其中之一相鄰之一第一電晶體處於兩個以上可能電荷儲存狀態中之一所需電荷儲存狀態；以及

一電路，其經由該等字線之一將一程式化電壓位準施加至一控制閘極以程式化一第二電晶體，該控制閘極與一在該等串之一第二串中的第二電晶體電容性地耦合，經由該第二串中之三或更多個電荷儲存電晶體，將該第二電晶體與連接至該第二串之該位元線或該源極線分離；

其中該電路經由部分字線，將電壓位準耦合至該第一串電晶體中至少部分該等電晶體，以補增電晶體之該第一串之通道區域之至少一電位，以減少程式干擾，其中補增該第一串中之部分該等電晶體之該等通道區域的該至少一電位，使得該補增不會導致該第一電晶體之所需電荷儲存狀態改變至兩個以上可能電荷狀態中之一不同狀態。

[S]

84. 一記憶體系統，包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體之串，該等串包括一第一串，該等串之每一者包括兩個選擇電晶體，該等串由共同之一組字線所控制，且連接於複數個位元線與一源極線之間，其中在該第一串中且與該等兩個選擇電晶體其中之一相鄰之一第一電晶體處於一所需之電荷儲存狀態；以及

一電路，將一程式化電壓位準施加至與一第二電荷儲存電晶體電容性耦合之一第一控制閘極，隨後並將一程式化電壓位準施加至一與一不同於該第二電晶體之一第三電荷儲存電晶體電容性地耦合之第二控制閘極，以程式化該第二電晶體及該第三電晶體，該第二電晶體及該第三電晶體之每一者位於不同於該第一串之該等串之一第二串中，並經由在該第二串中的二個或更多個電荷儲存電晶體與連接至該第二串的該位元線或該源極線分離；

其中該電路將電壓位準耦合至該電晶體之至少部分及將一電壓位準耦合至該第一串中的該第一電晶體，以補增電晶體之該第一串的通道區域之至少一電位，以減少程式干擾，其中當將一程式化電壓位準施加至耦合至該等第二電晶體及該第三電晶體之該等控制閘極時，耦合至該第一電晶體之該電壓位準不同於耦合至該第一串中之其它電晶體之電壓位準。

85. 如請求項84之系統，該電路在複數個程式化時間間隔施

加該程式化電壓位準，以程式化該第二串中之所有該等電晶體，其中在該等複數個程式化時間間隔期間之每一時間間隔，該電路將一程式化電壓位準耦合至該第二串中之該等電晶體之一以程式化該電晶體，其中在二個或更多個該等複數個程式化時間間隔之期間，耦合至該第一電晶體之該電壓位準不同於耦合至該第一串中之其它電晶體的該等電壓位準。

86. 如請求項84之系統，其中補增該第一串之該等通道區域之至少一電位，使得該一選擇電晶體之汲極側或源極側之崩潰減少至不會導致該第一電晶體所需之電荷儲存狀態變化至一不同的電荷狀態之程度。

87. 如請求項86之系統，其中補增該第一串之該等通道區域之該至少一電位，使得該一選擇電晶體之汲極側或源極側之帶至帶穿隧受到抑制。

88. 如請求項86之系統，其中該所需電荷儲存狀態為該第一電晶體之兩個以上可能電荷儲存狀態其中之一，且所述將該電壓位準耦合至該第一電晶體不會導致該第一電晶體之所需電荷儲存狀態改變至兩個以上可能電荷狀態中之一不同的狀態。

89. 如請求項84之系統，當施加該程式電壓位準時，其中該耦合將一第一電壓耦合至該第一電晶體並將一第二電壓耦合至該第一串中之剩餘電晶體之至少部分，該第二電壓高於該第一電壓。

90. 如請求項89之系統，該第二電壓比該第一電壓高出該第 [S]

一電壓之至少50%。

91. 如請求項89之系統，其中該第一電壓在一約1至3伏特之範圍內。

92. 如請求項89之系統，其中該第二電壓在一約5至10伏特之範圍內。

93. 如請求項89之系統，該電路將一第三電壓耦合至該第一串中該一選擇電晶體以導致其為電性上非傳導，且其中該第一電壓高於該第三電壓。

94. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體之串，該等串包括一第一串及一第二串，每一串連接於複數個位元線之一與一源極線之間，並由共同字線控制；以及

一電路，其將一程式化電壓施加至耦合至該第一串中之一所選電晶體之一所選字線以程式化該所選電晶體，該所選字線經由該第一串中之至少兩個電荷儲存電晶體與該源極線分離；

該電路將至少一第一電壓位準耦合至在該所選字線與連接至該第二串之該位元線之間之該第二串中之所有電晶體，以補增該第二串中之通道區域之至少一電位，以減少程式干擾；且

其中該電路將小於該至少一第一電壓位準之第二電壓位準耦合至在該所選字線與該源極線之間之該第二串中之至少兩個相鄰電荷儲存電晶體，該等第二電壓位準使

該等至少兩個相鄰電晶體之源極側上之該第二串之一通道區域與由該所選字線所控制之該第二串中之該電晶體電絕緣，以減少程式干擾，該等第二電壓位準包含至少兩個不同的電壓位準。

95. 如請求項94之系統，其中該等第二電壓位準包含電壓位準等於或大約0伏特，且為正電壓位準。

96. 如請求項94之系統，其中該至少兩個不同的電壓位準之一第一電壓位準比該至少兩個不同的電壓位準之一第二電壓位準為低，且該至少兩個不同的電壓位準之該第一電壓位準施加至比該至少兩個相鄰電晶體之另一電晶體遠離該所選字線的該等至少兩個相鄰電晶體之一電晶體。

97. 如請求項96之系統，其中該至少兩個不同電壓位準之該第一電壓位準之適用，將使得該至少兩個相鄰電晶體在該源極側上的該第二串的該通道區域與由該所選字線所控制的該第二串中的該電晶體電絕緣，且該至少兩個不同電壓位準之該第二電壓位準之適用，將使得在該至少兩個相鄰電晶體的帶至帶穿隧及漏電受到抑制。

98. 如請求項94之系統，其中該至少兩個不同電壓位準之一者耦合至該第二串中該至少兩個相鄰電晶體之至少之一者，並關閉該至少一電晶體。

99. 如請求項98之系統，其中該等第二電壓位準之至少兩個不同的電壓位準耦合至該至少兩個相鄰的電晶體，使得關閉的該至少一電晶體藉由該第二串中至少一電荷儲存[5]

電晶體與該所選字線分離。

100. 如請求項99之系統，其中該至少兩個不同電壓位準包含耦合至該第二串中至少一電晶體之一正電壓，其將該所選字線與關閉的該電晶體分離。
101. 如請求項100之系統，其中該正電壓在一約1至3伏特之範圍內。
102. 如請求項94之系統，其中該至少兩個不同電壓位準使得該至少兩個相鄰電晶體的該源極側上的該第二串的通道區域與由該所選字線所控制之該第二串中之該電晶體電絕緣，並使得該至少兩個相鄰電晶體的帶至帶穿隧及漏電受到抑制。
103. 如請求項94之系統，其中該第二串包含兩個選擇電晶體，其中在該第二串中並緊鄰該等兩個選擇電晶體之一者的一第一電晶體係處於一所需電荷儲存狀態，該電路將一第三電壓位準耦合至處於該所需電荷儲存狀態的該第一電晶體，使得該第三電壓位準的該耦合及該第二串的該等通道區的該至少一電位之補增不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態。
104. 如請求項103之系統，其中該一選擇電晶體在該汲極或源極的崩潰，係由於該第三電壓位準及該第二串之該等通道區域的該至少一電位的補增減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度。
105. 如請求項103之系統，其中該所需電荷儲存狀態係該第一

電晶體的兩個以上可能電荷儲存狀態中之一，且將該第三電壓位準耦合至該第一電晶體將不會導致該第一電晶體之所需電荷儲存狀態改變至該兩個以上可能電荷狀態中之一的不同狀態。

106. 如請求項94之系統，其中該第二串包含兩個選擇電晶體，其中在該第二串中並緊鄰該等兩個選擇電晶體之一的第一電晶體係處於一所需電荷儲存狀態，其中藉由將該程式化電壓施加至與該等至少兩個所選電晶體電容性地耦合之兩個控制閘極，該程式電壓相繼地耦合至該第一串中之至少兩個所選電荷儲存電晶體，

其中當將該程式化電壓施加至該等兩個控制閘極時，該電路將一第三電壓位準耦合至處於該所需電荷儲存狀態之該電晶體，使得該第三電壓位準之該耦合及該第二串之該等通道區域之至少一電位之補增不會將該所需電荷儲存狀態改變至一不同的電荷狀態，該第三電壓位準小於該至少一第一電壓位準。

107. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體的串，該等串包括一第一串及一第二串，每一串連接於複數個位元線之一與一源極線之間，並由共同字線控制，該等電晶體具有通道長度小於約130奈米；及

一電路，將一程式電壓施加至耦合至該第一串中之一所選電晶體之一所選字線以程式化該所選電晶體，該所選字線經由該第一串中之至少兩個電荷儲存電晶體與該 [S]

源極線分離；

其中該電路將至少一第一電壓位準耦合至在該所選字線與連接至該第二串之該位元線之間之該第二串中之至少部分電晶體，以補增該第二串中之電晶體之通道區域的至少一電位；及

該電路將不同於該至少一第一電壓位準之第二電壓位準耦合至在該所選字線與該源極線之間之該第二串中之至少兩個相鄰電晶體，該等第二電壓位準使該等至少兩個相鄰電晶體之源極側上之該第二串之一通道區域與由該所選字線所控制之該第二串中之該電晶體電絕緣，以減少程式干擾，該第二電壓位準包含至少兩個不同的電壓位準。

108. 如請求項107之系統，其中該至少兩個不同的電壓位準包含一電壓位準等於或大約0伏特且為一正電壓位準。

109. 如請求項107之系統，該等電晶體具有小於約100奈米之尺寸。

110. 如請求項107之系統，該電路將該至少一第一電壓位準耦合至在該所選字線與連接至該第二串之該位元線之間之該第二串中之所有該等電晶體，以補增在該第二串中電晶體的通道區域的至少一電位，以減少程式干擾。

111. 如請求項107之系統，其中該等第二電壓位準小於該至少一第一電壓位準。

112. 如請求項107之系統，其中耦合至該第二串中之該至少兩個相鄰電晶體中之至少一電晶體之該第二電壓位準關閉

該至少一個電晶體。

113. 如請求項112之系統，其中耦合至該等至少兩個相鄰電晶體之該等第二電壓位準，使得關閉的該至少一電晶體藉由該第二串中之至少一電晶體與該所選字線分離。

114. 如請求項113之系統，其中該等第二電壓位準包含一正電壓，其耦合至將該所選字線與該關閉的該電晶體分離之該第二串中之該至少一電晶體。

115. 如請求項114之系統，其中該正電壓在一約1至3伏特之範圍內。

116. 如請求項107之系統，其中該至少兩個不同電壓位準使得該至少兩個相鄰電晶體在該源極側上的該第二串的該通道區域與由該所選字線所控制的該第二串中的該電晶體電絕緣，並使得在該至少兩個相鄰電晶體的帶至帶穿隧及漏電受到抑制。

117. 如請求項107之系統，其中該第二串包含兩個選擇電晶體，其中在該第二串中並緊鄰該等兩個選擇電晶體之一的一第一電晶體係處於一所需電荷儲存狀態，該電路將一第三電壓位準耦合至處於該所需電荷儲存狀態的該第一電晶體，使得該第三電壓位準的該耦合及該第二串的通道區的該至少一電位之補增不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態。

118. 如請求項117之系統，其中該一選擇電晶體在該汲極或源極的崩潰，係由於該第三電壓位準及該第二串中的該等通道區域的該至少一電位的補增減少至不會導致該第一

[S]

電晶體之所需電荷儲存狀態改變至一不同的電荷狀態。

119. 如請求項 117 之系統，其中該所需電荷儲存狀態係該第一電晶體的兩個以上可能電荷儲存狀態中之一，且將該第三電壓位準耦合至該第一電晶體，將不會導致該第一電晶體之所需電荷儲存狀態改變至該兩個以上可能電荷狀態中之一不同狀態。

120. 如請求項 107 之系統，其中該第二串包含兩個選擇電晶體，其中在該第二串中並緊鄰該等兩個選擇電晶體之一的一第一電晶體係處於一所需電荷儲存狀態，其中藉由將該程式化電壓施加至與該等至少兩個所選電晶體電容性地耦合之兩個控制閘極，該電路將該程式電壓相繼地耦合至該第一串中之至少兩個所選電晶體；當將該程式化電壓施加至該等兩個控制閘極時，該電路將一第三電壓位準耦合至處於該所需電荷儲存狀態之該電晶體，使得該第三電壓位準之該耦合及該第二串之該等通道區域之至少一電位之補增不會將該所需電荷儲存狀態改變至一不同的電荷狀態，該第三電壓位準小於該至少一第一電壓位準。

121. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體的串，該等串包括一第一串及一第二串，每一串連接於複數個位元線之一與一源極線之間，並由共同字線控制；以及

一電路，將一程式電壓施加至耦合至該第一串中之一

所選電晶體之所選字線以程式化該所選電晶體，該所選字線經由該第一串中之至少兩個電荷儲存電晶體與該源極線分離；

該電路將至少一第一電壓位準耦合至在該所選字線與連接至該第二串之該位元線之間之該第二串中之所有電晶體，以補增該第二串中之電晶體之通道區域的至少一電位，以減少程式干擾；以及

其中該電路將小於該至少一第一電壓位準的第二電壓位準耦合至在該所選字線與該源極線之間之該第二串中之至少兩個電荷儲存電晶體，該等第二電壓位準使該等至少兩個電晶體之該源極側上之該第二串之一通道區域與由該所選字線控制之該第二串中之該電晶體電絕緣，以減少程式干擾，該第二電壓位準包含至少兩個不同的電壓位準。

122. 如請求項121之系統，其中該至少兩個不同的電壓位準包含一電壓位準等於或大約0伏特且為一正電壓位準。

123. 如請求項121之系統，其中該至少兩個不同的電壓位準的一第一電壓位準小於該至少兩個不同的電壓位準的一第二電壓位準，且該至少兩個不同的電壓位準施加至比該至少兩個電晶體之另一者遠離該所選字線的該等至少兩個電晶體之一的該第一電壓位準。

124. 如請求項123之系統，其中該至少兩個不同電壓位準之該第一電壓位準之適用，將使得該至少兩個電晶體在該源極側上的該第二串的該通道區域與由該所選字線所控制

[S1]

的該第二串中的該電晶體電絕緣，而該至少兩個不同電壓位準之該第二電壓位準之適用，將使得在該至少兩個電晶體的帶至帶穿隧及漏電受到抑制。

125. 如請求項 121 之系統，其中該至少兩個不同電壓位準使得該至少兩個電晶體之至少一電晶體關閉。

126. 如請求項 125 之系統，其中關閉的該至少一電晶體藉由該第二串中至少一電荷儲存電晶體與該所選字線分離。

127. 如請求項 126 之系統，其中將一正電壓耦合至將該所選字線與關閉的該電晶體分離之該第二串中該至少一電晶體。

128. 如請求項 127 之系統，其中該正電壓位準在一約 1 至 3 伏特之範圍內。

129. 如請求項 121 之系統，其中在該第二串中該至少兩個電荷儲存電晶體係彼此相鄰。

130. 如請求項 121 之系統，其中該至少兩個不同電壓位準使得該至少兩個電晶體的該源極側上的該第二串的通道區域與由該所選字線控制之該第二串中之該電晶體電絕緣，並使得該至少兩個電晶體的帶至帶穿隧及漏電受到抑制。

131. 一種用於程式化一記憶體系統的系統，該系統包含用於儲存不同電荷狀態之電荷儲存電晶體的串，該等串包括一第一串及一第二串，每一串連接於複數個位元線之一與一源極線之間，並由共同字線控制；及

一電路，將一程式電壓施加至耦合至該第一串中之一所選電晶體之一所選字線以程式化該所選電晶體，該所

選字線經由該第一串中之至少兩個電荷儲存電晶體與該源極線及連接至該第一串之該位元線分離；

該電路將至少一第一電壓位準耦合至由該所選字線所控制的該第二串中一對應電晶體的源極與汲極上的該等電晶體之部分電晶體，以補增電晶體的該第二串中部分電荷儲存電晶體之通道區域的電位，藉由該第一串中至少兩個電荷儲存電晶體的至少一第一組將該第二串中該對應的電晶體與該源極線分離，並藉由該第二串中至少兩個兩個電荷儲存電晶體的至少一第二組將該第二串中該對應的電晶體與將連接至該第二串的該位元線分離；及

該電路將小於該至少一第一電壓位準之第二電壓位準施加至字線，該等字線控制上述兩組電晶體以關閉每一組中的至少一電晶體，以降低程式干擾，其中該等第二電壓位準包含至少一電壓位準，使得在該第一串中一未程式化且耦合至該至少一電壓位準的電晶體被打開，但該第一串中一已程式化且耦合至該至少一電壓位準的電晶體耦合被關閉，施加至該等第一組電晶體的該等第二電壓位準包含至少兩個不同的電壓位準。

132. 如請求項131之系統，其中該至少兩個不同的電壓位準包含一電壓位準等於或大約0伏特且為一正電壓位準。

133. 如請求項131之系統，其中該等兩組位於相鄰於該對應的電晶體。

134. 如請求項131之系統，其中耦合至該兩組電晶體的該第二 [S1]

電壓位準使得在該等兩組之每一組中關閉的該至少一電晶體藉由在第二串中至少一電荷儲存電晶體與該所選字線分離。

135. 如請求項 134 之系統，其中一正電壓耦合至將該所選字線與該等兩組之每一組中之關閉之該電晶體分離之該第二串中之該至少一電晶體。

136. 如請求項 135 之系統，其中該正電壓在一約 1 至 3 伏特之範圍內。

137. 如請求項 131 之系統，其中將不同的電壓位準耦合至該第二串中之該等兩組之每一組中的該等相鄰電晶體。

138. 如請求項 131 之系統，其中該第二串包括兩個選擇電晶體，其中在該第二串中且緊鄰該等選擇電晶體其中之一的一第一電晶體處於一所需電荷儲存狀態，進一步包含將一第三電壓位準耦合至該第一電晶體，使得該第三電壓位準之耦合及該第二串中之該等通道區域之該等電位之補增不會將該第一電晶體之該所需電荷儲存狀態改變至一不同的電荷狀態。

139. 如請求項 138 之系統，其中該一選擇電晶體之汲極或源極側之崩潰，係由於該第三電壓位準及該第二串中該等通道區域的該至少一電位的補增減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度。

140. 如請求項 138 之系統，其中該所需電荷儲存狀態係該第一電晶體的兩個以上可能電荷儲存狀態中之一，且將該第

三電壓位準耦合至該第一電晶體，將不會導致該第一電晶體之所需電荷儲存狀態改變至兩個以上可能電荷狀態中之一不同的狀態。

141. 如請求項 131 之系統，其中該第二串包含兩個選擇電晶體，其中該第二串中並緊鄰該等兩個選擇電晶體之一者的一第一電晶體係處於一所需電荷儲存狀態，其中藉由相繼將該程式化電壓施加至與該等至少兩個所選電晶體電容性地耦合之兩個控制閘極，該程式電壓藉由該電路相繼地耦合至該第一串中之至少兩個所選電晶體，及

其中當將該程式化電壓施加至該等兩個控制閘極時，該電路將一第三電壓位準耦合至處於該所需電荷儲存狀態之該第一電晶體，使得該第三電壓位準之該耦合及該第二串之該等通道區域之該電位之補增不會將該所需電荷儲存狀態改變至一不同的電荷狀態，該第三電壓位準小於該至少一第一電壓位準。

142. 如請求項 131 之系統，其中施加至該第二組電晶體的該等第二電壓位準包含正電壓位準。

143. 如請求項 142 之系統，其中該等正電壓之一位準在一約 1 至 3 伏特之範圍內，且該等正電壓之另一在一約 5 至 10 伏特之範圍內。

144. 如請求項 142 之系統，其中該等正電壓位準在一約 1 至 3 伏特之範圍內。

145. 如請求項 131 之系統，其中被施加至該第二組電晶體的該等第二電壓位準包含一正電壓位準及一電壓係等於或大 [51]

約 0 伏特。

146. 如請求項 131 之系統，其中該等至少兩個不同電壓位準使得該第一組電晶體之該源極側上的該第二串一通道區域及該第二組電晶體之該汲極側上之該第二串之一通道區域與由該所選字線所控制之該第二串中之該電晶體電絕緣，使得在該等兩組電晶體的帶至帶穿隧及漏電受到抑制。

147. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體的串，該等串包括一第一串及一第二串，每一串連接於複數個位元線之一者與一源極線之間，並由共同字線控制；及

一電路，將一程式電壓施加至耦合至該第一串中之一所選電晶體之所選字線以程式化該所選電晶體，該所選字線經由該第一串中之至少兩個電荷儲存電晶體與該源極線分離；

該電路將至少一第一電壓位準耦合至在該所選字線與連接至該第二串之該位元線之間之該第二串中之至少部分電晶體，以補增該第二串中之電晶體之通道區域的至少一電位；

其中該電路將等於或大約 0 伏特的一電壓耦合至在該所選字線與該源極線之間之該第二串中之至少一第一電荷儲存電晶體，使得該至少第一電晶體的該源極側上的該第二串之通道區域與由該所選字線所控制的該第二串中的該電晶體電絕緣，以減少程式干擾；以及

該電路將小於該至少一第一電壓位準的至少一第二電壓位準耦合至該所選字線與該源極線之間的該第二串中至少一第二電荷儲存電晶體，使得耦合至該第二電壓的該至少一第二電晶體的該源極側上該第二串的一通道區域與由所選字線所控制的該第二串之該電晶體電絕緣，該至少一第二電壓位準包含一正電壓位準。

148. 如請求項147之系統，其中關閉該至少一電晶體的該至少一第二電壓位準耦合至該至少一第二電壓位準。

149. 如請求項148之系統，其中關閉的該至少一電晶體藉由該第二串中至少一電荷儲存電晶體與該所選字線分離。

150. 如請求項149之系統，其中該電路將一正電壓耦合至將所選字線與關閉的該電晶體分離之該第二串的該至少一電荷儲存電晶體。

151. 如請求項150之系統，其中該正電壓在一約1至3伏特之範圍內。

152. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體的串，該等串的每一串包含兩個所選電晶體，該等串的每一串連接於複數個位元線之一者與一源極線之間，該等串由共同之一組字線所控制，其中在該等串的第一串中並相鄰於該第一串中的該兩個所選電晶體之一的至少一第一電晶體係處於一所需電荷儲存狀態；

一電路，將一程式化電壓經該等字線之一施加至一控制閘極以程式化一第二電晶體，該控制閘極與不同於該

第一串之該等串中的一第二串中一第二電晶體電容性地耦合，當較連接至該第二串的該位元線更接近該源極線之該電荷儲存電晶體被程式化時，藉由該第二串中之三或更多個電荷儲存電晶體將該第二電晶體與該源極線分離，或當較該源極線更接近該位元線之電荷儲存電晶體被程式化時，藉由該第二串中之三個或更多個電荷儲存電晶體，該第二電晶體與連接至該第二串的該位元線分離；及

該電路，經由部分字線，將電壓位準耦合至該第一串中之至少部分該等電晶體，來補增該第一串電晶體之通道區域之至少一電位，以減少程式干擾，其中補增該第一串中之電晶體之該等通道區域的該至少一電位，使得該第一串中之該一選擇電晶體之汲極或源極側之帶至帶穿隧減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度，

其中減少由該一選擇電晶體在該源極或汲極側處之該帶至帶穿隧所造成的在該第一串中電晶體在經補增的通道區域中的通道電位降低。

153. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體之串，該等串之每一包括兩個選擇電晶體，該等串之每一者連接於複數個位元線與一源極線之間，該等串由共同之一組字線所控制，其中在該等串之一第一串中且與該等兩個選擇電晶體中之一相鄰之一第一電晶體處於一所

需電荷儲存狀態；

一電路，經由該等字線之一，將一程式化電壓位準施加至一控制閘極以程式化該第二電晶體，該控制閘極與該不同於該第一串的等串之一第二串中的一第二電晶體電容性地耦合，當較連接至該第二串的該位元線更接近該源極線之該電荷儲存電晶體被程式化時，經由該第二串中之三個或更多個電荷儲存電晶體，將該第二電晶體與該源極線分離，或較該源極線更接近該位元線之電荷儲存電晶體被程式化時，藉由該第二串中之三個或更多個電荷儲存電晶體，該第二電晶體與連接至該第二串的該位元線分離；及

該電路，經由該等字線之部分，將電壓位準耦合至該第一串中之該等電晶體之部分，來補增該第一串電晶體之通道區域之至少一電位，以減少程式干擾，其中補增該第一串中之電晶體之該等通道區域的該至少一電位，使得在該第一串中該一選擇電晶體的該汲極或源極側的帶至帶穿隧減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度，

其中減少由在該一選擇電晶體在該汲極或源極側的帶至帶穿隧所造成的在該第一串中該第一電晶體及其他電晶體補增的通道區域之通道電位降低。

154. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體之串，該等串之每一包括兩個選擇電晶體，該等串之每一

[S]

者連接於複數個位元線與一源極線之間，該等串由共同之一組字線所控制，其中在該等串之一第一串中且與該等兩個選擇電晶體中之一相鄰之一第一電晶體處於所需電荷儲存狀態；

一電路，其經由該等字線之一，將一程式化電壓位準施加至一控制閘極以程式化該第二電晶體，該控制閘極與不同於該第一串的該等串中一第二串中的一第二電晶體電容性地耦合，當較連接至該第二串的該位元線更接近該源極線之電荷儲存電晶體被程式化時，經由該第二串中之三個或更多個電荷儲存電晶體，將該第二電晶體與該源極線分離，或較該源極線更接近位元線之電荷儲存電晶體被程式化時，藉由該第二串中之三個或更多個電荷儲存電晶體，該第二電晶體與連接至該第二串的該位元線分離；及

該電路，經由部分該等字線，將電壓位準耦合至該第一串中之該等電晶體之至少部分，來補增該第一串電晶體之通道區域之至少一電位，以減少程式干擾，其中補增該第一串中之電晶體之該等通道區域的該至少一電位，使得在該第一串中該一選擇電晶體的該汲極或源極側的崩潰不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度，

其中該控制閘極也控制在該第一串中的一第三電荷儲存電晶體，該電路關閉該源極線與該第三電晶體之間之該第一串中之至少一第四電荷儲存電晶體，以使該第三

電晶體和該源極線與該第四電晶體之間之該第一串中之電晶體電絕緣，該電路進一步關閉在連接至該第一串之該位元線與該第三電晶體之間之該第一串中之至少一第五電荷儲存電晶體，以使該第三電晶體和該位元線與該第五電晶體之間之該第一串中之電晶體電絕緣。

155. 如請求項154之系統，其中經由該第一串中之至少一電晶體將該第四電晶體及該第五電晶體之每一者與該第三電晶體分離。

156. 如請求項154之系統，其中該電路將電壓位準耦合至該第四電荷儲存電晶體相對側的該第一串中的一第六電荷儲存電晶體及一第七電荷儲存電晶體，以抑制或避免該第四電荷儲存電晶體之崩潰。

157. 如請求項156之系統，其中與該第六電荷儲存電晶體及第七電荷儲存電晶體耦合的該或該等電壓位準在一約1至3伏特之範圍內。

158. 如請求項154之系統，其中藉由第一串中至少一電晶體，將該第四電晶體及第五電晶體之每一電晶體與該第三電晶體分離。

159. 如請求項154之系統，其中藉由該第一串中至少一電晶體，將該第四電晶體與該第三電晶體分離。

160. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體之串，該等串包含一第一串，該等串之每一者包括兩個選擇電晶體，該等串由共同之一組字線所控制並連接於複[S]

數個位元線與一源極線之間，其中在該第一串中且與該等兩個選擇電晶體中之一相鄰之一第一電荷儲存電晶體處於所需電荷儲存狀態；及

一電路，其將一程式化電壓位準施加至與一第二電荷儲存電晶體電容性地耦合之一第一控制閘極，且相繼施加一程式化電壓至與不同於該第二電晶體的一第三電荷儲存電晶體電容性地耦合之一第二控制閘極，以程式化該等第二及第三電晶體，當較連接至該第二串的該位元線更接近該源極線之該電荷儲存電晶體被程式化時，經由該第二串中之二個或更多個電荷儲存電晶體，將位於該等串中不同於該第一串的一第二串中的之該等第二及第三電晶體之每一電晶體與該源極線分離，或較該源極線更接近位元線之電荷儲存電晶體被程式化時，藉由該第二串中之二個或更多個電荷儲存電晶體，將該等第二及第三電晶體之每一電晶體與連接至該第二串的該位元線分離；

其中該電路將電壓位準耦合至該等電晶體之至少部分，並將一電壓位準耦合至該第一串中的該第一電晶體，以補增電晶體之該第一串電晶體的通道區域的至少一電位，以減少程式干擾，且其中當一程式電壓被施加至與該等第二及第三電晶體耦合的該等控制閘極時，該耦合至該第一電晶體的該電壓位準係不同於與該第一串中其他電晶體耦合的電壓位準，

其中該第一串的該等通道區域之該至少一電位補增使

得該一選擇電晶體的該汲極或源極側之崩潰減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度，

其中減少由在該一選擇電晶體在該汲極或源極側之崩潰所造成的該第一串中電晶體在補增的通道區域的通道電位降低。

161. 一記憶體系統，其包含：

用於儲存不同電荷狀態之複數個電荷儲存電晶體之串，該等串包含一第一串，該等串之每一包括兩個選擇電晶體，該等串由共同之一組字線所控制並連接於複數個位元線與一源極線之間，其中在該第一串中且與該等兩個選擇電晶體中之一相鄰的一第一電荷儲存電晶體處於所需電荷儲存狀態；及

一電路，其將一程式化電壓位準施加至與一第二電荷儲存電晶體電容性地耦合之一第一控制閘極，且相繼施加一程式化電壓位準至與不同於該第二電晶體的一第三電荷儲存電晶體電容性地耦合之一第二控制閘極，以程式化該等第二及第三電晶體，當較連接至該第二串的該位元線更接近該源極線之該電荷儲存電晶體被程式化時，藉由該第二串中之二個或更多個電荷儲存電晶體，將該等串中不同於該第一串的一第二串中之該等第二及第三電晶體之每一者與該源極線分離，或當較該源極線更接近該位元線之電荷儲存電晶體被程式化時，藉由該第二串中之二個或更多個電荷儲存電晶體，該等第二及

[S]

第三電晶體之每一與連接至該第二串的該位元線分離；

其中該電路將電壓位準耦合至該等電晶體之部分，並將一電壓位準耦合至該第一串中的該第一電晶體，以補增電晶體之該第一串電晶體的通道區域的至少一電位，以減少程式干擾，且其中當一程式電壓被施加至與該第二及第三電晶體耦合的該等控制閘極時，耦合至該第一電晶體的該電壓位準係不同於與該第一串中其他電晶體耦合的電壓位準，

其中該第一串的該等通道區域之該至少一電位補增使得該一選擇電晶體的該汲極或源極側之崩潰減少至不會導致該第一電晶體之所需電荷儲存狀態改變至一不同的電荷狀態之程度，

其中減少由在該一選擇電晶體在該汲極或源極側之崩潰所造成的該第一串中該第一電晶體及其他電晶體的在經補增的通道區域的通道電位降低。

162. 如請求項 161 之系統，其中補增該第一串的該通道區域之該至少一電位使得該一選擇電晶體在該汲極或源極的該崩潰被抑制。

163. 如請求項 161 之系統，其中該所需電荷儲存狀態係該第一電晶體的兩個以上個可能電荷儲存狀態之一，且將該電壓位準耦合至該第一電晶體將不會導致第一電晶體之所需電荷儲存狀態改變至兩個以上的可能電荷儲存狀態之一不同的狀態。

164. 如請求項 161 之系統，其中該耦合將一第一電壓耦合至該

第一電晶體，及將一第二電壓耦合至該第一串之剩餘電晶體中之至少部分，該第二電壓高於該第一電壓。

165. 如請求項164之系統，該第二電壓比該第一電壓高出該第一電壓之至少50%。

166. 如請求項164之系統，其中該第一電壓在一約1至3伏特之範圍內。

167. 如請求項164之系統，其中該第二電壓在一約5至10伏特之範圍內。

168 如請求項164之系統，該電路將一第三電壓耦合至該第一串中的該一選擇電晶體，使其為電性上非傳導，且其中該第一電壓高於該第三電壓。