

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7611762号
(P7611762)

(45)発行日 令和7年1月10日(2025.1.10)

(24)登録日 令和6年12月26日(2024.12.26)

(51)国際特許分類	F I
H 1 0 D 30/66 (2025.01)	H 0 1 L 29/78 6 5 2 S
	H 0 1 L 29/78 6 5 2 J
	H 0 1 L 29/78 6 5 2 T
	H 0 1 L 29/78 6 5 3 A

請求項の数 12 (全22頁)

(21)出願番号	特願2021-82200(P2021-82200)	(73)特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22)出願日	令和3年5月14日(2021.5.14)	(74)代理人	110002066 弁理士法人筒井国際特許事務所
(65)公開番号	特開2022-175621(P2022-175621 A)	(72)発明者	小林 慶亮 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(43)公開日	令和4年11月25日(2022.11.25)	(72)発明者	須藤 建瑠 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
審査請求日	令和6年1月29日(2024.1.29)	(72)発明者	末松 知夏 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		審査官	上田 智志

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

シリコンよりもバンドギャップの大きな半導体材料を主成分として含み、
複数のトレンチと、
前記複数のトレンチの底部を覆う複数のガード領域と、
前記複数のガード領域と接するJ F E T領域と、
を備える、半導体装置であって、
前記半導体装置は、複数のユニットセルを有し、
前記複数のユニットセルのそれぞれは、
第1方向に並ぶ複数の第1トレンチと、
前記第1方向と交差する第2方向に並ぶ複数の第2トレンチと、
を含み、

平面視において、前記複数の第1トレンチと前記複数の第2トレンチは、前記複数のガード領域のうちの単一のガード領域に内包されている、半導体装置。

【請求項2】

請求項1に記載の半導体装置において、
前記複数の第1トレンチのうちの1つの第1トレンチと、前記複数の第2トレンチのうちの1つの第2トレンチは、共通するトレンチである、半導体装置。

【請求項3】

請求項1に記載の半導体装置において、

前記第 1 方向と前記第 2 方向は直交する、半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置において、

前記複数のユニットセルのそれぞれは、平面視において、少なくとも互いに交差する第 1 辺と第 2 辺を有する平面形状から構成され、

前記第 1 辺および前記第 2 辺は、ともに前記 J F E T 領域と接する、半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置において、

前記複数の第 1 トレンチと前記複数の第 2 トレンチは、平面視において、アレイ状に配置されている、半導体装置。

10

【請求項 6】

請求項 1 に記載の半導体装置において、

前記複数のユニットセルのそれぞれは、平面視において、矩形形状から構成され、

前記複数のユニットセルのそれぞれは、

前記 J F E T 領域の一部を構成する第 1 J F E T 領域と、

前記複数のガード領域の一部を構成する第 1 ガード領域と、

前記第 1 ガード領域と電氣的に接続された第 1 電位固定領域と、

を含む、半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、

前記第 1 J F E T 領域は、平面視において、前記矩形形状の中央部に配置され、

前記第 1 電位固定領域は、平面視において、前記矩形形状の外周部に配置されている、半導体装置。

20

【請求項 8】

請求項 6 に記載の半導体装置において、

前記第 1 電位固定領域は、平面視において、前記矩形形状の中央部に配置され、

前記第 1 J F E T 領域は、平面視において、前記矩形形状の外周部に配置されている、半導体装置。

【請求項 9】

請求項 6 に記載の半導体装置において、

前記複数のユニットセルは、平面視において、

第 1 列に配置された複数の第 1 ユニットセルと、

第 2 列に配置された複数の第 2 ユニットセルと、

を含み、

前記複数の第 1 ユニットセルのそれぞれの角部と前記複数の第 2 ユニットセルのそれぞれの角部は互いに列方向にずれている、半導体装置。

30

【請求項 10】

請求項 1 に記載の半導体装置において、

前記半導体材料は、炭化珪素である、半導体装置。

【請求項 11】

シリコンよりもバンドギャップの大きな半導体材料を主成分として含み、

複数のトレンチと、

前記複数のトレンチの底部を覆う複数のガード領域と、

前記複数のガード領域と接する J F E T 領域と、

を備える、半導体装置であって、

前記半導体装置は、複数のユニットセルを有し、

前記複数のユニットセルのそれぞれは、

第 1 平面形状の第 1 トレンチと、

前記第 1 平面形状とは異なる第 2 平面形状の複数の第 2 トレンチと、

を含み、

40

50

平面視において、前記第 1 トレンチと前記複数の第 2 トレンチは、前記複数のガード領域のうちの単一のガード領域に内包されている、半導体装置。

【請求項 1 2】

請求項 1 1 に記載の半導体装置において、

前記第 1 平面形状は、第 1 方向に長辺を有する長方形形状であり、

前記第 2 平面形状は、正方形形状であり、

前記複数の第 2 トレンチは、前記第 1 方向に並んで配置されている、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば、シリコンよりもバンドギャップの大きな半導体材料を主成分とする半導体基板に形成された電界効果トランジスタを含む半導体装置に適用して有効な技術に関する。

【背景技術】

【0002】

特開 2015 - 72999 号公報（特許文献 1）には、炭化珪素からなる n 型基板と、n 型基板上に形成されたドリフト層と、ドリフト層上に形成されたストライプ状の複数のトレンチと、複数のトレンチのそれぞれ内に絶縁膜を介して形成されたゲート電極と、ドリフト層上に形成され、かつ、ドリフト層よりも不純物濃度の高い n 型電流分散層とを有する半導体装置に関する技術が記載されている。この技術では、トレンチの底部が p 型ボトム層で覆われている。

【0003】

特開 2021 - 12934 号公報（特許文献 2）には、上述した特許文献 1 に記載されている構造をベースとして、チャンネルを縦方向とすることによりセルピッチの縮小化を図るとともに、トレンチの底部が p 型ボトム層で覆われている構造が記載されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2015 - 72999 号公報

【文献】特開 2021 - 12934 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

パワー半導体装置には、例えば、高耐圧の他に低オン抵抗や低スイッチング損失であることが要求される。ここで、パワー半導体装置の現在の主流は、シリコンを主成分とする半導体基板に形成された電界効果トランジスタであるが、このパワー半導体装置は、理論的な性能限界に近づいている。

【0006】

この点に関し、シリコンよりもバンドギャップの大きな半導体材料を主成分とする半導体基板に形成された電界効果トランジスタを含む半導体装置（以下では、ワイドバンドギャップパワー半導体装置と呼ぶ）が注目されている。

【0007】

なぜなら、バンドギャップが大きいということは、高い絶縁破壊強度を有していることを意味するから高耐圧を実現しやすくなるからである。

【0008】

そして、半導体材料自体が高い絶縁破壊強度を有していると、耐圧を保持するドリフト層を薄くしても耐圧を確保できることから、例えば、ドリフト層を薄くするとともに、不純物濃度を高くすることにより、パワー半導体装置のオン抵抗を低減することができる。

【0009】

すなわち、ワイドバンドギャップパワー半導体装置は、互いにトレードオフの関係にあ

10

20

30

40

50

る耐圧の向上とオン抵抗の低減とを両立できる点で優れている。このような利点を有するワイドバンドギャップパワー半導体素子においては、さらなる性能向上を図ることが望まれており、特に、オン抵抗の低減を図る観点からの工夫が望まれている。

【0010】

なお、「主成分」とは、最も多く含まれている成分のことをいい、不純物やその他の成分を含有していることを許容する意図で使用している。シリコンよりもバンドギャップの大きな半導体材料とは、例えば、炭化ケイ素（SiC）、窒化ガリウム（GaN）、酸化ガリウム（Ga₂O₃）またはダイヤモンドなどを挙げることができる。

【課題を解決するための手段】

【0011】

一実施の形態における半導体装置は、シリコンよりもバンドギャップの大きな半導体材料を主成分として含む。そして、半導体装置は、複数のトレンチと、複数のトレンチの底部を覆う複数のガード領域と、複数のガード領域と接するJFET領域を備える。ここで、半導体装置は、複数のユニットセルを有する。このとき、複数のユニットセルのそれぞれは、第1方向に並ぶ複数の第1トレンチと、第1方向と交差する第2方向に並ぶ複数の第2トレンチを含む。そして、平面視において、複数の第1トレンチと複数の第2トレンチは、複数のガード領域のうちの単一のガード領域に内包されている。

【発明の効果】

【0012】

一実施の形態によれば、半導体装置の性能を向上することができる。

【図面の簡単な説明】

【0013】

【図1】関連技術における炭化珪素パワー半導体装置を示す平面図である。

【図2】図1のA-A線で切断した断面図である。

【図3】実施の形態における炭化珪素パワー半導体装置を示す平面図である。

【図4】図3のA-A線で切断した断面図である。

【図5】(a)は、図1に示す関連技術におけるストライプ形状のトレンチを2つ並べて示す模式図であり、(b)は、図3に示す実施の形態における2次元アレイ状に配置された複数のトレンチを模式的に示す図である。

【図6】(a)は、関連技術を示す図2のB-B線でスライスした平面図の一部であり、(b)は、実施の形態を示す図4のB-B線でスライスした平面図を単位として2枚左右に並べて示す平面図である。

【図7】JFET領域の長さとの関係を示すグラフである。

【図8】変形例1における炭化珪素パワー半導体装置を示す平面図である。

【図9】変形例2における炭化珪素パワー半導体装置を示す平面図である。

【図10】変形例3における炭化珪素パワー半導体装置を示す平面図である。

【図11】変形例4における炭化珪素パワー半導体装置を示す平面図である。

【図12】変形例5におけるユニットセルを示す平面図である。

【図13】変形例6におけるユニットセルを示す平面図である。

【図14】(a)は、ユニットセルを並べる第1構成図であり、(b)は、ユニットセルを並べる第2構成図である。

【図15】炭化珪素パワー半導体装置の製造方法を説明するフローチャートである。

【図16】炭化珪素パワー半導体装置の製造工程を示す断面図である。

【図17】図16に続く炭化珪素パワー半導体装置の製造工程を示す断面図である。

【図18】図17に続く炭化珪素パワー半導体装置の製造工程を示す断面図である。

【図19】図18に続く炭化珪素パワー半導体装置の製造工程を示す断面図である。

【発明を実施するための形態】

【0014】

実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であつ

10

20

30

40

50

てもハッチングを付す場合がある。

【 0 0 1 5 】

本実施の形態における技術的思想は、シリコンよりもバンドギャップの大きな半導体材料を使用したワイドバンドギャップパワー半導体装置に関する技術的思想である。シリコンよりもバンドギャップの大きな半導体材料としては、炭化珪素 (S i C) や窒化ガリウム (G a N) に代表される化合物半導体を挙げることができる。ただし、本実施の形態における技術的思想は、これらに限らず、シリコンよりもバンドギャップの大きな半導体材料を使用したワイドバンドギャップパワー半導体装置に幅広く適用することができる。

【 0 0 1 6 】

以下では、特に、ワイドバンドギャップパワー半導体装置として、炭化珪素を使用したワイドバンドギャップパワー半導体装置を例に挙げて説明する。

10

【 0 0 1 7 】

炭化珪素は、シリコンと比較して絶縁破壊電界強度が約 1 桁大きいことから、耐圧を確保するためのドリフト層を約 1 / 1 0 に薄くし、かつ、不純物濃度を約 1 0 0 倍高くすることによって、オン抵抗 (素子抵抗) を理論上 3 桁以上低減することができる。また、シリコンよりもバンドギャップが約 3 倍大きいことから高温動作も可能であり、炭化珪素を使用したワイドバンドギャップパワー半導体装置 (以下では、炭化珪素パワー半導体装置と呼ぶ) は、シリコンパワー半導体装置を超える性能が得られるとして期待されている。

【 0 0 1 8 】

炭化珪素は、シリコンに比べて、バンドギャップが大きく、かつ、絶縁破壊電界強度が高いが、その分絶縁膜にかかる電界強度が問題となる。したがって、炭化珪素パワー半導体装置のデバイス設計においては、絶縁膜にかかる電界強度を十分に考慮する必要がある。特に、 M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) や I G B T (Insulated Gate Bipolar Transistor) のようなゲート絶縁膜を有するデバイス構造においては、ゲート絶縁膜にかかる電界強度が高くなると、ゲート絶縁膜においてリーク電流が発生する結果、ゲート絶縁膜の寿命低下やゲート絶縁膜の絶縁破壊などに起因するデバイス動作不良が引き起こされる。

20

【 0 0 1 9 】

したがって、ゲート絶縁膜の製造プロセスの工夫などによってゲート絶縁膜の耐圧を向上させる技術やゲート絶縁膜にかかる電界強度を緩和する技術が重要となってくる。特に、 M O S F E T や I G B T で一般的なトレンチゲート構造では、トレンチの底部に電界集中が生じやすい。この点に関し、トレンチの底部における電界集中を緩和するために、トレンチの底部を p 型半導体層で覆うことが有効であり、以下に示す関連技術がある。

30

【 0 0 2 0 】

< 関連技術の説明 >

本明細書でいう「関連技術」とは、公知技術ではないが、本発明者が見出した課題を有する技術であって、本願発明の前提となる技術である。

【 0 0 2 1 】

図 1 は、関連技術における炭化珪素パワー半導体装置 1 0 0 を示す平面図である。

【 0 0 2 2 】

図 1 に示すように、炭化珪素パワー半導体装置 1 0 0 は、複数のトレンチ T R を有する。複数のトレンチ T R は、 x 方向に並ぶ複数の列に配置されている。そして、複数の列のそれぞれには、 x 方向に延在するストライプ形状のトレンチ T R が y 方向に沿って複数配置されている。そして、複数のトレンチ T R のそれぞれには、ゲート絶縁膜 1 0 1 を介してゲート電極 1 0 2 が埋め込まれている。

40

【 0 0 2 3 】

図 2 は、図 1 の A - A 線で切断した断面図である。

【 0 0 2 4 】

図 2 に示すように、炭化珪素パワー半導体装置 1 0 0 は、例えば、窒素 (N) やリン (P) などのドナー (n 型不純物) を導入した炭化珪素からなる基板 1 0 3 を有している。

50

この基板 103 の裏面には、例えば、ニッケル (Ni) やアルミニウム (Al) などの金属材料からなるドレイン電極 104 が形成されている。一方、基板 103 上には、n 型不純物を導入した炭化珪素からなるエピタキシャル層 105 が形成されている。このエピタキシャル層 105 は、ドリフト層とも呼ばれる。

【0025】

そして、エピタキシャル層 105 の表面は、n 型半導体領域であるソース領域 106 が形成され、このソース領域 106 と接するように p 型半導体領域からなるボディ領域 107 が形成されている。ボディ領域 107 を構成する p 型半導体領域は、炭化珪素にアクセプタ (p 型不純物) であるアルミニウムやボロンを導入することにより形成されている。このボディ領域 107 は、p 型半導体領域であるガード領域 108 と接続されている。

10

【0026】

次に、ソース領域 106 およびボディ領域 107 を貫通してガード領域 108 に達するように複数のトレンチ TR が形成されている。したがって、これらの複数のトレンチ TR のそれぞれの底部は、ボディ領域 107 と電氣的に接続されたガード領域 108 で覆われることになる。そして、複数のトレンチ TR のそれぞれの内部には、ゲート絶縁膜 101 を介してゲート電極 102 が埋め込まれている。このゲート電極 102 は、例えば、ポリシリコン膜から形成されている。続いて、ゲート電極 102 を覆うように、例えば、酸化シリコン膜からなる層間絶縁膜 109 が形成されており、この層間絶縁膜 109 上にソース電極 110 が形成されている。このソース電極 110 は、ソース領域 106 と電氣的に接続されているとともに、ボディ領域 107 と電氣的に接続されている。

20

【0027】

このようにして、関連技術における炭化珪素パワー半導体装置 100 が構成されている。この炭化珪素パワー半導体装置 100 によれば、ボディ領域 107 と電氣的に接続されているガード領域 108 によってトレンチ TR の底部が覆われているため、トレンチ TR の角部において顕在化する電界集中を抑制できる利点が得られる。

【0028】

なぜなら、例えば、ボディ領域 107 は、グランド電位 (0V) が供給されるソース電極 110 と電氣的に接続されており、このボディ領域 107 は、ガード領域 108 と電氣的に接続されている。したがって、ガード領域 108 には、グランド電位が印加されることになる。このことは、ガード領域 108 で覆われているトレンチ TR の底部に高電圧が印加されないことを意味する。この結果、トレンチ TR の底部の角部に高電位に起因する電界集中が生じることを抑制できる。このようにして、関連技術によれば、トレンチ TR の内壁に形成されているゲート絶縁膜 101 にかかる電界強度を緩和できる結果、ゲート絶縁膜 101 の絶縁破壊に起因するデバイス動作不良を抑制できる。

30

【0029】

ここで、炭化珪素パワー半導体装置 100 のさらなる性能向上を図ることが検討されている。具体的に、図 2 において、互いに隣り合うトレンチ TR の間のトレンチ間隔 L1 をシュリンクすることにより、炭化珪素パワー半導体装置 100 のオン抵抗の低減を図ることが検討されている。ところが、図 2 に示すように、トレンチ間隔 L1 をシュリンクすることは、必然的に、JFET 長 L2 も短くなることを意味する。

40

【0030】

この JFET 長 L2 が短くなるということは、ドレイン電極 104 基板 103 エピタキシャル層 105 JFET 領域 (JFET 長 L2 の領域) チャネル (ボディ領域 107 に形成された反転層) ソース領域 106 ソース電極 110 の経路で流れる電流が流れにくくなることを意味する。言い換えれば、JFET 長 L2 が短くなるということは、炭化珪素パワー半導体装置 100 のオン抵抗が高くなることを意味する。

【0031】

すなわち、関連技術では、炭化珪素パワー半導体装置 100 のオン抵抗を低減するために、互いに隣り合うトレンチ TR の間のトレンチ間隔 L1 をシュリンクすると、JFET 長 L2 も短くなる結果、オン抵抗の低減効果が限定的になる。したがって、関連技術には

50

、オン抵抗を十分に低減する観点から改善の余地が存在する。

【0032】

そこで、本実施の形態では、関連技術に存在する改善の余地に対する工夫を施している。以下では、この工夫を施した本実施の形態における技術的思想について説明する。

【0033】

<炭化珪素パワー半導体装置の構成>

図3は、本実施の形態における炭化珪素パワー半導体装置10を示す平面図である。

【0034】

図3において、炭化珪素パワー半導体装置10は、複数のトレンチTR1を有する。これらの複数のトレンチTR1は、x方向の並ぶ複数の列に配置されており、複数の列のそれぞれにおいて、複数のトレンチTR1は、x方向およびy方向のそれぞれに並ぶように配置されている。すなわち、複数のトレンチTR1は、複数の列のそれぞれにおいて、2次元アレイ状(行列状)に配置されている。言い換えれば、複数のトレンチTR1は、複数の列のそれぞれにおいて、ドッド状に配置されている。そして、複数のトレンチTR1のそれぞれには、ゲート絶縁膜11を介してゲート電極12が埋め込まれている。

【0035】

なお、例えば、図3に示すように、x方向に並ぶ複数のトレンチTR1のうちの1つのトレンチTR1と、y方向に並ぶ複数のトレンチTR1のうちの1つのトレンチTR1は、共通するトレンチTR1であるように配置することができる。

【0036】

炭化珪素パワー半導体装置10では、トレンチTR1の4つの側面がチャンネルとして機能することから、ゲート幅を大きくすることができる。この結果、低いオン抵抗でチャンネル電流を流すことができる利点を得られる。

【0037】

図4は、図3のA-A線で切断した断面図である。

【0038】

図4に示すように、炭化珪素パワー半導体装置10は、例えば、窒素(N)やリン(P)などのドナー(n型不純物)を導入した炭化珪素からなる基板13を有している。この基板13の裏面には、例えば、ニッケル(Ni)やアルミニウム(Al)などの金属材料からなるドレイン電極14が形成されている。一方、基板13上には、n型不純物を導入した炭化珪素からなるエピタキシャル層15が形成されている。

【0039】

そして、エピタキシャル層15の表面は、n型半導体領域であるソース領域18が形成され、このソース領域18と接するようにp型半導体領域からなるボディ領域19が形成されている。ボディ領域19を構成するp型半導体領域は、炭化珪素にアクセプタ(p型不純物)であるアルミニウムやボロンを導入することにより形成されている。このボディ領域19は、p型半導体領域である接続領域20を介して、p型半導体領域であるガード領域21と接続されている。また、接続領域20上には、接続領域20と電氣的に接続される電位固定領域22が形成されている。

【0040】

次に、ボディ領域19の下には、n型半導体領域である電流拡散領域17が形成されており、この電流拡散領域17とエピタキシャル層15とに挟まれた領域(図2の点線で挟まれた領域)には、n型半導体領域であるJFET領域16が形成されている。

【0041】

続いて、ソース領域18、ボディ領域19および電流拡散領域17を貫通してガード領域21に達するように複数のトレンチTR1が形成されている。したがって、これらの複数のトレンチTR1のそれぞれの底部は、ボディ領域19と電氣的に接続されたガード領域21で覆われることになる。そして、複数のトレンチTRのそれぞれの内部には、ゲート絶縁膜11を介してゲート電極12が埋め込まれている。このゲート電極12は、例えば、ポリシリコン膜から形成されている。続いて、ゲート電極12を覆うように、例えば

10

20

30

40

50

、酸化シリコン膜からなる層間絶縁膜 2 3 が形成されており、この層間絶縁膜 2 3 上にソース電極 2 4 が形成されている。このソース電極 2 4 は、ソース領域 1 8 と電氣的に接続されているとともに、電位固定領域 2 2 とも電氣的に接続されている。

【 0 0 4 2 】

このようにして、炭化珪素パワー半導体装置 1 0 が構成されている。

【 0 0 4 3 】

以下では、それぞれの半導体領域の相対的な不純物濃度について説明する。

【 0 0 4 4 】

以下の説明では、「n型」の表記に「-」または「+」などが付されているが、これらは、相対的な不純物濃度を表記した符号である。例えば、n型の場合、「n-」、「n」、「n+」および「n++」の順番でn型不純物の不純物濃度が高いことを意味する。また、「p型」の表記についても、「n型」の場合と同様である。

(1) 「エピタキシャル層 1 5」 「n-型半導体領域」

(2) 「J F E T 領域 1 6」 「n-型半導体領域 ~ n+型半導体領域」

(3) 「電流拡散領域 1 7」 「n+型半導体領域」

(4) 「ソース領域 1 8」 「n++型半導体領域」

(5) 「ボディ領域 1 9」 「p型半導体領域」

(6) 「接続領域 2 0」 「p型半導体領域」

(7) 「ガード領域 2 1」 「p型半導体領域」

(8) 「電位固定領域 2 2」 「p++型半導体領域」

次に、それぞれの半導体領域の主な機能について説明する。

【 0 0 4 5 】

ソース領域 1 8 は、ソース電極 2 4 と電氣的に接続され、ソース領域 1 8 とソース電極 2 4 との接触をオーミック接触とするとともにオン抵抗を低減するため、n++型半導体領域から構成されている。ボディ領域 1 9 は、トレンチ T R 1 に埋め込まれているゲート電極 1 2 にしきい値以上のゲート電圧が印加された場合、トレンチ T R 1 の側面と接触する領域に反転層であるチャンネルを形成するための半導体領域である。

【 0 0 4 6 】

接続領域 2 0 は、ボディ領域 1 9 とガード領域 2 1 とを電氣的に接続する領域であり、この接続領域 2 0 は、電位固定領域 2 2 と電氣的に接続されている。電位固定領域 2 2 は、図 4 には示されていないが、ソース領域 1 8 とともにソース電極 2 4 と電氣的に接続されており、ソース電極 2 4 と電位固定領域 2 2 との接触をオーミック接触とするために、不純物濃度の高い p++型半導体領域から構成されている。これにより、電位固定領域 2 2、ボディ領域 1 9、接続領域 2 0 およびガード領域 2 1 は、互いに電氣的に接続されることになり、ソース電極 2 4 から供給されるグランド電位 (0 V) が印加される。

【 0 0 4 7 】

電流拡散領域 1 7 は、オン電流が流れる半導体領域であり、オン抵抗を低減するため、エピタキシャル層 1 5 よりも不純物濃度の高い n+型半導体領域から構成される。J F E T 領域 1 6 は、互いに隣り合う一対のガード領域 2 1 に挟まれた領域に形成され、炭化珪素パワー半導体装置 1 0 がオフした際、ガード領域 2 1 に 0 V が印加されている一方、J F E T 領域 1 6 に正電圧が印加されて、ガード領域 2 1 と J F E T 領域 1 6 とに逆バイアス電圧が印加される。この結果、J F E T 領域 1 6 全体に空乏層が延びて、J F E T 領域 1 6 全体が空乏化することにより、リーク電流を遮断することができるのと同時に耐圧を確保することができる。また、エピタキシャル層 1 5 は、炭化珪素パワー半導体装置 1 0 がオフした際、エピタキシャル層 1 5 の内部に空乏層が延びて耐圧を確保する機能を有する。

【 0 0 4 8 】

< 炭化珪素パワー半導体装置の動作 >

本実施の形態における炭化珪素パワー半導体装置 1 0 は、上記のように構成されており、以下に、その動作について説明する。

【 0 0 4 9 】

10

20

30

40

50

まず、オン動作について説明する。炭化珪素パワー半導体装置 10 をオン動作させる際、ソース電極 24 にグランド電位 (0 V) が印加されているとともに、ドレイン電極 14 に正電圧 (数百 V) が印加された状態で、トレンチ TR 1 に埋め込まれたゲート電極 12 にしきい値以上のゲート電圧を印加する。すると、トレンチ TR 1 の 4 つの側面に接するボディ領域 19 に反転層からなるチャンネルが形成される。この結果、ドレイン電極 14 基板 13 エピタキシャル層 15 JFET 領域 16 電流拡散領域 17 チャンネル ソース領域 18 ソース電極 24 の経路でオン電流が流れる。

【0050】

このとき、トレンチ TR 1 の底部は、グランド電位が供給されているガード領域 21 で覆われていることから、トレンチ TR 1 の底部にある角部での電界集中の発生が抑制される。これにより、トレンチ TR 1 の角部に形成されているゲート絶縁膜 11 の絶縁破壊に起因するデバイス動作不良を抑制することができる。

10

【0051】

続いて、オフ動作について説明する。炭化珪素パワー半導体装置 10 をオフ動作させる際、ソース電極 24 にグランド電位 (0 V) が印加されているとともに、ドレイン電極 14 に正電圧 (数百 V) が印加された状態で、トレンチ TR 1 に埋め込まれたゲート電極 12 にしきい値よりも小さいゲート電圧を印加する。すると、トレンチ TR 1 の 4 つの側面に形成されていた反転層からなるチャンネルが消滅する。この結果、オン電流が遮断される。

【0052】

ここで、オフ動作の際、エピタキシャル層 15、JFET 領域 16 および電流拡散領域 17 にわたって空乏層が延びる結果、耐圧を確保することができる。言い換えれば、ドレイン電極 14 とソース電極 24 との電位差とオフ時のサージ電圧とが加わっても、炭化珪素パワー半導体装置 10 は破壊されない。さらに、一对のガード領域 21 に挟まれた JFET 領域 16 が完全空乏化することから、リーク電流の発生を効果的に抑制できる。

20

【0053】

<実施の形態における特徴>

次に、本実施の形態における特徴点について説明する。

【0054】

本実施の形態における特徴点は、炭化珪素パワー半導体装置 10 のオン抵抗を低減する工夫点にあり、以下に示す第 1 特徴点と第 2 特徴点を有している。具体的に、第 1 特徴点の根底にある技術的思想は、ゲート電極のゲート幅を大きくすることを通じてオン抵抗を低減するという思想である。一方、第 2 特徴点の根底にある技術的思想は、互いに隣り合うトレンチ間の間隔をシュリンクしても、JFET 領域の面積低減を抑制する工夫を通じてオン抵抗の低減効果を高めるといった思想である。以下に、具体的に説明する。

30

【0055】

本実施の形態における第 1 特徴点は、例えば、図 1 と図 3 を比較するとわかるように、ストライプ形状のトレンチ TR (図 1 参照) に替えて、2 次元アレイ状 (ドット状) に配置されたトレンチ TR 1 (図 3 参照) を採用する点にある。これにより、トレンチをシュリンクした場合に、ゲート電極のゲート幅を大きくすることができる結果、炭化珪素パワー半導体装置のオン抵抗を低減することができる。

40

【0056】

図 5 は、2 次元アレイ状に配置されたトレンチ TR 1 を採用することにより、トレンチ TR 1 に埋め込まれたゲート電極のゲート幅を大きくできることを説明する図である。

【0057】

図 5 (a) は、図 1 に示す関連技術におけるストライプ形状のトレンチ TR を 2 つ並べて示す模式図である。図 5 (a) において、トレンチ TR の x 方向のトレンチ幅を「Lh」とし、トレンチ TR の y 方向のトレンチ幅を「Lv」として、2 つのトレンチ TR の間のトレンチ間隔を「Ls」とする。この場合、トレンチ TR の 4 側面がチャンネルとなることを考慮すると、ゲート幅 W は、以下の数式 1 で表される。

ゲート幅 $W = n \times 2 (Lh + Lv) \cdots$ (数式 1)

50

ここで、 n はトレンチTRの本数である。

【0058】

続いて、図5(b)は、図3に示す本実施の形態における2次元アレイ状に配置された複数のトレンチTR1を模式的に示す図である。図5(b)において、トレンチTR1の4側面がチャンネルとなることを考慮すると、ゲート幅 W は、以下の数式2で表される。

$$\begin{aligned} \text{ゲート幅 } W &= 2n \times 2 \{ (L_h - L_s) / 2 + L_v \} \\ &= n \times 2 (L_h + L_v) + n \times 2 (L_v - L_s) \cdots (\text{数式2}) \end{aligned}$$

【0059】

上述した数式1と数式2からわかるように、 $L_v > L_s$ が成立している場合は、本実施の形態におけるトレンチTR1のほうが、関連技術におけるトレンチTRよりもゲート幅 W が大きくなる。ここで、 $L_v > L_s$ が成立している場合とは、オン抵抗を低減するために、トレンチ間隔をシュリンクする場合に成立すると考えられる。このことから、トレンチ間隔をシュリンクする場合、本実施の形態におけるトレンチTR1によれば、関連技術におけるトレンチTRよりもゲート幅 W を大きくすることができる。

10

【0060】

したがって、本実施の形態における第1特徴点によれば、ゲート幅 W を大きくすることができる結果、チャンネル抵抗が低減されることを通じて、炭化珪素パワー半導体装置10のオン抵抗を低減することができることがわかる。

【0061】

次に、本実施の形態における第2特徴点について説明する。

20

【0062】

図6(a)は、関連技術を示す図2のB-B線でスライスした平面図の一部である。

【0063】

図6(a)に示すように、互いに隣り合う列に配列されたトレンチTRの間隔をシュリンクして炭化珪素パワー半導体装置100のオン抵抗を低減しようとする場合、必然的に、ドットを付したJFET領域のJFET長 L_2 の長さも短くなる。

【0064】

この結果、図6(a)に示す関連技術では、互いに隣り合う列に配列されたトレンチTRの間隔をシュリンクしても、JFET長 L_2 が短くなってオン電流が通りにくくなることから、オン抵抗の低減効果は限定的となってしまう。

30

【0065】

これに対し、図6(b)は、本実施の形態を示す図4のB-B線でスライスした平面図を単位として2枚左右に並べて示す平面図である。

【0066】

図6(b)に示すように、本実施の形態では、1つの列に複数のユニットセルCLが配置されている。具体的には、図6(b)に示すように、左側の列には、ユニットセルCL1とユニットセルCL2とユニットセルCL3とがy方向に配置されている。同様に、右側の列には、ユニットセルCL4とユニットセルCL5とユニットセルCL6とがy方向に配置されている。ここで、本実施の形態でいう「ユニットセル」とは、例えば、ユニットセルCL1に着目すると、x方向に並ぶ複数のトレンチTR1と、y方向に並ぶ複数のトレンチTR1とを含むことを前提として、平面視において、x方向に並ぶ複数のトレンチTR1とy方向に並ぶ複数のトレンチTR1は、複数のガード領域21のうちの単一のガード領域21Aに内包されている構成をいう。同様に、「ユニットセル」とは、例えば、ユニットセルCL2~ユニットセルCL3に着目すると、x方向に並ぶ複数のトレンチTR1と、y方向に並ぶ複数のトレンチTR1とを含むことを前提として、平面視において、x方向に並ぶ複数のトレンチTR1とy方向に並ぶ複数のトレンチTR1は、複数のガード領域21のうちの単一のガード領域(21B、21C)に内包されている構成をいう。

40

【0067】

例えば、図6(b)において、ユニットセルCL1は、x方向に並ぶ3つのトレンチT

50

R 1 × y 方向に並ぶ 3 つのトレンチ T R 1 = 合計 9 つのトレンチ T R 1 を含み、これらの 9 つのトレンチ T R 1 が単一のガード領域 2 1 A に内包されている。

【 0 0 6 8 】

そして、左側の列に配置されている 3 つのユニットセル C L 1 ~ C L 3 は、接続領域 2 0 で接続されている。同様に、右側の列に配置されている 3 つのユニットセル C L 4 ~ C L 6 は、接続領域 2 0 で接続されている。

【 0 0 6 9 】

ここで、ユニットセル C L (ユニットセル C L 1 ~ C L 6) は、平面視において、少なくとも互いに交差する第 1 辺 S 1 と第 2 辺 S 2 を有する平面形状から構成され、第 1 辺 S 1 および第 2 辺 S 2 は、ともに J F E T 領域 1 6 と接している。これにより、図 6 (b) に示す炭化珪素パワー半導体装置 1 0 では、J F E T 領域 1 6 に領域 R A が含まれることになる。すなわち、炭化珪素パワー半導体装置 1 0 では、例えば、互いに隣り合うユニットセル C L の間に挟まれた領域 R A に J F E T 領域 1 6 が形成される。

【 0 0 7 0 】

このように、本実施の形態における第 2 特徴点は、例えば、図 6 (b) に示すように、互いに隣り合うユニットセル C L に挟まれた領域 R A にも J F E T 領域 1 6 の一部を形成している点にある。これにより、図 6 (b) において、左側の列と右側の列との間の間隔をシュリンクする結果、必然的に、J F E T 長 L 2 が短くなったとしても、領域 R A に形成されている J F E T 領域 1 6 にシュリンクの影響は及ばない。このことから、J F E T 領域 1 6 の面積低減が抑制される。このことは、J F E T 長 L 2 を短くしても、J F E T 領域 1 6 における抵抗が高くなることを抑制できることを意味する。したがって、本実施の形態における第 2 特徴点によれば、炭化珪素パワー半導体装置 1 0 のオン抵抗の低減効果を高めることができる。

【 0 0 7 1 】

図 7 は、J F E T 領域の長さ と J F E T 領域の抵抗値 との関係を示すグラフである。

【 0 0 7 2 】

図 7 に示すように、関連技術では、J F E T 領域の長さが短くなると、J F E T 領域の抵抗値が急激に増大する結果、炭化珪素パワー半導体装置におけるトレンチ間隔のシュリンクによるオン抵抗の低減効果は限定的となる。

【 0 0 7 3 】

これに対して、本実施の形態では、J F E T 領域の長さが短くなっても、ユニットセル間に J F E T 領域の一部が形成されており、この J F E T 領域の面積は J F E T 領域の長さ短くすることによる影響を受けない。

【 0 0 7 4 】

このことから、本実施の形態によれば、J F E T 領域の長さを短くしても、一定の J F E T 領域の面積が確保されるため、J F E T 領域の抵抗値の急激な増加が抑制される。したがって、本実施の形態によれば、炭化珪素パワー半導体装置のオン抵抗の低減効果を大きくすることができる。

【 0 0 7 5 】

以上のことから、炭化珪素パワー半導体装置 1 0 によれば、上述した第 1 特徴点と第 2 特徴点との相乗効果によって、関連技術よりもオン抵抗の低減を図ることができる。ただし、本実施の形態では、必ずしも上述した第 1 特徴点と第 2 特徴点の両方を備えている必要はなく、第 1 特徴点と第 2 特徴点のいずれか一方を備える構成であっても、炭化珪素パワー半導体装置 1 0 のオン抵抗を低減できる効果が得られる。

【 0 0 7 6 】

また、図 6 (b) では、x 方向と y 方向が直交するような例を示したが、x 方向と y 方向は交差していればよい。すなわち、x 方向と y 方向のなす角が 0 度より大きく 1 8 0 度より小さければよい。なお、トレンチ T R 1 の形状は、説明を簡単にするため矩形形状としたが、例えば六角形や円形としても構わない。ただし、x 方向と y 方向とが直交し、かつ、トレンチ T R 1 の形状が矩形形状である構成は、デバイス設計上、簡易的である。

【 0 0 7 7 】

< 変形例 1 >

図 8 は、本変形例 1 における炭化珪素パワー半導体装置 1 0 A を示す平面図である。

【 0 0 7 8 】

図 8 において、複数のユニットセル C L のそれぞれは、3 つのトレンチ T R 1 を有し、3 つのトレンチ T R 1 のうち x 方向に 2 つのトレンチ T R 1 が並んで配置されているとともに、y 方向に 2 つのトレンチ T R 1 が並んで配置されている。そして、本変形例 1 においても、隣り合うユニットセル C L の間に J F E T 領域 1 6 が形成されている。

【 0 0 7 9 】

このように構成されている炭化珪素パワー半導体装置 1 0 A においても、上述した第 1 特徴点と第 2 特徴点とが具現化されている結果、オン抵抗を低減できる。

10

【 0 0 8 0 】

< 変形例 2 >

図 9 は、本変形例 2 における炭化珪素パワー半導体装置 1 0 B を示す平面図である。

【 0 0 8 1 】

図 9 において、複数のユニットセル C L のそれぞれは、x 方向に長辺を有する長方形形状（第 1 平面形状）からなるトレンチ T R 2 と、長方形形状とは異なる正方形形状（第 2 平面形状）からなる複数のトレンチ T R 2 とを有している。そして、例えば、複数のユニットセル C L のうちのユニットセル C L 1 に着目した場合、平面視において、トレンチ T R 1 と複数のトレンチ T R 2 は、複数のガード領域 2 1 のうちの単一のガード領域 2 1 A に内包されている。このとき、複数のトレンチ T R 2 は、x 方向に並んで配置されている。さらに、本変形例 2 においても、隣り合うユニットセル C L の間に J F E T 領域 1 6 が形成されている。このように構成されている炭化珪素パワー半導体装置 1 0 B においても、上述した第 1 特徴点と第 2 特徴点とが具現化されている結果、オン抵抗を低減できる。

20

【 0 0 8 2 】

< 変形例 3 >

図 1 0 は、本変形例 3 における炭化珪素パワー半導体装置 1 0 C を示す平面図である。

【 0 0 8 3 】

図 1 0 において、複数のユニットセル C L のそれぞれは、図 8 に示す変形例 1 と同様に、3 つのトレンチ T R 1 を有している一方、例えば、図 8 に示すガード領域 2 1 A（2 1 B、2 1 C）が、ガード領域 2 1 A 1（2 1 B 1、2 1 C 1）とガード領域 2 1 A 2（2 1 B 2、2 1 C 2）とに分割されている。そして、本変形例 3 では、ユニットセル C L 1 B とユニットセル C L 2 A との間およびユニットセル C L 2 B とユニットセル C L 3 A との間だけでなく、ガード領域 2 1 A 1（2 1 B 1、2 1 C 1）とガード領域 2 1 A 2（2 1 B 2、2 1 C 2）との間にも、J F E T 領域 1 6 が形成されている。

30

【 0 0 8 4 】

すなわち、本変形例 3 では、J F E T 長 L 2 を短くしても、面積が低減しない領域を増加させることができることから、J F E T 領域 1 6 の抵抗値の急激な増加が抑制される。したがって、本変形例 3 によれば、炭化珪素パワー半導体装置 1 0 C のオン抵抗の低減効果を大きくすることができる。

40

【 0 0 8 5 】

< 変形例 4 >

図 1 1 は、本変形例 4 における炭化珪素パワー半導体装置 1 0 D を示す平面図である。

【 0 0 8 6 】

図 1 1 において、複数のユニットセル C L のそれぞれは、x 方向に並んで配置される「n 個」のトレンチ T R 1 × y 方向に並んで配置される「m 個」のトレンチ T R 1 = 合計「n × m 個」のトレンチ T R 1 を有している。これらのトレンチ T R 1 は、ガード領域 2 1 に内包されている。そして、本変形例 4 における炭化珪素パワー半導体装置 1 0 D は、接続領域 2 0 と接続されているユニットセル C L の個数が「k 個」となっている。

【 0 0 8 7 】

50

ここで、「 n 」、「 m 」および「 k 」は自然数であり、「 n 」、「 m 」および「 k 」を適宜決定することにより、ユニットセル CL のそれぞれに含まれるトレンチ $TR1$ の個数および隣り合うユニットセル CL に挟まれる $JFET$ 領域 16 の面積を調整することができる。つまり、本変形例4によれば、ユニットセル CL のそれぞれに含まれるトレンチ $TR1$ の個数に基づいて、ゲート幅の大きさを調整できるとともに、接続領域 20 に接続されるユニットセル CL の個数に基づいて、 $JFET$ 長 $L2$ を短くしても面積が低減しない領域の大きさを調整することができる。このように本変形例4によれば、(n 、 m 、 k)の組み合わせによって、上述した第1特徴点によるオン抵抗の低減効果および上述した第2特徴点によるオン抵抗の低減効果をバランス調整することができる。

【0088】

<変形例5>

図12は、本変形例5におけるユニットセル $UCL1$ を示す平面図である。

【0089】

図12において、ユニットセル $UCL1$ は、平面視において矩形形状から構成されている。そして、ユニットセル $UCL1$ は、 $JFET$ 領域 16 の一部を構成する $JFET$ 領域 $16U$ と、ガード領域 21 の一部を構成するガード領域 $21U$ と、ガード領域 $21U$ と電氣的に接続された接続領域 $20U$ を有している。さらに、ユニットセル $UCL1$ は、接続領域 $20U$ 上に形成され、かつ、接続領域 $20U$ と平面的に重なる電位固定領域 $22U$ を有している。このように構成されているユニットセル $UCL1$ において、図12に示すように、 $JFET$ 領域 $16U$ が矩形形状の中央部に配置されている一方、電位固定領域 $22U$ が矩形形状の外周を囲む外周部に配置されている。この結果、ユニットセル $UCL1$ の構成によれば、電位固定領域 $22U$ の面積を大きくすることができるため、グラウンド電位の電位固定性が高い構造を実現することができる。

【0090】

<変形例6>

図13は、本変形例6におけるユニットセル $UCL2$ を示す平面図である。

【0091】

図13において、ユニットセル $UCL2$ は、平面視において矩形形状から構成されている。そして、ユニットセル $UCL2$ は、 $JFET$ 領域 16 の一部を構成する $JFET$ 領域 $16U$ と、ガード領域 21 の一部を構成するガード領域 $21U$ と、ガード領域 $21U$ と電氣的に接続された接続領域 $20U$ を有している。さらに、ユニットセル $UCL2$ は、接続領域 $20U$ 上に形成され、かつ、接続領域 $20U$ と平面的に重なる電位固定領域 $22U$ を有している。このように構成されているユニットセル $UCL2$ において、図13に示すように、電位固定領域 $22U$ が矩形形状の中央部に配置されている一方、 $JFET$ 領域 $16U$ が矩形形状の外周を囲む外周部に配置されている。この結果、ユニットセル $UCL2$ の構成によれば、 $JFET$ 領域 $16U$ の面積を大きくすることができるため、 $JFET$ 領域 $16U$ の抵抗低減および $JFET$ 領域 $16U$ における抵抗設計の自由度を向上できる。

【0092】

<変形例7>

本変形例7では、複数のユニットセル $UCL2$ の並べ方に関する構成について説明する。

【0093】

図14(a)は、複数のユニットセル $UCL2$ を並べる第1構成を示す平面図であり、図14(b)は、複数のユニットセル $UCL2$ を並べる第2構成を示す平面図である。

【0094】

図14(a)では、複数のユニットセル $UCL2$ が第1列と第2列に配置されており、第1列に配置されたユニットセル $UCL2$ の角部と第2列に配置されたユニットセル $UCL2$ の角部は互いに一致している。この図14(a)に示す配置構成の場合、領域 $R1$ において $JFET$ 領域 $16U$ に加わる電界強度が高くなる。

【0095】

これに対し、図14(b)では、複数のユニットセル $UCL2$ が第1列と第2列に配置

10

20

30

40

50

されており、第 1 列に配置されたユニットセル U C L 2 の角部と第 2 列に配置されたユニットセル U C L 2 の角部は列方向 (y 方向) にずれている。この結果、図 1 4 (b) に示す配置構成では、図 1 4 (a) に示す配置構成に比べて、領域 R 2 において J F E T 領域 1 6 U に加わる電界強度を緩和することができる。

【 0 0 9 6 】

したがって、ユニットセル U C L 2 の角部において J F E T 領域 1 6 U にかかる電界強度を緩和する観点からは、図 1 4 (a) に示す配置構成よりも図 1 4 (b) に示す配置構成を採用することが望ましい。

【 0 0 9 7 】

< 炭化珪素パワー半導体装置の製造方法 >

10

次に、本実施の形態における炭化珪素パワー半導体装置の製造方法を説明する。

【 0 0 9 8 】

図 1 5 は、炭化珪素パワー半導体装置の製造方法を説明するフローチャートである。

【 0 0 9 9 】

<< 半導体基板の準備工程 (S 1 0 1) >>

まず、n型の炭化珪素からなる基板を準備する。この基板としては、昇華法を使用して作製された基板や、溶液法を使用して作製された基板や、ガス成長法を使用して作製された基板を挙げることができる。さらには、既にエピタキシャル層を積層形成した基板を使用してもよい。この基板は、後述するエピタキシャル層を成長させる前に化学的機械研磨法 (C M P 法 : Chemical Mechanical Polishing) を実施してもよい。

20

【 0 1 0 0 】

基板に導入されているn型不純物の濃度は、例えば、 $1 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下とすることができる。そして、基板の結晶型は、4 H - S i C や 6 H や 3 C のいずれでもよい。また、基板の上面は、S i 面でも C 面でもよく、さらには、その他の面方位でもよい。なお、基板としては、オフ角を有する基板を使用することが望ましいが、オフ角の存在しないジャスト基板を使用してもよい。

【 0 1 0 1 】

<< エピタキシャル層の成長工程 (S 1 0 2) >>

キャリアガスに H₂ ガスを使用して、S i H₄ ガスと C₃ H₈ ガスを 1 5 0 0 以上の温度で加熱するエピタキシャル成長法を使用することにより、基板上にエピタキシャル層を形成する。具体的に、図 1 6 には、基板 1 3 上に形成されたエピタキシャル層 1 5 が図示されている。ここで、エピタキシャル層 1 5 の不純物濃度や膜厚は作製する炭化珪素パワー半導体装置によって異なるが、例えば、不純物濃度は $1 \times 10^{14} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下とすることが多く、膜厚は数 μ m 以上数十 μ m 以下とすることが多い。なお、エピタキシャル層 1 5 を形成する前に高濃度のバッファ層を形成してもよい。バッファ層の不純物濃度は、例えば、 $1 \times 10^{18} / \text{cm}^3$ 程度である。

30

【 0 1 0 2 】

<< イオン注入領域の形成工程 (S 1 0 3) >>

以下に説明するイオン注入領域の極性は、p型とn型とを反転させてもよい。p型の注入イオンとしては、アルミニウムやボロンを挙げることができる。一方、n型の注入イオンは、窒素やリンを挙げることができる。

40

【 0 1 0 3 】

例えば、図 1 7 に示すように、上述したエピタキシャル層 1 5 に p 型半導体領域であるボディ領域 1 9、電位固定領域 2 2、接続領域 2 0 およびガード領域 2 1 をイオン注入法で形成するとともに、n型半導体領域であるソース領域 1 8、電流拡散領域 1 7 および J F E T 領域 1 6 をイオン注入法で形成するこのとき、ボディ領域 1 9 は、p 型のエピタキシャル成長法で形成してもよい。

【 0 1 0 4 】

図 1 7 に示すように、ソース領域 1 8 と電位固定領域 2 2 は、エピタキシャル層 1 5 の表面に形成される。ボディ領域 1 9 は、ソース領域 1 8 と接しており、ソース領域 1 8 よ

50

りも深い箇所に形成される。さらに、ボディ領域 19 は、電位固定領域 22 および接続領域 20 と電氣的に接続されている。また、電流拡散領域 17 は、ボディ領域 19 と接しており、ボディ領域 19 よりも深い箇所に形成される。

【0105】

ガード領域 21 は、電流拡散領域 17 と接しており、電流拡散領域 17 よりも深い箇所に形成される。そして、ガード領域 21 は、接続領域 20 を介して、電位固定領域 22 と電氣的に接続されている。JFET 領域 16 は、電流拡散領域 17 とエピタキシャル層 15 とを繋ぐ領域であり、互いに隣り合う一対のガード領域 21 に挟まれる領域である。この JFET 領域 16 は、低抵抗化のためにイオン注入を行ってもよい。

【0106】

なお、本明細書では、炭化珪素パワー半導体装置が動作する最小限の構成を示していることから、例えば、ターミネーション領域などの機能を付加する構造を作製してもよいし、裏面コンタクトの導電性を上げるために裏面に窒素等のイオンを注入してもよい。

【0107】

イオン注入工程を実施した後、基板 13 およびエピタキシャル層 15 の周囲に不純物活性化アニールのキャップ材である炭素膜を堆積させる。そして、例えば、1600 以上 1800 以下の温度 p で不純物活性化アニールを実施する。その後、キャップ材である炭素膜を酸素プラズマアッシングにより除去する。この工程の後、さらに清浄な表面を得るために、熱酸化膜を形成した後、希釈フッ酸溶液を使用して除去してもよい。

【0108】

<<トレンチの形成工程(S104)>>

続いて、図 18 に示すように、ソース領域 18 とボディ領域 19 と電流拡散領域 17 を貫通してガード領域 21 に底部が達するトレンチ TR1 を形成する。このトレンチ TR1 は、例えば、フォトリソグラフィ技術およびエッチング技術を使用することにより形成することができる。このとき、トレンチ TR1 を形成するパターニングの際に使用されるマスクを工夫することによって、例えば、平面視において図 3 に示すレイアウトのトレンチ TR1 が形成される。なお、エッチングした表面を清浄化するために、熱酸化膜を形成した後希釈フッ酸溶液で除去する処理を実施してもよい。

【0109】

<<ゲート絶縁膜の形成工程(S105)>>

次に、例えば、図 19 に示すように、CVD法(Chemical Vapor Deposition)を使用することにより、トレンチ TR1 の内壁にゲート絶縁膜 11 を形成する。例えば、ゲート絶縁膜 11 は、厚さ 10 nm 以上 100 nm 以下の堆積酸化膜から構成される。なお、ゲート絶縁膜 11 は炭化珪素(SiC)からなる基板を熱酸化することにより形成してもよい。この後、ゲート絶縁膜 11 と基板との界面の改質のために「POA処理」や「PDA処理」を行ってもよい。

【0110】

<<ゲート電極の形成工程(S106)>>

続いて、図 19 に示すように、CVD法を使用することにより、厚さ 100 nm 以上 300 nm 以下の n 型多結晶シリコン膜からなるゲート電極 12 が形成される。このゲート電極 12 は、トレンチ TR1 の内部に埋め込まれるように形成される。

【0111】

<<電極の形成工程(S107)>>

次に、例えば、図 4 に示すように、ゲート電極 12 を覆うように層間絶縁膜 23 を形成する。その後、ソース領域 18 と電位固定領域 22 とコンタクトを取るために、レジスト膜をマスクとして層間絶縁膜 23 をエッチングすることによりコンタクトホールを形成する。そして、シリサイド用金属膜を堆積させた後、例えば、700 以上 1000 以下のアニール処理を行うことによってシリサイド化を行い、ソース領域 18 と電位固定領域 22 に共通する共通コンタクトを形成する。

【0112】

10

20

30

40

50

続いて、ゲート電極 1 2 とコンタクトを取るために、層間絶縁膜 2 3 をエッチングすることにより、ゲート電極用コンタクトホールを形成した後、このゲート電極用コンタクトホールに導体膜を埋め込むことにより、ゲート電極用コンタクトを形成する。

【 0 1 1 3 】

次に、ソース領域 1 8 および電位固定領域 2 2 と電氣的に接続されるソース電極 2 4 を形成する。そして、基板 1 3 の裏面にドレイン電極 1 4 を形成する。

【 0 1 1 4 】

以上のようにして、炭化珪素パワー半導体装置 1 0 を製造することができる。

【 0 1 1 5 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

10

【符号の説明】

【 0 1 1 6 】

1 6 J F E T 領域

1 6 U J F E T 領域

2 1 ガード領域

2 1 A ガード領域

2 1 B ガード領域

2 1 C ガード領域

2 1 U ガード領域

2 2 電位固定領域

2 2 U 電位固定領域

C L ユニットセル

C L 1 ユニットセル

C L 2 ユニットセル

C L 3 ユニットセル

C L 4 ユニットセル

C L 5 ユニットセル

C L 6 ユニットセル

S 1 第 1 辺

S 2 第 2 辺

T R 1 トレンチ

T R 2 トレンチ

U C L 1 ユニットセル

U C L 2 ユニットセル

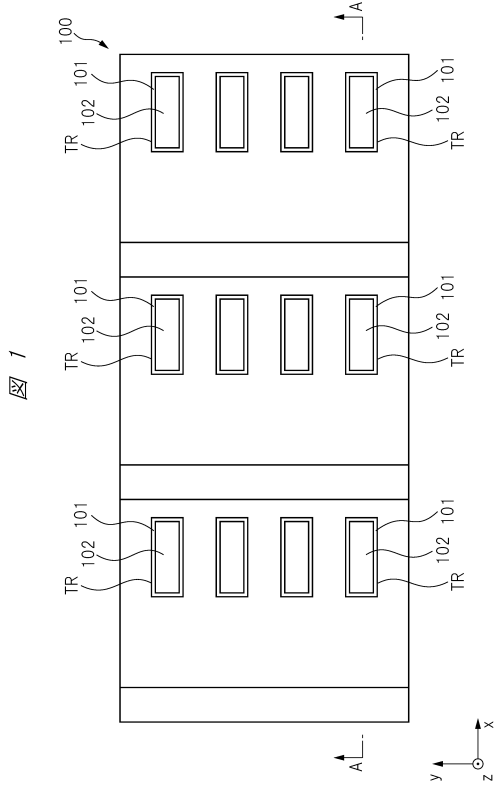
20

30

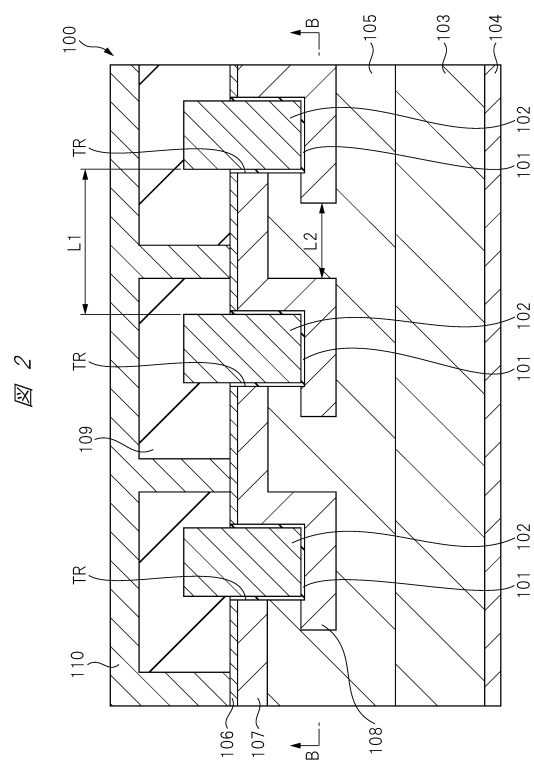
40

50

【図面】
【図 1】



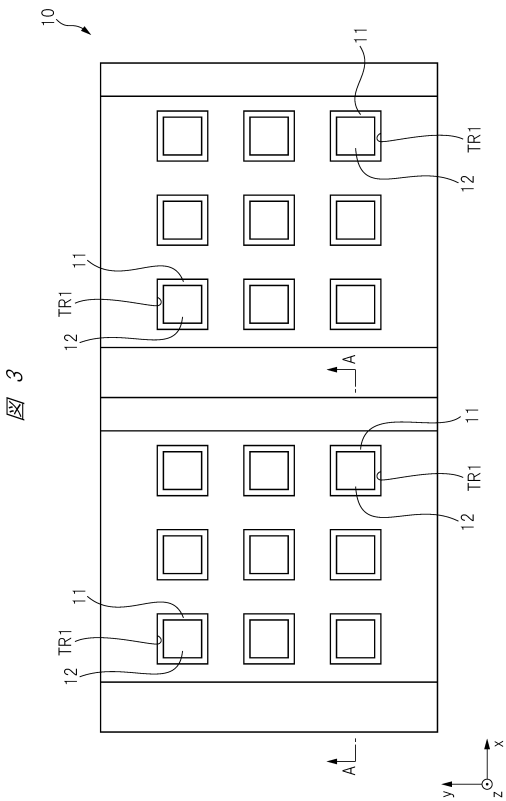
【図 2】



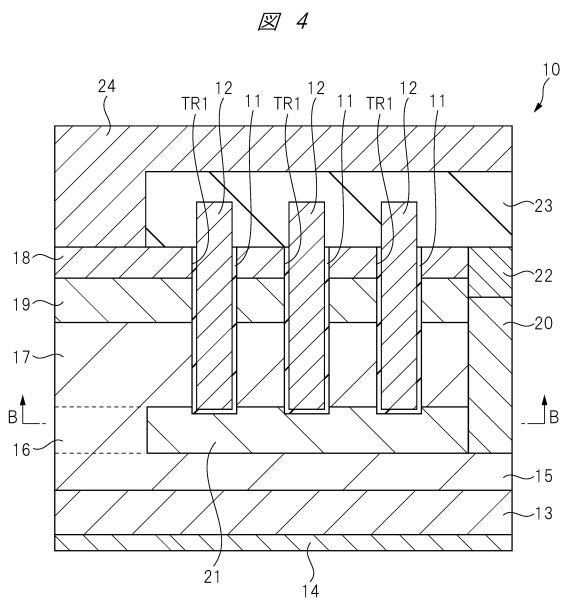
10

20

【図 3】



【図 4】



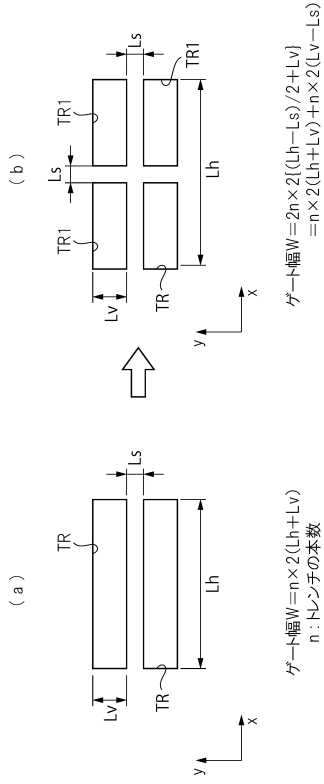
30

40

50

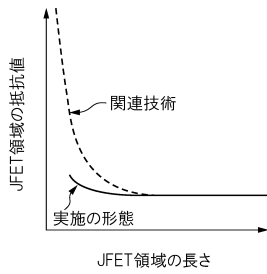
【図5】

図5



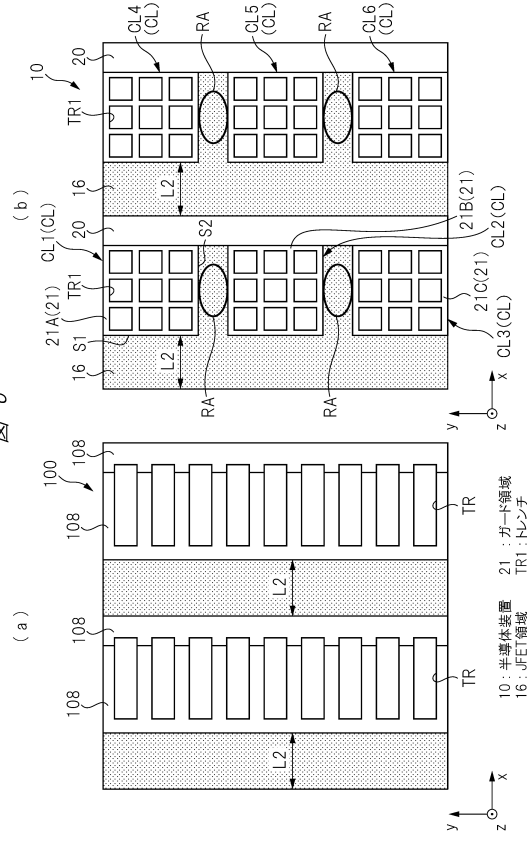
【図7】

図7



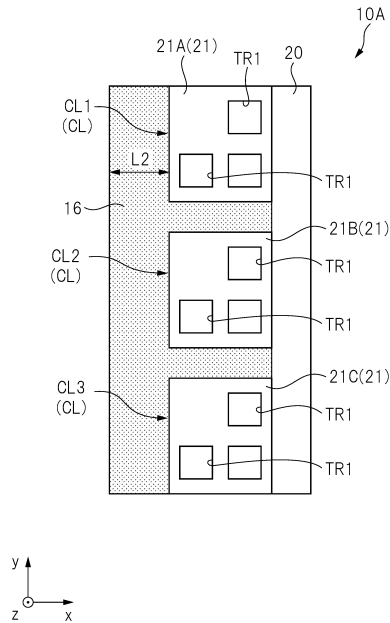
【図6】

図6



【図8】

図8



10

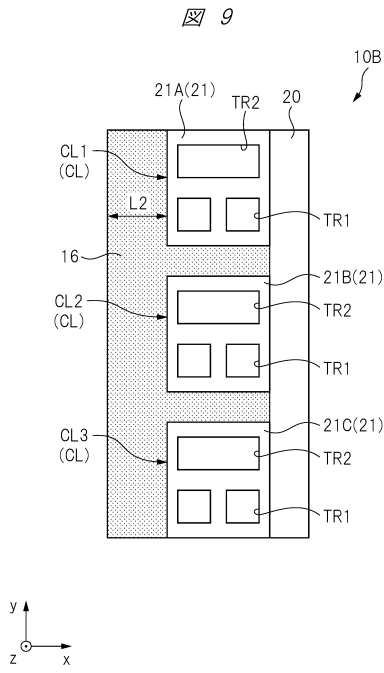
20

30

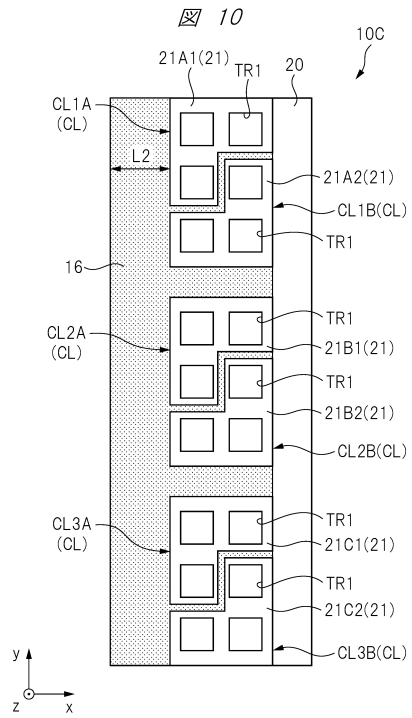
40

50

【 図 9 】



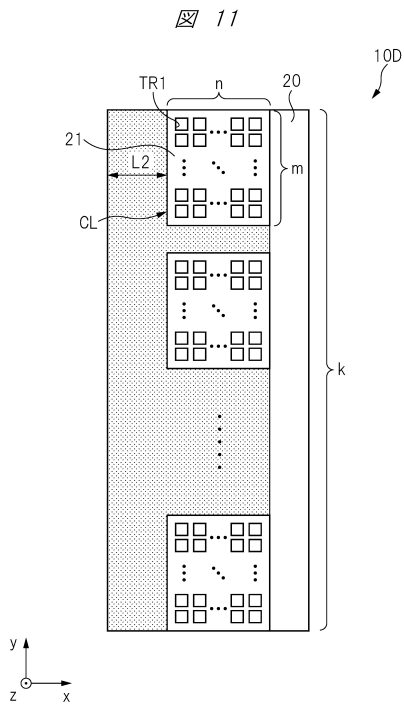
【 図 10 】



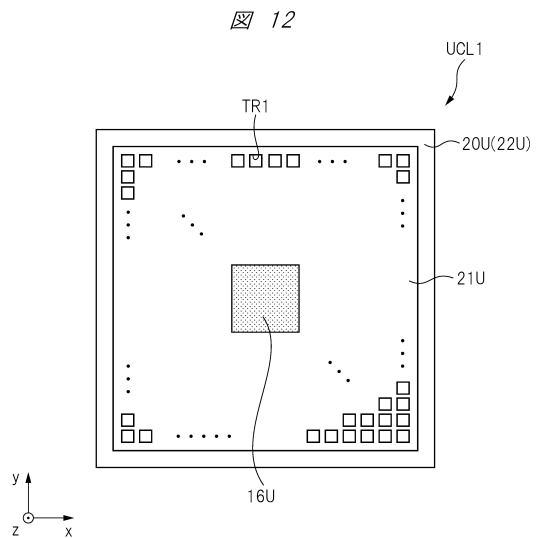
10

20

【 図 11 】



【 図 12 】

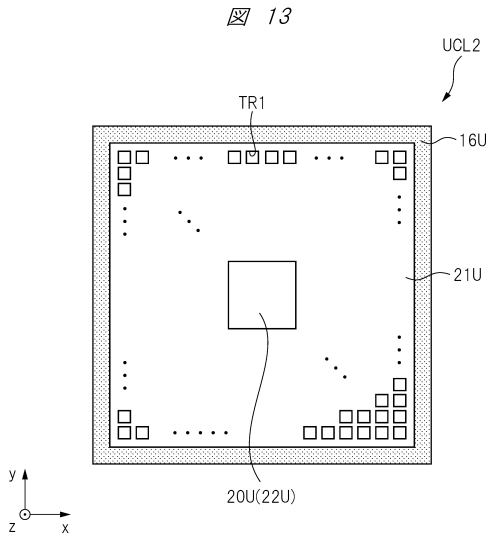


30

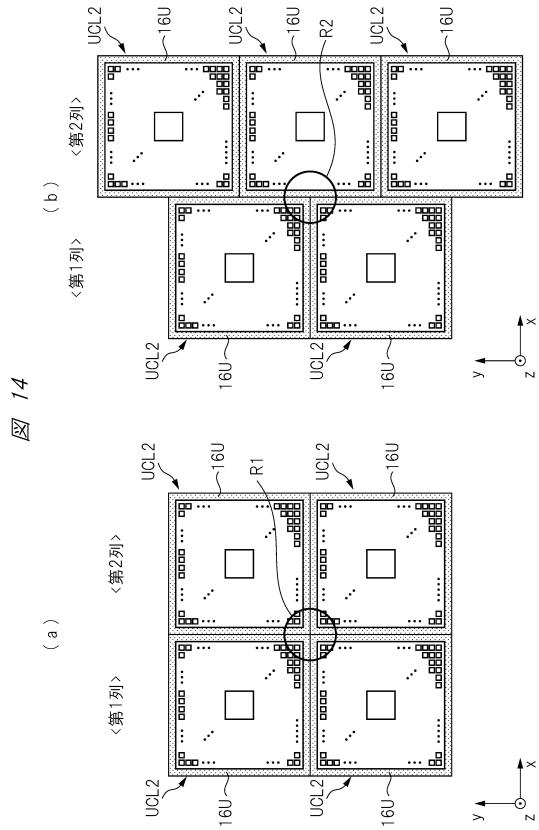
40

50

【図13】



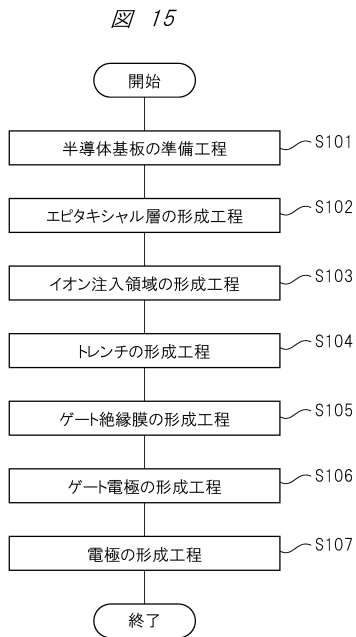
【図14】



10

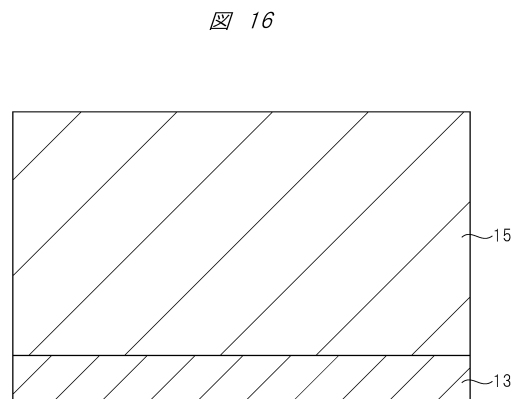
20

【図15】



30

【図16】



40

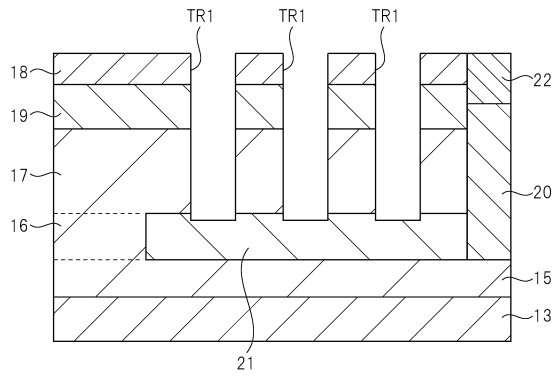
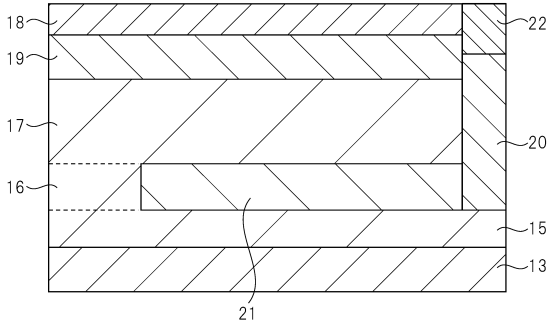
50

【図 17】

【図 18】

図 17

図 18

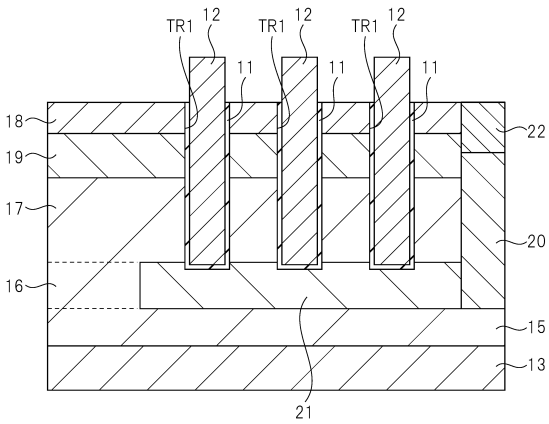


10

20

【図 19】

図 19



30

40

50

フロントページの続き

- (56)参考文献 特開 2019 - 212718 (JP, A)
特開 2019 - 54043 (JP, A)
特開 2019 - 91892 (JP, A)
米国特許出願公開第 2009 / 0072241 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
H01L 29 / 78
H01L 29 / 12