



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0134883
(43) 공개일자 2019년12월05일

(51) 국제특허분류(Int. Cl.)
H03M 1/06 (2006.01) H03M 1/38 (2006.01)
(52) CPC특허분류
H03M 1/0604 (2013.01)
H03M 1/38 (2013.01)
(21) 출원번호 10-2018-0051709
(22) 출원일자 2018년05월04일
심사청구일자 2018년05월04일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
이승훈
서울특별시 용산구 이촌로 310, 101동 2303호(이촌동, 래미안 첼리투스)
박준상
서울특별시 동작구 사당로2길 2-32, 102동 1203호(상도동, 상도현대아파트)
(74) 대리인
특허법인충현

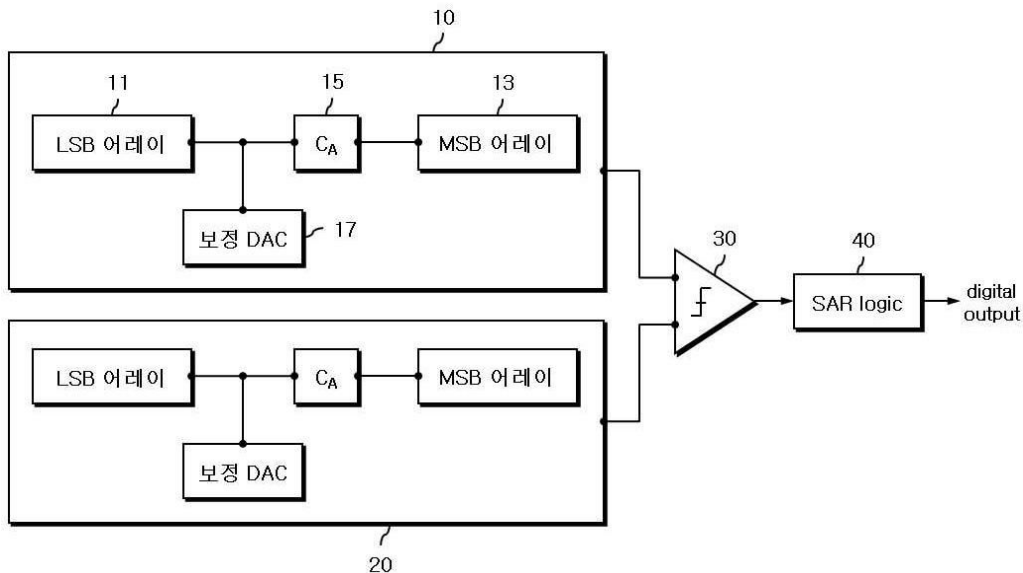
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 정수배 분리형 커패시터 구조에 기반한 아날로그 디지털 컨버터

(57) 요약

본 발명은 정수배 분리형 커패시터 구조에 기반한 아날로그 디지털 컨버터에 관한 것으로, 최상위 비트(most significant bit, MSB) 열과 최하위 비트(least significant bit, LSB) 열을 포함하는 커패시터 어레이(capacitor array) 및 커패시터 어레이 내부의 기생 커패시턴스(parasitic capacitance)에 의해 비선형성을 감소시키는 보정 DAC(digital-to-analogue converter)를 포함하고, 커패시터 어레이는 단위 커패시터(unit capacitor)의 정수배에 기반한 분리형 커패시터(split capacitor) 구조에 따라 형성된다.

대표도



(72) 발명자

안태지

서울특별시 마포구 백범로10길 26, 105호(신수동)

이은창

경기도 안양시 동안구 경수대로 492, 1동 912호(호계동, 삼호우주아파트)

김동현

경기도 과천시 관문로 166, 1009동 201호(중앙동, 주공아파트)

여인환

서울특별시 성북구 인촌로17가길 64, 104동 503호(안암동1가, 래미안 안암)

이 발명을 지원한 국가연구개발사업

과제고유번호 10080488

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 고속 고해상도 ADC 기술개발

기 여 율 1/1

주관기관 한양대학교 산학협력단

연구기간 2017.07.01 ~ 2018.03.31

명세서

청구범위

청구항 1

최상위 비트(most significant bit, MSB) 열과 최하위 비트(least significant bit, LSB) 열을 포함하는 커패시터 어레이(capacitor array); 및

상기 커패시터 어레이 내부의 기생 커패시턴스(parasitic capacitance)에 의해 비선형성을 감소시키는 보정 DAC(digital-to-analogue converter)를 포함하고,

상기 커패시터 어레이는,

단위 커패시터(unit capacitor)의 정수배에 기반한 분리형 커패시터(split capacitor) 구조에 따르는 것을 특징으로 하는 아날로그 디지털 컨버터(analogue-to-digital converter, ADC).

청구항 2

제 1 항에 있어서,

상기 커패시터 어레이는,

상기 최상위 비트 열과 상기 최하위 비트 열 간에 단위 커패시터의 정수배 크기를 갖는 연결 커패시터(attenuation capacitor)를 이용하여 브릿지(bridge)를 형성하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 3

제 2 항에 있어서,

상기 연결 커패시터는 상기 단위 커패시터의 4배로 구성되는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 4

제 2 항에 있어서,

상기 커패시터 어레이는,

이진 가중치 커패시터 어레이 구조를 형성하되, 상기 최하위 비트 열에 추가적으로 요구되는 단위 커패시터의 정수배 크기를 갖는 더미 커패시터를 보정을 위한 가변 커패시터(variable capacitor)로 사용하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 5

제 1 항에 있어서,

상기 보정 DAC는,

상기 커패시터 어레이의 상기 최하위 비트 열에 보정을 위한 가변 커패시터를 적용하여 상기 최하위 비트 열 및 상기 커패시터 어레이 내의 연결 커패시터의 기생 커패시턴스에 의한 선형성 저하를 완화하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 6

제 5 항에 있어서,

상기 가변 커패시터는,

복수 개의 단위 커패시터가 이진 가중치 구조를 형성하되,

상기 최하위 비트 열 및 상기 연결 커패시터에 의한 가중치 오류가 발생할 경우 상기 최하위 비트 열의 가중치와의 비교를 통해 커패시턴스를 조절함으로써 상기 최하위 비트 열의 가중치와 상기 가중치 오류가 근사값을 갖

도록 보정하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 7

제 6 항에 있어서,

상기 가변 커패시터는,

미리 설정된 보정의 최대값에 도달할 때까지 상기 최하위 비트 열의 가중치와 상기 가중치 오류가 근사해지도록 외부 디지털 코드를 이용한 스위칭을 통해 상기 가변 커패시터의 커패시턴스를 조절하는 과정을 반복하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 8

제 1 항에 있어서,

상기 커패시터 어레이는,

복합 스위칭 방식을 적용하되,

2개의 단위 커패시터를 직렬 연결하여 상기 최하위 비트 열의 가장 작은 커패시터를 형성하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 9

제 1 항에 있어서,

상기 커패시터 어레이는 복수 개 구비되고,

상기 복수 개의 커패시터 어레이의 출력 신호를 비교하는 비교기(comparator); 및

상기 비교기에 연결되는 SAR(successive-approximation- register) 논리회로를 더 포함하는 아날로그 디지털 컨버터.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항의 아날로그 디지털 컨버터를 포함하는 IoT(internet of things) 장치.

발명의 설명

기술 분야

[0001] 본 발명은 아날로그 디지털 컨버터(analog-to-digital Converter, ADC) 기술에 관한 것으로서, 특히 저전력 및 저면적의 환경에서 높은 선형성을 갖는 SAR(successive approximation register) ADC에 관한 것이다.

배경 기술

[0002] 최근 다양한 네트워크 기술을 기반으로 사물들을 연결하여 서비스를 제공하는 IoT(Internet of Things)에 대한 관심이 높아져 가고 있다. 이러한 IoT 응용을 위해서는 10b 이상의 해상도 및 수 MS/s 수준의 동작속도를 만족시키는 저전력 및 저면적의 ADC가 요구된다. 이와 같은 여러 가지 요구사항을 만족시키기 위해 미세 나노 공정 기술의 발달에 힘입어 파이프라인(pipeline), 델타-시그마(delta-sigma) 및 알고리즘 구조(algorithmic structure)의 ADC에 비해 전력 및 면적 측면에서 유리한 SAR ADC가 주로 사용된다.

[0003] 그러나, SAR ADC에서 활용되는 통상적인 분리형 가중치 커패시터 구조에서는 커패시터 어레이의 부정합에 따른 선형성 저하의 문제가 발생할 뿐만 아니라, 커패시터 어레이를 구성하는 단위 커패시터의 개수가 많다는 점이 약점으로 지적되었다. 따라서, 고해상도 및 높은 동작 속도를 만족시키면서도 저전력 및 저면적의 ADC 구현을 위한 개선이 요구된다.

선행기술문헌

비특허문헌

- [0004] (비특허문헌 0001) Y. Li., and Y. Lian.: 'Improved binary-weighted split-capacitive-array DAC for high-resolution SAR ADCs', Electron. Lett., 2014, 50, (17), pp. 1194-1195, doi: 10.1049/el.2014.1752

발명의 내용

해결하려는 과제

- [0005] 본 발명이 해결하고자 하는 기술적 과제는, 종래의 SAR ADC에서 활용되는 분리형 가중치 커패시터 구조가 커패시터 어레이의 부정합에 따른 선형성이 저하되는 문제를 해결하고, 커패시터 어레이를 구성하는 전체 단위 커패시터의 개수가 너무 많다는 한계를 극복하고자 한다.

과제의 해결 수단

- [0006] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터(analogue-to-digital converter, ADC)는, 최상위 비트(most significant bit, MSB) 열과 최하위 비트(least significant bit, LSB) 열을 포함하는 커패시터 어레이(capacitor array); 및 상기 커패시터 어레이 내부의 기생 커패시턴스(parasitic capacitance)에 의해 비선형성을 감소시키는 보정 DAC(digital-to-analogue converter)를 포함하고, 상기 커패시터 어레이는, 단위 커패시터(unit capacitor)의 정수배에 기반한 분리형 커패시터(split capacitor) 구조에 따라 형성된다.

- [0007] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 커패시터 어레이는, 상기 최상위 비트 열과 상기 최하위 비트 열 간에 단위 커패시터의 정수배 크기를 갖는 연결 커패시터(attenuation capacitor)를 이용하여 브릿지(bridge)를 형성할 수 있다. 또한, 상기 연결 커패시터는 상기 단위 커패시터의 4배로 구성될 수 있다. 나아가, 상기 커패시터 어레이는, 이진 가중치 커패시터 어레이 구조를 형성하되, 상기 최하위 비트 열에 추가적으로 요구되는 단위 커패시터의 정수배 크기를 갖는 더미 커패시터를 보정을 위한 가변 커패시터(variable capacitor)로 사용할 수 있다.

- [0008] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 보정 DAC는, 상기 커패시터 어레이의 상기 최하위 비트 열에 보정을 위한 가변 커패시터를 적용하여 상기 최하위 비트 열 및 상기 커패시터 어레이 내의 연결 커패시터의 기생 커패시턴스에 의한 선형성 저하를 완화할 수 있다. 또한, 상기 가변 커패시터는, 복수 개의 단위 커패시터가 이진 가중치 구조를 형성하되, 상기 최하위 비트 열 및 상기 연결 커패시터에 의한 가중치 오류가 발생할 경우 상기 최하위 비트 열의 가중치와의 비교를 통해 커패시턴스를 조절함으로써 상기 최하위 비트 열의 가중치와 상기 가중치 오류가 근사값을 갖도록 보정할 수 있다. 나아가, 상기 가변 커패시터는, 미리 설정된 보정의 최대 값에 도달할 때까지 상기 최하위 비트 열의 가중치와 상기 가중치 오류가 근사해지도록 외부 디지털 코드를 이용한 스위칭을 통해 상기 가변 커패시터의 커패시턴스를 조절하는 과정을 반복할 수 있다.

- [0009] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 커패시터 어레이는, 복합 스위칭 방식을 적용하되, 2개의 단위 커패시터를 직렬 연결하여 상기 최하위 비트 열의 가장 작은 커패시터를 형성할 수 있다.

- [0010] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 커패시터 어레이는 복수 개 구비되고, 상기 복수 개의 커패시터 어레이의 출력 신호를 비교하는 비교기(comparator); 및 상기 비교기에 연결되는 SAR(successive-approximation- register) 논리회로를 더 포함할 수 있다.

- [0011] 한편, 이하에서는 상기 기재된 아날로그 디지털 컨버터를 포함하는 IoT(internet of things) 장치를 제공한다.

발명의 효과

- [0012] 본 발명의 실시예들은, 단위 커패시터의 정수배에 기반한 분리형 가중치 커패시터 구조를 이용한 DAC 구조를 적용하여, 저전력 및 저면적의 ADC를 구현하였으며, 또한 LSB 열에 가변 커패시터를 기반으로 하는 보정 회로를 적용하여 LSB 열의 top plate 및 연결 커패시터의 기생 커패시턴스에 의한 선형성 저하를 완화하여 고선형성을 갖는 ADC를 구현하는 것이 가능하다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일 실시예에 따른 ADC의 구조를 도시한 블록도이다.

도 2는 본 발명의 일 실시예에 따른 도 1의 ADC 구조를 10b SAR ADC로 구현한 회로도들을 예시한 도면이다.

도 3은 분리형 가중치 커패시터 구조를 구현하는 방식의 차이를 설명하기 위한 도면이다.

도 4는 커패시터 어레이 내의 기생 커패시턴스를 설명하기 위한 도면이다.

도 5는 보정을 위한 가변 커패시터를 설명하기 위한 도면이다.

도 6은 본 발명의 일 실시예에 따른 ADC를 구현한 프로토타입(prototype)의 칩 레이아웃(chip layout)을 예시한 도면이다.

도 7 및 도 8은 본 발명의 일 실시예에 따른 ADC의 보정 전후의 정적 및 동적 성능을 측정한 결과를 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하에서는 도면을 참조하여 본 발명의 실시예들을 구체적으로 설명하도록 한다. 다만, 하기의 설명 및 첨부된 도면에서 본 발명의 요지를 흐릴 수 있는 공지 기능 또는 구성에 대한 상세한 설명은 생략한다. 덧붙여, 명세서 전체에서, 어떤 구성 요소를 '포함'한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0015] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0016] 특별히 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0017] 도 1은 본 발명의 일 실시예에 따른 ADC의 구조를 도시한 블록도로서, 복수 개의 커패시터 어레이(capacitor array)(10, 20), 비교기(30) 및 SAR(successive-approximation- register) 논리회로(40)를 포함할 수 있다.
- [0018] 커패시터 어레이(10)는, 최상위 비트(most significant bit, MSB) 열(13)과 최하위 비트(least significant bit, LSB) 열(11)을 포함하고, 상기 커패시터 어레이(10) 내부의 기생 커패시턴스(parasitic capacitance)에 의해 비선형성을 감소시키는 보정 DAC(digital-to-analogue converter)(17)를 포함한다.
- [0019] 본 발명의 실시예들에서 이러한 커패시터 어레이(10)는 공통적으로 단위 커패시터(unit capacitor)의 정수배에 기반한 분리형 커패시터(split capacitor) 구조에 따라 형성된다. 보다 구체적으로, 커패시터 어레이(10)는, 상기 최상위 비트 열(13)과 상기 최하위 비트 열(11) 간에 단위 커패시터의 정수배 크기를 갖는 연결 커패시터(attenuation capacitor)(15)를 이용하여 브릿지(bridge)를 형성하는 것이 바람직하다. 왜냐하면, 최상위 비트 열과 최하위 비트 열을 연결함에 있어서, 단위 커패시터의 비정수배의 크기를 갖는 연결 커패시터를 사용할 경우 연결 커패시터의 커패시터간 부정합에 의해 선형성이 저하는 문제가 나타나기 때문이다. 따라서, 도 1의 커패시터 어레이(10, 20)에서는 정합 특성을 향상시키기 위해 단위 커패시터의 정수배의 크기를 갖는 연결 커패시터를 사용하였다.
- [0020] 또한, 보정 DAC(17)는, 상기 커패시터 어레이(10)의 상기 최하위 비트 열(11)에 보정을 위한 가변 커패시터(variable capacitor)를 적용하여 상기 최하위 비트 열(11) 및 상기 커패시터 어레이 내의 연결 커패시터(15)의 기생 커패시턴스에 의한 선형성 저하를 완화하게 된다.
- [0021] 이러한 커패시터 어레이(10, 20)는 복수 개 구비되고, 상기 복수 개의 커패시터 어레이의 출력 신호를 비교하는 비교기(comparator)(30) 및 상기 비교기(30)에 연결되는 SAR(successive-approximation- register) 논리회로(40)를 더 포함하여 아날로그 디지털 컨버터를 구성할 수 있다.
- [0022] 나아가, 이러한 아날로그 디지털 컨버터를 포함하여 IoT(internet of things) 장치를 구현할 수 있는데, 제안되는 구조의 특성으로 인해 저전력 및 저면적의 구현이 가능하므로 소형화된 IoT 장치 설계에 유리하다.

- [0023] 도 1을 통해 기술한 본 발명의 일 실시예에 따르면, 예를 들어, 0.7 V의 낮은 전원전압에서 저전력을 필요로 하는 IoT 응용을 위한 10b 5MS/s SAR ADC를 제공할 수 있다. 제안하는 ADC는 정수배 기반의 분리형 가중치 커패시터 구조를 이용한 DAC(digital-to-analogue converter)를 기반으로 하여 사용되는 단위 커패시터 (unit capacitor)의 개수를 줄이는 동시에 면적 및 전력소모를 감소시킬 수 있다. 또한, 일반적인 분리형 가중치 커패시터 구조와 달리 연결 커패시터(attenuation capacitor)를 단위 커패시터의 정수배 크기로 집적함과 동시에 커패시터 어레이 내부의 기생 커패시턴스에 의한 비선형성을 줄이기 위해 가변 커패시터를 이용한 보정을 적용하여 저전력, 저면적 및 고선형성을 갖는 SAR ADC를 구현할 수 있다는 장점을 갖는다.
- [0024] 도 2는 본 발명의 일 실시예에 따른 도 1의 ADC 구조를 10b 5MS/s 28nm CMOS SAR ADC로 구현한 회로도를 예시한 도면이다.
- [0025] 본 실시예가 제안하는 ADC의 커패시터 어레이는 정수배 기반의 분리형 가중치 커패시터 구조 기반으로, 최상위 비트(MSB) 열과 최하위 비트(LSB) 열에서 각각 6b 및 4b를 결정한다. 또한 단위 커패시터(C_U)의 정수배 크기를 갖는 연결 커패시터(C_A)를 적용함으로써, 일반적인 분리형 가중치 커패시터 구조에서 발생하는 연결 커패시터(C_A)와 커패시터 어레이 간의 부정합에 따른 선형성 저하를 완화하였다.
- [0026] 한편, 연결 커패시터(C_A)를 이용한 분리형 가중치 커패시터 구조는 통상 LSB 열 및 연결 커패시터(C_A)의 기생 커패시턴스에 의해 선형성을 저하하는 단점이 있다. 본 실시예가 제안하는 ADC의 커패시터 어레이는 LSB 열에 보정을 위한 가변 커패시터(C_X)를 적용하여, LSB 열 및 연결 커패시터(C_A)의 기생 커패시턴스에 의한 선형성 저하를 완화하였다.
- [0027] 또한, 구현의 관점에서, 커패시터 어레이는 복합 스위칭 방식을 적용함과 동시에 매칭 정확도의 요구가 상대적으로 낮은 LSB 열에서 가장 작은 커패시터를 단위 커패시터(C_U) 2개로 직렬 연결하여, 최종적으로 요구되는 MSB 단위 커패시터(C_U)를 $2^5 C_U$ 로 줄였다.
- [0028] 복합 스위칭 기법은 단일 스위칭 방식으로 입력신호와 기준전압을 비교하는 모노토닉 스위칭(monotonic switching) 기법에 샘플링된 입력 신호를 추가적인 스위칭 동작 없이 공통모드전압과 직접 비교하여 최상위 비트를 결정하는 공통모드전압 스위칭을 접목시킨 기법이다. 예를 들어, 복합 스위칭 기법에서는, 최상위 2비트를 공통모드전압 스위칭 기법을 통해 결정하고, 나머지 10비트는 모노토닉 스위칭 기법을 통해 결정할 수 있다. 커패시터 어레이의 구현의 관점에서, 최상위 2비트를 결정하는 공통모드전압 스위칭은 요구되는 MSB 커패시터의 개수를 절반으로 줄일 수 있는 장점이 있다. 또한 DAC 출력전압의 공통모드전압 변화를 완화하여 모노토닉 스위칭 동작 시 발생하는 동적 오프셋에 의한 영향을 줄일 수 있다.
- [0029] 도 2를 참조하면, 2개의 단위 커패시터를 직렬 연결하여 최하위 비트 열의 가장 작은 커패시터를 형성하고 있음을 확인할 수 있다. 보다 구체적으로, LSB 열의 가장 작은 커패시터를 단위 커패시터(C_U) 2개를 직렬 연결하여 $1/2C_U$ 로 구현하였다. $1/2C_U$ 를 가장 낮은 커패시터로 사용했기 때문에 그 다음으로 큰 커패시터는 단위 커패시터(C_U)가 되며, 이와 같은 방식으로 커패시터 어레이의 크기를 절반으로 구현할 수 있다. 따라서 커패시터 어레이에 요구되는 전체 커패시터 수가 줄어들었기 때문에 소모하는 전력과 면적을 감소시키는 효과가 있다. 직렬 연결 커패시터 수가 많을수록 적은 커패시터 수로 커패시터 어레이를 구현할 수 있지만, 직렬로 연결된 커패시터 간의 부정합 오차 등을 고려하여야 하기 때문에 이 경우에는 2개의 커패시터만을 연결하여 단위 커패시터(C_U)보다 작은 커패시터를 구현하였다.
- [0030] 결과적으로, 제안하는 ADC의 커패시터 어레이에 사용되는 전체 단위 커패시터(C_U) 개수는 77개로, 일반적인 10b 이진 가중치 커패시터 구조에 필요로 하는 1024개의 약 7.5% 수준이다.
- [0031] 도 3은 분리형 가중치 커패시터 구조를 구현하는 방식의 차이를 설명하기 위한 도면으로서, 도 3의 (A)에는 종래의 분리형 커패시터 어레이(split capacitor array)를 도시하였고, 도 3의 (B)에는 본 발명의 실시예들이 제안하는 정수배(4 unit attenuation capacitors) 분리형 커패시터 어레이를 도시하였다.
- [0032] 일반적인 이진 가중치 형태의 커패시터 어레이는 해상도가 증가할수록 DAC에 사용되는 단위 커패시터의 개수가 지수적으로 증가하여 면적 및 전력 소모가 급격히 증가한다. 하지만 분리형 커패시터 어레이 구조는 직렬로 연결된 연결 커패시터(C_A)를 기준으로 좌측과 우측으로 커패시터 어레이를 분리함으로써 단위 커패시터의 개수를

줄일 수 있다.

[0033] 도 3의 (B)에 도시된 분리형 커패시터 어레이 구조에서 좌측 커패시터 어레이의 가장 큰 커패시터($2^2 C_U$)는 연결 커패시터(C_A)로 인해 그 가중치가 우측 커패시터 어레이의 가장 작은 커패시터($2 C_U$)의 절반이 된다. 이와 같이 연결 커패시터(C_A)에 의한 가중치 감소를 통해 좌측 커패시터 어레이는 하위 4비트를 결정하고, 우측 커패시터 어레이는 상위 6비트를 결정한다.

[0034] 결과적으로 분리형 커패시터 어레이 구조는 연결 커패시터(C_A)를 통해 좌측과 우측으로 LSB열과 MSB열을 나눔으로써, MSB 열에 사용되는 단위 커패시터 개수를 줄여 전체 커패시터 어레이의 면적 및 전력 소모를 줄이는 것에 의미가 있다.

[0035] 일반적인 분리형 가중치 커패시터 구조는 도 3의 (A)와 같이 단위 커패시터(C_U)의 비정수배 크기를 갖는 연결 커패시터(C_A)의 커패시터간 부정합에 의해 선형성이 저하되는 단점이 있다. 이를 완화하기 위해 연결 커패시터(C_A)를 단위 커패시터(C_U)의 정수배로 구현할 수 있으나, 단위 커패시터(C_U)의 개수를 줄이는데 제약이 존재하였다. 종래의 정수배 분리형 커패시터 어레이는 연결 커패시터(C_A)를 단위 커패시터의 정수배로 구현하는 기술에만 초점이 맞춰져 있는 한계점이 있다. 또한 커패시터 어레이의 LSB열에 생성되는 기생 커패시턴스가 선형성을 저하시키는 한계점이 있다.

[0036] 이와는 달리, 도 3의 (B)를 통해 제안하는 커패시터 어레이는 연결 커패시터(C_A)(15)를 단위 커패시터(C_U)의 정수배인 $4C_U$ 로 구현하여 사용되는 단위 커패시터(C_U)의 개수를 77개로 줄였다. 이 경우, 이진 가중치 커패시터 어레이 구조를 위해 LSB 열에 추가적으로 요구되는 $4C_U$ 크기의 더미(dummy) 커패시터는 보정을 위한 가변 커패시터(C_X)로 활용하였다. 즉, 연결 커패시터(C_A)(15)는 단위 커패시터(C_U)의 4배로 구성되되, 커패시터 어레이는, 이진 가중치 커패시터 어레이 구조를 형성하며, 최하위 비트 열에 추가적으로 요구되는 단위 커패시터(C_U)의 정수배 크기를 갖는 더미 커패시터를 보정을 위한 가변 커패시터(C_X)로 사용하는 것이 바람직하다. 요약하건대, 본 발명의 실시예들이 제안하는 분리형 커패시터 어레이는 연결 커패시터(C_A)를 정수배로 구현함과 동시에 복합 스위칭과 LSB열의 직렬 연결 커패시터를 적용하여, 요구되는 커패시터의 개수를 일반적인 10b 이진 가중치 커패시터 구조에 필요로 하는 1024개의 약 7.5% 수준으로 감소시켰다. 또한 커패시터 어레이의 LSB열에 가변 커패시터를 추가하여 기생 커패시턴스에 의한 선형성 저하를 보정하는 장점이 있다.

[0037] 한편, 본 발명의 실시예들이 제안하는 ADC는 도 4 같이 커패시터 어레이 내 LSB 열의 top plate 및 연결 커패시터(C_A)의 기생 커패시턴스에 의해 LSB 열의 가중치(W_{LSB})가 변하게 된다.

[0038] 도 4는 커패시터 어레이 내의 기생 커패시턴스를 설명하기 위한 도면으로서, LSB 열의 가중치(W_{LSB}) 및 LSB 열의 가중치 오류($W_{LSB, error}$)는 각각 수학식 1 및 수학식 2와 같으며, W_{LSB} 와 $W_{LSB, error}$ 의 차이가 클수록 연결 커패시터(C_A)를 이용한 분리형 가중치 커패시터 구조의 선형성이 저하된다.

수학식 1

$$W_{LSB} = \frac{C_A}{C_{LSB} + C_A + C_X}$$

[0039]

수학식 2

$$W_{LSB, error} = \frac{C_A + C_{PA}}{C_{LSB} + C_A + C_X + C_{PA} + C_{PL}}$$

[0040]

- [0041] 이상의 수학적식에서, C_A 는 연결 커패시터를 나타내고, C_{LSB} 는 LSB 커패시터 어레이를 나타내고, C_X 는 가변 커패시터를 나타내고, C_{PA} 는 연결 커패시터의 기생 커패시턴스를 나타내며, C_{PL} 은 LSB 커패시터의 기생 커패시턴스를 나타낸다.
- [0042] 따라서, 본 발명의 실시예들이 제안하는 ADC는 커패시터 어레이 내 LSB 열의 top plate 및 연결 커패시터(C_A)의 기생 커패시턴스에 의한 선형성 저하를 완화하기 위해 도 5와 같이 가변 커패시터를 이용한 보정 회로를 적용하였다.
- [0043] 도 5는 보정을 위한 가변 커패시터를 설명하기 위한 도면으로서, 도 5의 (A)는 보정 과정을 도시한 것이고, 도 5의 (B)는 보정을 위한 가변 커패시터 회로의 구조를 도시한 것이다.
- [0044] 가변 커패시터 구조는 도 5의 (B)와 같이 총 17개의 단위 커패시터(C_U')가 이진 가중치 구조로 구성되어 있으며, 5b 외부 디지털 코드에 의해 가변 커패시터(C_X)(17)의 커패시턴스가 조절된다. 따라서 LSB 열 및 연결 커패시터(C_A)(15)의 기생 커패시턴스에 의한 $W_{LSB, error}$ 가 발생하면, 도 5의 (A)와 같이 W_{LSB} 와 $W_{LSB, error}$ 의 크기를 비교하고, 가변 커패시터(C_X)의 값을 조절하여 W_{LSB} 와 $W_{LSB, error}$ 이 근사값을 갖도록 보정한다.
- [0045] 요약하건대, 가변 커패시터(C_X)는, 복수 개의 단위 커패시터가 이진 가중치 구조를 형성하되, 최하위 비트 열 및 연결 커패시터(C_A)에 의한 가중치 오류가 발생할 경우 최하위 비트 열의 가중치와의 비교를 통해 커패시턴스를 조절함으로써 최하위 비트 열의 가중치와 가중치 오류가 근사값을 갖도록 보정할 수 있다. 이때, 가변 커패시터(C_X)는, 미리 설정된 보정의 최대값에 도달할 때까지 상기 최하위 비트 열의 가중치와 상기 가중치 오류가 근사해지도록 외부 디지털 코드를 이용한 스위칭을 통해 가변 커패시터(C_X)의 커패시턴스를 조절하는 과정을 반복한다.
- [0046] 도 6은 본 발명의 일 실시예에 따른 ADC를 구현한 프로토타입(prototype)의 칩 레이아웃(chip layout)을 예시한 도면으로서, 제안하는 10b 5MS/s SAR ADC는 28nm CMOS 공정으로 제작되었으며, 칩의 면적은 0.063mm^2 ($0.37\text{mm} \times 0.17\text{mm}$)으로 형성되었다.
- [0047] 도 7 및 도 8은 본 발명의 일 실시예에 따른 ADC의 보정 전후의 정적 및 동적 성능을 측정한 결과를 예시한 도면이다.
- [0048] 도 7은 ADC의 정적 성능을 보정 전(A)과 후(B)를 비교하여 측정한 것으로, 도 7의 (A)의 DNL(differential nonlinearity) 및 INL(integral nonlinearity)은 연결 커패시터(C_A) 및 LSB 열의 기생 커패시턴스에 의해 32코드 주기마다 큰 변곡점이 발생한다. 반면, 보정이 된 도 7의 (B)의 DNL 및 INL에서는 32코드 주기마다 발생한 변곡점이 제거되어 DNL 및 INL이 각각 0.36 LSB, 0.52 LSB 이다.
- [0049] 도 8은 ADC의 동적 성능을 보정 전(A)과 후(B)를 비교하여 측정한 것으로, 도 8의 (A)의 FFT(fast Fourier transform) 파형에서 발생한 다수의 하모닉은 도 8의 (B)의 FFT 파형처럼 보정 후 제거되어 나이키스트 주파수에서 59.25 dB SNDR(signal-to-noise-distortion ratio) 및 70.44 dB SFDR(spurious-free dynamic range) 성능을 갖는다.
- [0050] 본 발명의 실시예들에 따르면, 단위 커패시터의 정수배에 기반한 분리형 가중치 커패시터 구조를 이용한 DAC 구조를 적용하여, 저전력 및 저면적의 ADC를 구현하였으며, 또한 LSB 열에 가변 커패시터를 기반으로 하는 보정 회로를 적용하여 LSB 열의 top plate 및 연결 커패시터의 기생 커패시턴스에 의한 선형성 저하를 완화하여 고선형성을 갖는 ADC를 구현하는 것이 가능하다.
- [0051] 이상에서 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

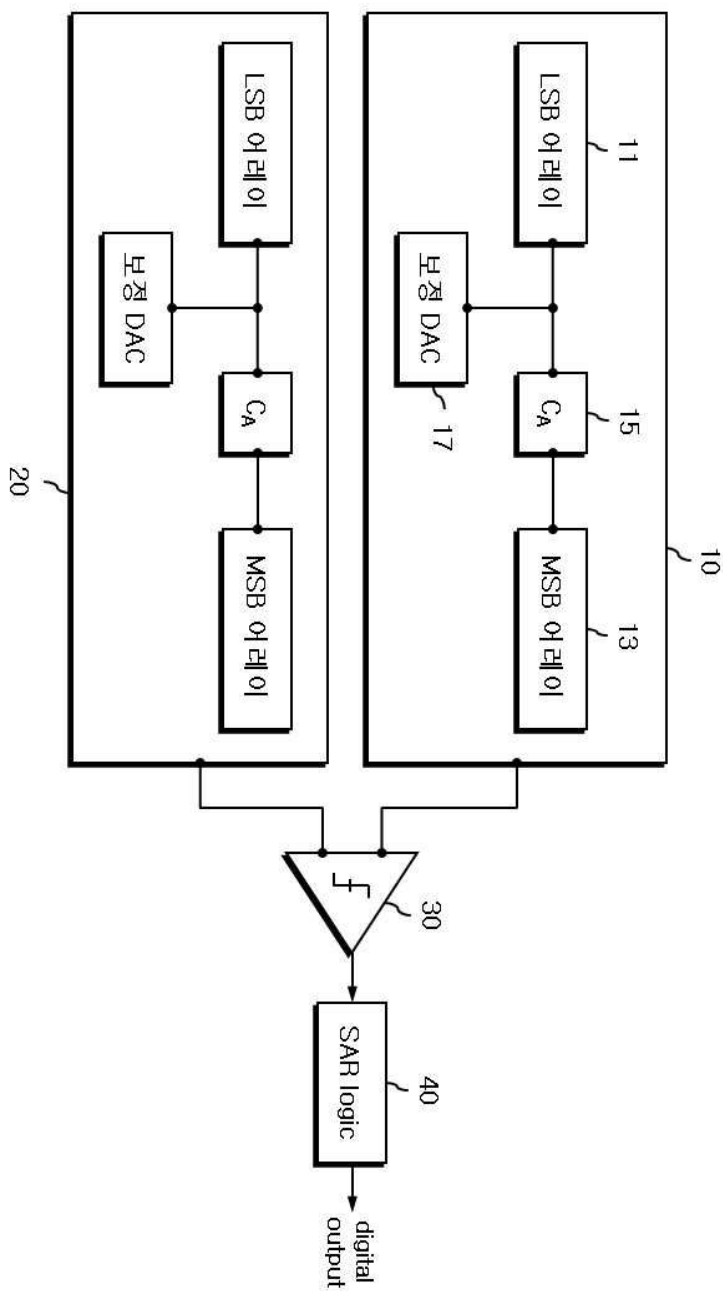
부호의 설명

[0052]

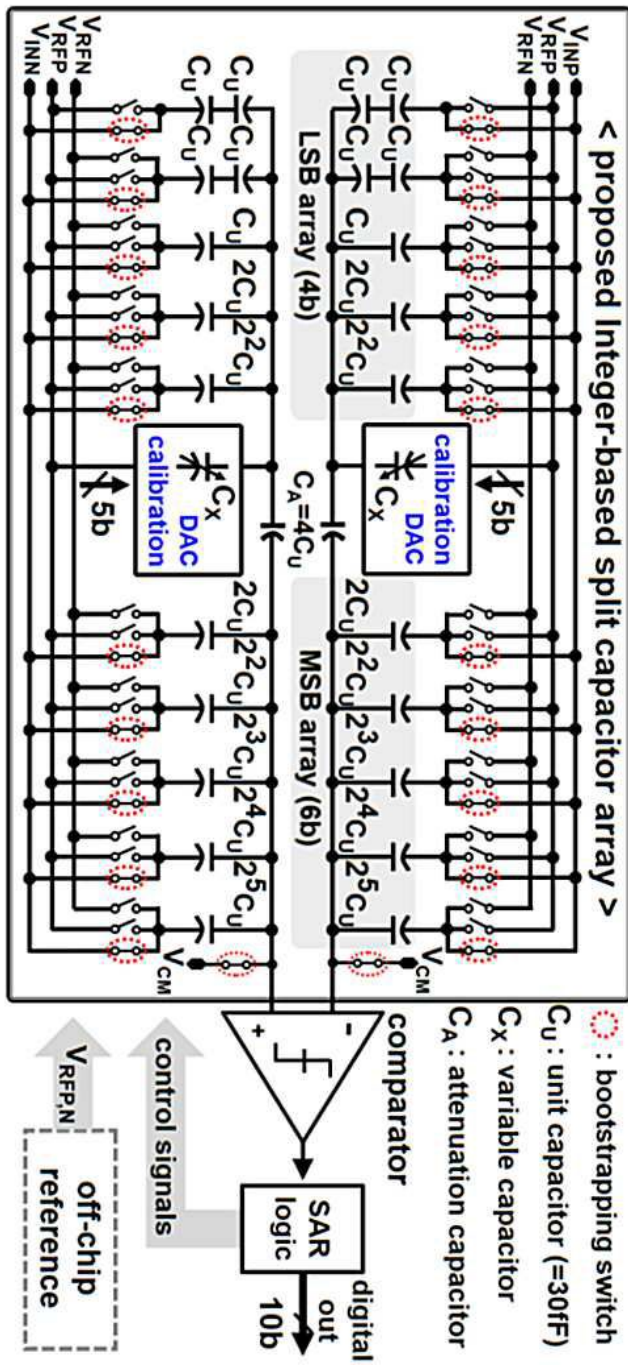
- 10, 20: 커패시터 어레이
- 11: 최하위 비트 열
- 13: 최상위 비트 열
- 15: 연결 커패시터
- 17: 보정 DAC
- 30: 비교기
- 40: SAR 논리회로

도면

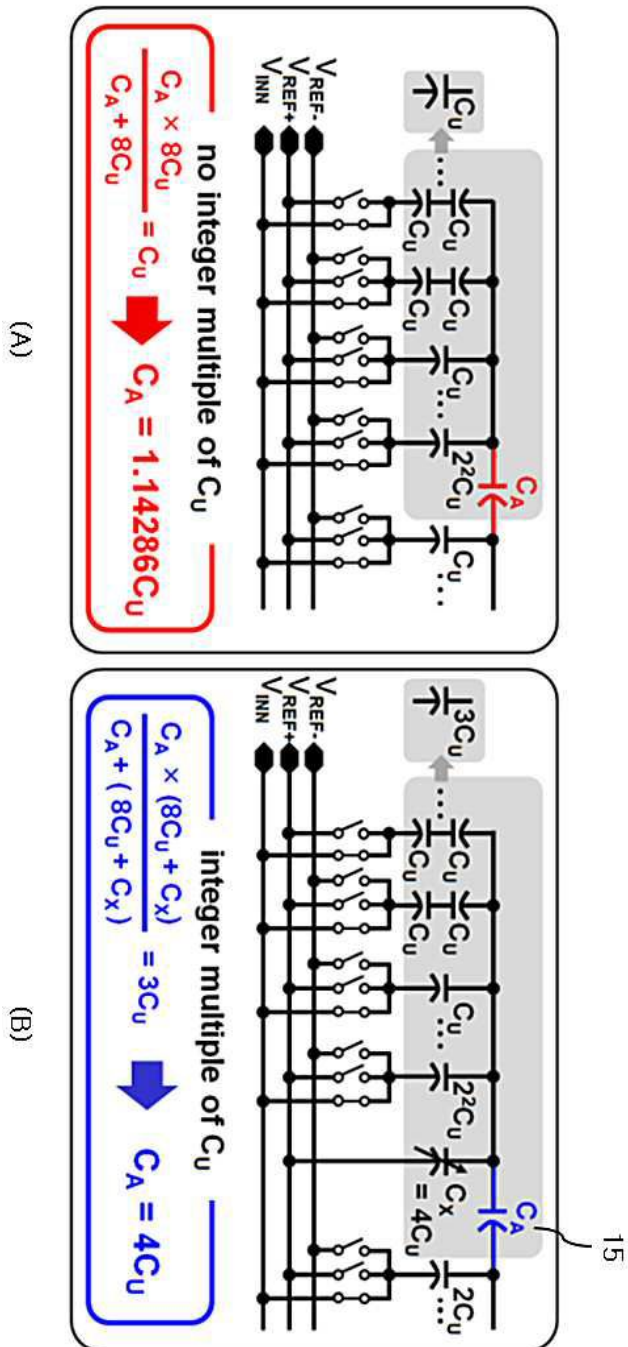
도면1



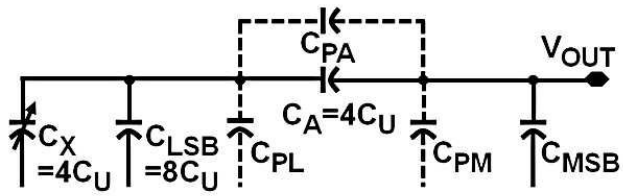
도면2



도면3



도면4



C_{MSB} = MSB capacitor array

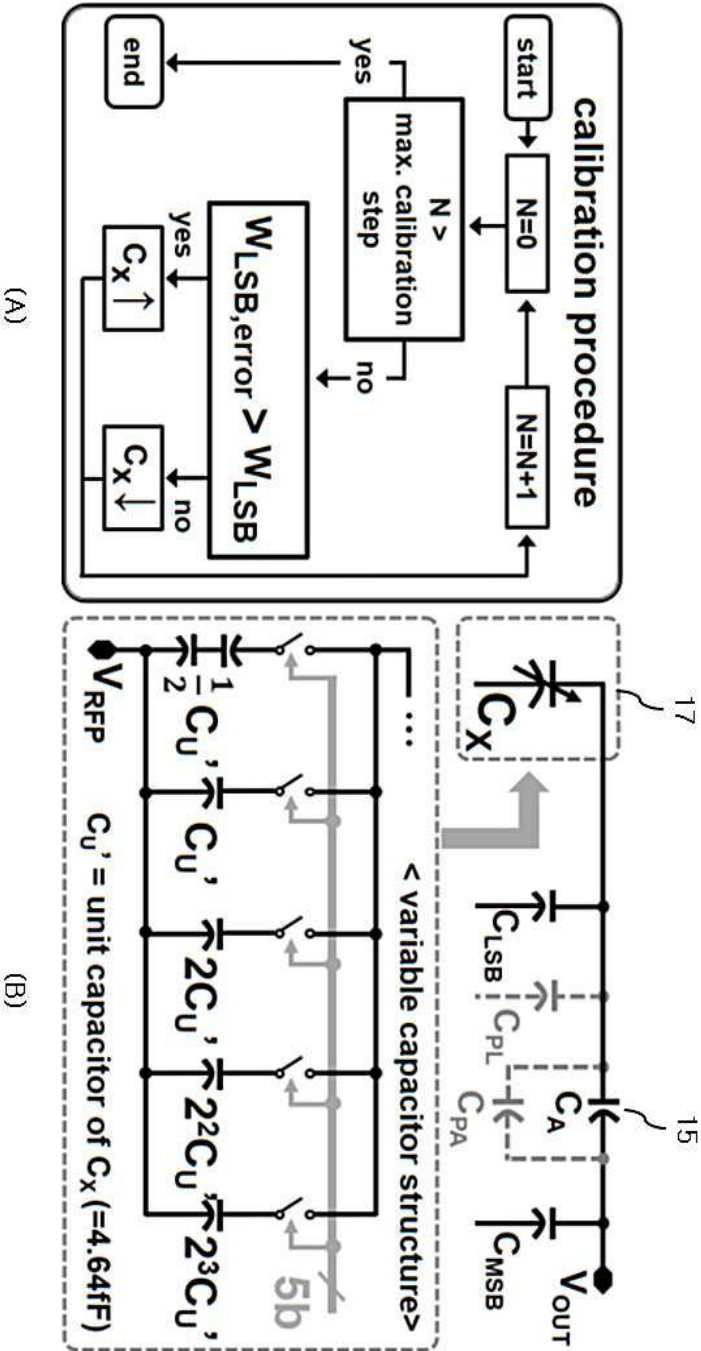
C_{LSB} = LSB capacitor array

C_{PA} = parasitic capacitance of C_A

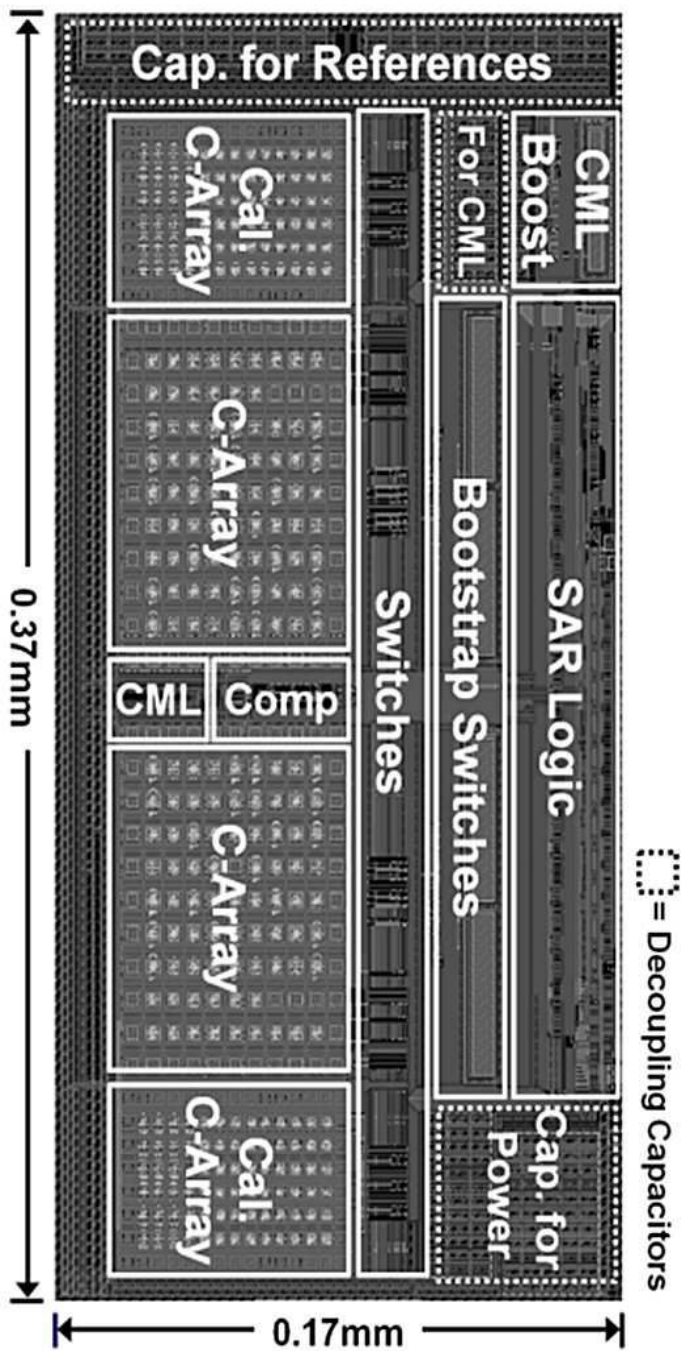
C_{PL} = parasitic capacitance of C_{LSB}

C_{PM} = parasitic capacitance of C_{MSB}

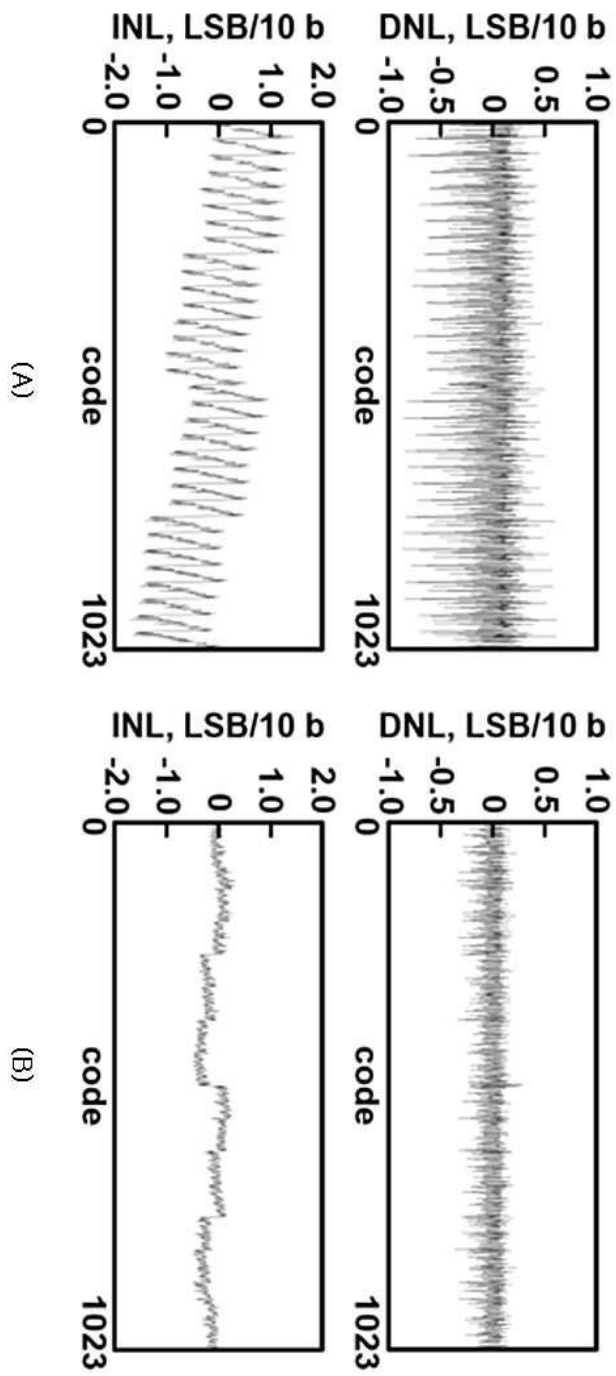
도면5



도면6



도면7



도면8

