(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년07월06일
(11) 등록번호 10-1637054
(24) 등록일자 2016년06월30일

(51) 국제특허분류(Int. Cl.)
*H01S 5/22* (2006.01) *H01S 5/042* (2006.01)
(21) 출원번호 10-2011-7014107
(22) 출원일자(국제) 2009년10월21일
심사청구일자 2014년10월17일
(85) 번역문제출일자 2011년06월17일
(65) 공개번호 10-2011-0097856
(43) 공개일자 2011년08월31일
(86) 국제출원번호 PCT/DE2009/001482
(87) 국제공개번호 WO 2010/057455
국제공개일자 2010년05월27일
(30) 우선권주장
10 2008 058 436.3 2008년11월21일 독일(DE)
(56) 선행기술조사문헌
KR1020040074327 A
KR1020000051561 A
JP1999191654 A
US5513200 A

(73) 특허권자
**오스람 옵토 세미컨덕터스 게엠베하**
독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)
(72) 발명자
**라우어, 크리스티안**
독일, 93053 레겐스부르그, 켈러웨그 1
**쾨니히, 하랄드**
독일, 93170 베른하르트발트, 암 아히이레커 14
*(뒷면에 계속)*
(74) 대리인
**김태홍**

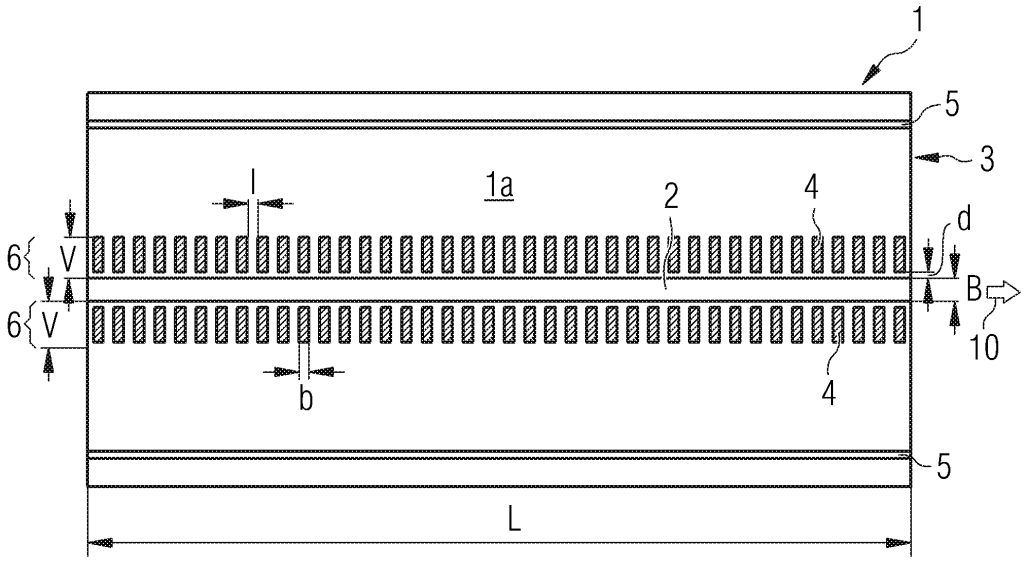
전체 청구항 수 : 총 13 항 심사관 : 조성찬

(54) 발명의 명칭 **에지방출형 반도체 레이저칩**

## (57) 요 약

본 발명에 기술된 에지방출형 반도체 레이저칩(1)은 - 하나의 반도체 몸체(100)를 가지며, 상기 반도체 몸체(100)는 하나의 활성 영역(14)을 포함하며, 상기 활성 영역(14) 내에서 반도체 레이저칩(1)의 구동시 전자기 복사(10)가 생성되며, - 하나 이상의 콘택스트립(2)을 가지며, 상기 콘택스트립(2)은 상기 반도체 몸체(100) 상측에 있는 덮개면(1a)에 배치되고, - 상기 콘택스트립(2)과 상기 활성 영역(14) 간의 전류 확산을 제한하기 위한 두 개 이상의 제한 구조물들(4)을 가지며, 이때 상기 제한 구조물들(4)은 상기 콘택스트립(2)의 양 측면에 배치되는 것을 특징으로 한다.

*대 표 도* - 도8



(72) 발명자

**레일, 볼프강**

독일, 93080 펜트링, 슐스트라베 12

**스트라우스, 우베**

독일, 93077 바트 엡베하, 에리히-케스트너-스트라베 32

# 명 세 서

## 청구범위

### 청구항 1

에지방출형 반도체 레이저칩(1)에 있어서,

반도체 레이저칩(1)의 작동 동안 전자기 복사(10)가 생성되는 하나 이상의 활성 영역(14)을 포함하는 반도체 몸체(100),

상기 반도체 몸체(100)의 상측에 있는 덮개면(1a)에 배치되어 있는 하나 이상의 콘택스트립(2), 및

상기 콘택스트립(2)과 상기 활성 영역(14) 간의 전류 확산을 제한하기 위한 두 개 이상의 제한 구조물(4)

을 포함하고,

상기 제한 구조물(4)은 상기 콘택스트립(2)의 양 측면에 배치되어 있으며,

상기 하나 이상의 제한 구조물(4)은 상기 반도체 몸체(100) 내의 리세스에 의해 형성되고,

상기 리세스는 상기 콘택스트립(2)에 평행한 방향으로 충전 라인(7)을 통해 분리되어 있으며, 이 충전 라인(7)까지 상기 리세스는 고체 충진재를 갖지 않으며, 충전 라인(7)부터, 상기 콘택스트립(2)으로부터 멀어지는 방향으로 충진재(41)로 채워져 있는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

### 청구항 2

청구항 1에 있어서,

상기 하나 이상의 제한 구조물(4)은 상기 반도체 몸체(100)에 접한 측면(40)을 가지며,

상기 측면(40)은 상기 반도체 몸체(100)의 상기 덮개면(1a)과 최저 20° 내지 최고 80° 의 각도(α)를 형성하는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

### 청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 제한 구조물(4)은 상기 반도체 몸체(100)에 접한 측면(40)을 가지며,

상기 측면(40)은 상기 콘택스트립(2)의 주 연장 방향(R)과 최저 15° 내지 최고 75° 의 각도(β)를 형성하는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

### 청구항 4

청구항 1 또는 청구항 2에 있어서,

복수의 제한 구조물들(2)을 포함하며,

상기 제한 구조물들은 상기 콘택스트립(2)의 주 연장 방향(R)으로 서로에 대해 이격 배치되는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

### 청구항 5

청구항 1 또는 청구항 2에 있어서,

상기 반도체 몸체(100)는,

상기 콘택스트립(2)에 접한 콘택층(16),

상기 콘택스트립(2)을 등지고 있는 콘택층(16) 측에 접한 외피층(15), 및

상기 콘택층(16)을 등지고 있는 상기 외피층(15) 측에 접한 도파관층(13)

을 포함하며,

상기 제한 구조물들(4) 중 하나 이상은 상기 외피층(15) 내부까지 연장되고, 상기 도파관층(13)은 상기 제한 구조물(4)을 포함하지 않는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

**청구항 6**

청구항 5에 있어서,

상기 하나 이상의 제한 구조물(4)은 상기 도파관층(13) 내부로 연장되고,

상기 활성 영역(14)은 상기 제한 구조물(4)을 포함하지 않는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

**청구항 7**

청구항 1 또는 청구항 2에 있어서,

상기 제한 구조물들(4)은 최저 10%의 충전율(fill factor)로 상기 콘택스트립(2)의 양 측면에 배치되고, 상기 충전율은 상기 콘택스트립(2)의 전체 길이에 대한, 상기 콘택스트립(2)의 주 연장 방향에 있어 적어도 두 개의 제한 구조물들(4)의 최대폭들의 합의 비율인 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

**청구항 8**

청구항 1 또는 청구항 2에 있어서,

상기 제한 구조물들(4)은 최고 90%의 충전율로 상기 콘택스트립의 양 측면에 배치되고, 상기 충전율은 상기 콘택스트립(2)의 전체 길이에 대한, 상기 콘택스트립(2)의 주 연장 방향에 있어 적어도 두 개의 제한 구조물들(4)의 최대폭들의 합의 비율인 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

**청구항 9**

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 제한 구조물(4)은 최고 30㎛의 간격(d)으로 상기 콘택스트립(2)의 옆에 배치되는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

**청구항 10**

청구항 1 또는 청구항 2에 있어서,

상기 제한 구조물들(4)은 두 개의 제한 스트립(6) 내에서 상기 콘택스트립(2) 양 측면에 배치되고,

상기 제한 스트립들(6)은 각각 최고 1㎜의 폭(V)을 갖는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

**청구항 11**

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 제한 구조물(4)은 상기 반도체 몸체(100) 내에서 주입(implantation) 영역에 의해 형성되는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

**청구항 12**

청구항 1에 있어서,

상기 리세스는, 상기 반도체 몸체(100)와는 다른 하나 이상의 충진재(41)로 채워지는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

**청구항 13**

청구항 1 또는 청구항 2에 있어서,

상기 콘택스트립(2)의 양 측면에서 상기 콘택스트립(2)을 따라 각각 하나의 전류 장벽(5)이 연장되며,

상기 콘택스트립(2) 및 상기 제한 구조물들(4)은 상기 전류 장벽들(5) 사이에서 측방향(lateral)으로 배치되는 것을 특징으로 하는 에지방출형 반도체 레이저칩(1).

**청구항 14**

삭제

**청구항 15**

삭제

## 발명의 설명

### 기 술 분 야

[0001] 본 발명은 에지방출형 반도체 레이저칩에 관한 것이다.

### 배 경 기 술

[0002] 본 발명에서 에지방출형 반도체 레이저칩이 제공된다.

## 발명의 내용

### 해결하려는 과제

[0003] 본 발명의 해결하려는 과제는 매우 우수한 복사특성을 갖는 에지방출형 반도체 레이저칩을 제공하는 것이다.

### 과제의 해결 수단

[0004] 본 발명에서 에지방출형 반도체 레이저칩이 제공된다. 에지방출형 반도체 레이저칩은 예를 들면 하나의 또는 다수의 이미터를 포함할 수 있는 광폭(broad area) 레이저칩이다. 광폭 레이저가 다수의 이미터를 포함할 경우에는 에지방출형 반도체 레이저칩으로부터 구동시, 서로 이격된 다수의 레이저빔이 방출될 수 있다.

[0005] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 에지방출형 반도체 레이저칩은 하나의 반도체 몸체를 포함한다. 반도체 몸체는 예를 들면 에피택셜 성장한 층 시퀀스를 갖는다.

[0006] 이 경우 반도체 몸체는 하나 이상의 활성 영역을 포함할 수 있고, 상기 활성 영역은 에피택셜 성장한 층 시퀀스의 일부이다. 상기 활성 영역 내에서 반도체 레이저칩의 구동시 전자기 복사가 생성되고 증강된다. 예를 들면 상기 활성 영역은 하나의 또는 다수의 양자우물(quantum well), 양자선(quantum wire) 또는 양자점(quantum dot)을 포함한다.

[0007] 에지방출형 반도체칩의 적어도 일 실시예에 따르면 반도체 레이저칩은 하나의 콘택스트립(contact strip)을 포함한다. 상기 콘택스트립은 바람직하게 반도체 몸체 상측에 있는 덮개면에 배치된다. 상기 콘택스트립은 전극을 가리킬 수 있으며, 상기 전극을 통해 전류가 반도체 몸체 내부로 인가될 수 있다. 이러한 전극은 예를 들면 스트립 형태의 금속배선(metallization)으로서 반도체 몸체의 덮개면에 배치될 수 있다. 또한, 상기 콘택스트립은 반도체 몸체의 덮개면에서의 패시베이션층(passivation layer) 내에 제공된 스트립 형태의 개구에 의해 정의될 수도 있다. 이러한 패시베이션상에 금속층이 대면적으로 제공될 수 있다. 따라서 상기 금속층은 상기 개구 영역에서만 반도체 몸체와 접촉하고 있다.

[0008] 인가된 전류에 의해 반도체 몸체의 활성 영역 내에서 전자기 복사가 생성된다. 전자기 복사는 활성 영역 내에서 콘택스트립 하부에서 생성된다. 콘택스트립 하부에는 반도체 레이저칩의 이미터도 제공된다. 반도체 레이저칩이 반도체 몸체의 덮개면에서 다수의 콘택스트립을 가질 경우에는 각각의 콘택스트립 하부에서 레이저 복사가 생성된다. 반도체 레이저칩은 다수의 이미터를 가지며, 상기 이미터의 최대 개수는 덮개면에 제공된 콘택스트립 개수에 상응한다. 에지방출형 반도체 레이저칩은 또한 전기적으로 펌핑된(electrically pumped) 반도체 레이저칩이다.

[0009] 콘택스트립은 예를 들면 금속배선으로서 반도체 몸체의 덮개면에 제공된다. 이 경우 콘택스트립은 활성 영역 내에서 생성된 전자기 복사의 주 방사 방향을 따라 연장될 수 있다. 따라서 콘택스트립의 주 연장 방향은 콘택스트립에 할당된 이미터의 주 방사 방향에 대해 평행하다. 예를 들면 콘택스트립은 균일한 폭의 스트립으로서

반도체 몸체 내에서 생성된 전자기 복사의 주 방사 방향을 따라 연장된다.

[0010] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 에지방출형 반도체 레이저칩은 콘택스트립과 활성 영역 사이의 반도체 몸체 내에서 발생하는 전류 확산을 제한하기 위한 하나 이상의, 바람직하게는 두 개 이상의 제한 구조물을 포함한다. 이러한 제한 구조물들은 콘택스트립과 활성 영역 간의 너무 큰 전류 확산을 막아준다. 즉 콘택스트립을 통해 반도체 몸체 내부로 인가되는 전류가 예를 들면 횡방향 - 덮개면 평면상에서 콘택스트립의 주 연장 방향 대해 수직으로 진행하는 방향 - 으로 확산되는 것이 방지된다. 따라서 활성 영역 내 콘택스트립 바로 아래에서 높은 전류- 및 전하 캐리어 밀도가 제공되지만, 콘택스트립과 간격이 벌어지면서 전류 밀도는 하강한다. 즉 제한 구조물들에 의해 콘택스트립 바로 아래에 놓인 활성 영역에서 국부 최대값(local maximum)을 가질 수 있는 전류 밀도가 형성된다.

[0011] 반도체 레이저칩의 적어도 일 실시예에 따르면 제한 구조물들이 콘택스트립 양 측면에 배치된다. 즉 에지방출형 반도체 레이저칩은 두 개 이상의 제한 구조물을 포함하며, 이때 각각 하나 이상의 제한 구조물은 콘택스트립의 주 연장 방향으로 볼 때 콘택스트립의 왼쪽 및 오른쪽에 배치된다. 예를 들면 제한 구조물들이 콘택스트립에 대해 대칭적으로 배치되며, 이때 콘택스트립의 중앙종축(longitudinal central axis)이 대칭축을 형성한다.

[0012] 그러나, 하나 이상의 제한 구조물이 콘택스트립의 한 측면에만 배치되는 것도 생각할 수 있다.

[0013] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 반도체 레이저칩은 하나 이상의 활성 영역을 포함하는 반도체 몸체를 포함하며, 상기 활성 영역 내에서 반도체 레이저칩의 구동시 전자기 복사가 생성된다. 또한, 반도체 레이저칩은 하나 이상의 콘택스트립을 포함하며, 상기 콘택스트립은 반도체 몸체 상측에 있는 덮개면에 배치된다. 반도체 레이저칩은 또한 콘택스트립과 활성 영역 간의 전류 확산을 제한하기 위한 두 개의 제한 구조물을 포함하며, 상기 제한 구조물들은 콘택스트립 양 측면에 배치된다.

[0014] 특히, 전류 확산을 제한하기 위한 제한 구조물이 전류 장벽을 가리키지는 않는다. 즉 제한 구조물에 의해 횡방향 전류 확산, 즉 콘택스트립의 주 연장 방향에 대해 횡방향으로 발생하는 전류 확산은 제한되지만, 전체적으로 방지되지는 않는다. 즉 제한 구조물이 제공됨에도 불구하고 콘택스트립 바로 아래에 놓인 활성 영역의 중심 영역보다 콘택스트립으로부터 더 멀리있는 활성 영역의 가장자리 영역에도 전류가 공급되어, 전자기 복사가 생성될 수 있다. 그러나 활성 영역의 가장자리 영역에서는 제한 구조물 때문에 전류 흐름이 감소하므로, 콘택스트립의 활성 영역 내 전류 밀도가 국부 최대값을 갖는다. 이렇게 생성된 전하 캐리어 밀도 프로파일에 의해 반도체 레이저칩의 횡방향 이득 프로파일(lateral gain profile)과 낮은 횡모드와의 중첩(overlap)은 확대되고 높은 모드와의 중첩은 축소된다.

[0015] 또한, 소정의 전하 캐리어 밀도 프로파일은 활성 영역의 가장자리 영역에서 발생하는 플라스마 효과(plasma effect)에 의해 활성 영역의 굴절률의 공간적 변동을 야기한다. 이를 통해 활성 영역에서 생성되는 전자기 복사의 파장이 산란하여 손실이 발생한다. 이러한 메커니즘은 낮은 횡모드 - 예를 들면 기본 모드 -보다는 높은 횡모드에 더 강력하게 작용한다. 전체적으로 제한 구조물에 의해 낮은 횡모드의 여기(excitation)는 선호되는 반면, 높은 횡모드의 여기는 억제된다. 예를 들면 이와 같은 반도체 레이저칩의 형성에 의해 횡방향 기본 모드의 레이저 복사가 높은 모드의 레이저 복사보다 더 넓은 범위로 강화될 수 있으며, 그 범위는 반도체칩이 소정의 형태를 갖지 않을 경우보다 넓다. 높은 모드의 레이저 복사는 제한 구조물 때문에 덜 강력하게 펌핑되고 경우에 따라서는 산란 손실(scattering loss)을 받게 된다. 따라서 높은 모드는 발진(oscillate)할 수 없다.

[0016] 제한 구조물이 전류 장벽을 가리키지는 않으며, 상기 전류 장벽에서는 횡방향 전류 확산을 막기 위해 흡수 재료로 충전될 수 있는 트렌치(trench)가 활성 영역 내부까지 에칭된다. 제한 구조물이 전류 장벽이 아니기 때문에 제한 구조물은 전류 장벽과 달리 콘택스트립에 매우 인접하게 이를 수 있다. 이는 - 예를 들면 에칭에 의한 - 활성 영역의 손상 없이 이루어질 수 있다. 이러한 활성 영역의 손상은 에지방출형 반도체 레이저칩의 효율 및 수명을 저해할 수 있다. 전류 장벽의 경우와는 달리 제한 구조물에 의해서는 인가된 전류가 작은 영역에만 한정되지 않고 횡방향으로 축소되어, 높은 횡모드가 단지 좁은 범위에서만 펌핑된다.

[0017] 제한 구조물들은 바람직하게는 활성 영역 내부까지 연장되지 않는다. 활성 영역은 바람직하게는 항상 제한 구조물을 포함하지 않는다.

[0018] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 반도체 레이저칩은 다수의 제한 구조물들을 포함하며, 상기 제한 구조물들은 콘택스트립의 주 연장 방향으로 서로에 대해 이격 배치된다. 즉 반도체 레이저칩은 3개 또는 4개의 제한 구조물을 포함한다. 제한 구조물들은 콘택스트립의 양 측면에 배치될 수 있다. 인접한 제한 구조물들은 콘택스트립의 동일한 한 측면 상에서 콘택스트립의 주 연장 방향을 따라 서로에 대해

이격 배치된다. 즉 이 실시예에서 제한 구조물들은 콘택스트립의 한 측면 상에서 결합하는 것이 아니라, 제한 구조물이 제공되지 않는 영역들에 의해 서로 분리된다. 예를 들면 최소 5㎛, 예를 들면 10㎛의 간격을 갖는다.

[0019] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 반도체 레이저칩의 반도체 몸체는 콘택스트립에 접한 콘택층을 포함한다. 상기 콘택층은 덮개면을 포함하는 반도체 몸체의 층이다. 상기 콘택층은 높게 도핑된 반도체 재료로 형성되고 콘택스트립을 통해 인가된 전류를 횡방향으로, 다시 말해 콘택스트립의 주 연장 방향에 대해 횡방향으로 확산시키는데 사용된다.

[0020] 또한, 반도체 몸체는 콘택스트립을 등지고 있는 콘택층 측에 접한 외피층을 포함한다.

[0021] 반도체 몸체는 또한 콘택층을 등지고 있는 외피층 측에 접한 도파관층을 포함한다. 상기 도파관층은 외피층을 등지고 있는 측에 의해 반도체 레이저칩의 활성 영역에 접한다. 이 경우 활성 영역은 동일한 또는 상이한 형태로 제공될 수 있는 두 개의 도파관층에 의해 둘러싸인다.

[0022] 도파관층은 활성 영역보다 높은 밴드갭 및 낮은 광굴절률을 갖는다.

[0023] 외피층은 또한 도파관층보다 높은 밴드갭 및 낮은 광굴절률을 갖는다. 반도체 레이저칩의 구동시 반도체 몸체 내에서 생성된 전자기 복사는 도파관층 및 외피층 내에서 콘택스트립을 따라 확장된다.

[0024] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 하나 이상의 제한 구조물이 외피층 내부까지 연장되며, 이때 도파관층은 제한 구조물을 포함하지 않는다. 즉 제한 구조물은 콘택층을 통해 외피층 내부로 연장된다. 콘택층 자체는 제한 구조물에 의해 국부적으로 관통된다. 예를 들면 하나 이상의 제한 구조물이 정확하게 외피층까지 이를 수 있다.

[0025] 이 경우 콘택스트립을 통해 인가된 전류의 크기에 따라 제한 구조물이 콘택층을 관통하는 것만으로 충분할 수 있다. 그러나 높은 전류일 경우에 전류 확산을 충분히 제한하기 위해서는 제한 구조물이 외피층 내부까지 연장되는 것이 필수적일 수 있다. 예를 들면 하나 이상의 제한 구조물이 도파관층 앞 최소 300nm 간격까지 연장된다. 이 경우 제한 구조물 전체가 외피층 내부까지 연장될 수도 있다. 예를 들면 제한 구조물 전체가 반도체 몸체 내에서 동일한 침투 깊이를 가질 수도 있다. 즉 예를 들면 모든 제한 구조물들이 도파관층 위 300nm 까지 연장될 수 있다.

[0026] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 하나 이상의 제한 구조물이 도파관층 내부로 연장되며, 이때 활성 영역은 제한 구조물을 미포함한 채로 있다. 즉 제한 구조물이 콘택층 및 외피층을 관통하며 적어도 도파관층까지 이르러서 상기 도파관층 내부로 연장될 수 있다. 이러한 제한 구조물은 콘택층과 활성 영역 간의 전류 확산을 특히 효과적으로 제한한다. 그러나 활성 영역은 제한 구조물로부터 떨어져 있으므로 제한 구조물이 전류 장벽을 가리키지는 않으며, 상기 전류 장벽은 상기 전류 장벽을 경유하여 활성 영역 내부까지 이르는 전류 인가를 완전히 차단한다. 예를 들면 제한 구조물은 활성 영역 위 최소 150nm의 침투 깊이까지 도파관층 내부로 연장된다. 이 경우 또한 반도체 레이저칩의 제한 구조물 전체가 도파관층 내부로 연장되어 반도체 몸체 내에서 동일한 침투 깊이를 가질 수 있다.

[0027] 또한, 제한 구조물들은 침투 깊이와 관련하여 서로 상이할 수 있다. 반도체 몸체 내 제한 구조물들의 침투 깊이에 의해 예를 들면 콘택스트립을 따라 전류 유도가 매칭될 수 있다. 이 경우 제한 구조물들이 외피층 내부까지 연장되지만 도파관층 내부까지는 연장되지 않으며, 이와 반대로 다른 제한 구조물들이 도파관층 내부까지 연장되지만 활성 영역 내부까지는 연장되지 않을 수 있다.

[0028] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 제한 구조물들이 최소 10%의 충전율(fill factor)로 콘택스트립 양 측면에 배치된다. 이 경우 충전율은 콘택스트립의 전체 길이에 대한, 콘택스트립의 주 연장 방향에 있어 제한 구조물들의 최대폭들의 합의 비율을 나타낸다. 예를 들면 단 하나의 제한 구조물이 한 측면에서 전체 콘택스트립을 따라 연장될 경우에는 충전율이 100%이다. 제한 구조물들의 최대폭의 합이 콘택스트립 길이의 정확하게 10%일 경우에는 충전율이 10%이다. 이 경우 충전율은 두 개의 측면 - 콘택스트립의 왼쪽 및 오른쪽 - 에 대해 별도로 결정되고 두 개의 측면에 대해 상이하다. 그러나 바람직하게는 충전율은 콘택스트립의 양 측면에서 동일하게 선택되고 그 양 측면에 대해 최소 10%이다.

[0029] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 제한 구조물들은 최고 90%의 충전율로 콘택스트립의 양 측면에 배치된다. 즉 이 실시예에서는 제한 구조물들이 콘택스트립의 전체 길이를 따라 비연속적으로 연장되는 것이 바람직하다.

[0030] 이 경우 충전율은 횡방향으로, 즉 콘택스트립의 주 연장 방향에 대해 횡방향으로, 예를 들면 수직으로 국부적으

로 변동될 수 있다. 예를 들면 제한 구조물들이 콘택스트립 쪽으로 향한 방향으로 및/또는 콘택스트립으로부터 멀어지는 방향으로 좁아질 수 있다. 제한 구조물들의 형태 및 그 최대폭의 선택에 의해 제한 구조물들이 전류 확산에 대해 그리고 활성 영역에서 생성된 전자기 복사의 산란에 대해 미치는 작용이 조절될 수 있다.

[0031] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 하나 이상의 제한 구조물이 최고 30㎛의 간격으로 콘택스트립의 측면으로 배치된다. 이 경우 콘택스트립과 제한 구조물 간의 간격은 제한 구조물 맞은편에 놓인 콘택스트립 측면에서부터 콘택스트립에 가장 인접한 제한 구조물의 지점까지 반도체 몸체의 덮개면의 평면에 대해 평행하고 콘택스트립의 주 연장 방향에 대해 수직으로 진행하는 방향을 따라 측정된다. 제한 구조물은 이러한 방향으로 몇 마이크로미터 이상으로 연장될 수 있다. 이와 같이 제한 구조물이 콘택스트립에 인접하게 배치됨으로써 콘택스트립 바로 아래 영역에 있는 활성 영역 내에 전하 캐리어 밀도가 매우 잘 집중된다. 이 경우 제한 구조물은 콘택스트립 내부로 돌출할 수도 있다. 이 경우 콘택스트립과 제한 구조물 간의 간격은 예를 들면 최저 -30㎛ 내지 최고 30㎛, 바람직하게는 최저 -20㎛ 내지 최고 10㎛이다.

[0032] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 제한 구조물들이 두 개의 제한 스트립 내부에서 콘택스트립 양 측면에 배치되며, 이때 제한 스트립들은 각각 최고 1㎜의 폭을 갖는다. 바람직하게는 250㎛ 미만의 폭, 특히 바람직하게는 100㎛ 미만, 예를 들면 60㎛의 폭을 갖는다. 즉 이 실시예에서는 콘택스트립의 양 측면에서 콘택스트립들 간의 최대 간격, 예를 들면 제한 구조물에 가장 인접한 콘택스트립의 측면과 콘택스트립으로부터 가장 멀리있는 개별 제한 구조물의 말단부 간의 최대 간격이 최고 1㎜이다. 즉 이 실시예에서는 제한 구조물들이 제한 스트립 내에서 콘택스트립의 왼쪽 및 오른쪽에 배치되며, 상기 제한 스트립은 최고 1㎜의 폭을 갖는다. 이 경우 이와 같이 제한 스트립의 작은 폭은 콘택스트립과 활성 영역 간의 전류 확산을 효과적으로 제한하기에 충분한 것으로 판명되었다.

[0033] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 하나 이상의 제한 구조물이 반도체 몸체 내 주입 영역에 의해 형성된다. 예를 들면 모든 제한 구조물들이 반도체 몸체 내 주입 영역에 의해 형성될 수 있다.

[0034] 즉 제한 구조물이 반도체 몸체 내 공간적으로 확장된 영역에 의해 형성되며, 이러한 영역은 반도체 몸체의 결정격자(crystal lattice) 내부에 이온을 주입함으로써 형성된다. 반도체 몸체 내 제한 구조물의 침투 깊이에 따라 반도체 몸체의 결정격자 내부의 외피층 내부 또는 도파관층 내부까지 이온이 주입된다. 이온 주입에 의해 반도체 몸체 내 전기 전도성이 많이 감소하고 제한 구조물 영역 내 전류 확산이 광범위하게 억제된다. 이러한 방식으로 주입된 프로파일(implanted profile)이 반도체 레이저의 이득 프로파일로서 형성된다.

[0035] 예를 들면 반도체 몸체 내에 양자들이 주입될 수 있다.

[0036] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 하나 이상의 제한 구조물이 반도체 몸체 내 리세스(recess)에 의해 형성된다. 예를 들면 제한 구조물 전체가 반도체 몸체 내 리세스에 의해 형성될 수 있다.

[0037] 즉 제한 구조물이 리세스에 의해 형성되며, 상기 리세스 영역에서 반도체 몸체의 재료가 제거된다. 예를 들면 제한 구조물을 형성하는 리세스의 형성은 에칭에 의해 이루어질 수 있다.

[0038] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 리세스가 반도체 몸체와는 다른 충진재로 채워진다. 예를 들면 제한 구조물을 형성하는 리세스 내부로 실리콘 질화물, 게르마늄 및/또는 금 또는 백금 등의 금속과 같은 재료가 삽입된다. 이 경우 리세스는 이러한 재료에 의해 반드시 완전히 충전되지 않고, 리세스가 반도체 몸체의 덮개면 맞은편에 놓인 개구의 얇은 층 내에서 이러한 재료로 커버되는 것만으로 충분한 것으로 판명되었다. 즉 리세스 전체가 충진재로 채워지지 않고 리세스의 측면 및 바닥면만이 충진재를 포함한다.

[0039] 또한, 리세스가 콘택스트립에 대해 평행한 방향으로 충전 라인에 의해 분리될 수 있다. 콘택스트립부터 충전 라인까지는 리세스가 고체-충진재를 미포함하며 예를 들면 공기로 채워진다. 따라서 리세스는 충전 라인부터, 즉 콘택스트립으로부터 멀어지는 방향으로 충진재에 의해 채워진다.

[0040] 리세스는 또한 충진재로부터 완전히 벗어날 수 있다. 따라서 리세스 내에 빈 공간이 제공된다.

[0041] 충진재는 입사하는 전자기 복사를 흡수하는 광흡수재(optical absorber)이다. 이를 통해 전류 확산을 제한하는 특성 이외에 제한 구조물이 갖는 작용이 제한 구조물 내부로 유입되는 전자기파의 산란 및/또는 흡수에 의해 강화된다. 이 경우 흡수재는 예를 들면 비정질 게르마늄(amorphous germanium)이며, 상기 비정질 게르마늄은 그 내부로 유입되는 전자기 복사의 높은 굴절률 및 높은 광손실을 특징으로 한다.

[0042] 이 경우 제한 구조물이 콘택스트립 측면으로 배치됨으로써 특히 반도체 레이저의 높은 횡모드가 억제된다.

[0043] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 반도체 몸체가 리세스 내부에, 적어도 리세스의 바닥면 영역 내부에 추가로 도핑된다. 상기 영역에서 예를 들면 반도체 몸체는 게르마늄에 의해 도핑될 수 있다. 이러한 도핑에 의해 반도체 몸체 내에 pn-pn-구조가 형성되며, 상기 pn-pn-구조 또한 유입되는 전자기파의 흡수를 강화할 수 있다. 이 경우 반도체 몸체가 리세스의 전체 영역 - 즉 리세스의 바닥면 및 측면 - 에서 도핑될 수도 있다.

[0044] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 하나 이상의 제한 구조물이 반도체 몸체의 러프닝(roughening)을 포함한다.

[0045] 러프닝 때문에 반도체 내에서 순환하는 전자기파가 이미터 외부 영역에서 통계적으로(statistical) 산란함으로써, 반도체 레이저칩 내 높은 횡모드가 더욱 억제된다. 또한, 고리공진(ring resonance)이 반도체 몸체의 러프닝에 의한 통계적 산란에 의해 방지된다. 이 경우 반도체 몸체의 전체 제한 구조물이 이러한 러프닝을 포함할 수 있다. 예를 들면 제한 구조물은 반도체 몸체 내 리세스일 수 있다. 리세스의 바닥면, 즉 덮개면을 등지고 있는 리세스의 가장 깊은 지점이 통계적으로 러프닝될 수 있다. 또한, 러프닝이 예를 들면 리세스를 충진재로 충전하는 공정과 결합할 수도 있다. 즉 예를 들면 리세스의 바닥면이 러프닝되고 이와 동시에 리세스가 반도체 몸체의 재료와는 다른 충진재로 충전될 수 있다.

[0046] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 하나 이상의 제한 구조물이 반도체 몸체에 접한 측면을 포함한다. 제한 구조물이 예를 들면 반도체 몸체 내 주입 영역일 경우에는 제한 구조물의 측면이 주입 영역의 외부 표면에 의해 형성되며, 상기 외부 표면에 의해 주입 영역이 인접한 반도체 몸체에 연결된다. 제한 구조물은 측면 이외에 바닥면을 가지며, 상기 바닥면은 반도체 몸체의 덮개면에 대해 평행하게 또는 실질적으로 평행하게 연장된다.

[0047] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 제한 구조물이 하나 이상의 측면을 가지며, 상기 측면은 반도체 몸체의 덮개면과 최저 20° 그리고 최대 80°, 예를 들면 최저 30° 내지 최고 70° 의 각도를 형성한다. 바람직하게, 이는 제한 구조물의 전체 측면에 대해 적용된다. 이 경우 소정의 각도 범위는 특히 외피층 또는 도파관층 내부까지 이르는 제한 구조물에 대해 바람직한 것으로 증명된다. 완만한 또는 가파른 각도에서 반도체 레이저칩 내에서 순환하는 전자기파는 앞뒤로 산란하거나 전혀 산란하지 않는다. 덮개면에 대해 소정의 각도 범위에서 연장되는 측면을 갖는 제한 구조물에 있어서 전자기 복사를 흡수하는 콘택층 및/또는 전자기 복사를 흡수하는 기판 내부로의 산란이 증가한다. 또한, 언급된 영역에서 플랭크 각(flank angle)을 갖는 제한 구조물들은 그 내부로 전자기파가 유입될 때 나타나는 불균일한 전이(abrupt transition) 때문에 낮은 플랭크각을 갖는 제한 구조물들보다 더 강력한 산란 작용을 갖는데, 그 이유는 제한 구조물과 반도체 몸체 간의 경계 영역에서 결합 손실(coupling loss)이 확대되기 때문이다.

[0048] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 하나 이상의 제한 구조물이 반도체 몸체에 접한 측면을 가지며, 이때 상기 측면은 콘택스트립의 주 연장 방향과 15° 내지 75° 의 각도를 형성한다. 즉 이 실시예에서 반도체 레이저칩의 덮개면의 평면도 상에서 볼 때 제한 구조물들은 콘택스트립에 대해 수직으로 연장되지 않고 콘택스트립의 주 연장 방향과 최저 15° 내지 최고 75° 의 각도를 형성하는 측면을 갖는다. 즉 제한 구조물의 측면들은 반도체 레이저의 패싯(facet)에 대해 평행하지 않게 연장되거나/및 수직으로 연장되며, 상기 패싯은 바람직하게 콘택스트립의 주 연장 방향에 대해 수직으로 방향 설정된다. 제한 구조물의 측면들은 또한 반도체 레이저의 방사 방향과 90° 및/또는 0° 이외의(unequal) 각도를 형성한다. 따라서 측면으로 입사하는 전자기 복사가 이미터로부터 멀리 산란한다. 또한, 상기 측면들은 반드시 서로에 대해 평행하게 연장되지는 않는다. 즉 제한 구조물의 측면들은 서로에 대해 0° 보다 큰 각도를 형성한다.

[0049] 에지방출형 반도체 레이저칩의 적어도 일 실시예에 따르면 콘택스트립의 양 측면에 콘택스트립의 주 연장 방향을 따라 전류 장벽이 배치되며, 이때 콘택스트립 및 제한 구조물들이 상기 전류 장벽 사이에서 횡방향으로 배치된다. 즉 전류 장벽은 콘택스트립의 왼쪽 및 오른쪽에서 콘택스트립 상에서 제한 구조물들을 형성한다. 전류 장벽은 예를 들면 V-형태의 트렌치를 형성하며, 상기 트렌치는 활성 영역까지 연장된다. V-형태의 트렌치는 예를 들면 비정질 게르마늄과 같이 전자기 복사를 흡수하는 재료로 채워질 수 있다.

[0050] 예를 들면 제한 구조물들에 의해 활성 영역 및 콘택스트립으로부터 멀리 산란한 전자기 복사가 전류 장벽에 의해 흡수될 수 있어서, 이러한 전자기 복사가 반도체 레이저칩의 인접한 이미터 내부로 유입되는 일은 발생할 수 없다. 또한, 전류 장벽은 콘택스트립에 의해 반도체 레이저칩 내부로 인가된 전류가 하나의 이미터로부터 반도체 레이저칩의 인접한 이미터로 이르게 되는 것을 방지할 수도 있다. 즉 전류 장벽은 개별 이미터들 사이 그리고 개별 이미터의 콘택스트립들 사이에 배치될 수 있다. 따라서 전류 장벽은 반도체 레이저칩이 다수의 이미터

를 포함하는 경우에도 특히 바람직한 것으로 증명된다.

[0051] 이하, 본 명세서에 기술된 에지방출형 반도체 레이저칩은 실시예 및 그에 속한 도면에 의해 더 상세히 설명된다.

## 도면의 간단한 설명

[0052] 도 1은 레이저 방사선의 광섬유로의 결합을 나타내는 개략적인 평면도이다.

도 2는 에지방출형 반도체 레이저칩의 출력에 대한 빔 확산각(beam disvergence)의 측정값을 그래프로 도시한 도이다.

도 3은 종래기술에 따른 에지방출형 반도체 레이저칩을 도시한 도이다.

도 4는 두 개의 에지방출형 반도체 레이저칩의 출력에 대한 빔 확산각의 측정값을 그래프로 도시한 도이다.

도 5는 본 명세서에 기술된 에지방출형 반도체 레이저칩의 한 실시예의 개략적인 단면도이다.

도 6은 도 5와 관련하여 기술된 에지방출형 반도체 레이저칩의 출력에 대한 빔 확산각의 측정값을 그래프로 도시한 도이다.

도 7 내지 도 17은 본 명세서에 기술된 에지방출형 반도체 레이저칩의 실시예들의 개략적인 평면도이다.

도 18a 내지 도 18f는 본 명세서에 기술된 에지방출형 반도체 레이저칩의 제한 구조물의 실시예들을 도시한 도이다.

## 발명을 실시하기 위한 구체적인 내용

[0053] 실시예들과 도면들에서 동일하거나 동일한 기능을 갖는 요소들은 각각 동일한 도면 부호를 갖는다. 도시된 요소들은 축척에 맞는 것으로 볼 수 없고, 오히려 개별 요소들은 이해하기 쉽게 과장되어 크게 도시되어 있을 수 있다.

[0054] 도 1은 에지방출형 반도체 레이저칩(1)에 의해 생성된 레이저 복사(10)의 광섬유(103)로의 결합을 개략적인 평면도로 도시한 것이다. 여기서 도 1은 예를 들면 5개의 이미터(105)를 갖는 레이저 바(laser bar)로서 형성된 에지방출형 반도체 레이저칩(1)을 보여준다. 에지방출형 반도체 레이저칩은 덮개면(1a)에 5개의 콘택스트립(2)을 갖는다. 분리형 패싯(3)에서 우선 미세광학장치(101)를 통해 입사하는 5개의 레이저 빔(10)이 분리된다. 예를 들면 집광렌즈인 추가의 광소자(102)에 의해 레이저 복사가 집결되어 광섬유(103) 내부로 삽입된다.

[0055] 우수한 빔 품질(beam quality) 및 높은 출력을 가능하게 하는 광섬유 레이저(fiber laser) 및 광섬유 결합형 레이저(fiber coupled laser)를 구현하는데 있어서 이루어진 기술적 진보로 인해 예를 들면 "원격(remote)"-용접과 같은 새로운 기술 응용 분야에서 이러한 광섬유 레이저 및 광섬유 결합형 레이저가 사용될 수 있다. 통상적으로 에지방출형 반도체 레이저칩은 펌프광원(pump light source)으로서 사용된다. 에지방출형 반도체 레이저칩은 전기적으로 소모된 출력이 유효 복사 전력(useful radiated power)로 변환할 때 높은 광출력과 동시에 매우 높은 효율을 나타낸다. 그러나 다른 한편으로는 원역장(far field)의 높은 타원율(ellipticity)을 나타낸다. 광섬유(103)의 둥근 횡단면 내 레이저 복사의 효과적인 결합은 단지 조정하기 복잡한 고가의 미세광학장치(101)에 의해서만 달성될 수 있다.

[0056] 레이저 다이오드의 광섬유 결합의 간소화 및 개선에 의해 더 저렴하고 확실한 레이저 시스템이 달성될 수 있을 것이다. 빔 확산각이 적어도 좁은 횡방향(r) - 소위 지상축(slow axis) 방향 - 에서 더 작아지고 효과적인 광섬유 결합을 위한 빔이 단지 수직 방향 - 즉 반도체 레이저칩의 덮개면(1a)이 놓인 평면에 대해 수직인 방향 - 에서 크게 변환되어야 할 경우에는 미세광학장치의 조정 필요성이 많이 감소한다.

[0057] 이 경우 횡방향(r)은 덮개면(1a)에 대해 평행한 평면상에서 콘택스트립(2)의 주 연장 방향(R)에 대해 수직으로 진행하는 방향이다. 콘택스트립(2)의 주 연장 방향(R)은 에지방출형 반도체 레이저칩(1)의 구동시 생성된 전자기 복사(10)의 확장 방향에 대해 평행하게 진행한다.

[0058] 도 1은 각 이미터(105) 당 에지방출형 반도체 레이저칩의 출력에 대한 빔 확산각의 측정값을 그래프로 나타낸 것이다. 여기서 빔 확산각은 95% 출력 포함(power inclusion)시에 결정되었다. 빔 확산각은 "지상축"(SA) 방향으로, 즉 덮개면(1a)에 대해 평행하고 콘택스트립(2)의 주 연장 방향(R)(도 1 참조)에 대해 수직으로 진행하는 평면상에서의 횡방향(r)으로 결정되었다. "95% 출력 포함"이라는 말은 빔 확산각을 결정하기 위해 레이저

빔(10)의 영역 중에서 출력의 95%를 포함하는 영역만이 고려되었음을 의미한다.

[0059] 도면에 도시된 바와 같이 레이저 출력이 증가하면서 수평의 빔 확산각이 크게 상승한다. 이로 인해 에지방출형 반도체 레이저칩이 전술한 바와 같이 높은 광출력을 위해 사용되는 것이 어려워지는데, 그 이유는 바람직하게 사용된 소형 미세광학장치(101)가 측면으로 더 발광하여 광이 소실되기 때문이다.

[0060] 도 3은 종래기술에 따른 에지방출형 반도체 레이저칩을 개략적인 평면도로 도시한 것이다.

[0061] 에지방출형 반도체 레이저칩(1)은 그 상측에 덮개면(1a)을 갖는 반도체 몸체(100)를 포함한다. 덮개면(1a) 위에 구조화된 콘택스트립이 제공된다. 이 경우 콘택스트립(2)은 마름모형 단면들로 분할된다. 콘택스트립(2)은 대략 150㎛의 폭(B)을 갖는다. 에지방출형 반도체 레이저칩은 0.8kA/cm2의 낮은 전력- 및/또는 전류 밀도에서 일정 폭(B)의 구조화된 콘택스트립(2)을 갖는 기준 구조물(reference structure)에 대해 방출된 전자기 복사의 횡방향 확산각이 확실히 감소한다는 것을 특징으로 한다. 이러한 반도체 레이저칩은 예를 들면 간행물 Baoxue et al., "Rhombus-like stripe BA InGaAs-AlGaAs-GaAs lasers", PTL 16, no. 5, 1248-1249(2004)에 기술되어 있으며, 그 공개내용은 본 명세서에서 참조에 의해 명확하게 포함된다.

[0062] 도 4에는 도 3에 따른 구조화된 콘택을 갖는 반도체 레이저칩 그리고 기준 구조물로서 사용되며 구조화된 콘택을 갖지 않는 반도체 레이저칩의 광출력에 대한 빔 확산각이 단지 개략적으로 도시된다. 여기서 3와트의 광출력은 에지방출형 반도체 레이저칩에서 대략 0.8 kA/cm2의 전류 밀도에 상응한다. 7와트의 광출력은 반도체 레이저칩에서 대략 1.8 kA/cm2의 전류 밀도에 상응한다. 도 4에 도시된 바와 같이 낮은 빔 확산각의 장점이 대략 4와트부터의 높은 광출력에서 사라진다. 따라서 마름모형으로 구조화된 콘택스트립(2)을 갖는 반도체 레이저칩은 높은 광출력 및 높은 전류 밀도일 경우에 낮은 빔 확산각에 관한 어떠한 장점도 제시하지 않는다.

[0063] 하기 도면들과 관련하여 몇 와트의 높은 광출력에서 그리고 대략 100㎛의 이미터 폭에서도 종래의 에지방출형 반도체 레이저칩에 비해 수평 빔 확산각을 효과적으로 감소시킬 수 있는 조치들이 자세히 설명된다.

[0064] 도 5는 본 명세서에 기술된 반도체 레이저칩(1)의 한 실시예를 개략적인 단면도로 도시한 것이다. 본 명세서에 기술된 에지방출형 반도체 레이저칩(1)은 바람직하게는 소위 광폭 레이저(broad area laser)이다. 광폭 레이저는 횡방향 다중모드로 작동하고 높은 광출력에서 특별히 필라멘트 현상(filamentation)을 나타내는 경향이 있다. 즉 생성된 전자기 복사(10)의 공간 간섭성(spatial coherence)이 감소하는 동시에 국부적인 출력 상승이 발생한다. 또한, 광폭 레이저는 생성된 전자기 복사(10)의 위상 프런트(phase front)를 변형시키는 경향이 있으며, 이로 인해 빔 확산각이 횡방향으로 확장된다.

[0065] 본 명세서에 기술된 에지방출형 반도체 레이저칩(1)은 상이한 재료 시스템으로 제조될 수 있다. 예를 들면 하기 반도체 재료들 중 하나에 기반을 둔 반도체 레이저칩이다: GaP, GaAsP, GaAs, GaAlAs, InGaAsP, GaN, InGaN, AlGaInAsSb. 또한, III-V- 또는 II-VI-반도체 시스템으로 이루어진 추가의 반도체 재료들도 가능하다. 예를 들면 반도체 레이저칩이 AlGaInAs-재료 시스템에 기반을 둔다. 이때 "기반을 두다"라는 말은 반도체 몸체의 하나 이상의 층이 언급한 재료들 중 하나의 재료로 형성된다는 것을 의미한다. 이 층은 추가로 도핑 재료를 포함할 수 있다.

[0066] 에지방출형 반도체 레이저칩(1)은 예를 들면 다수의 이미터, 예를 들면 4개 내지 6개의 이미터를 갖는 다이오드 레이저이며, 상기 이미터는 1㎜보다 큰, 예를 들면 1.5㎜ 내지 6㎜의 공진기 길이(resonator length)를 갖는다. 개별 이미터(105)에 의해 생성된 전자기 복사(10)의 폭은 바람직하게는 횡방향(r)으로 50㎛ 내지 150㎛이다. 이 경우 에지방출형 반도체칩이 단 하나의 이미터를 포함할 수도 있다.

[0067] 에지방출형 반도체 레이저칩(1)의 반도체 몸체(100)의 덮개면(1a) 위에 콘택스트립(2)이 제공되며, 이때 각각의 콘택스트립(2)이 하나의 이미터(105)에 할당된다. 에지방출형 반도체 레이저칩은 구동시 적외선 복사에서부터 UV-복사에 이르는 스펙트럼 영역에서 전자기 복사(10)를 생성할 수 있다.

[0068] 적외선 복사 스펙트럼 영역에서 고출력의 에지방출형 반도체 레이저칩(1)은 저출력의 레이저와 달리 매우 두꺼운 도파관층(13)을 가지며, 상기 도파관층의 두께는 몇 마이크로미터 영역에 놓일 수 있다.

[0069] 특히 적외선 방출 에지방출형 반도체 레이저칩(1)은 하기 문제점을 갖는다:

[0070] 이러한 반도체 레이저칩(1)은 매우 두꺼운 도파관층을 갖는다. 활성 영역(14)과 콘택스트립(2) 사이의 두꺼운 도파관층(13)에서 발생하는 높은 전류 확산에 의해 도 3과 관련하여 설명된 바와 같이 콘택스트립(2)의 구조화는 더 이상 이득 프로파일로서 활성 영역(14) 내부까지 형성되지 않는다. 오히려 활성 영역에는 거의 균일하게

전류가 공급되며, 이는 콘택스트립(2)이 구조화되지 않을 경우와 유사하다.

[0071] 에지방출형 반도체 레이저칩(1)은 하나의 반도체 몸체(100)를 포함한다. 상기 반도체 몸체(100)는 예를 들면 에피택셜 성장 기판인 기판(11)을 포함하며, 상기 기판 위로 반도체 몸체(100)의 연속하는 층들이 에피택셜하게 증착된다. 상기 기판(11) 위로 에지방출형 반도체 레이저칩(1)이 예를 들면 n-측면으로 접촉될 수 있다.

[0072] 또한, 에지방출형 반도체 레이저칩(1)은 반도체 몸체(100) 내에 활성 영역(14)을 포함하며, 상기 활성 영역(14)은 전자기 복사를 생성하기 위해 제공된다. 이 경우 활성 영역(14)은 전자기 복사를 위해 예를 들면 pn-전이부, 이중 헤테로구조, 단일-양자우물구조 또는 다중-양자우물구조를 포함한다. 이때 양자우물구조라는 말은 양자화(quantization)의 차원성(dimensionality)과 관련한 의미를 지니지 않는다. 따라서 양자우물구조는 다른 것들 중에서, 특히 양자우물, 양자선 및 양자점 그리고 이러한 구조들의 결합 형태를 포함한다.

[0073] 활성 영역(14)은 도파관층(13) 내부로 삽입되며, 상기 도파관층(13)은 활성 영역(14)보다 높은 밴드갭 및 낮은 굴절률을 갖는다.

[0074] 도파관층(13)에 각각 코팅- 또는 외피층(12)이 접하며, 상기 코팅- 또는 외피층(12)은 도파관층(13)보다 높은 밴드갭 및 낮은 굴절률에 의해 상기 도파관층과 구별된다.

[0075] 기판(11)을 등지고 있는 외피층(12)은 콘택층(16)에 접하며, 상기 콘택층(16)은 그 아래에 놓인 외피층(12)보다 높게 p-형 도핑된다. 콘택층(16)에 바로 접하는 반도체 몸체(100)의 덮개면(1a) 위에 콘택스트립(2)이 제공된다. 상기 콘택스트립(2)은 예를 들면 금속배선에 의해 형성된다. 콘택스트립(2)을 경유하여 전류가 반도체 레이저칩(1)의 활성 영역(14) 내부로 인가된다. 콘택스트립(2)의 폭(B)은 바람직하게 최소 10㎛ 내지 몇백㎛, 예를 들면 대략 100㎛이다.

[0076] 측면으로, 즉 콘택스트립(2)에 대해 횡방향(r)으로 이격되어 제한 구조물들(4)이 배치되며, 상기 제한 구조물들(4)은 콘택스트립(2)과 활성 영역(14) 간의 전류 확산을 제한하기 위해 사용된다. 이 경우 제한 구조물들(4)은 각각의 콘택스트립(2)의 양 측면에 배치된다.

[0077] 도 5의 실시예에서 제한 구조물들은 침투 깊이(h)에 의해 반도체 몸체(100) 내부로 연장된다. 도 5의 실시예에서 제한 구조물들(4)은 외피층(12) 내부까지 연장되고 이러한 방식으로 콘택층(16)을 완전히 관통한다. 예를 들면 제한 구조물들은 도파관층(13) 위 300nm 깊이까지 외피층(12) 내부로 삽입된다. 따라서 도파관층(3)은 제한 구조물들(4)을 포함하지 않는다.

[0078] 그러나 이에 대한 대안으로서 제한 구조물들이 도파관층(13) 내부까지 연장될 수도 있다. 그러나 제한 구조물들(4)이 활성 영역(14)까지 이르지 않아서, 활성 영역(14)은 어떠한 경우에도 제한 구조물을 포함하지 않는다. 예를 들면 제한 구조물들(4)이 활성 영역 위 300nm 깊이까지 덮개면(1a) 맞은편에 놓인 도파관층(13) 내부로 삽입된다.

[0079] 제한 구조물들(4)에 의해 콘택스트립과 활성 영역(14) 간의 통제되지 않은 전류 확산이 억제된다. 즉 구조화된 콘택스트립(2)이 제공될 때 두꺼운 도파관층(13)에서 나타나는 경우와 같이 콘택스트립(2)과 활성 영역(14) 간의 큰 전류 확산이 제한 구조물들(4)에 의해 방지된다. 이러한 방식으로 활성 영역(14)에서 적합한 횡방향 및 종방향 이득 프로파일 및/또는 전하 캐리어 프로파일이 조절된다. 이로 인해 활성 영역(14)의 횡방향 이득 프로파일과 낮은 횡모드(lateral mode), 예를 들면 횡방향 기본 모드와의 중첩이 확대되고 높은 모드와의 중첩은 축소된다. 또한, 활성 영역(14)의 이득 프로파일 및/또는 전하 캐리어 프로파일이 이미터(105)의 가장자리 영역에서 발생하는 플라스마 효과에 의해 활성 영역(14)의 굴절률의 공간적 변동을 야기함으로써, 생성된 전자기 복사(10)가 산란하여 손실될 수 있다. 이는 특히 높은 횡모드에 작용한다. 이를 통해 낮은 횡모드 - 예를 들면 횡방향 기본 모드 - 는 거의 영향을 받지 않는다. 전체적으로 볼 때 제안된 구조에 의해 낮은 횡모드 - 예를 들면 횡방향 기본 모드 - 가 강화되는 것이 바람직하다.

[0080] 이 경우 제한 구조물들(4)은 콘택스트립(2)과의 간격(d) 내에 제공된다. 특히 간격(d)은 최대 30㎛이다.

[0081] 제한 구조물들(4)은 예를 들면 에칭에 의해 생성될 수 있는 리세스일 수 있다. 즉 전류 확산을 억제하기 위해 높게 도핑된 콘택층(16) 및 경우에 따라서는 외피층 및 도파관층(12 및 13)의 부분들이 구조화되어 제거된다.

[0082] 에칭 대신 또는 에칭에 대해 추가로 제한 구조물들(4)은 반도체 몸체(100)의 결정격자 내부로의 이온주입에 의해 달성될 수 있다. 이를 통해 이온이 주입된 영역의 전기 전도성이 많이 감소하여 전류 확산이 광범위하게 억제되어, 제한 구조물들(4)의 주입된 프로파일이 활성 영역(14)의 이득 프로파일로서 형성된다.

[0083] 제한 구조물들(4)이 도파관층(13) 내부까지 연장되는 매우 깊은 리세스일 경우에는 활성 영역(14) 내 전하 캐리어 프로파일에 의해 유도된 굴절률 격자(refractive index grating)에 대해 추가로 제한 구조물(4)에 의한 모드 유효 굴절률의 공간적 변동에 의해 광격자(optical lattice)가 생성되는데, 그 이유는 생성된 전자기 복사(10)의 감쇠하는 수직 파장들이 도파관층(13) 또는 외피층(12) 내에서가 아니라 국부적으로 제한 구조물(14) 내부로 퍼지기 때문이다. 이 경우 예를 들면 제한 구조물들(4)을 형성하는 리세스 내에 충진재(41)가 삽입될 수 있다.

[0084] 제한 구조물들(4)이 에칭된 리세스일 경우에는 제한 구조물들이 다수의 단계로 생성될 수 있다. 즉 제한 구조물들(4)이 반도체 몸체(100) 내에서 다수의 에칭 단계에 따라 생성될 수 있다. 이러한 방식으로 다단계 고도 프로파일(elevation profile)이 리세스 내에 생성될 수 있다. 이 경우 리세스는 횡방향 및 종방향 - 즉 콘택스트립(2)의 주 연장 방향 - 으로 상이하게 구조화될 수 있다. 이에 대한 대안으로서 리세스가 예를 들면 상응하는 마스킹 공정(masking process)에 의해 단 한 번의 에칭 단계로 생성될 수도 있다. 또한, 제한 구조물을 형성하는 리세스가 콘택층(16), 외피층(12) 또는 도파관층(13)과 같은 개별 층들 내에서 상이한 고도 프로파일을 가질 수 있다.

[0085] 즉 리세스는 상이한 층들 내에서 예를 들면 상이한 연속 플랭크각을 가질 수 있다.

[0086] 도 6은 도 5 및 도 8과 관련하여 기술된 바와 같이 에지방출형 반도체 레이저(5)의 광출력에 대한 생성된 전자기 복사(10)의 확산각을 그래프로 도시한 것이다.

[0087] 이 경우 콘택스트립(2)의 한 측면에서의 제한 구조물들(4)의 간격(1)은 10㎛이다. 제한 구조물들(4)의 최대 폭(b)은 각각 10㎛이다. 제한 구조물들(4)과 콘택스트립(2) 간의 간격(d)은 6㎛이다.

[0088] 콘택스트립의 폭(B)은 70㎛이다. 콘택스트립(2)은 실리콘 질화물로 이루어진 패시베이션층(도시되지 않음)의 개구 내에서 반도체 몸체(100)의 덮개면(1a)의 금속배선으로서 형성된다.

[0089] 제한 구조물들(4)은 제한 스트립(6) 내에서 콘택스트립(2)의 양 측면에 배치되고, 상기 콘택스트립(2)은 60㎛의 폭(V)을 갖는다. 제한 구조물들(4)은 콘택층(16)을 통해 외피층(12) 내부로 직사각형으로서 에칭되며, 이때 침투 깊이(h)는 제한 구조물들이 덮개면(1a) 맞은편에 놓인 도파관층(13) 앞 300nm 까지 연장되도록 선택된다. 제한 구조물들(4)이 콘택스트립(2)을 따라 배치되게 하는 충전율은 50%이다. 제한 구조물(4)의 충전율이란 주 연장 방향(R)을 따라 제공되는 제한 구조물들(4)의 최대 폭(b)의 합과 콘택스트립(2)의 전체 길이(L) 간의 비율을 나타낸다. 이 경우 콘택스트립(2)의 전체 길이(L)는 예를 들면 4㎜이다. 전류 장벽(5)과 콘택스트립(2) 간의 간격(D)은 100㎛이다.

[0090] 반도체 레이저(1)는 5개의 이미터를 포함하며, 상기 이미터들은 서로에 대해 1㎜ 간격(소위 피치(pitch))을 두고 서로 배치된다.

[0091] 이 실시예에서는 횡방향 이득 프로파일의 경사도가 종방향(R) 이득 프로파일보다 완만하다. 도 6의 그래프에서 볼 수 있듯이 높은 광출력에 대해 횡방향(지상축 방향; SA) 빔 확산각이 축소된다. 에지방출형 반도체 레이저 및 제한 구조물(4)을 포함하지 않는 비교 구조물의 효율이 동일하다.

[0092] 도 7과 관련하여 본 명세서에 기술된 에지방출형 반도체 레이저칩의 한 추가 실시예가 개략적인 평면도에 의해 더 자세히 설명된다. 도 5 및 도 8의 실시예와 달리 이 실시예에서는 제한 구조물들(4)이 다수의 그룹들 내에 배치되며, 상기 그룹들은 각각 서로에 대해 한 그룹 내에 있는 제한 구조물들의 간격(1)보다 큰 간격을 갖는다. 이와 같은 구조는 도 5 및 도 8과 관련하여 설명된 반도체 레이저칩(1)의 실시예와 비교해 볼 때 도파관층(13) 내부까지 연장되는 제한 구조물들(4)이 사용될 수 있다는 것을 특징으로 한다. 도 5 및 도 8과 관련하여 기술된 실시예에서 이와 같이 깊은 구조화는 많은 수의 제한 구조물들 때문에 순환하는 전자기 복사(10)의 강력한 산란 및/또는 댐핑을 야기할 수 있다.

[0093] 이득 가이드(gain guide)는 콘택스트립(2) 양 측면에 제한 구조물들(4)이 제공되지 않는 영역에서 발생하는 비교적 높은 전류 확산 때문에 도 5 및 도 8과 관련하여 기술된 실시예에서 보다 덜 강력하게 나타난다.

[0094] 도 9와 관련하여 본 명세서에 기술된 에지방출형 반도체 레이저칩(1)의 실시예가 더 자세히 설명되며, 여기서 제한 구조물들(4)은 콘택스트립(2) 양 측면에서 각각 단 하나의 결합형 스트립 내에 배치된다. 이 경우 제한 구조물들(4)은 콘택스트립(2) 맞은편 측에서 각각 측면(40)을 가지며, 상기 측면(40)은 콘택스트립(2)의 주 연장 방향(R)과 0° 이외의 각도를 형성한다. 예를 들면 도 8과 관련하여 설명된 실시예와 비교해 볼 때 도 9와 관련하여 기술된 실시예는 횡방향(r) 및 종방향(R) 이득 프로파일의 경사도가 가파르다는 것을 특징으로 한다. 이 경우 횡방향(r)으로 활성 영역의 가장자리 영역에 대한 전하 캐리어 밀도의 급하강이 나타나는데, 다시 말해

콘택스트립(2)과의 간격이 증가한다. 종방향(R)으로 이득 프로파일이 조절된다.

[0095] 제한 구조물(4)은 리세스로 형성되며, 상기 리세스는 횡방향(r)으로 콘택스트립(2)으로부터 멀어지는 방향으로 충전 라인(7)부터 충진재(41)로 채워진다. 즉 콘택스트립(2) 맞은편에 놓인 충전 라인 측에 놓인 리세스의 부분들은 충진재를 포함하지 않는다. 이 경우 제한 구조물들(4)이 반도체 몸체(100) 내부로 더 깊이 삽입되면 될수록, 충전 라인(7)은 콘택스트립(2)으로부터 더 멀어진다.

[0096] 본 명세서에 기술된 에지방출형 반도체 레이저칩(2)의 모든 실시예에서 콘택스트립(2)의 양 측면에 전류 장벽(5)이 배치되며, 상기 전류 장벽(5)은 그 위로 확산되는 전류를 차단한다. 예를 들면 전류 장벽(5)은 V-형태의 트렌치 에칭이며, 상기 트렌치 에칭은 활성 영역(14) 까지 이르거나 상기 활성 영역을 통과한다. 전류 장벽(5)에 의해 개별 이미터(105)가 완전히 전기적으로 그리고 광학적으로 서로 분리될 수 있다.

[0097] 제한 구조물들(4)의 충전율은 횡방향(r)으로 변동한다. 즉 제한 구조물들(4)의 충전율은 주 연장 방향(R)에 대해 평행한 가상 라인을 따라 콘택스트립과 가상 라인의 상이한 간격에 대해 상이한 값들을 취할 수 있다. 국부적으로 충전율은 100%이다. 콘택스트립(2) 맞은편에 놓인 제한 구조물(4)의 측면에서 충전율은 바람직하게는 최저 10% 및 최고 90%이다.

[0098] 본 명세서에 기술된 에지방출형 반도체 레이저칩의 한 실시예에 대한 도 10의 개략적인 평면도는 도 9와 관련하여 기술된 실시예의 변형을 보여주며, 이때 제한 구조물들(4)은 횡방향으로 서로 상이한 충전율의 변화를 나타낸다. 제한 구조물들(4)의 충전율은 횡방향(r)으로 변화한다. 국부적으로 충전율은 100%이다. 콘택스트립(2) 맞은편에 놓인 제한 구조물(4)의 측면에서 충전율은 바람직하게는 최저 10% 그리고 최고 90%이다.

[0099] 도 11과 관련하여 본 명세서에 기술된 에지방출형 반도체 레이저칩(1)의 한 추가 실시예가 개략적인 평면도에 의해 더 자세히 설명된다. 예를 들면 도 8의 실시예와 달리 이 실시예에서는 제한 구조물들(4)이 에지방출형 반도체 레이저칩(1)의 반도체 몸체(100)의 덮개면(1a)의 평면도 상에서 삼각형, 예를 들면 2등변 삼각형으로 형성된다. 따라서 제한 구조물들(4)은 콘택스트립(2)의 주 연장 방향(R)에 대해 평행하게 진행하는 하나의 측면(40) 및 주 연장 방향(R)과 90° 이외의 횡방향 플랭크 각도(β)를 각각 형성하는 두 개의 측면(40)을 갖는다.

[0100] 이 경우 제한 구조물들은 횡방향 및 종방향으로 활성 영역 내 전하 캐리어 밀도의 가파른 경사도를 야기하는데, 그 이유는 콘택스트립(2)을 통해 인가된 전류가 제한 구조물들(4)을 경유하여 횡방향(r)으로 비교적 큰 표면상으로 확산될 수 있기 때문이다. 도 11의 실시예에서 제한 구조물들은 각각 두 개 이상의 측면(40)을 가지며, 이때 상기 측면(40)은 콘택스트립(2)의 주 연장 방향(R)과 바람직하게는 최저 15° 내지 최고 75° 의 각도(β)를 형성한다. 이 경우 90° 이외의 플랭크 각도(β)가 바람직한 것으로 증명되었다.

[0101] 측면(40)이 주 연장 방향(R)과 90° 이외의 각도를 형성할 경우에는 생성된 전자기 복사(10)가 또한 활성 영역(14)으로부터 측면으로 멀리 산란한다. 또한, 이득 프로파일의 경사도가 각도의 선택에 의해 조절될 수 있다. 전자기 복사는 예를 들면 전류 장벽(5) 쪽으로 유도될 수 있어서, 상기 전류 장벽에서 흡수된다. 예를 들면 전류 장벽(5)은 게르마늄과 같은 흡수재로 충전되는 V-형태의 트렌치에 의해 형성된다.

[0102] 15° 내지 75° 의 플랭크 각도(β)가 바람직한 것으로 증명된다. 각도가 너무 작으면 제한 구조물의 길이가 너무 커져서 생성된 이득 프로파일이 너무 균등해진다.

[0103] 이에 반해 플랭크 각도가 너무 크면, 즉 플랭크 각도(β)가 75° 이상이면 산란 작용이 측면 쪽으로, 즉 콘택스트립(2)으로부터 먼 쪽으로 작아진다.

[0104] 제한 구조물들 사이 또는 제한 구조물들(4)과 반도체 레이저칩(1)의 분리 패싯(3) 간의 고리공진 현상을 피하기 위해 플랭크 각도(β)는 바람직하게 45° 이외의 각도이다.

[0105] 이와 같은 플랭크 각도의 선택에 대한 대안으로서 제한 구조물들(4)이 또한 계단 형태로 배치될 수 있다. 이는 예를 들면 도 17에 도시된다.

[0106] 도 12a 및 도 12b와 관련하여 본 명세서에 기술된 에지방출형 반도체 레이저칩의 한 추가 실시예가 더 자세히 설명된다. 이 실시예에서 제한 구조물들은 추상화된 크리스마스 트리 형태를 갖는다. 즉 제한 구조물들이 4개의 모서리를 갖는다. 이 경우 제한 구조물들의 측면(40)은 콘택스트립(2) 맞은편에 놓인 제한 구조물(4)의 말단부에서 콘택스트립(2)을 등지고 있는 제한 구조물의 말단부에서보다 더 완만한 각도를 갖는다.

[0107] 제한 구조물들(4) 간의 간격(d)은 예를 들면 10㎛이다. 간격(a)은 10㎛이다. 제한 스트립의 폭(V)은 80㎛이다. 제한 구조물들(4)의 최대 폭(b)은 40㎛이다. 제한 구조물들(4)은 충전 라인(7)부터 게르마늄으로

채워진다. 콘택스트립(2)의 폭(B)은 70㎛이다.

[0108] 본 명세서에 기술된 에지방출형 반도체 레이저칩의 도 13a 및 도 13b와 관련하여 기술된 실시예에서 제한 구조물들은 교대로 크리스마스 트리 구조로 형성되며, 그 크기는 상이하다. 이 경우 제한 구조물들은 콘택스트립(2)에 대해 대칭적으로 상기 콘택스트립의 양 측면에 배치된다. 콘택스트립(2) 자체는 제한 구조물들(4) 맞은편에 놓인 측면에서 파도 형태의 구조화를 가지며, 이러한 파도 형태의 구조화에 의해 활성 영역 내부로의 소정의 전류 인가가 더욱 개선된다.

[0109] 도 14의 평면도에서 본 명세서에 기술된 에지방출형 반도체 레이저칩의 한 추가 실시예가 개략적으로 도시되며, 여기서 제한 구조물들(4)은 웨지 형태(wedge-shaped)의 구조로 형성되며, 이 웨지 형태의 구조는 제한 구조물들(4)의 전체 측면(40)이 콘택스트립의 주 연장 방향(R)과 0° 이외의 횡방향 플랭크 각도(β) 및 90° 이외의 횡방향 플랭크 각도(β)를 형성하도록 방향 설정된다. 이 경우 콘택스트립(2)의 중간 지점에서 제한 구조물들(4)의 방향 설정이 바뀐다. 이로 인해 제한 구조물들(4)은 공진기에서 순환하는 전자기 복사(10)의 파장에 대해 대칭적으로 형성될 수 있다.

[0110] 도 15와 관련하여 한 실시예가 설명되며, 여기서 제한 구조물(4)은 제한 구조물(4)의 바닥면에 러프닝(42)을 갖는다. 러프닝은 도 18d의 개략적인 단면도에 의해 설명된 바와 같이 통계적인 러프닝이다. 이 경우 러프닝은 적어도 부분적으로 외피층(12)을 통해 도파관층(13) 내부까지 이를 수 있다. 러프닝은 예를 들면 건식화학적 또는 습식화학적 에칭에 의해 생성될 수 있다. 러프닝의 전형적인 구조 크기는 50nm 내지 5㎛, 예를 들면 300nm 내지 600nm이다.

[0111] 도 16과 관련하여 본 명세서에 기술된 에지방출형 반도체 레이저칩(1)의 한 추가 실시예가 개략적인 평면도에 의해 더 자세히 설명된다. 예를 들면 도 8에 도시된 실시예와 달리 제한 구조물이 하나의 러프닝을 포함한다. 이 경우 제한 구조물(4)은 예를 들면 리세스에 의해 형성될 수 있으며, 상기 리세스의 바닥은 도 18d와 관련하여 도시된 바와 같이 러프닝되어 있다.

[0112] 도 18a 내지 도 18f의 개략적인 단면도에서 제한 구조물(4)의 형태에 관한 예들이 더 자세히 설명된다. 여기서 도시된 제한 구조물들(4)은 에지방출형 반도체 레이저칩의 도시된 개별 실시예들에서 사용될 수 있다.

[0113] 도 18a와 관련하여 도시된 제한 구조물(4)의 실시예에서 제한 구조물(4)은 리세스로서 반도체 몸체(100) 내로 구조화된다. 예를 들면 리세스가 반도체 몸체(100) 내부로 에칭된다. 이 경우 제한 구조물(4)의 측면(40)은 덮개면(1a)과 수직 플랭크 각도(α)를 갖는다. 도 18a의 실시예에서 수직 플랭크 각도는 α=90° 이다. 이러한 플랭크 각도는 예를 들면 리세스가 도파관까지 이르지 않고 예를 들면 콘택층(16) 바로 아래에서만 외피층(12) 내부까지 이르게 될 경우에 선택될 수 있다.

[0114] 이와 반대로 도 18b와 관련하여 한 실시예가 도시되며, 여기서 제한 구조물은 도판관층(13) 내부까지 이르는 리세스에 의해 형성된다. 이와 같이 반도체 몸체(100) 내 리세스의 침투 깊이(h)의 크기가 형성될 때 반도체 레이저칩(1) 내에서 순환하는 전자기 복사(10)의 파장이 제한 구조물(4) 상에서 산란할 수 있다. 이 경우 가파른 플랭크, 즉 90° 의 수직 플랭크 각도(α)는 피해질 수 있는데, 그 이유는 그렇지 않으면 파장이 거의 수직으로 역산란하기 때문이다.

[0115] 바람직하게 수직 플랭크 각도(α)는 20° 내지 80° 이며, 이 경우에 파장은 예를 들면 전자기 복사(10)가 흡수될 수도 있는 콘택층(16) 또는 기판(11) 내부로 거의 반사되지 않거나 전혀 반사되지 않는다.

[0116] 도 18c와 관련하여 제한 구조물(4)의 한 실시예가 도시되며, 여기서 리세스는 충진재(41)에 의해 채워진다. 충진재(41)는 예를 들면 복사 흡수 재료일 수 있으며, 이 재료에 의해 활성 영역 내 이득 프로파일 이외에도 콘택스트립(2) 양 측면에서 광학적 손실 프로파일이 생성된다. 또한, 충진재는 반도체 몸체(100)의 주변 재료보다 더 높은 굴절률을 갖는 재료일 수 있다. 이를 통해 반도체 레이저 내에서 진동하는 모드의 프로파일이 반유도(antiguiding)에 의해 변형되어 계속해서 외부 영역 내부로, 즉 콘택스트립(2)으로부터 멀어지는 지점으로 유도되며, 상기 지점에서 모드가 이득 프로파일에 의해 더 강력하게 영향을 받는다. 반유도 메카니즘은 예를 들면 횡방향 기본 모드보다 높은 횡모드에 더 강력하게 작용한다. 충진재(41)는 바람직하게는 측면(40) 및 리세스의 바닥면을 완전히 덮는다.

[0117] 흡수 및 반유도 효과는 적합한 재료 선택에 의해 조합될 수도 있다. 이 경우 예를 들면 충진재로서 비정질 게르마늄이 특히 적합하며, 상기 비정질 게르마늄은 높은 굴절률 및 높은 광흡수율을 갖는다. 또한, 금속이 충진재(41)로서 사용될 수도 있다. 또한, 반도체 몸체(100)보다 작은 밴드갭 및 큰 굴절률을 갖는 반도체 재료가

충진재로서 사용될 수 있다. 이러한 반도체 재료는 예를 들면 리세스 내부로 에피택셜하게 삽입될 수 있다.

[0118] 도 18d에서 제한 구조물(4)이 또한 러프닝(42)을 포함하는 것이 개략적으로 도시된다. 러프닝에 의해 제한 구조물에 의해 생성되는 이득- 및/또는 손실 프로파일에 대해 추가적으로 러프닝(42) 내 국부적 산란이 이루어짐으로써, 더 높은 횡모드가 더욱 억제되고 고리공진 현상이 러프닝(42)에서의 통계적인 산란에 의해 중단된다.

[0119] 도 18e와 관련하여 개략적인 도면에 의해 제한 구조물(4)이 설명되며, 상기 제한 구조물(4)은 단지 부분적으로만, 그러나 충전 라인(7)부터 충진재(41)에 의해 채워진다. 이 경우 예를 들면 적어도 콘택스트립(2) 맞은편에 놓인 측면(40)은 충진재(41)를 포함하지 않는다.

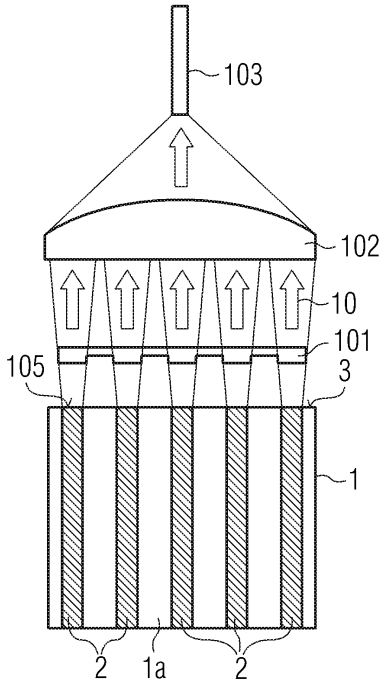
[0120] 도 18f와 관련하여 개략적인 단면도에 의해 제한 구조물(4)이 설명되며, 여기서 예를 들면 게르마늄이 도핑 재료로서 리세스 바닥면의 확산 영역(43) 내부로 삽입된다. 도핑에 의해 반도체 몸체(100) 내에 높게 n-도핑된 영역이 형성되며, 상기 영역은 입사하는 전자기파의 흡수를 강화할 수 있다. 이 경우 반도체 몸체(100)가 리세스의 전체 영역 - 즉 리세스의 바닥면 및 측면- 에서 도핑될 수도 있다.

[0121] 본 발명은 실시예에 의한 설명에만 제한되지 않는다. 오히려 본 발명은 각각의 새로운 특징 및 그 특징들의 조합, 특히 특허청구범위에 기술된 특징들의 조합을 포함하며, 비록 이러한 특징들 또는 이러한 조합이 그 자체로 명백하게 특허청구범위나 실시예에 기술되지 않더라도 그러하다.

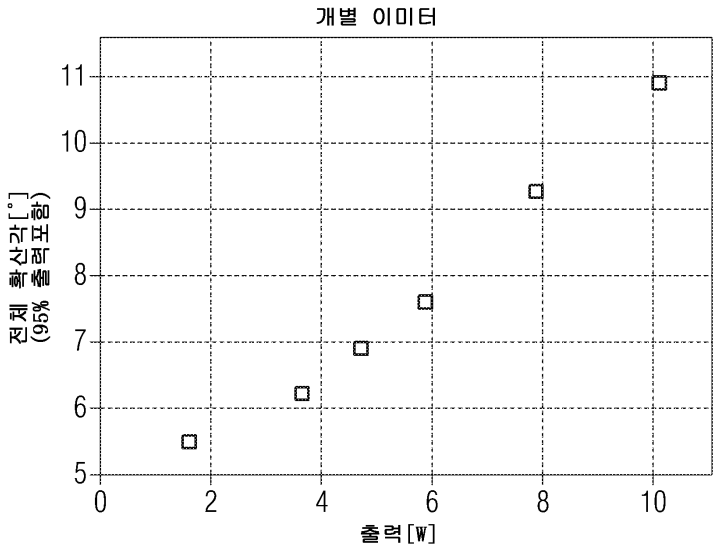
[0122] 본 특허는 독일 특허 102008058436.3의 우선권을 청구하며, 그 공개 내용이 본 명세서에서 참조된다.

## 도면

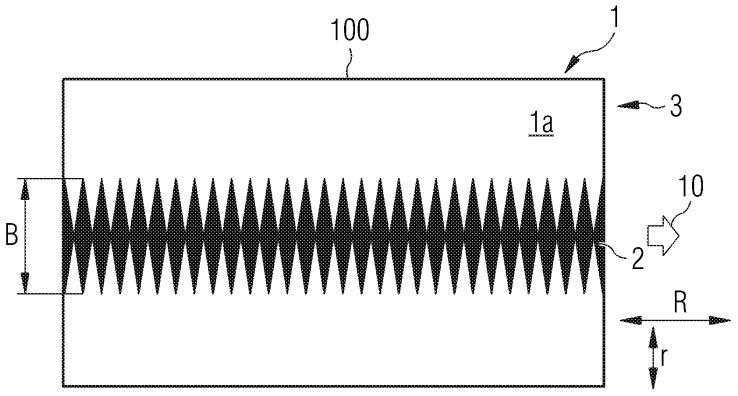
### 도면1



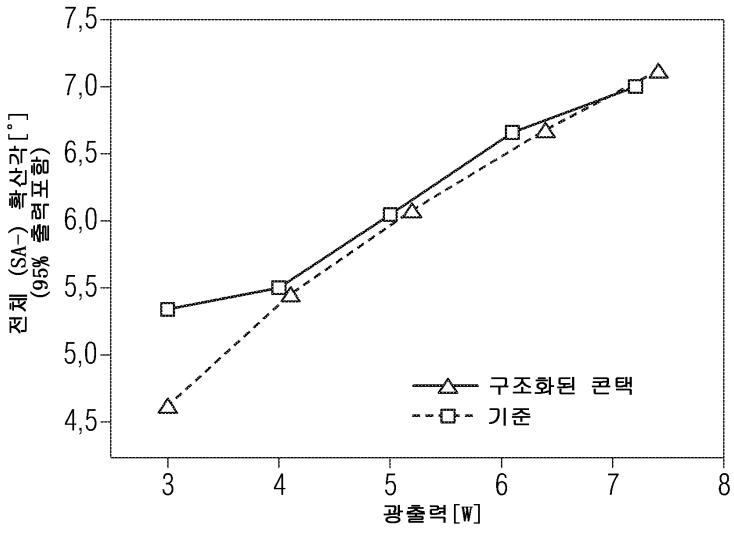
도면2


개별 이미터
전체 확산각[°]
(95% 출력포함)
출력[W]

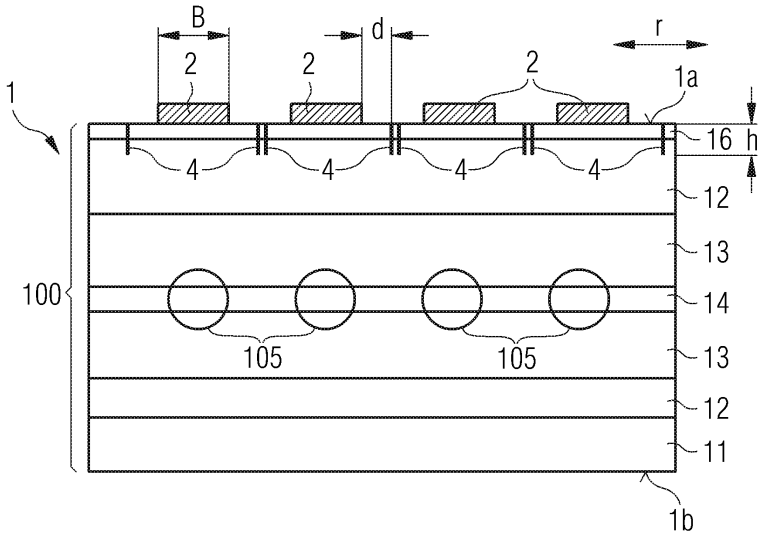
도면3


100
1
1a
3
10
2
B
R
r

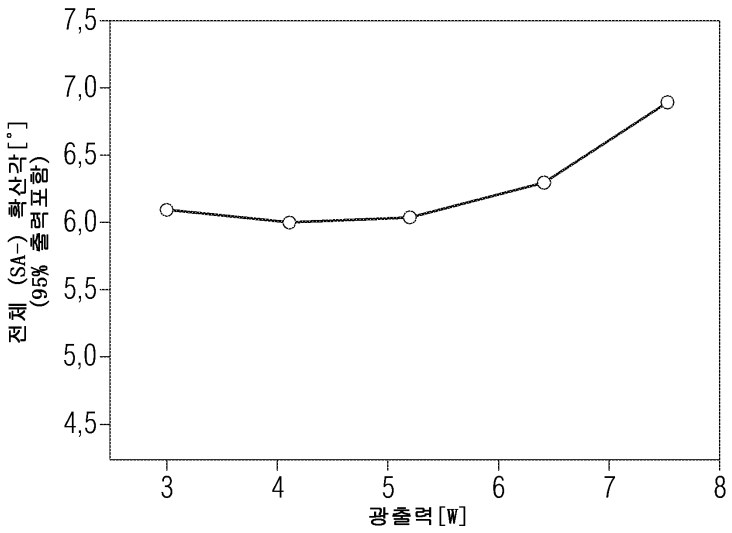
도면4


전체 (SA-) 확산각[°]
(95% 출력포함)
광출력[W]
구조화된 콘택
기준

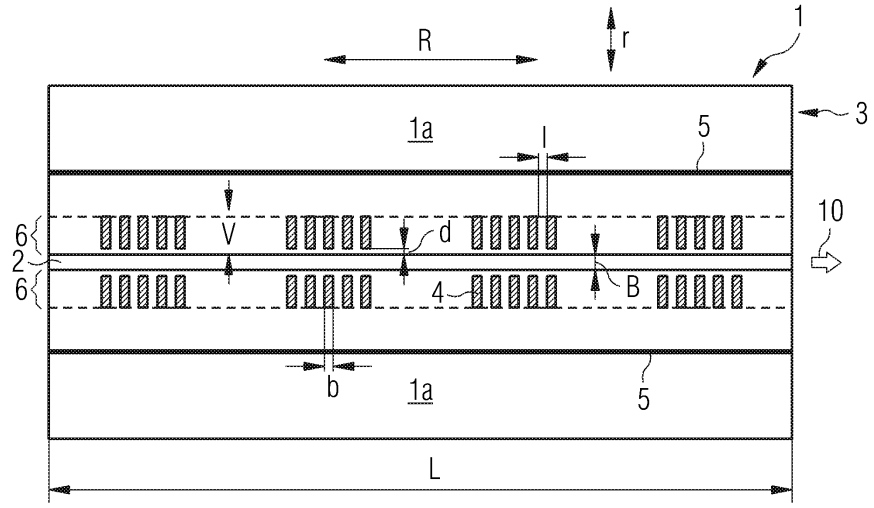
도면5


B
d
r
2
2
2
1a
1
16
h
4
4
4
4
12
13
100
14
105
105
13
12
11
1b

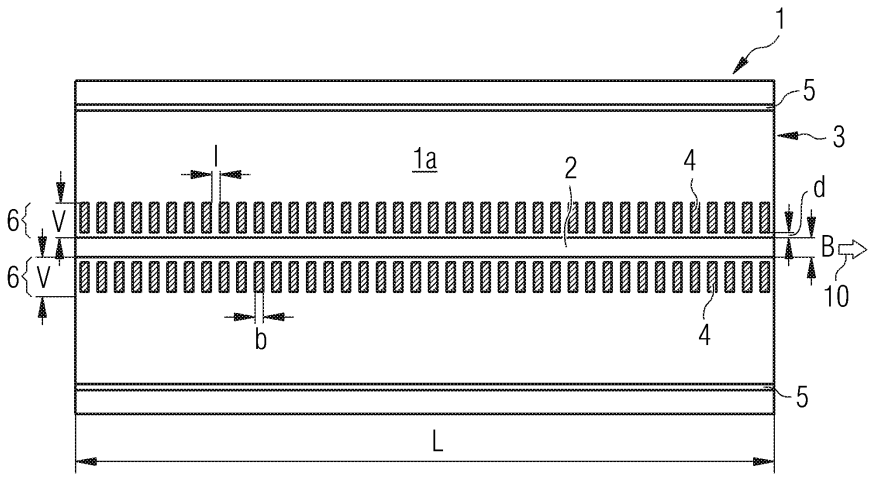
도면6


7,5
7,0
6,5
6,0
5,5
5,0
4,5
전체 (SA-) 확산각[°]
(95% 출력포함)
3
4
5
6
7
8
광출력[W]

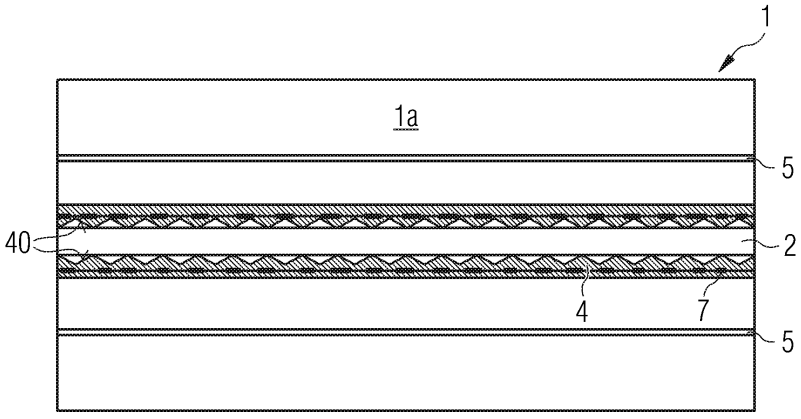
도면7


R
r
1
3
1a
l
5
10
6
V
d
2
6
4
B
b
1a
5
L

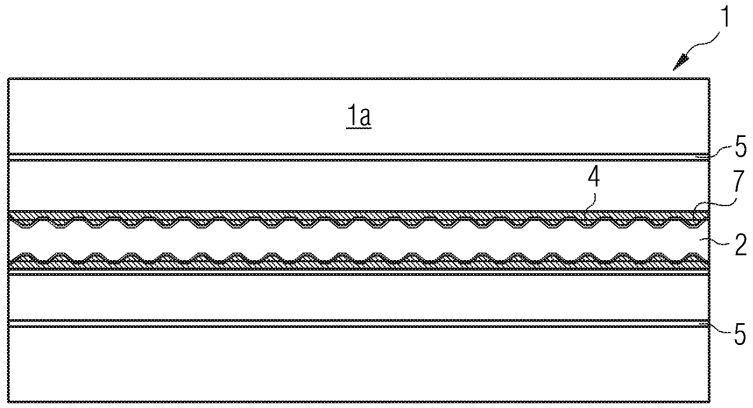
도면8


1
5
3
1a
l
2
4
d
6
V
B
6
V
10
b
4
5
L

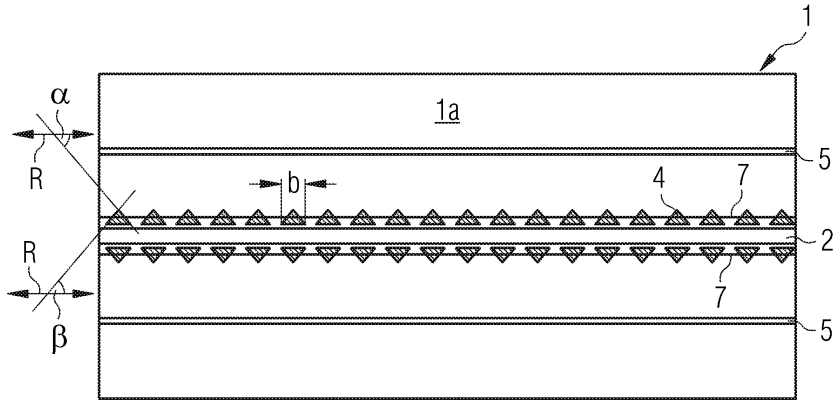
도면9


1
1a
5
40
2
4
7
5

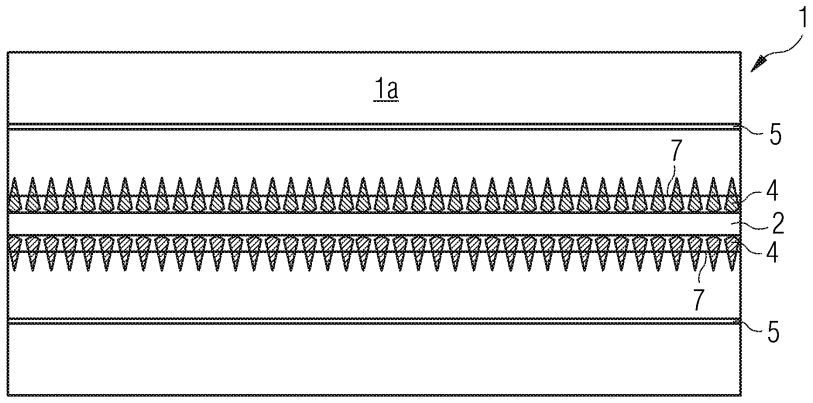
도면10



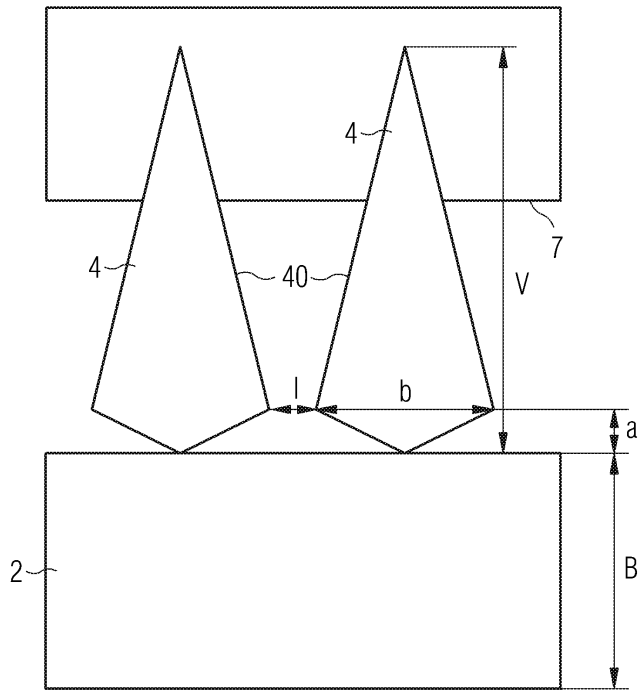

도면11



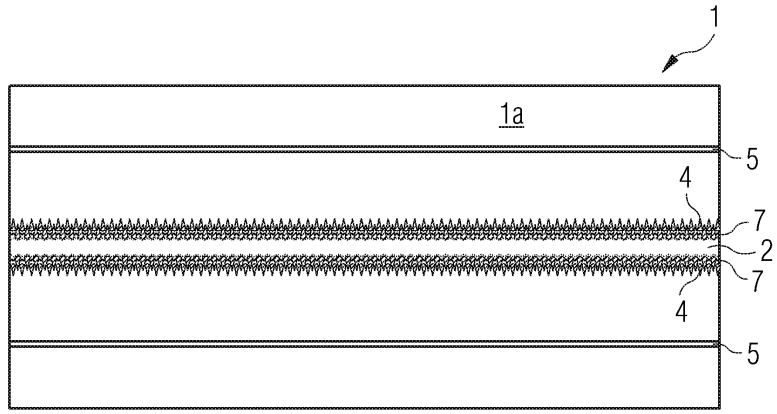

도면12a



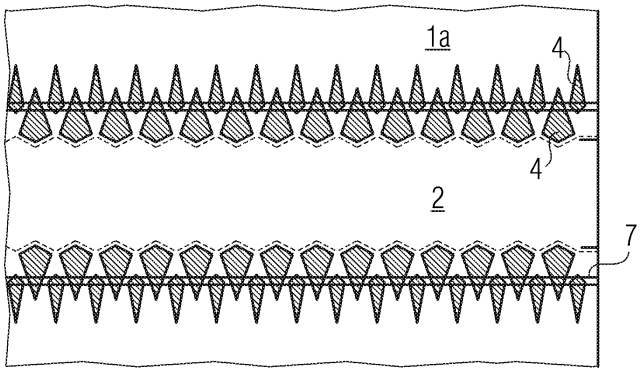
도면12b



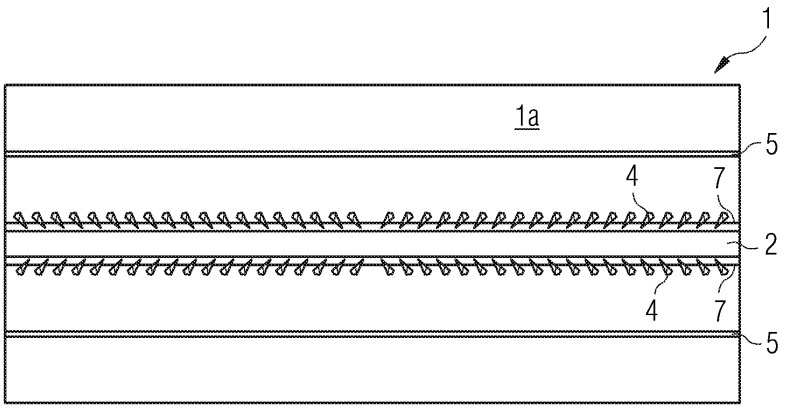

도면13a



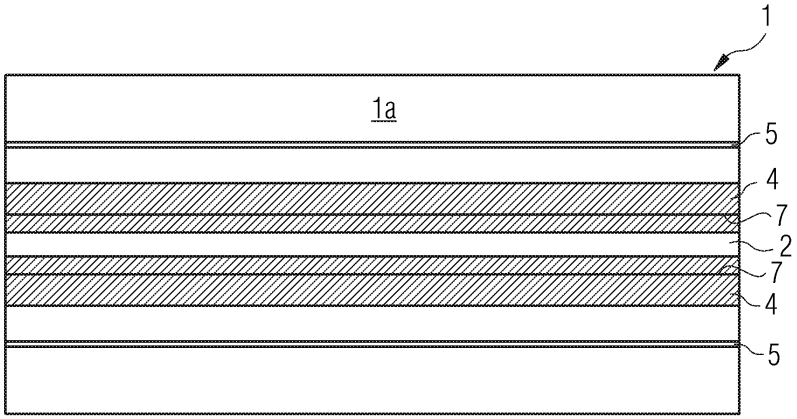

도면13b



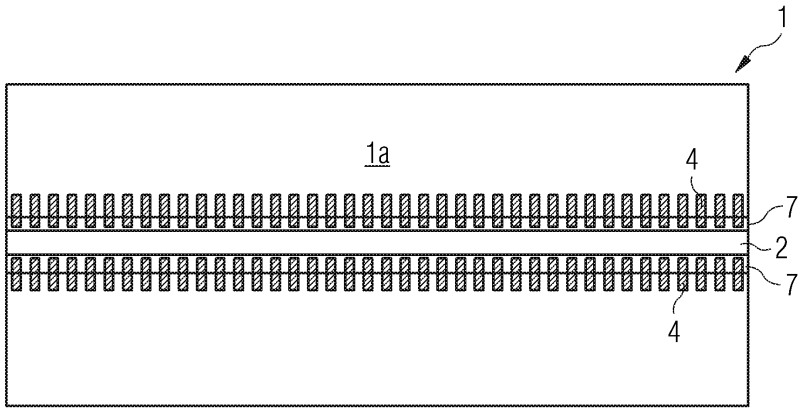
도면14



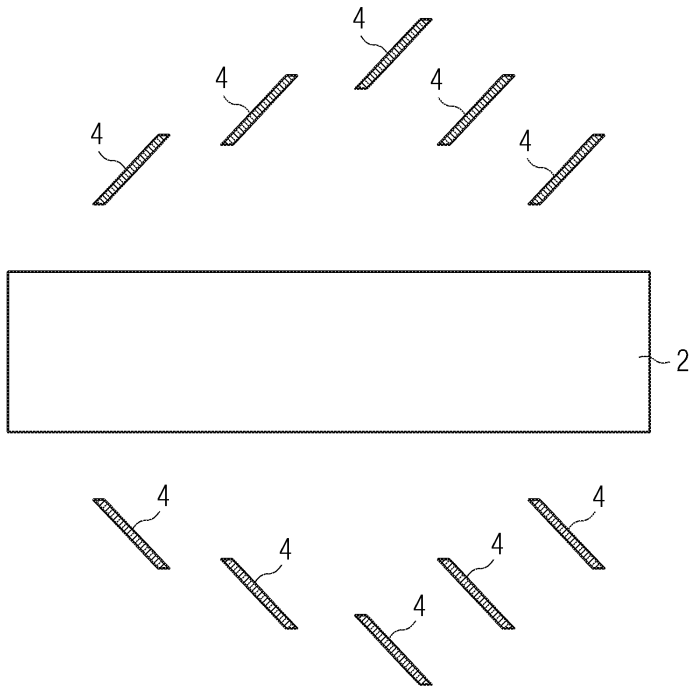

도면15



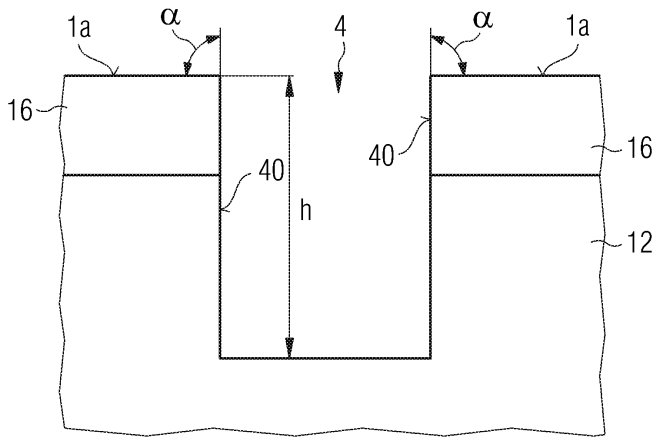

도면16



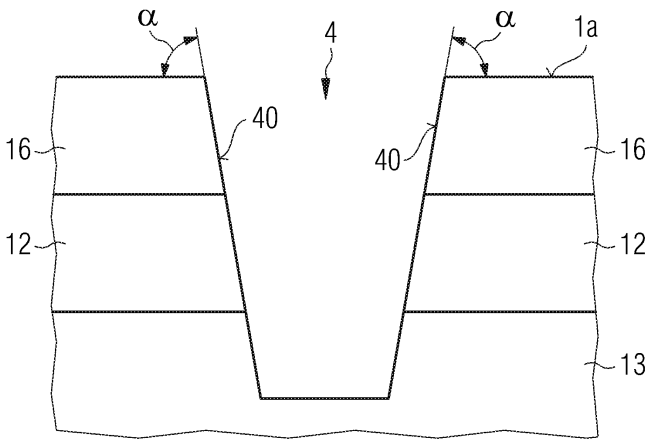
도면17



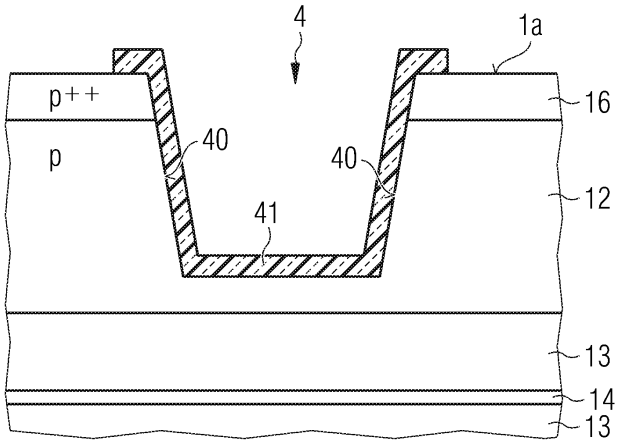

도면18a



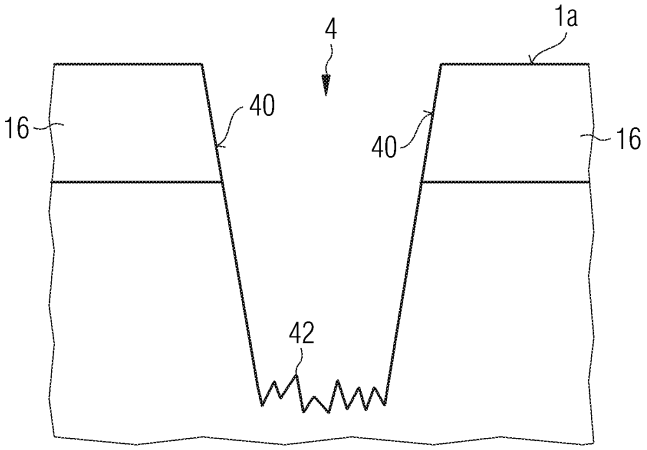

도면18b



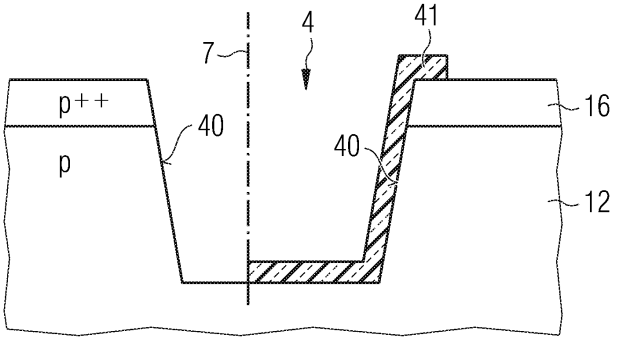
도면18c




도면18d




도면18e



도면18f

