(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7629888号
(P7629888)

(45)発行日　令和7年2月14日(2025.2.14)

(24)登録日　令和7年2月5日(2025.2.5)

(51)国際特許分類
Ｈ０２Ｍ　3/00　(2006.01)

ＦＩ
Ｈ０２Ｍ　3/00　Ｂ

請求項の数　4　（全11頁）

(21)出願番号　特願2022-68167(P2022-68167)
(22)出願日　令和4年4月18日(2022.4.18)
(65)公開番号　特開2023-158370(P2023-158370A)
(43)公開日　令和5年10月30日(2023.10.30)
審査請求日　令和5年12月25日(2023.12.25)

(73)特許権者　000103208
コーセル株式会社
富山県富山市上赤江町１丁目６番４３号
(74)代理人　100095430
弁理士　廣澤 勲
(72)発明者　川高 伸人
富山県富山市上赤江町１丁目６番４３号
コーセル株式会社内
審査官　上野 力

最終頁に続く

(54)【発明の名称】　電源装置

(57)【特許請求の範囲】

【請求項１】

入力電圧を所定の出力電圧に変換して出力する電力変換回路と、アナログ電圧である基準電圧を出力する基準電圧出力回路と、前記出力電圧を検出した検出電圧が前記基準電圧に近づくように前記電力変換回路の動作を制御する制御回路とを備え、

前記基準電圧出力回路は、前記出力電圧を制御するために外部入力されたアナログ電圧であるコントロール電圧をデジタル信号であるコントロール電圧信号に変換するＡＤコンバータと、前記コントロール電圧信号に基づいて、前記コントロール電圧に対応したデジタル信号である主電圧信号を生成するデジタル信号処理部と、前記主電圧信号に対応したアナログ電圧である主電圧を生成する主電圧生成部と、前記コントロール電圧が変化した時の当該コントロール電圧の交流成分に比例したアナログ電圧である補正電圧を生成する補正電圧生成部と、前記主電圧に前記補正電圧を合成することによって、前記コントロール電圧の変化に対する前記主電圧の変化の遅れを補正し、補正された電圧を前記基準電圧として出力する基準電圧出力部とを備えることを特徴とする電源装置。

【請求項２】

前記主電圧生成部は、前記主電圧信号に基づいてデューティが設定される矩形波電圧を出力するパルス幅変調部と、前記矩形波電圧を平滑して前記主電圧を発生させるローパスフィルタとで構成され、前記ローパスフィルタは、一端が前記パルス幅変調部の出力端に接続された出力抵抗と、２つのコンデンサの直列回路であって、直列の両端が前記出力抵抗の他端とグランドとの間に接続されたコンデンサ回路とで構成され、

前記補正電圧生成部及び前記基準電圧出力部は、前記ローパスフィルタで兼用され、前記２つのコンデンサの直列の中点を前記ＡＤコンバータの入力端に接続することによって設けられており、前記出力抵抗と前記コンデンサ回路との接続点に前記基準電圧が発生する請求項１記載の電源装置。

【請求項３】

前記主電圧生成部は、ＤＡコンバータであり、

前記補正電圧生成部及び前記基準電圧出力部は、一端が前記ＤＡコンバータの出力端に接続された出力抵抗と、前記ＡＤコンバータの入力端と前記出力抵抗の他端との間に接続されたコンデンサとで構成され、前記出力抵抗と前記コンデンサとの接続点に前記基準電圧が発生する請求項１記載の電源装置。

【請求項４】

前記主電圧生成部は、ＤＡコンバータであり、

前記補正電圧生成部及び前記基準電圧出力部は、一端が前記ＤＡコンバータの出力端に接続された出力抵抗と、２つのコンデンサの直列回路であって、直列の両端が前記出力抵抗の他端とグランドとの間に接続され、直列の中点が前記ＡＤコンバータの入力端に接続されたコンデンサ回路とで構成され、前記出力抵抗と前記コンデンサ回路との接続点に前記基準電圧が発生する請求項１記載の電源装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、外部入力されたコントロール電圧によって出力電圧設定値を可変できる電源装置に関する。

【背景技術】

【０００２】

従来、例えば図７（ａ）に示す電源装置１０があった。電源装置１０は、入力電圧Viを所定の出力電圧Voに変換して出力する電力変換回路１２（例えば、スイッチングコンバータ）と、アナログ電圧である基準電圧Vrefを出力する基準電圧出力回路１４と、出力電圧Voを検出した検出電圧Vo1が基準電圧Vrefに近づくように電力変換回路１２の動作を制御する制御回路１６とを備えている。

【０００３】

制御回路１６は、出力電圧Voを抵抗分圧する等して検出電圧Vo1を出力するVo検出回路１６ａと、検出電圧Voと基準電圧Vrefと受け、検出電圧Vo1が基準電圧Vrefに近づくように電力変換回路１２に制御信号Vs（例えば、スイッチング素子をオンオフさせる駆動パルス）を出力するVs信号生成回路１６ｂとで構成される。したがって、出力電圧Voは、基準電圧Vrefに比例した値に制御されることになる。

【０００４】

基準電圧出力回路１４は、図７（ｂ）に示すように、外部入力されたアナログ電圧であるコントロール電圧Vcoをデジタル信号であるコントロール電圧信号Saに変換するＡＤコンバータ１８と、コントロール電圧信号Saに基づいて、コントロール電圧Vcoに対応したデジタル信号である基準電圧信号Sbを生成するデジタル信号処理部２０と、基準電圧信号Sbに対応したアナログ電圧である基準電圧Vrefを生成する基準電圧生成部２２とで構成される。基準電圧生成部２２は、例えば、基準電圧信号Sbに基づいてデューティが設定される矩形波電圧を出力するパルス幅変調部と、矩形波電圧を平滑して基準電圧を発生させるローパスフィルタとで構成される。

【０００５】

基準電圧出力回路１４が出力する基準電圧Verfは、外部入力されたコントロール電圧Vcoに比例した値となる（比例係数＝１の場合もある）。したがって、コントロール電圧Vcoを変更することにより、出力電圧Voと所望に値に可変することができる。

【０００６】

なお、デジタル信号処理部２０は、外部入力されたコントロール電圧Vcoをデジタル信

号であるコントロール電圧信号Saに変換する機能以外に、ユーザの要望に合わせて様々な性質の信号Saを生成する機能を備えている。詳しい説明は省略するが、基準電圧出力回路１４の内部にデジタル信号処理部２０を設けることによって、電力変換回路１２の制御のインテリジェンス性を格段に向上させることができ、多機能で高性能な電源装置１０を実現することができる。

【０００７】

電源装置１０の構成は、例えば本願出願人による特許文献１に開示されている。特許文献１（図１）に記載されたスイッチング電源装置の場合、出力制御部１２及び制御用基準電圧発生部２８が電源装置１０の基準電圧出力回路１４に対応し、電力コンバータ１０が電源装置１０の電力変換回路１２及び制御回路１６に対応する。

【先行技術文献】

【特許文献】

【０００８】

【文献】特開２０１８－４２３８３号公報

【発明の概要】

【発明が解決しようとする課題】

【０００９】

従来の電源装置１０は、図８に示すように、コントロール電圧Vcoを変化させた時、基準電圧Vrefがコントロール電圧Vcoに対応した電圧に変化するまでの遅れ時間Txが長いという問題がある。

【００１０】

図８は、基準電圧出力回路１４が搭載された電源装置１０の動作を示している。初期状態はコントロール電圧Vcoがゼロボルトなので、基準電圧Vrefがゼロボルトとなり、出力電圧Voはゼロボルトに制御されている。

【００１１】

出力電圧Voを所定の値に上昇させるため、コントロール電圧Voがゼロボルトより高い値に変更されると、ＡＤコンバータ１８及びデジタル信号処理部２０の処理時間Tx1が経過した時、基準電圧生成部２２が基準電圧Vrefを上昇させる動作を開始し、さらに時間Tx2が経過した時、基準電圧Vrefがコントロール電圧Vcoに対応した値に到達し、その値に保持される。したがって、出力電圧Voは、遅れ時間Tx＝Tx1＋Tx2が経過した後、ようやくコントロール電圧Vcoに対応した電圧に変化することができる。

【００１２】

時間Tx1は、ＡＤコンバータ１８及びデジタル信号処理部２０を高速動作が可能なデジタルプロセッサで構成すれば短縮できるが、大きなコストアップが発生する。また、時間Tx2は、基準電圧生成部２２を「パルス幅変調部及びローパスフィルタ」から「ＤＡコンバータ」に変更すれば短縮できるが、「パルス幅変調部及びローパスフィルタ」を使用することのメリット、すなわち、基準電圧Vrefの分解能を高くできるというメリットが得られなくなる。

【００１３】

このように、遅れ時間Txを短縮するのは容易ではなく、コントロール電圧Vcoに対する出力電圧Voの応答性を高速化することが大きな課題になっていた。

【００１４】

本発明は、上記背景技術に鑑みて成されたものであり、外部入力されたコントロール電圧に対する出力電圧の応答性を容易に高速化できる電源装置を提供することを目的とする。

【課題を解決するための手段】

【００１５】

本発明は、入力電圧を所定の出力電圧に変換して出力する電力変換回路と、アナログ電圧である基準電圧を出力する基準電圧出力回路と、前記出力電圧を検出した検出電圧が前記基準電圧に近づくように前記電力変換回路の動作を制御する制御回路とを備え、

前記基準電圧出力回路は、前記出力電圧を制御するために外部入力されたアナログ電圧

であるコントロール電圧をデジタル信号であるコントロール電圧信号に変換するＡＤコンバータと、前記コントロール電圧信号に基づいて、前記コントロール電圧に対応したデジタル信号である主電圧信号を生成するデジタル信号処理部と、前記主電圧信号に対応したアナログ電圧である主電圧を生成する主電圧生成部と、前記コントロール電圧が変化した時の当該コントロール電圧の交流成分に比例したアナログ電圧である補正電圧を生成する補正電圧生成部と、前記主電圧に前記補正電圧を合成することによって、前記コントロール電圧の変化に対する前記主電圧の変化の遅れを補正し、補正された電圧を前記基準電圧として出力する基準電圧出力部とを備える電源装置である。

【００１６】

前記主電圧生成部は、前記主電圧信号に基づいてデューティが設定される矩形波電圧を出力するパルス幅変調部と、前記矩形波電圧を平滑して前記主電圧を発生させるローパスフィルタとで構成され、前記ローパスフィルタは、一端が前記パルス幅変調部の出力端に接続された出力抵抗と、２つのコンデンサの直列回路であって、直列の両端が前記出力抵抗の他端とグランドとの間に接続されたコンデンサ回路とで構成され、前記補正電圧生成部及び前記基準電圧出力部は、前記ローパスフィルタで兼用され、前記２つのコンデンサの直列の中点を前記ＡＤコンバータの入力端に接続することによって設けられており、前記出力抵抗と前記コンデンサ回路との接続点に前記基準電圧が発生する構成にすることが好ましい。

【００１７】

あるいは、前記主電圧生成部は、ＤＡコンバータであり、前記補正電圧生成部及び前記基準電圧出力部は、一端が前記ＤＡコンバータの出力端に接続された出力抵抗と、前記ＡＤコンバータの入力端と前記出力抵抗の他端との間に接続されたコンデンサとで構成され、前記出力抵抗と前記コンデンサとの接続点に前記基準電圧が発生する構成にすることが好ましい。

【００１８】

あるいは、前記主電圧生成部は、ＤＡコンバータであり、前記補正電圧生成部及び前記基準電圧出力部は、一端が前記ＤＡコンバータの出力端に接続された出力抵抗と、２つのコンデンサの直列回路であって、直列の両端が前記出力抵抗の他端とグランドとの間に接続され、直列の中点が前記ＡＤコンバータの入力端に接続されたコンデンサ回路とで構成され、前記出力抵抗と前記コンデンサ回路との接続点に前記基準電圧が発生する構成にすることが好ましい。

【発明の効果】

【００１９】

本発明の電源装置は、基準電圧出力回路に設けた独特な補正電圧生成部及び基準電圧出力部が動作することによって、コントロール電圧を変化させた時、基準電圧がコントロール電圧に対応した電圧に変化するまでの遅れ時間が大幅に短縮されるので、コントロール電圧に対する出力電圧の応答性の高速化を容易に実現することができ、安価で高性能な電源装置を得ることができる。

【図面の簡単な説明】

【００２０】

【図１】本発明の電源装置の一実施形態の構成を示すブロック図（ａ）、基準電圧出力回路の内部の構成を示すブロック図（ｂ）である。

【図２】図１（ｂ）に示す基準電圧出力回路の第一の具体例を示す図である。

【図３】この実施形態の電源装置の、図２に示す基準電圧出力回路を搭載した場合の各部の動作波形である。

【図４】図１（ｂ）に示す基準電圧出力回路の第二の具体例を示す図である。

【図５】この実施形態の電源装置の、図４に示す基準電圧出力回路を搭載した場合の各部の動作波形である。

【図６】図１（ｂ）に示す基準電圧出力回路の第三の具体例を示す図である。

【図７】従来の電源装置の構成を示すブロック図（ａ）、基準電圧出力回路の内部の構成

を示すブロック図（ｂ）である。
【図８】従来の電源装置の各部の動作波形である。
【発明を実施するための形態】
【００２１】
以下、本発明の電源装置の一実施形態について、図１～図６に基づいて説明する。ここで、従来の電源装置１０と同様の構成は、同一の符号を付して説明する。この実施形態の電源装置２４は、入力電圧Viを所定の出力電圧Voに変換して出力する電力変換回路１２（例えば、スイッチングコンバータ）と、アナログ電圧である基準電圧Vrefを出力する基準電圧出力回路２６と、出力電圧Voを検出した検出電圧Vo1が基準電圧Vrefに近づくように電力変換回路１２の動作を制御する制御回路１６とを備えている。電源装置１０と異なるのは、上記の基準電圧出力回路１４に代えて新規な基準電圧出力回路２６が設けられている点である。
【００２２】
基準電圧出力回路２６は、図１（ａ）に示すように、出力電圧Voを制御するために外部入力されたアナログ電圧であるコントロール電圧Vcoをデジタル信号であるコントロール電圧信号Saに変換するＡＤコンバータ１８と、コントロール電圧信号Saに基づいて、コントロール電圧Vcoに対応したデジタル信号である主電圧信号Sbを生成するデジタル信号処理部２０と、主電圧信号Sbに対応したアナログ電圧である主電圧Vxを生成する主電圧生成部２２とを備えている。
【００２３】
なお、デジタル信号処理部２０が出力する主電圧信号Sbは、従来の電源装置１０における基準電圧信号Sbと同様の信号であるが、説明の便宜上、呼び方を変更している。また、主電圧生成部２２は、従来の電源装置１０の基準電圧生成部２２と同様のブロックであるが、説明の便宜上、呼び方を変更している。また、主電圧生成部２２が出力する主電圧Vxは、従来の電源装置１０における基準電圧Vrefと同様の電圧であるが、説明の便宜上、呼び方を変更している。
【００２４】
基準電圧出力回路２６の特徴は、上記のブロック以外に、独特な補正電圧生成部２８及び基準電圧出力部３０が設けられている点である。補正電圧生成部２８は、コントロール電圧Vcoが変化した時のコントロール電圧Vcoの交流成分に比例したアナログ電圧である補正電圧Vyを生成する（比例係数＝１の場合もある）。そして、基準電圧出力部３０は、主電圧Vxに補正電圧Vyを合成することによって、コントロール電圧Vcoの変化に対する主電圧Vxの変化の遅れを補正し、補正された電圧を基準電圧Vrefとして出力する。以下、基準電圧出力回路２６の第一から第三の具体例について、順に説明する。
【００２５】
＜基準電圧出力回路２６の第一の具体例＞
図２は、基準電圧出力回路２６の第一の具体例である基準電圧出力回路２６(1)の構成を示している。この中の、ＡＤコンバータ１８及びデジタル信号処理部２０は上述した通りなので、説明を省略する。
【００２６】
主電圧生成部２２(1)は、主電圧信号Sbに基づいてデューティＤが設定される矩形波電圧Vp（波高値V1）を出力するパルス幅変調部３２と、矩形波電圧Vpを平滑して主電圧Vx＝D・V1を発生させるローパスフィルタ３４とで構成される。ローパスフィルタ３４は、一端がパルス幅変調部３２の出力端に接続された出力抵抗３６と、２つのコンデンサ３８ａ，３８ｂの直列回路であって、直列の両端が出力抵抗３６の他端とグランドとの間に接続されたコンデンサ回路３８とで構成される。
【００２７】
補正電圧生成部２８(1)及び基準電圧出力部３０(1)は、ローパスフィルタ３４で兼用され、２つのコンデンサ３８ａ，３８ｂの直列の中点をＡＤコンバータの入力端に接続することによって設けられており、出力抵抗３６とコンデンサ回路３８との接続点に基準電圧

Vrefが発生する。

【００２８】

図３は、基準電圧出力回路２６(1)を搭載した場合の電源装置２４の各部の動作波形を示している。初期状態はコントロール電圧Vcoがゼロボルトなので、基準電圧Vrefがゼロボルトとなり、出力電圧Voがゼロボルトに制御されている。

【００２９】

出力電圧Voを所定の値に上昇させるため、コントロール電圧Voがゼロボルトより高い値に変更されると、ＡＤコンバータ１８及びデジタル信号処理部２０の処理時間Tx1が経過した時、主電圧生成部２２(2)が主電圧Vxを上昇させる動作を開始し、さらに時間Tx2が経過した時、主電圧Vxがコントロール電圧Vcoに対応した値（Vx＝D・V1）に到達し、その値に保持される。

【００３０】

これと並行して、補正電圧生成部２８(1)がコントロール電圧Vcoの変化分である交流成分に比例した補正電圧Vyを生成し、基準電圧出力部３０(1)が主電圧Vxに補正電圧Vyを合成する。その結果、補正電圧Vyによってコントロール電圧Vcoの変化に対する主電圧Vxの変化の遅れが補正され（図３のVref波形の中のハッチング部分）、出力抵抗３６とコンデンサ回路３８との接続点に、コントロール電圧Vcoとほぼ相似な波形の基準電圧Vrefが発生する。したがって、出力電圧Voは、遅れ時間Tx＝Tx1＋Tx2の影響を受けることなく、素早くコントロール電圧Vcoに対応した値に変化することができる。

【００３１】

図３には示していないが、コントロール電圧Vcoが所定の値から低い値に変更された時も類似した動作が行われ、出力電圧Voは、遅れ時間Tx＝Tx1＋Tx2の影響を受けることなく、素早くコントロール電圧Vcoに対応した値に変化することができる。

【００３２】

補正電圧生成部２８(1)及び基準電圧出力部３０(1)が行う補正の動作（図３のVref波形の中のハッチング部分の形状）は、出力抵抗３６及びコンデンサ３８ａ，３８ｂの値を変更することによって適宜調節することができる。一般的には、補正の動作は、Vref波形がVcon波形とほぼ相似形になるように調節することが好ましい。その他、出力電圧Voが変化した時にオーバーシュートやリンギングが発生するのを防止するため、Vref波形の変化の傾きが、Vco波形の変化の傾きよりも少し緩やかになるように調節することも可能である。

【００３３】

＜基準電圧出力回路２６の第二の具体例＞

図４は、基準電圧出力回路２６の第二の具体例である基準電圧出力回路２６(2)の構成を示している。この中の、ＡＤコンバータ１８及びデジタル信号処理部２０は上述した通りなので、説明を省略する。

【００３４】

主電圧生成部２２(2)は、ＤＡコンバータで構成される。補正電圧生成部２８(2)及び基準電圧出力部３０(2)は、一端が主電圧生成部２２(2)の出力端に接続された出力抵抗４０と、ＡＤコンバータ１８の入力端と出力抵抗４０の他端との間に接続されたコンデンサ４２とで構成され、出力抵抗４０とコンデンサ４２との接続点に基準電圧Vrefが発生する。

【００３５】

図５は、基準電圧出力回路２６(2)を搭載した場合の電源装置２４の各部の動作波形を示している。初期状態はコントロール電圧Vcoがゼロボルトなので、基準電圧Vrefがゼロボルトとなり、出力電圧Voはゼロボルトに制御されている。

【００３６】

出力電圧Voを所定の値に上昇させるため、コントロール電圧Voがゼロボルトより高い値に変更されると、ＡＤコンバータ１８及びデジタル信号処理部２０の処理時間Tx1が経過した後、主電圧生成部２２(2)が主電圧Vxを上昇させる動作を開始する。主電圧生成部２２(2)はＤＡコンバータなので、時間Tx2は無視できる程度に短くなり、時間Tx　Tx1が

経過した時に主電圧Vxがコントロール電圧Vcoに対応した値に到達し、その値に保持される。

【００３７】

これと並行して、補正電圧生成部２８(2)がコントロール電圧Vcoの変化分である交流成分に比例した補正電圧Vyを生成し、基準電圧出力部３０(1)が主電圧Vxに補正電圧Vyを合成する。その結果、補正電圧Vyによってコントロール電圧Vcoの変化に対する主電圧Vxの変化の遅れが補正され（図３のVref波形の中のハッチング部分）、出力抵抗４０とコンデンサ回路４２との接続点に、コントロール電圧Vcoとほぼ相似な波形の基準電圧Vrefが発生する。したがって、出力電圧Voは、遅れ時間Tx　Tx1の影響を受けることなく、素早くコントロール電圧Vcoに対応した値に変化することができる。

【００３８】

図５には示していないが、コントロール電圧Vcoが所定の値から低い値に変更された時も類似した動作が行われ、出力電圧Voは、遅れ時間時間Tx　Tx1の影響を受けることなく、素早くコントロール電圧Vcoに対応した値に変化することができる。

【００３９】

補正電圧生成部２８(2)及び基準電圧出力部３０(2)が行う補正の動作（図５のVref波形の中のハッチング部分の形状）は、出力抵抗４０及びコンデンサ４２の値を変更することによって調節することができる。一般的には、補正の動作は、Vref波形がVcon波形とほぼ相似形になるように調節することが好ましい。その他、出力電圧Voが変化した時にオーバーシュートやリンギングが発生するのを防止するため、Vref波形の変化の傾きが、Vco波形の変化の傾きよりも少し緩やかになるように調節することも可能である。

【００４０】

＜基準電圧出力回路２６の第三の具体例＞

図６は、基準電圧出力回路２６の第三の具体例である基準電圧出力回路２６(3)の構成を示している。この中の、ＡＤコンバータ１８及びデジタル信号処理部２０は上述した通りなので、説明を省略する。

【００４１】

主電圧生成部２２(3)は、主電圧生成部２２(2)と同様に、ＤＡコンバータで構成される。補正電圧生成部２８(3)及び基準電圧出力部３０(3)は、一端が主電圧生成部２２(3)の出力端に接続された出力抵抗４４と、２つのコンデンサ４６ａ，４６ｂの直列回路であって、直列の両端が出力抵抗４４の他端とグランドとの間に接続され、直列の中点がＡＤコンバータ１８の入力端に接続されたコンデンサ回路４６とで構成され、出力抵抗４４とコンデンサ回路４６との接続点に基準電圧Vrefが発生する。

【００４２】

基準電圧出力回路２６(3)を搭載した電源装置２４の各部の動作波形は、図５とほぼ同じである。また、補正電圧生成部２８(2)及び基準電圧出力部３０(2)が行う補正の動作（図５のVref波形の中のハッチング部分の形状）についても、出力抵抗４４及びコンデンサ４６ａ，４６ｂの値を変更することによって調節することができる。

【００４３】

基準電圧出力回路２６(3)は、本願出願人による特許第６３６８６９６号公報に記載されたディザリング技術を適用できるという特徴がある。このディザリング技術を適当することによって、ＤＡコンバータである主電圧生成部２２(3)が出力できる主電圧Vxの分解能（　基準電圧Vrefの分解能）を向上させることができるので、高価な高速デジタルプロセッサを使用しなくても、出力電圧Voの制御を高い精度で行うことができる。上記の基準電圧出力回路２６(2)の場合は、基準電圧出力回路２６(3)よりも部品点数が少ないという特徴があるが、上記のディザリング技術を適用することはできない。

【００４４】

以上説明したように、電源装置２４は、基準電圧出力回路２６に設けた独特な補正電圧生成部２８及び基準電圧出力部３０が動作することによって、コントロール電圧Vcoを変化させた時、基準電圧Vrefがコントロール電圧Vcoに対応した電圧に変化するまでの遅れ

時間が大幅に短縮されるので、コントロール電圧Vcoに対する出力電圧Voの応答性の高速化を容易に実現することができ、安価で高性能な電源装置を得ることができる。

【００４５】

なお、本発明の電源装置は、上記実施形態や具体例に限定されるものではない。例えば、上記の基準電圧出力回路２６(1)，２６(2)，２６(3)は、補正電圧生成部２８及び基準電圧出力部３０を複合的に構成して部品点数を少なくしているが、本発明の狙いの動作が可能であれば、補正電圧生成部及び基準電圧出力部は別々に構成してもよい。

【００４６】

また、電力変換回路の回路方式は特に限定されず、スイッチング方式でもドロッパ方式でもよい。本発明は非常に汎用性が高い技術であり、様々な方式の電力変換回路に適用することができ、同様の作用効果を得ることができる。

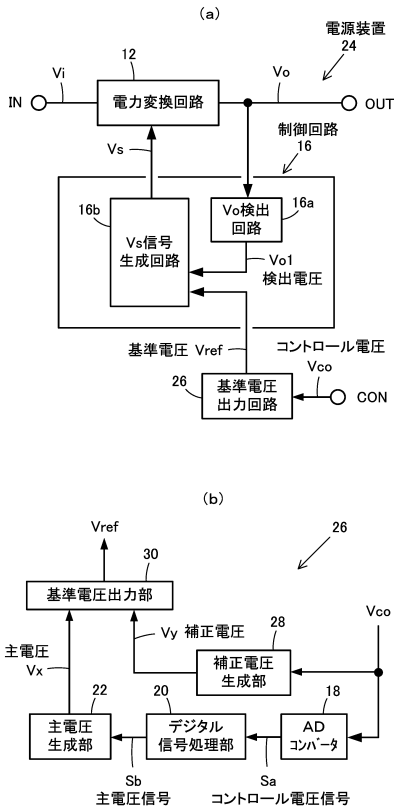
【符号の説明】

【００４７】

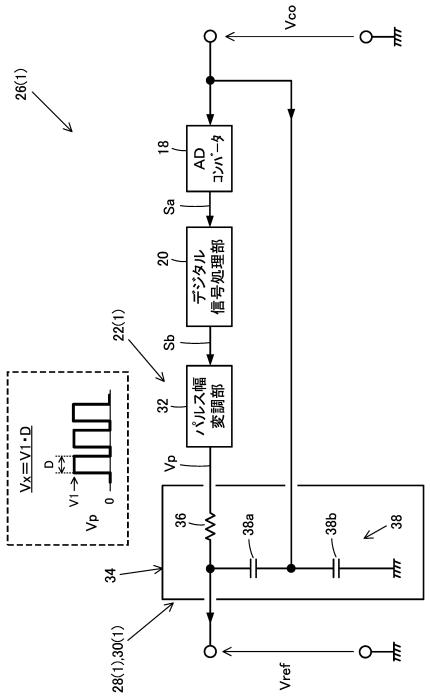
１０，２４　電源装置
１２　電力変換回路
１６　制御回路
１８　ＡＤコンバータ
２０　デジタル信号処理部
２２（２２(1)～２２(3)）　主電圧生成部
２６（２６(1)～２６(3)）　基準電圧出力回路
２８（２８(1)～２８(3)　補正電圧生成部
３０（３０(1)～３０(3)　基準電圧出力部
３２　パルス幅変調部
３４　ローパスフィルタ
３６，４０，４４　出力抵抗
３８、４６　コンデンサ回路
３８ａ，３８ｂ，４２，４６ａ，４６ｂ　コンデンサ
D　デューティ
Sa　コントロール電圧信号
Sb　主電圧信号
Vco　コントロール電圧
Vi　入力電圧
Vo　出力電圧
Vo1　検出電圧
Vp　矩形波電圧
Vref　基準電圧
Vs　制御信号
Vx　主電圧
Vy　補正電圧

【図面】

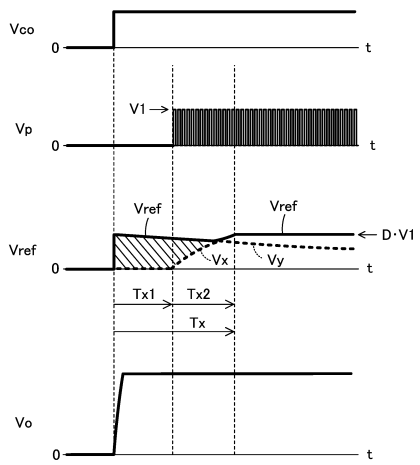
【図１】


(a)
電源装置
24
12
Vi
Vo
IN
電力変換回路
OUT
制御回路
16
Vs
16b
Vs信号
生成回路
Vo検出
回路
16a
Vo1
検出電圧
基準電圧 Vref
コントロール電圧
Vco
26
基準電圧
出力回路
CON
(b)
Vref
26
30
基準電圧出力部
Vco
主電圧
Vx
Vy 補正電圧
28
補正電圧
生成部
22
20
18
主電圧
生成部
デジタル
信号処理部
AD
コンバータ
Sb
主電圧信号
Sa
コントロール電圧信号

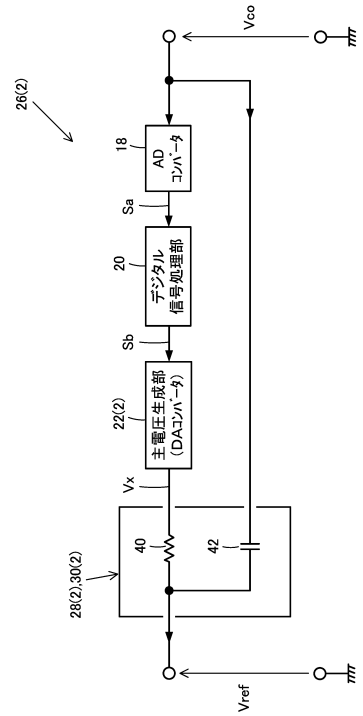
【図２】


Vco
26(1)
18
AD
コンバータ
Sa
20
デジタル
信号処理部
Sb
22(1)
32
パルス幅
変調部
Vp
Vx=V1・D
D
V1
0
Vp
36
38a
38b
38
34
28(1),30(1)
Vref

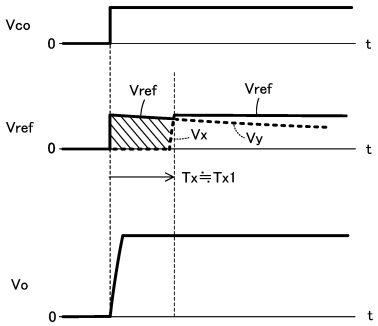
【図３】


Vco
0
t
V1
Vp
0
t
Vref
Vref
D・V1
Vref
0
Vx
Vy
t
Tx1
Tx2
Tx
Vo
0
t

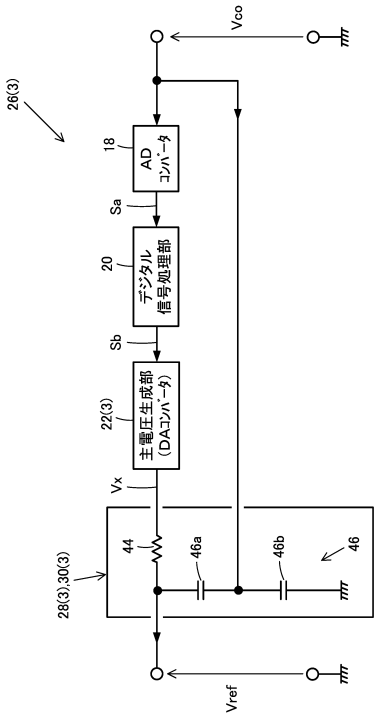
【図４】


Vco
26(2)
18
AD
コンバータ
Sa
20
デジタル
信号処理部
Sb
22(2)
主電圧生成部
(DAコンバータ)
Vx
40
42
28(2),30(2)
Vref

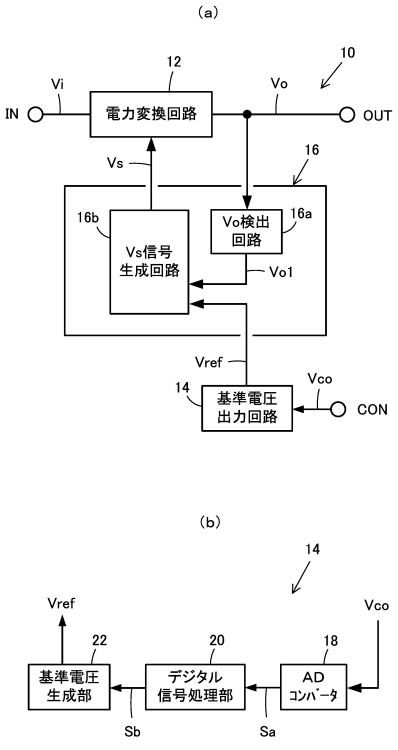
【図５】


Vco
0
t
Vref
Vref
Vref
Vx
Vy
0
t
Tx≒Tx1
Vo
0
t

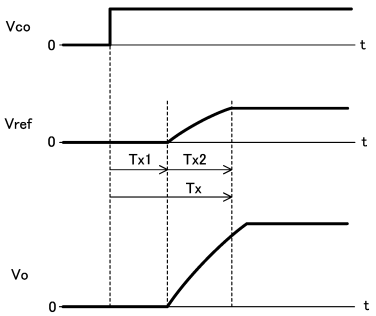
【図６】


Vco
26(3)
18
AD
ｺﾝﾊﾞｰﾀ
Sa
20
デジタル
信号処理部
Sb
22(3)
主電圧生成部
(DAｺﾝﾊﾞｰﾀ)
Vx
44
46a
46b
46
28(3),30(3)
Vref

【図７】


(a)
10
12
Vi
Vo
IN
電力変換回路
OUT
16
Vs
16b
Vo検出
回路
16a
Vs信号
生成回路
Vo1
Vref
14
基準電圧
出力回路
Vco
CON
(b)
14
Vref
Vco
22
20
18
基準電圧
生成部
デジタル
信号処理部
AD
ｺﾝﾊﾞｰﾀ
Sb
Sa

【図８】


Vco
0
t
Vref
0
t
Tx1
Tx2
Tx
Vo
0
t

フロントページの続き

(56)参考文献　　特開２０１８－０４２３８３（ＪＰ，Ａ）
特開平０７－２２０８９３（ＪＰ，Ａ）
特開２０１４－０７５４７９（ＪＰ，Ａ）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　３／００