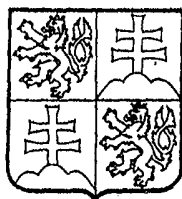


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

271 857

(21) PV 4449-88.E
(22) Přihlášeno 24 06 88

(40) Zveřejněno 14 03 90
(45) Vydáno 16 09 91

(11)

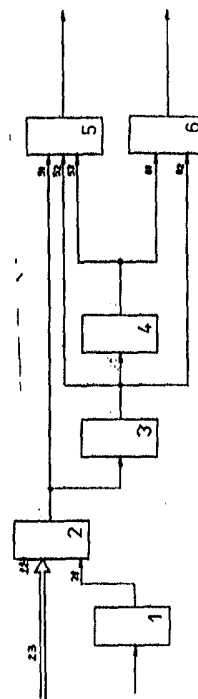
(13) B1

(51) Int. Cl.⁵
G 06 F 11/22
G 06 F 9/00

(75) Autor vynálezu
HEJDUK PETR ing., PRAHA
FIŠERA PETR ing., VRCHLABÍ
MAREK JAROSLAV, PRAHA

(54) Zapojení pro zabezpečení mikroprocesorových regulátorů

(57) Řešení se týká zapojení pro zabezpečení mikroprocesorových regulátorů pracujících v prostředí s rušivým elektromagnetickým polem, které je způsobováno v elektrických pohonech tyristorovými měniči. Zapojení je tvořeno třemi monostabilními klopnými obvody s různými časovými konstantami a třemi logickými bloky s odlišnými logickými funkcemi.



Vynález se týká zapojení pro zabezpečení mikroprocesorových regulátorů, které pracují v prostředí s rušivým elektromagnetickým polem, způsobovaným v elektrických pohonech tyristorovými měniči.

V současné době jsou výstupy regulátorů blokovány budičím obvodem, jejichž průchodnost je řízena klopným obvodem, který je periodicky programově obsluhován. Nevýhodou řešení je zablokování regulátorů v případě náhodných poruch, jež se mohou u mikroprocesorových regulátorů vyskytnout vlivem rušivého elektromagnetického pole.

Další známé zapojení využívá opět periodického programového obslužení klopného obvodu, jehož výstup je za provozního stavu neměnný. Při poruše nedojde k obsluze klopného obvodu, jeho výstup změní svůj stav, čímž odstartuje regulátor od výchozího stavu. Nevýhodou je trvalé startování i při trvalé poruše a nutnost chránit výstupy jinou nezávislou ochranou.

Uvedené nedostatky jsou odstraněny zapojením pro zabezpečovací mikroprocesorových regulátorů, sestávajícím podle vynálezu ze tří monostabilních klopných obvodů s různými časovými konstantami a ze tří logických bloků s odlišnými logickými funkcemi. Podstata vynálezu spočívá v tom, že první monostabilní klopný obvod je svým vstupem spojen s mikroprocesorovým regulátorem, zatímco výstupem je připojen k prvnímu vstupu prvního logického bloku. K jeho druhému vstupu je připojena i vstupní sběrnice signalizace poruch, rovněž spojená s neznázorněným mikroprocesorovým regulátorem. Výstup prvního logického bloku je současně připojen ke vstupu druhého monostabilního klopného obvodu a k prvnímu vstupu druhého logického obvodu. Výstup druhého monostabilního klopného obvodu je spojen jednak s druhým vstupem druhého logického bloku a jednak se vstupem třetího monostabilního klopného obvodu, jakož i s druhým vstupem třetího logického bloku. Výstup třetího monostabilního klopného obvodu je připojen jak ke třetímu vstupu druhého logického bloku, tak i k prvnímu vstupu třetího logického bloku. Výstup druhého logického bloku logického obvodu je připojen k blokovacímu vstupu koncových stupňů neznázorněného regulátoru. Výstup třetího logického bloku je připojen ke vstupu RESET téhož regulátoru.

Výhodou zapojení podle vynálezu je, že je vyloučena náhodná porucha mikroprocesorového regulátoru, a to zejména z důvodů rušení elektromagnetickým polem, které u elektrických pohonů způsobují tyristorové měniče; takže se zamezí výpadku mikroprocesorového regulátoru řídicího elektrický pohon.

Na výkrese je znázorněn příklad zapojení pro zabezpečení mikroprocesorových regulátorů podle vynálezu.

Zapojení se skládá ze tří monostabilních klopných obvodů 1, 3, 4 s různými časovými konstantami a ze tří logických bloků 2, 5, 6 s odlišnými logickými funkcemi.

Časová konstanta prvního monostabilního klopného obvodu 1 se pohybuje v rozsahu 20 až 50 ms. Časová konstanta druhého monostabilního klopného obvodu 3 je dána parametry signálu RESET a je v rozsahu 50 ms. Časová konstanta třetího monostabilního obvodu 4 je delší než maximální doba návratu mikroprocesorového regulátoru do poruchového stavu k trvalé poruše a může být 10 až 30 sekund.

Logická funkce prvního logického bloku 2 je dána způsobem zápisu poruchy na vstupní sběrnici 23 signalizace poruch. V nejjednodušším případě může být tvořena logickým součtem. Logická funkce druhého logického bloku 5 je v nejjednodušším případě realizována trojvstupovým logickým součinem. Logická funkce třetího logického bloku 6 může být realizována negovaným dvojvstupovým součinem.

První monostabilní klopný obvod 1 je svým vstupem startovacích impulsů spojen s neznázorněným mikroprocesorovým regulátorem. Svým vstupem je první monostabilní klopný obvod 1 připojen k prvnímu vstupu 21 prvního logického bloku 2; k jehož druhému vstupu 22 je připojena i vstupní sběrnice 23 signalizace poruch, rovněž spojená s neznázorněným mikroprocesorovým regulátorem. Výstup prvního logického bloku 2 je současně připojen ke vstupu druhého monostabilního klopného obvodu 3 a k prvnímu vstupu 51 druhého logického obvodu 5; výstup d

vetupu druhého monostabilního klopného obvodu 3 a k prvnímu vetupu 51 druhého logického obvodu 5; výstup druhého monostabilního klopného obvodu 3 je spojen jednak se druhým vetupem 52 druhého logického bloku 5; jednak se vetupem třetího monostabilního klopného obvodu 4; jakož i s druhým vetupem 52 třetího logického obvodu 6. Výstup třetího monostabilního klopného obvodu 4 je připojen jak k třetímu vetupu 53 druhého logického bloku 5, tak i k prvnímu vetupu 61 třetího logického bloku 6. Výstup druhého logického bloku 5 je připojen k blokovacímu vetupu koncových stupňů neznázorněného regulátoru, zatímco výstup třetího logického bloku 6 je připojen ke vetupu signálu RESET téhož regulátoru.

Funkce zapojení je následující:

Do vetupu prvního monostabilního klopného obvodu 1 vysílá mikroprocesorový regulátor v bezporuchovém stavu startovací impulzy o šířce cca 5 μ s s periodou kratší, než je časová konstanta prvního monostabilního klopného obvodu 1. Jeho výstup je trvale překlopen. Současně vysílá mikroprocesorový regulátor po vetupní sběrnici 23 signalizace poruch informaci o zjištěných poruchách. Logické signály na vetupní sběrnici 23 jsou vyhodnocovány prvním logickým blokem 2 a při závažné poruše změni výstupní signál svoji hodnotu, což způsobí odstartování druhého monostabilního klopného obvodu 3 a vygenerování signálu RESET; který se přenesse jeho výstupem přes třetí logický blok 5 na vetup regulátoru. Po návratu signálu výstupu do klidového stavu, tj. ukončení signálu RESET, je odstartován třetí monostabilní klopný obvod 4 s časovou konstantou delší, než je vedlejší doba návratu mikroprocesorového regulátoru do stavu; jaký je v okamžiku vzniku poruchy. Signály jdoucí přes první a druhý vetup 52 a 53 druhého logického bloku 5 zajišťují časové zpoždění rovné součtu časových konstant druhého a třetího monostabilního klopného obvodu 3 a 4; po kterém se výstupy mikroprocesorového regulátoru zablokují; jestliže byla znovu na výstupu prvního logického bloku 2 identifikována porucha. První vetup 61 třetího logického bloku 6 zamezí vyslání dalšího signálu RESET; jestliže se mikroprocesorový regulátor znovu navrátil do poruchového stavu signalizovaného prvním logickým blokem 2.

PŘEDMĚT VYNÁLEZU

Zapojení pro zabezpečení mikroprocesorových regulátorů, skládající se ze tří monostabilních klopných obvodů s různými časovými konstantami a ze tří logických bloků s odlišnými logickými funkcemi, vyznačené tím, že první monostabilní klopný obvod (1) je svým vetupem spojen s mikroprocesorovým regulátorem, zatímco svým výstupem je připojen k prvnímu vetupu (21) prvního logického bloku (2); k jehož druhému vetupu (22) je připojena i vetupní sběrnice (23) signalizace poruch; rovněž spojená s neznázorněným mikroprocesorovým regulátorem; výstup prvního logického bloku (2) je současně připojen ke vetupu druhého monostabilního klopného obvodu (3) a k prvnímu vetupu (51) druhého logického obvodu (5); výstup druhého monostabilního klopného obvodu (3) je spojen jednak s druhým vetupem (52) druhého logického bloku (5) a jednak se vetupem třetího monostabilního klopného obvodu (4), jakož i s druhým vetupem (62) třetího logického obvodu (6), přičemž výstup třetího monostabilního klopného obvodu (4) je připojen jak ke třetímu vetupu (53) druhého logického bloku (5); tak i k prvnímu vetupu (61) třetího logického bloku (6); přičemž výstup druhého logického bloku (5) je připojen k blokovacímu vetupu koncových stupňů neznázorněného regulátoru; zatímco výstup třetího logického bloku (6) je připojen ke vetupu signálu RESET téhož regulátoru.

CS 271 857 B1

