(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3578011号
(P3578011)
(45)発行日　平成16年10月20日(2004.10.20)　(24)登録日　平成16年7月23日(2004.7.23)

(51)Int.Cl.[7]　F I
H01L 21/60　H01L 21/60　311S
H01L 25/04　H01L 25/04　Z
H01L 25/18

請求項の数 5　(全 8 頁)

(21)出願番号　特願平11-274872
(22)出願日　平成11年9月28日(1999.9.28)
(65)公開番号　特開2001-102410(P2001-102410A)
(43)公開日　平成13年4月13日(2001.4.13)
審査請求日　平成15年4月22日(2003.4.22)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　古畑　勝利
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　池渕　立

(56)参考文献　特開昭６２－０４３１３８（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】半導体装置の実装構造

(57)【特許請求の範囲】
【請求項１】
複数の半導体装置を一体の異方性導電膜を介在して基板に設けられた複数の部品実装面に実装する半導体装置の実装構造において、
前記複数の部品実装面の内の隣り合う実装面の間の前記基板にはスリットが設けられていることを特徴とする半導体装置の実装構造。
【請求項２】
複数の半導体装置を一体の異方性導電膜を介在して基板に設けられた複数の部品実装面に実装する半導体装置の実装構造において、
前記複数の部品実装面の内の隣り合う実装面の間の前記基板には複数のスルーホールが設けられていることを特徴とする半導体装置の実装構造。
【請求項３】
請求項２において、
前記複数のスルーホールには前記基板よりも熱伝導率が低い物質が充填されていることを特徴とする半導体装置の実装構造。
【請求項４】
請求項３において、
前記物質は炭素であることを特徴とする半導体装置の実装構造。
【請求項５】
複数の半導体装置を一体の異方性導電膜を介在して基板に設けられた複数の部品実装面に

実装する半導体装置の実装構造において、
前記複数の部品実装面の内の隣り合う実装面の間に位置する前記異方性導電膜にはスリットが設けられていることを特徴とする半導体装置の実装構造。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体装置を異方性導電膜を用いて基板に実装する半導体装置の実装構造に関する。
【０００２】
【従来の技術】
従来からの公知の技術として、半導体装置の電極上に設けられた突起状の電極であるバンプと、基板上に配置されたパターンとを電気機械的に接続する構造として、異方性導電膜を利用する構造が知られている。この実装構造の従来技術を実装工程順に図５を用いて説明する。
【０００３】
図５は、従来技術を示す断面図である。図５（ａ）において半導体装置であるところのベアチップＩＣ１が実装される基板２の部品実装面３には複数の配線パターン４が導電材料にて形成されており、各配線パターン４の先端の表面には金メッキがなさた電極５が形成されている。また、各配線パターン４には、電極５の部分を除いてソルダーレジスト６で覆われている。
【０００４】
ベアチップＩＣ１は、所定の面７にアルミ等の導電材料で形成された複数の電極が基板の電極に対応させて配置され、各電極の表面にはバンプ８が形成されている。バンプ８はＡｕ又はＳｎ－Ｐｂ合金等の金属材料で形成されている。
【０００５】
図５（ｂ）は、異方性導電膜を仮圧着する工程の断面図を示す。ベアチップＩＣ１の実装のために用いられる異方性導電膜２０は絶縁性樹脂２１に導電粒子２２を分散させて形成されている。この異方性導電膜２０はベアチップＩＣ１の所定の面７の幅よりも大きな幅を有するテープ状に形成され、保護用テープで覆われた状態でリールに巻かれている。
【０００６】
ベアチップＩＣ１の実装に際しては、まずリールに巻かれた異方性導電膜２０を保護用テープ２３と共に必要な長さに切断し、基板２の部品実装面３に載せる。次に異方性導電膜２０を保護用テープ２３側から加熱、加圧ツール２４で加熱（８０度Ｃ、２秒程度）、加圧して異方性導電膜２０の仮圧着を行う。この場合に、異方性導電膜２０は基板２の配線パターン４や電極５を覆うようにしてベアチップＩＣ１実装箇所に接着されるが、基板２に対する異方性導電膜２０の位置ズレ等を考慮し、異方性導電膜２０の面積はベアチップＩＣ１の所定の面７の面積より大きめにするのが望ましい。また、異方性導電膜２０の厚みは、バンプ８の高さより１０μｍ程度厚いものを用いるのが望ましい。
【０００７】
次に、図５（ｃ）は半導体装置を実装している断面図を示す。基板２に接着された異方性導電膜２０の保護用テープ２３を剥がし、ベアチップＩＣ１の所定の面７が異方性導電膜２０に向くように設定して異方性導電膜２０上にベアＩＣチップ１を載せ、ベアチップＩＣ１を介し異方性導電膜２０を加圧（１８０度Ｃ、２０秒程度）、加熱してベアチップＩＣ１の実装を行う。加熱することにより、異方性導電膜２０の絶縁性樹脂２１が軟化し、加圧することにより押し広げられ、ベアチップＩＣ１の所定の面７と基板２の部品実装面３の間を充填する。また、余った絶縁性樹脂２１は、矢印ａ方向に押し出され、ベアチップＩＣ１の側面を充填し保護する。この状態を図５（ｄ）に示す。
【０００８】
これで、基板２の部品実装面３とベアチップＩＣ１の所定の面７とは異方性導電膜２０の絶縁性樹脂２１を介して接合される。また、異方性導電膜２０に混在する導電粒子２２は

バンプ８により基板２の電極５に押圧されるので基板２とベアチップＩＣ１とは電気的にも接続される。

【０００９】

【発明が解決しようとする課題】

電子機器の多機能化に伴い、複数の半導体装置を１枚の基板に高密度に実装する、マルチチップモジュールが多く用いられているが、下記欠点を有していた。

【００１０】

複数の半導体装置を１枚の基板に実装する場合、それぞれの半導体装置の実装される部分に異方性導電膜を半導体装置の数だけ貼りつけなくてはならず、生産性が著しく悪くなっていた。また、生産設備も複雑で大掛かりなものが必要となっていた。

【００１１】

一方、簡略化の為に、異方性導電膜を各半導体装置の実装部分に、それぞれ貼るのではなく、一括して異方性導電膜を貼る構造もある。この場合、複数の半導体装置の間隔が充分に離れていれば問題はないが、コンパクト化、高密度化が要求される場合は、前記半導体装置を隣接して配置せざるをえない。

【００１２】

この場合、まず一方の半導体装置を加熱・加圧して実装する。この時、実装時の熱が基板や基板表面に配置した配線パターンを伝導し、他方の半導体装置をこれから実装する部分に既に仮圧着されている異方性導電膜を構成する絶縁性樹脂の熱硬化を進めてしまい、他方の半導体装置を実装する際に、加熱・加圧しても絶縁性樹脂が充分軟化せず、基板と半導体装置の保持が不十分となり、バンプと基板の電極との電気的導通が確保できなくなるという、電子機器としては致命的な欠陥となるという問題がある。

【００１３】

そこで、一方の半導体装置を実装する際の加熱・加圧により絶縁性樹脂の熱硬化が進まない距離までそれぞれの半導体装置を離さなくてはならず、高密度実装化の大きな妨げになっていた。

【００１４】

もちろん、複数の半導体装置ごとに異方性導電膜を個別に貼りつける方法もある。つまり、まず一方の半導体装置を実装するための異方性導電膜を貼りつけた後、半導体装置を実装する。その後、他方の半導体装置を実装するための異方性導電膜を貼りつけ他方の半導体装置を実装する。この場合は、全く熱硬化の心配はないが、同一工程を繰り返すことになり、生産性が著しく損なわれることが容易に考えられる。

【００１５】

つまり、異方性導電膜を一括して貼りつけ、しかも複数の半導体装置を短間隔で配置できる実装構造が求められている。

【００１６】

【課題を解決するための手段】

以上のような問題を解決するために、本発明は、複数の半導体装置を一体の異方性導電膜を介在して基板に設けられた複数の部品実装面に実装する半導体装置の実装構造において、前記複数の部品実装面の内の隣り合う実装面の間の前記基板にはスリットが設けられていることを特徴とする。

また本発明は、複数の半導体装置を一体の異方性導電膜を介在して基板に設けられた複数の部品実装面に実装する半導体装置の実装構造において、前記複数の部品実装面の内の隣り合う実装面の間の前記基板には複数のスルーホールが設けられていることを特徴とする。

また本発明は、前記複数のスルーホールには前記基板よりも熱伝導率が低い物質が充填されていることを特徴とする。

また本発明は、前記物質は炭素であることを特徴とする。

更に本発明は、複数の半導体装置を一体の異方性導電膜を介在して基板に設けられた複数の部品実装面に実装する半導体装置の実装構造において、前記複数の部品実装面の内の隣

り合う実装面の間に位置する前記異方性導電膜にはスリットが設けられていることを特徴とする。

【００１７】

【発明の実施の形態】

（１）第一実施形態

以下図面により本発明の実施形態を詳述する。図１は本発明の複数の半導体装置を１枚の基板に高密度に実装する、マルチチップモジュールの図面を示す。

【００１８】

図１（ａ）は、基板に異方性導電膜が仮圧着され、一方の半導体装置を実装する直前の状態を示す断面図である。

【００１９】

図１（ｂ）は、異方性胴導電膜を除いた状態の、図１（ａ）の平面図である。

【００２０】

図１（ｃ）は、一方の半導体装置を実装した状態を示す断面図である。

【００２１】

図１（ｄ）は、他方の半導体装置も実装した状態を示す断面図である。

【００２２】

図１（ａ）において、基板２の部品実装面３上に、異方性導電膜２０が仮圧着され、保護用テープは既にはがされている状態を示す。２５及び２７は半導体装置を示す。ここで、図中のｈ１，ｈ２は各々の半導体装置のバンプ高さを示している。異方性導電膜２０の厚みは、ベアチップＩＣ２５の所定の面２６と基板２の部品実装面３との間の充填性を考慮し、バンプ高さｈ１より１０μｍ程度厚いものを用いる。２９は、ベアチップＩＣ２５とベアチップＩＣ２７の間の設けられた、基板のスリット部を示す。

【００２３】

まず、図１（ａ）において、ベアチップＩＣ２５を加熱・加圧して異方性導電膜を介し実装する。図１（ｂ）はベアチップＩＣ２５が実装される直前の状態を示す平面図である。本図では、基板２に設けたスリット部２９が分かり易いよう、異方性導電膜２０を除いた状態の平面図である。図１（ｃ）において、加熱・加圧ツール２４がベアチップＩＣ２５を実装することにより実装時の熱が異方性導電膜２０、配線パターン４、基板２を介し矢印ａ，矢印ｂ方向に伝導する。しかし、もっとも熱容量が大きな基板２にスリット２９が設けられているため、熱の大部分は矢印ａ方向に伝わり、ベアチップＩＣ２７が実装される部分の異方性導電膜に熱は伝導せず、熱硬化は進まない。

【００２４】

つまり、ベアチップＩＣ２５とベアチップＩＣ２７の間の基板２にスリット２９を設けることにより、ベアチップＩＣ間隔を短くでき、より高密度な実装が可能な構造を実現できる。

【００２５】

本実施形態では、一枚の基板に二個の半導体装置が実装される例を述べたが、更に多くの半導体装置が実装される場合では、より多くの効果が得られるのは言うまでもない。

【００２６】

（２）第二実施形態

本実施形態は、第一実施形態の変形例である。本変形例は、複数の半導体装置の間の基板に設けるスリットを、基板表面と裏面に配置された配線パターンの電気的導通を確保する為のスルーホールで代用したことを特徴とする。

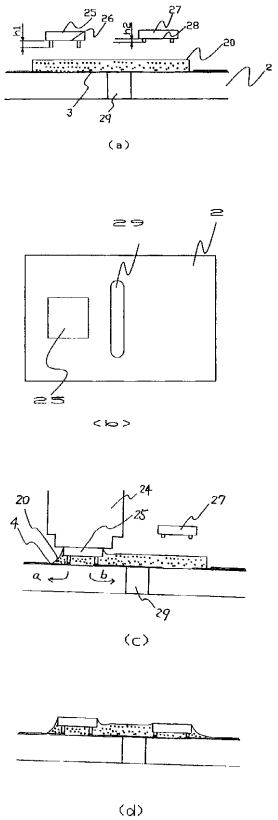
【００２７】

図２は、基板２のベアチップＩＣ２５とベアチップＩＣ２７が実装される部分の間に、基板２の表面の配線パターンと裏面の配線パターンの電気的導通を行うための、スルーホール３１がほぼ直線状に設けられている様子を示す平面図である。本実施形態は第一実施形態に比較するとベアチップＩＣ２５の実装時の熱は多く伝わるものの、前記スルーホール３１の間に配線パターン４を配置でき、基板設計の自由度が大きくなる。

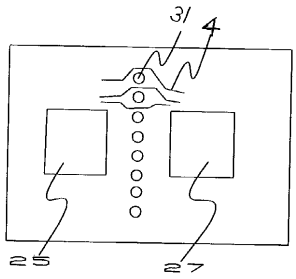
【００２８】
（３）第三実施形態
本実施形態は、第二実施形態の変形例である。本実施形態では、基板２のベアチップＩＣ２５とベアチップＩＣ２７が実装される部分の間に、設けられたスルーホール３１の内部を熱伝導の低い物質で充填させた例である。
【００２９】
図３は、本実施形態を示す断面図である。
【００３０】
前記スルーホール３１内には、基板２の材質である例えばガラスエポキシの熱伝導率に対し熱伝導率が低い炭素３２を充填している。このことにより、ベアチップＩＣ２５実装時の熱は、ベアチップＩＣ２７の実装する部分の異方性導電膜への熱伝導は大幅に削減され、安定した実装品質を得ることができる。
【００３１】
（４）第四実施形態
本実施形態は、第一実施形態の変形例である。本実施形態では、基板２のベアチップＩＣ２５とベアチップＩＣ２７が実装される部分の間のスリットを基板に設けるのではなく、異方性導電膜２０に設けたことを特徴としている。
【００３２】
図面４（ａ）は、本実施形態の断面図を示し、図面４（ｂ）は平面図を示す。
【００３３】
図面４（ｂ）において、３０は異方性導電膜２０に設けられたスリット部を示す。図面４（ａ）において、スリット部３０の直下の基板２には、何もスリットや穴を設けていないため、配線パターン４を自由に配置でき、設計上の配線自由度を全く損なわずに、熱伝導を防止することができる。
【００３４】
【発明の効果】
請求項１記載の発明によれば、複数のベアチップＩＣを一枚の基板に実装するいわゆるマルチチップモジュールの場合、一方のベアチップＩＣを実装する際の熱が基板を伝わり、他方のベアチップＩＣを実装する為にあらかじめ貼られている異方性導電膜に伝わり、熱硬化を進めてしまい、安定した実装品質を得られなくなってしまうという問題を防ぐことができる。
【００３５】
一方のベアチップＩＣと他方のベアチップＩＣの間の基板の部分にスリットを設けることにより、熱硬化を防ぎ複数のベアチップＩＣを近接して配置することが可能となり、小型でコンパクトな実装構造を得ることができる。
【００３６】
請求項２記載の発明によれば、一方のベアチップＩＣと他方のベアチップＩＣの間の基板の部分にスルーホールを配置することにより、一方のベアチップＩＣを実装する際の熱が基板を伝わり、他方のベアチップＩＣを実装する為にあらかじめ貼られている異方性導電膜に伝わり、熱硬化を進めるという問題を防ぐと同時に、各スルーホール間に配線パターンを配置でき、より配線設計の自由度をも向上させた実装構造が実現できる。
【００３７】
請求項３記載の発明によれば、熱伝導を防ぐ為に配置されたスルーホールの内部に熱伝導の低い物質を充填させることにより、さらに熱伝導を下げることが可能となり、より複数のベアチップＩＣを近接して配置が可能となる。
【００３８】
請求項４記載の発明によれば、一括して貼りつけられた異方性導電膜の、複数のベアチップＩＣを実装する間の部分の前記異方性導電膜にスリットを設けることにより、熱硬化を防ぎ、基板には何もスリットやスルーホールを配置しないため、配線自由度が最も高くすることが可能となる。

【図面の簡単な説明】
【図１】本発明の第一実施形態を示す実装構造の断面図を示す。
【図２】本発明の第二実施形態を示す実装構造の平面図を示す。
【図３】本発明の第三実施形態を示す実装構造の断面図を示す。
【図４】本発明の第四実施形態を示す実装構造の図面を示す。
【図５】本発明の従来例を示す実装構造を示す。
【符号の説明】
１、２５，２７…ベアチップＩＣ
２…基板
３…部品実装面
４…配線パターン
５…電極
６…ソルダーレジスト
７、２６、２８…所定の面
８…バンプ
２０…異方性導電膜
２１…絶縁性樹脂
２２…導電粒子
２３…保護用テープ
２４…加熱、加圧ツール
２９…基板のスリット部
３０…異方性導電膜のスリット部
３１…スルーホール
３２…炭素

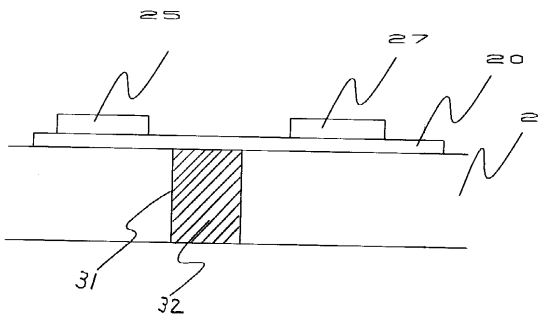
【図１】



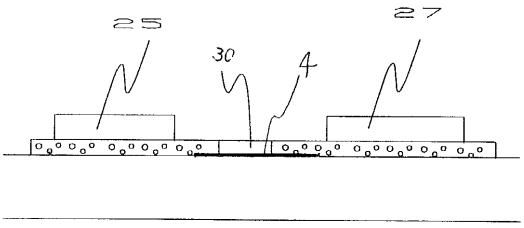
【図２】



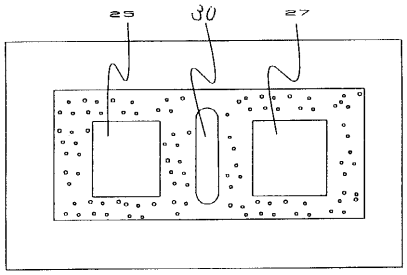
【図３】



【図４】

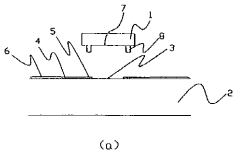

25
30
4
27

(a)

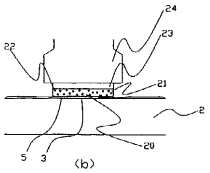

25
30
27

(b)

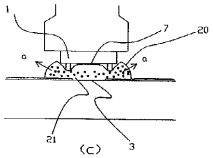
【図５】


7
1
5
4
8
3
6
2

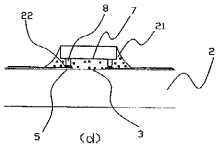
(a)


24
23
22
21
2
5
3
20

(b)


1
7
20
21
3

(c)


22
8
7
21
2
5
3

(d)

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H01L 21/60 311
H01L 25/04
H01L 25/18