(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0146951
(43) 공개일자 2024년10월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 2300/0828 (2013.01)
(21) 출원번호 10-2023-0042173
(22) 출원일자 2023년03월30일
심사청구일자 2023년03월30일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
이형민
서울특별시 성북구 길음로 74, 508동 1304호(길음동, 길음뉴타운)
안재웅
경기도 김포시 유현로 200, 107동 2902호 (풍무동, 풍무 푸르지오)
(뒷면에 계속)
(74) 대리인
송인호, 윤형근, 최관락

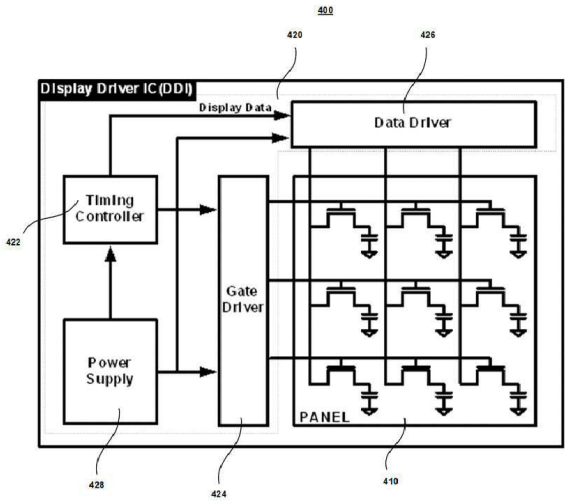
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **디스플레이 데이터 드라이버**

(57) 요 약

디스플레이 데이터 드라이버가 개시된다. 디스플레이 데이터 드라이버는, 복수의 계단 파형을 생성하는 계단 파형 생성부-각각의 계단 파형은 N개 계단으로 구성됨; 상기 복수의 계단 파형 중 어느 하나를 추출하는 디지털-아날로그 컨버터; 상기 선택된 계단 파형 중 어느 하나의 계단을 각각 선택하는 N개의 샘플 앤 홀드 회로부; N개 파트로 구분된 비선형적인 감마 전압을 최상위비트 n 비트에 맞추어 어느 하나의 전압을 추출하는 다중화기; 및 상기 N개의 샘플 앤 홀드 회로부 각각의 출력과 상기 다중화기에서 추출된 전압을 더하여 출력하는 N개의 출력 증폭기를 포함한다.

대 표 도 - 도4



(52) CPC특허분류
G09G 2310/027 (2013.01)
G09G 2310/0275 (2013.01)
G09G 2310/0291 (2013.01)
G09G 2310/0297 (2013.01)
(72) 발명자
최승훈
경기도 군포시 고산로539번길 6, 969동 402호 (산본동, 백두 (극동)아파트)
안준열
인천광역시 연수구 신송로6번길 7, 110동 504호 (송도동, 송도 성지리벨루스)

명 세 서

청구범위

청구항 1

복수의 계단 파형을 생성하는 계단 파형 생성부-각각의 계단 파형은 N개 계단으로 구성됨;

상기 복수의 계단 파형 중 어느 하나를 추출하는 디지털-아날로그 컨버터;

상기 선택된 계단 파형 중 어느 하나의 계단을 각각 선택하는 N개의 샘플 앤 홀드 회로부;

N개 파트로 구분된 비선형적인 감마 전압을 최상위비트 n 비트에 맞추어 어느 하나의 전압을 추출하는 다중화기; 및

상기 N개의 샘플 앤 홀드 회로부 각각의 출력과 상기 다중화기에서 추출된 전압을 더하여 출력하는 N개의 출력 증폭기를 포함하는 디스플레이 데이터 드라이버.

청구항 2

제1 항에 있어서,

상기 N개의 샘플 앤 홀드 회로부는,

상기 디지털-아날로그 컨버터의 출력을 저장하는 샘플링 커패시터;

상기 샘플링 커패시터의 RC 지연을 방지하기 위해 상기 샘플링 커패시터의 전단에 위치되는 제1 소스 팔로워 회로부-상기 디지털-아날로그 컨버터의 출력은 상기 제1 소스 팔로워 회로부를 통해 상기 샘플링 커패시터로 전달됨;

상기 제1 소스 팔로워 회로부에 포함된 트랜지스터의 게이트와 소스 단 사이의 전압 차이를 보상하기 위한 제2 소스 팔로워 회로부;

상기 샘플링 커패시터와 상기 제1 소스 팔로워 회로부 사이의 연결을 스위칭하는 샘플링 스위치;

상기 제2 소스 팔로워 회로부와 상기 출력 증폭기의 제2 입력 단자 사이의 연결을 스위칭하는 제1 보상 스위치;

상기 다중화기의 출력과 상기 출력 증폭기의 제2 입력 단자 사이의 연결을 스위칭하는 제2 보상 스위치;

상기 출력 증폭기의 출력단과 상기 샘플링 커패시터의 일단과의 부귀환 루프를 스위칭하는 제1 부귀환 스위치; 및

상기 출력 증폭기의 출력단과 상기 샘플링 커패시터의 타단과의 부귀환 루프를 스위칭하는 제2 부귀환 스위치를 포함하는 것을 특징으로 하는 디스플레이 데이터 드라이버.

청구항 3

제2 항에 있어서,

상기 제1 보상 스위치와 상기 제2 보상 스위치는 토글 관계이며,

상기 제 부귀환 스위치와 상기 제2 부귀환 스위치는 토글 관계인 것을 특징으로 하는 디스플레이 데이터 드라이버.

청구항 4

제2 항에 있어서,

상기 샘플 앤 홀드 회로부는 샘플링 클럭에 따라 충전 단계(charging phase), 드라이브 단계(drive phase) 및 더하기 단계(add phase)로 순차적으로 동작되는 것을 특징으로 하는 디스플레이 데이터 드라이버.

청구항 5

제2 항에 있어서,

샘플링 클럭에 따라 상기 샘플링 스위치가 온(On)됨에 따라 상기 디지털-아날로그 컨버터에서 추출된 계단 파형이 상기 제1 소스 팔로워 회로부를 통해 샘플링 커패시터에 저장되며 상기 샘플링 커패시터가 충전되며, 상기 제1 보상 스위치가 온(On)되어 상기 제2 소스 팔로워 회로부를 통해 기준 전압이 상기 출력 증폭기의 제2 입력 단자로 입력되고, 상기 제2 부귀환 스위치가 온(On)되어 상기 출력 증폭기의 출력단과 상기 샘플링 커패시터와 상기 출력 증폭기의 제1 입력 단자 사이의 제1 노드로의 제1 부귀환 루프가 형성되어 상기 샘플링 커패시터에 저장되는 상기 제1 소스 팔로워 회로부의 게이트와 소스 단의 전압 차이를 보상하는 것을 특징으로 하는 디스플레이 데이터 드라이버.

청구항 6

제5 항에 있어서,

상기 샘플링 커패시터의 충전이 완료되면, 상기 출력 증폭기의 제2 입력 단자로의 입력이 상기 제2 소스 팔로워 회로부의 출력에서 상기 다중화기의 출력으로 변화됨에 따른 AC 커플링을 방지하도록 상기 샘플링 커패시터를 플로팅(Floating)시키는 드라이브 단계로 동작되는 것을 특징으로 하는 디스플레이 데이터 드라이버.

청구항 7

제6 항에 있어서,

상기 드라이브 단계의 경우, 샘플링 클럭에 따라 상기 샘플링 스위치 및 상기 제1 보상 스위치가 오프(Off)되고, 상기 제2 보상 스위치가 온(On)되어 상기 다중화기의 출력이 상기 출력 증폭기의 제2 입력 단자로 입력되는 것을 특징으로 하는 디스플레이 데이터 드라이버.

청구항 8

제2 항에 있어서,

샘플링 클럭에 따라 상기 제2 부귀환 스위치는 오프되고, 상기 제1 부귀환 스위치가 온되어 상기 출력 증폭기의 출력단과 상기 샘플링 스위치와 상기 샘플링 커패시터 사이의 제2 지점 사이의 제2 부귀환 루프가 형성되는 것을 특징으로 하는 디스플레이 데이터 드라이버.

발명의 설명

기 술 분 야

[0001] 본 발명은 디스플레이 데이터 드라이버에 관한 것이다.

배 경 기 술

[0003] 데이터 드라이버의 경우 면적을 중요하게 고려하는데, 데이터 드라이버의 면적이 커지게 되면, 전체적인 디스플레이 드라이버 IC의 크기가 커지게 되고, 화면의 가 쪽에 위치하는 특성상 베젤의 크기가 커지는 결과를 초래한

다.

[0004] 이를 해결하기 위해 도 1에 도시된 바와 같은 인터폴레이션(Interpolation) 방식들이 제안되었다. 이러한 인터폴레이션 방식은 디지털-아날로그 컨버터에 사용되는 트랜지스터의 개수를 효과적으로 줄여 결과적으로 전체적인 크기를 줄일 수 있다는 장점이 있다. 하지만, 비선형적인(Fully-Nonlinear) 감마 커브(Gamma Curve)의 특성상 인터폴레이션 방식을 사용하면 유효 비트(Effective Bits)가 2비트 정도 줄어들어 효과적인 구동을 못 한다는 단점이 있다. 또한, 일부 인터폴레이션 방식의 경우 추가적인 증폭기(Amplifier)를 사용하여 전력 소모가 심해진다는 단점도 존재한다.

[0005] 또한, 데이터 드라이버의 전력 소비 역시 고려해야 할 사항이다. 데이터 드라이버에서의 전력 소비는 대부분은 버퍼에서 사용되는 정적 전류(Static Current)에 의하여 결정된다. 디스플레이 패널 구동에서 한 픽셀을 구동하기 위한 1-H 식은 1/(행의 수 * 화면 주파수) 초로 구해진다. 이는 고해상도의 디스플레이로 갈수록 지수적으로 감소하는데, 이로 인해 정착 시간(Settling Time)이 줄어들어 출력 값이 빨리 수렴해야 하고, 전류 사용량을 늘려야 한다. 이를 해결하기 위해 전류 사용량을 조절하여 저전력 동작을 시키기는 연구도 진행되고 있다.

[0006] 종래의 데이터 드라이버의 구조는 도 2에 도시된 바와 같으며, 디스플레이 드라이버의 샘플 앤 홀드 회로 시스템은 도 3에 도시된 바와 같다. 일반적으로는 하나의 스위치, 샘플링 커패시터, 출력 증폭기로 구성된다. 스위치의 동작에 따라 1-H 시간 내에 샘플링 신호 때에 디지털-아날로그 컨버터의 출력인 V_{gamma}를 커패시터에 저장하고, 홀드 신호 때에 디스플레이 패널에 출력 증폭기를 통하여 전달하는 것을 매 주기 반복하며 패널을 구동한다. 고해상도의 디스플레이를 구동하기 위해서는 높은 주파수와 적은 RC 시간 지연을 위해 낮은 기생 커패시터(Parasitic Capacitor)가 필요하다. 하지만 기존 방식의 샘플 앤 홀드 회로에서는 큰 값의 샘플링 커패시터의 전기 용량이 그대로 반영될 뿐만 아니라, 스위치로 사용되는 트랜지스터(SW_{sample})에 의한 기생 커패시터가 생기게 되어 전체 전기 용량이 증가하게 되어 작은 RC 시간 지연을 구현하기 어렵다. 따라서 샘플/홀드 회로에서 반영되는 총 전기 용량을 감소시켜 RC 시간 지연을 감소시키는 방안이 필요하다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 디스플레이 데이터 드라이버를 제공하기 위한 것이다.

[0009] 또한, 본 발명은 계단 파형 기반 저전압 대역을 이용하는 샘플 앤 홀드 회로를 하나의 단계로만 구성하여 비선형적인 감마 곡선 특성을 구현할 수 있는 디스플레이 데이터 드라이버를 제공하기 위한 것이다.

[0010] 또한, 본 발명은 레벨 시프터를 사용하지 않는 디스플레이 데이터 드라이버 및 이의 구동 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0012] 본 발명의 일 측면에 따르면 레벨 시프터를 사용하지 않는 디스플레이 데이터 드라이버가 제공된다.

[0013] 본 발명의 일 실시예에 따르면, 복수의 계단 파형을 생성하는 계단 파형 생성부-각각의 계단 파형은 N개 계단으로 구성됨; 상기 복수의 계단 파형 중 어느 하나를 추출하는 디지털-아날로그 컨버터; 상기 선택된 계단 파형 중 어느 하나의 계단을 각각 선택하는 N개의 샘플 앤 홀드 회로부; N개 파트로 구분된 비선형적인 감마 전압을 최상위비트 n 비트에 맞추어 어느 하나의 전압을 추출하는 다중화기; 및 상기 N개의 샘플 앤 홀드 회로부 각각의 출력과 상기 다중화기에서 추출된 전압을 더하여 출력하는 N개의 출력 증폭기를 포함하는 디스플레이 데이터 드라이버가 제공될 수 있다.

[0014] 상기 N개의 샘플 앤 홀드 회로부는, 상기 디지털-아날로그 컨버터의 출력을 저장하는 샘플링 커패시터; 상기 샘플링 커패시터의 RC 지연을 방지하기 위해 상기 샘플링 커패시터의 전단에 위치되는 제1 소스 팔로워 회로부-상기 디지털-아날로그 컨버터의 출력은 상기 제1 소스 팔로워 회로부를 통해 상기 샘플링 커패시터로 전달됨; 상기 제1 소스 팔로워 회로부에 포함된 트랜지스터의 게이트와 소스 단 사이의 전압 차이를 보상하기 위한 제2 소스 팔로워 회로부; 상기 샘플링 커패시터와 상기 제1 소스 팔로워 회로부 사이의 연결을 스위칭하는 샘플링 스

위치; 상기 제2 소스 팔로워 회로부와 상기 출력 증폭기의 제2 입력 단자 사이의 연결을 스위칭하는 제1 보상 스위치; 상기 다중화기의 출력과 상기 출력 증폭기의 제2 입력 단자 사이의 연결을 스위칭하는 제2 보상 스위치; 상기 출력 증폭기의 출력단과 상기 샘플링 커패시터의 일단과의 부귀환 루프를 스위칭하는 제1 부귀환 스위치; 및 상기 출력 증폭기의 출력단과 상기 샘플링 커패시터의 타단과의 부귀환 루프를 스위칭하는 제2 부귀환 스위치를 포함할 수 있다.

[0015] 상기 제1 보상 스위치와 상기 제2 보상 스위치는 토글 관계이며, 상기 제 부귀환 스위치와 상기 제2 부귀환 스위치는 토글 관계이다.

[0016] 상기 샘플 앤 홀드 회로부는 샘플링 클럭에 따라 충전 단계(charging phase), 드라이브 단계(drive phase) 및 더하기 단계(add phase)로 순차적으로 동작될 수 있다.

[0017] 샘플링 클럭에 따라 상기 샘플링 스위치가 온(On)됨에 따라 상기 디지털-아날로그 컨버터에서 추출된 계단 파형이 상기 제1 소스 팔로워 회로부를 통해 샘플링 커패시터에 저장되며 상기 샘플링 커패시터가 충전되며, 상기 제1 보상 스위치가 온(On)되어 상기 제2 소스 팔로워 회로부를 통해 기준 전압이 상기 출력 증폭기의 제2 입력 단자로 입력되고, 상기 제2 부귀환 스위치가 온(On)되어 상기 출력 증폭기의 출력단과 상기 샘플링 커패시터와 상기 출력 증폭기의 제1 입력 단자 사이의 제1 노드로의 제1 부귀환 루프가 형성되어 상기 샘플링 커패시터에 저장되는 상기 제1 소스 팔로워 회로부의 게이트와 소스 단의 전압 차이를 보상할 수 있다.

[0018] 상기 샘플링 커패시터의 충전이 완료되면, 상기 출력 증폭기의 제2 입력 단자로의 입력이 상기 제2 소스 팔로워 회로부의 출력에서 상기 다중화기의 출력으로 변화됨에 따른 AC 커플링을 방지하도록 상기 샘플링 커패시터를 플로팅(Floating)시키는 드라이브 단계로 동작될 수 있다.

[0019] 상기 드라이브 단계의 경우, 샘플링 클럭에 따라 상기 샘플링 스위치 및 상기 제1 보상 스위치가 오프(Off)되고, 상기 제2 보상 스위치가 온(On)되어 상기 다중화기의 출력이 상기 출력 증폭기의 제2 입력 단자로 입력될 수 있다.

[0020] 샘플링 클럭에 따라 상기 제2 부귀환 스위치는 오프되고, 상기 제1 부귀환 스위치가 온되어 상기 출력 증폭기의 출력단과 상기 샘플링 스위치와 상기 샘플링 커패시터 사이의 제2 지점 사이의 제2 부귀환 루프가 형성될 수 있다.

발명의 효과

[0022] 본 발명의 일 실시예에 따른 저전압 대역 디지털-아날로그 컨버터를 이용하는 디스플레이 데이터 드라이버를 제공함으로써, 계단 파형 기반 저전압 대역을 이용하는 샘플 앤 홀드 회로를 하나의 단계로만 구성하여 비선형적인 감마 곡선 특성을 구현할 수 있다.

[0023] 또한, 본 발명은 레벨 시프터를 사용하지 않음으로써 면적을 감소시킬 수 있는 이점도 있다.

도면의 간단한 설명

[0025] 도 1은 종래의 인터폴레이션 방식을 사용하는 DAC를 예시한 도면.

도 2는 종래의 디스플레이 데이터 드라이버의 구조를 나타낸 도면.

도 3은 종래의 샘플 앤 홀드 회로를 나타낸 도면.

도 4은 본 발명의 일 실시예에 따른 디스플레이 장치의 구성을 개략적으로 도시한 블록도.

도 5는 본 발명의 일 실시예에 따른 디스플레이 데이터 드라이버의 구조를 개략적으로 도시한 도면.

도 6은 본 발명의 일 실시예에 따른 저전압 대역 DAC를 이용하는 디스플레이 데이터 드라이버를 도시한 도면.

도 7은 본 발명의 일 실시예에 따른 샘플 앤 홀드 회로부의 회로도.

도 8은 본 발명의 일 실시예에 따른 충전 과정을 나타낸 도면.

도 9는 본 발명의 일 실시예에 따른 긴 채널과 짧은 채널간 디지털-아날로그 컨버터의 출력에 대한 (V_{SG}'- V_{SG})의

차이를 나타낸 도면.

도 10은 본 발명의 일 실시예에 따른 타이밍 다이어그램을 도시한 도면.

도 11은 본 발명의 일 실시예에 따른 드라이브 단계의 회로 동작도.

도 12는 소스 팔로워 회로부가 없는 경우 출력 파형을 시뮬레이션한 결과를 나타낸 도면.

도 13은 본 발명의 일 실시예에 따른 더하기 단계의 회로 동작도.

도 14는 본 발명의 일 실시예에 따른 디스플레이 데이터 드라이버의 출력 파형을 시뮬레이션한 결과를 나타낸 도면.

도 15는 소스 팔로워 회로부가 없는 경우 계단 파형을 도시한 도면.

도 16은 본 발명의 일 실시예에 따른 소스 팔로워 회로부가 있는 경우 계단 파형을 도시한 도면.

도 17은 본 발명의 일 실시예에 따른 드라이브 단계가 없는 경우 오차 파형을 시뮬레이션한 결과.

도 18은 저전압 대역 트랜지스터와 고전압 대역 트랜지스터의 면적을 비교한 결과.

도 19는 본 발명의 일 실시예에 따른 저전압 대역 디지털-아날로그 컨버터를 이용한 경우, 데이터 드라이버의 레이아웃한 결과를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0026] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다. 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.

[0027] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0029] 도 4은 본 발명의 일 실시예에 따른 디스플레이 장치의 구성을 개략적으로 도시한 블록도이다.

[0030] 도 4를 참조하면, 디스플레이 장치(400)는 디스플레이 패널(410) 및 디스플레이 구동 회로부(420)를 포함하여 구성된다.

[0031] 디스플레이 구동 회로부(420)는 타이밍 컨트롤러(422), 게이트 드라이버(424), 데이터 드라이버(426), 파워 공급부(428)를 포함하여 구성된다.

[0032] 타이밍 컨트롤러(422)는 외부 장치로부터 영상 데이터 및 입력 제어 신호를 수신할 수 있다. 예를 들어, 외부 장치로부터 수신된 입력 영상 데이터는 R, G, B 데이터를 포함할 수 있다. 입력 영상 데이터를 구현 방법에 따라 백색 영상 데이터를 더 포함할 수도 있으며, 마젠타색(magenta) 영상 데이터, 황색(yellow) 영상 데이터 및 시안색(cyan) 영상 데이터를 포함할 수 있다. 한편, 외부 장치로부터 수신된 입력 제어 신호는 마스터 클럭 신호, 데이터 인에이블 신호, 수직 동기 신호, 수평 동기 신호등을 포함할 수 있다.

[0033] 타이밍 컨트롤러(422)는 입력 제어 신호를 기초로 데이터 드라이버(426)의 동작을 제어하기 위한 신호를 생성하여 데이터 드라이버(426)로 출력할 수 있다.

[0034] 또한, 타이밍 컨트롤러(422)는 입력 영상 데이터에 기초하여 데이터 신호를 생성하고, 이를 데이터 드라이버(426)로 출력할 수 있다.

[0035] 이와 같이, 타이밍 컨트롤러(422)는 디스플레이 구동 회로부(420)의 각 구성의 신호를 조절하기 위한 역할을 수행한다.

[0036] 게이트 드라이버(424)는 타이밍 컨트롤러(422)의 제어 신호에 따라 게이트 라인들을 구동하기 위한 게이트 신호를 생성할 수 있다. 게이트 드라이버(424)는 생성한 게이트 신호들을 게이트 라인들로 출력할 수 있다. 게이트 드라이버(424)는 게이트 신호들을 게이트 라인들에 순차적으로 출력하되, 이를 통해 각 픽셀을 켜고 끌 수

있다.

[0037] 데이터 드라이버(426)는 타이밍 컨트롤러(422)로부터 제어 신호와 데이터 신호를 입력받고, 감마 기준 전압 제너레이터(미도시)로부터 감미 기준 전압을 입력받는다. 데이터 드라이버(426)는 디지털 형태의 데이터 신호를 감마 기준 전압을 이용하여 아날로그 형태의 데이터 전압으로 변환한다. 데이터 드라이버(426)는 데이터 전압을 데이터 라인들에 출력할 수 있다.

[0038] 파워 공급부(428)는 전원을 공급하기 위한 수단이다.

[0039] 이하에서는 데이터 드라이버(426)에 대해 보다 상세히 설명하기로 한다.

[0041] 도 5는 본 발명의 일 실시예에 따른 디스플레이 데이터 드라이버의 구조를 개략적으로 도시한 도면이다.

[0042] 도 5를 참조하면, 본 발명의 일 실시예에 따른 데이터 드라이버(426)는 시프트 레지스터(Shift Register)(510), 샘플링 래치(Sampling Latch)(520), 홀딩 래치(Holdoing Latch)(530), 디지털-아날로그 컨버터(540), 샘플 앤 홀드 회로부(550), 출력 증폭기(560)를 포함하여 구성된다.

[0043] 시프트 레지스터(510)는 데이터 신호를 순차적으로 이동시킬 수 있다.

[0044] 샘플링 래치(520) 및 홀딩 래치(530)는 데이터 신호를 일시적으로 저장할 수 있다.

[0045] 디지털-아날로그 컨버터(540)는 계단 파형을 기초로 디지털 형태의 데이터 신호를 아날로그 형태의 데이터 전압으로 변환할 수 있다.

[0046] 샘플 앤 홀드 회로부(550)는 디지털-아날로그 컨버터(540)에서 추출된 계단 파형의 각 계단을 샘플링 펄스에 따라 선택하기 위한 수단이다. 이에 대해서는 하기에서 보다 상세히 설명하기로 한다.

[0047] 출력 증폭기(560)는 해당 출력 증폭기(560)로의 입력 전압을 증폭하여 디스플레이 패널(410)의 상응하는 데이터 라인으로 출력하기 위한 수단이다.

[0048] 본 발명의 일 실시예에 따르면, 시프트 레지스터(510)부터 디지털-아날로그 컨버터(540)까지 저전압 대역 트랜지스터를 이용하여 구현한다. 이와 같이, 고전압 대역 트랜지스터를 이용하여 만들던 디지털-아날로그 컨버터(540)를 저전압 대역 트랜지스터를 이용하여 작게 만들 수 있으며, 종래와 달리 레벨 시프터를 제거할 수 있는 이점이 있다.

[0049] 디스플레이 데이터 드라이버(426)의 시프트 레지스터(510), 샘플링 래치(520), 홀딩 래치(530)는 종래와 동일하다. 이하에서는 종래와 달라지는 디지털-아날로그 컨버터(540), 샘플 앤 홀드 회로부(550) 및 출력 증폭기(560)의 동작을 중심으로 설명하기로 한다.

[0051] 도 6은 본 발명의 일 실시예에 따른 저전압 대역 DAC를 이용하는 디스플레이 데이터 드라이버를 도시한 도면이고, 도 7은 본 발명의 일 실시예에 따른 샘플 앤 홀드 회로부의 회로도이며, 도 8은 본 발명의 일 실시예에 따른 충전 과정을 나타낸 도면이고, 도 9는 본 발명의 일 실시예에 따른 긴 채널과 짧은 채널간 디지털-아날로그 컨버터의 출력에 대한 ($V_{SG'}$- V_{SG})의 차이를 나타낸 도면이며, 도 10은 본 발명의 일 실시예에 따른 타이밍 다이어그램을 도시한 도면이고, 도 11은 본 발명의 일 실시예에 따른 드라이브 단계의 회로 동작도이며, 도 12는 소스 팔로워 회로부가 없는 경우 출력 파형을 시뮬레이션한 결과를 나타낸 도면이고, 도 13은 본 발명의 일 실시예에 따른 더하기 단계의 회로 동작도이고, 도 14는 본 발명의 일 실시예에 따른 디스플레이 데이터 드라이버의 출력 파형을 시뮬레이션한 결과를 나타낸 도면이며, 도 15는 소스 팔로워 회로부가 없는 경우 계단 파형을 도시한 도면이며, 도 16은 본 발명의 일 실시예에 따른 소스 팔로워 회로부가 있는 경우 계단 파형을 도시한 도면이고, 도 17은 본 발명의 일 실시예에 따른 드라이브 단계가 없는 경우 오차 파형을 시뮬레이션한 결과이며, 도 18은 저전압 대역 트랜지스터와 고전압 대역 트랜지스터의 면적을 비교한 결과이고, 도 19는 본 발명의 일 실시예에 따른 저전압 대역 디지털-아날로그 컨버터를 이용한 경우, 데이터 드라이버의 레이아웃한 결과를 도시한 도면이다.

[0052] 도 6을 참조하면, 본 발명의 일 실시예에 따른 디스플레이 데이터 드라이버(426)는 계단 파형 생성부(610), 디지털-아날로그 컨버터(540), 샘플 앤 홀드 회로부(550), 출력 증폭기(560) 및 다중화기(670)를 포함하여 구성된다.

[0053] 계단 파형 생성부(610)는 계단 파형을 생성하기 위한 수단이다.

[0054] 예를 들어, 본 발명의 일 실시예에서는 10비트 데이터 드라이버를 가정하기로 한다. 비선형적인 감마 구간을 도 6에 도시된 바와 같이 4개의 구간으로 나누는 것을 가정하기로 한다. 도 6에서는 이해와 설명의 편의를 도모하기 위해 비선형적인 감마 전압을 4개 구간으로 나눈 것을 가정하여 설명하고 있으나, 반드시 4개 구간으로 구분되는 것은 아니다. 비선형적인 감마 전압의 4개 구간을 각각 구간을 seg1, seg2, seg3, seg4로 각각 칭하기로 한다.

[0055] 여기서, 비선형적인 감마 전압의 각 구간은 최상위 2비트에 해당하며 다중화기(670)에 의해 어느 하나의 구간의 부분 감마 전압이 추출될 수 있다. 10비트의 해상도를 가지는 데이터 드라이버에서 계단 파형 각각을 4개의 계단(2비트)로 구성하는 경우, 디지털-아날로그 컨버터(540)는 8비트로 구성될 수 있다. 즉, 비선형적인 감마 전압 구간을 4개 구간으로 나누고, 계단 파형을 각각 4개의 계단으로 구성하므로, 각 구간은 64개의 계단 파형을 가질 수 있다.

[0056] 즉, 계단 파형 생성부(610)는 각 구간에 대해 64개의 계단 파형을 생성할 수 있다. 따라서, 각 구간의 계단 파형이 64개이므로 전체 계단 파형의 개수는 256개일 수 있다.

[0057] 디지털-아날로그 컨버터(540)는 (M-N) 비트 저전압 대역 디지털-아날로그 컨버터로, 계단 파형 기반 저전압 대역을 이용하는 샘플 앤 홀드 회로부(550)를 기초로 하나의 단계로만 비선형적인 감마 곡선 특성을 구현할 수 있다.

[0058] 디지털-아날로그 컨버터(540)는 계단 파형 생성부(610)에 의해 생성된 계단 파형 중 어느 하나의 계단 파형을 선택하기 위한 수단이다.

[0059] 디지털-아날로그 컨버터(540)에 의해 복수의 계단 파형 중 어느 하나가 선택되면, 샘플 앤 홀드 회로부(550)에서 4개 계단 중 어느 하나를 선택한다. 즉, 각각의 계단 파형은 4개의 계단으로 구성되므로, 예를 들어, 4개의 샘플 앤 홀드 회로(550) 각각에서 샘플링 펄스에 따라 추출된 계단 파형의 각 계단을 선택할 수 있다.

[0060] 본 발명의 일 실시예에 따르면, 도 7에 도시된 바와 같이, 샘플 앤 홀드 회로부(550)는 제1 소스 팔로워 회로부(710), 제2 소스 팔로워 회로부(720), 샘플링 커패시터(730), 샘플링 스위치(740a), 제1 부귀환 스위치(750a), 제2 부귀환 스위치(750b), 제1 보상 스위치(760a) 및 제2 보상 스위치(760b)를 포함하여 구성된다.

[0061] 제1 소스 팔로워 회로부(710)는 디지털-아날로그 컨버터(540)의 출력(계단 파형)을 샘플링 커패시터(730)로 전달한다. 즉, 디지털-아날로그 컨버터(540)의 출력은 제1 소스 팔로워 회로부(710)를 통해 샘플링 커패시터(730)에 저장된 후 출력 증폭기(560)를 통해 디스플레이 패널(410)로 출력될 수 있다.

[0062] 제2 소스 팔로워 회로부(720)는 제1 소스 팔로워 회로부(710)에 포함된 트랜지스터의 게이트와 소스 단 전압 차이(V_{SG})를 보상하기 위한 수단이다. 따라서, 제2 소스 팔로워 회로부(720)는 출력 증폭기(560)의 제2 입력 단자(예를 들어, + 단자)에 저전압 대역 사이에 있는 값(V_{CM})을 입력할 수 있다.

[0063] 제2 소스 팔로워 회로부(720)는 제1 소스 팔로워 회로부(710)와 동일한 바이어스 전압을 가지나 입력되는 값이 다르므로, 트랜지스터의 게이트와 소스 단의 전압 차이($V_{SG'}$)는 제1 소스 팔로워 회로부(710)의 트랜지스터의 게이트와 소스 단의 전압 차이(V_{SG})와는 다르게 된다.

[0064] 샘플링 커패시터(730)는 제1 소스 팔로워 회로부(710)를 통해 디지털-아날로그 컨버터(540)의 출력(계단 파형)을 저장한다.

[0065] 샘플링 커패시터(730)에 디지털-아날로그 컨버터(540)의 출력(추출된 계단 파형)을 저장하는 충전 과정(Charging phase)에 대해 도 8을 참조하여 보다 상세히 설명하기로 한다. 타이밍 다이어그램은 도 10에 도시된 바와 같다.

[0066] 디지털-아날로그 컨버터(540)를 통해 계단 파형 생성부(610)에서 생성된 계단 파형 중 어느 하나가 추출되어 제1 소스 팔로워 회로부(710)를 통해 샘플링 커패시터(730)에 저장된다. 여기서, 샘플링 스위치(740a)는 타이밍 컨트롤러의 제어 신호에 따라 스위치 온(On)상태인 것을 가정하기로 한다. 이때, 전술한 바와 같이, 제1 소스 팔로워 회로부(710)에 포함된 트랜지스터의 게이트와 소스 단의 전압 차(V_{SG})만큼 디지털-아날로그 컨버터(540)의 출력이 높아진 상태로 저장된다.

[0067] 따라서, 샘플링 커패시터(730)의 출력은 디지털-아날로그 컨버터(540)의 출력값+ V_{SG}이 되어 목표 값과 오차가 발생한다.

[0068] 이에, 제2 소스 팔로워 회로부(720)를 통해 출력 증폭기(560)의 제2 입력 단자(+단자)에 저전압 대역 사이에 있는 값(V_{CM})을 입력한다. 다만, 전술한 바와 같이, 제2 소스 팔로워 회로부(720)는 제1 소스 팔로워 회로부(710)와 같은 바이어스를 가지나 입력의 값이 다르므로 트랜지스터의 게이트와 소스 단의 차이($V_{SG'}$)는 제1 소스 팔로워 회로부(710)와는 차이가 있다.

[0069] 따라서, 제2 부귀환 스위치(Φ_2)를 스위치 온(On)시켜 샘플링 커패시터(730)와 출력 증폭기(560)의 제1 입력 단자(예를 들어, - 단자) 사이에 부귀한 루프를 활성화시킨다.

[0070] 이로 인해, 출력 증폭기(560)의 제1 입력 단자는 부귀환 경로(Negative feedback) 루프로 인해 V_{CM}+ $V_{SG'}$이 입력되며, 샘플링 커패시터(730)에 저장되는 값은 V_{CM}+ $V_{SG'}$+V_{OS}-(V_{DAC}+ V_{SG})=(V_{CM} - V_{DAC})+ V_{OS} +($V_{SG'}$- V_{SG})이 된다. 여기서, V_{OS}는 출력 증폭기(560)에서 생성되는 오프셋(Offset) 전압이다.

[0071] 또한, ($V_{SG'}$- V_{SG})의 오차가 생기게 되는 데 이 오차는 채널 길이 변조와 기판 효과로 인해 발생한다. 따라서, 이를 해결하기 위해 제1 소스 팔로워 회로부의 바디와 소스를 연결하여 기판 효과를 최소화하고 채널의 길이를 최대한으로 길게 하여 긴 채널을 사용하여도 짧은 채널로 인하여 생기게 되는 채널 길이 변조의 효과를 최소화한다. 도 9는 긴 채널과 짧은 채널 간의 V_{DAC}에 대한 ($V_{SG'}$- V_{SG})의 차이를 나타내는 표이다. 여기서, V_{CM}은 300mV를 사용하였기 때문에, V_{DAC}이 300mV에서는 차이가 없는 것을 볼 수 있다. V_{DAC}이 커질수록 ($V_{SG'}$- V_{SG})이 커지는데 긴 채널을 사용할수록 값의 차이가 작아지는 것을 확인할 수 있다.

[0072] 샘플링 커패시터(730)의 충전이 완료되면, 샘플 앤 홀드 회로부(550)는 샘플링 커패시터(730)를 플로팅시킨다. 본 발명의 일 실시예에서는 편의상 해당 과정을 드라이브 단계(Drive Phase)라 칭하기로 한다. 드라이브 단계에서의 회로 동작도는 도 11에 도시된 바와 같다. 도 11을 참조하여 드라이브 단계에 대해 설명하기로 한다.

[0073] 드라이브 단계에서 타이밍 컨트롤러(422)의 제어에 신호에 따라 샘플링 스위치(Φ_{SPI})는 오프되고, 기준 전압을 출력 증폭기(560)의 제2 입력 단자로 전달하는 제1 보상 스위치(Φ_1) 또한 오프되고, 제2 보상 스위치($\overline{\Phi_1}$)가 온(On)됨에 따라 다중화기(670)의 출력이 출력 증폭기(560)의 제2 입력 단자로 전달된다. 제1 보상 스위치(Φ_1)와 제2 보상 스위치($\overline{\Phi_1}$)는 토글될 수 있다. 즉, 제1 보상 스위치(Φ_1)가 오프되면, 제2 보상 스위치($\overline{\Phi_1}$)가 온(On)되고, 제1 보상 스위치(Φ_1)가 온되면 제2 보상 스위치($\overline{\Phi_1}$)가 오프될 수 있다.

[0074] 드라이브 단계에서, 제1 보상 스위치(Φ_1)가 오프되고 제2 보상 스위치($\overline{\Phi_1}$)가 온됨에 따라 드라이브 단계 없이 샘플링 커패시터(730)와 출력 증폭기(560)를 연결하는 경우 제2 소스 팔로워 회로부(720)에서 전달되는 V_{CM}에서 다중화기(670)의 출력 전압인 V_{ADD}로 변하는 양이 AC 커플링(AC coupling)으로 인해 샘플링 커패시터(730)에 더해져 큰 오차가 발생하게 된다(도 17 참조).

[0075] 따라서, 충전 단계 이후 드라이브 단계를 통해 AC 커플링이 샘플링 커패시터(730)에 영향을 주는 것을 방지할 수 있다.

[0076] 이후, 타이밍 컨트롤러(422)의 제어 신호에 따라 디스플레이 데이터 드라이버(426)는 더하기 단계(Add Phase)로 동작된다. 더하기 단계에 대한 회로 동작도는 도 13에 도시되어 있다. 도 13를 참조하여 더하기 단계에 대해 보다 상세히 설명하기로 한다.

[0077] 더하기 단계의 경우, 타이밍 컨트롤러(422)의 제어 신호에 따라 제2 부귀환 스위치(Φ_2)는 오프되며, 제1

부귀환 스위치($\overline{\Phi_2}$)가 온(On)되며, 샘플링 커패시터(730)의 양단과 출력 증폭기(560)와 연결된다. 제1 부귀환 스위치($\overline{\Phi_2}$)의 온 상태에 따라 제1 부귀환 루프를 통해 출력 증폭기(560)의 제1 입력 단자는 저하되는 전압 V_{ADD}가 되며, 출력 증폭기의 최종 출력 최종 출력 V_{out}은 VADD+샘플링 커패시터(730)에 저장된 값이된다.

[0078] 따라서, 최종 출력값을 계산식으로 표현하면 목표값인 $V_{out}=V_{ADD}+V_{OS}+(V_{DAC}+V_{SG})-(V_{CM}+V_{SG'}+V_{OS})=V_{ADD}+V_{DAC}-V_{CM}+(V_{SG}-V_{SG'})$가 출력된다. 또한, 출력 증폭기(560)에서 생성되는 오프셋 전압인 V_{OS} 또한, 마지막 단계에서 제거되는 것을 알 수 있다. 최종 출력 파형은 도 14에 도시된 바와 같다. 드라이브 단계가 없는 경우 최종 출력 파형은 도 16에 도시된 바와 같다.

[0079] 일반적인 샘플 앤 홀드 회로에서 샘플링 커패시터는 전하주입 현상을 줄이기 위해 상대적으로 크게 사용한다. 그러나 샘플링 커패시터의 용량이 그대로 반영되어 큰 RC값을 가지게 되고 RC 시간 지연(RC delay)로 인해 계단 파형이 눕게 되어 도 15와 같이 소스 팔로워 회로가 없는 경우와 같이 기준 시간 내에 수렴하지 못하게 된다. 이에 대한 시뮬레이션 결과는 도 17에 도시된 바와 같다.

[0080] 이를 방지하게 위해 본 발명의 일 실시예에서는 샘플링 커패시터(730)의 전단에 소스 팔로워 회로부를 위치시킨다. 이와 같은 경우, 계단 파형 입장에서는 소스 팔로워의 기생 게이트 커패시터(Gate Capacitor)만 보이기 때문에 상대적으로 작은 커패시터 용량만 반영된다. 그로 인해 RC 지연 시간이 줄어들게 되어 계단 파형이 많은 채널을 거쳐도 이상이 없게 된다(도 16 참조). 종래의 샘플 앤 홀드 회로에 사용되는 샘플링 커패시터의 경우 주변 스위치에 의한 전하주입 현상과 클럭 되먹임(Clock Feedthrough) 현상을 최소화하기 위해 스위치에 사용된 트랜지스터의 게이트 커패시턴스 500 ~100배 정도의 커패시터 값을 갖게 수백 fF ~ 수 pF 샘플링 커패시터 값을 설정하는 것이 일반적이다.

[0081] 그러나 본 발명의 일 실시예에와 같이 소스 팔로워 회로부를 샘플링 커패시터(730)의 전단에 위치시킴으로써 샘플링 커패시터의 크기를 키우더라도 수백 aF ~ 수 fF의 소스 팔로워 회로부에서 생성되는 기생 게이트 커패시터만 디지털-아날로그 컨버터에서 보이게 되어 RC 시간 지연을 수십~ 수백 배 줄일 수 있는 이점이 있다.

[0082] 또한, 디지털-아날로그 컨버터의 출력이 감마 전압의 모든 대역이면, 소스 팔로워는 N 채널 트랜지스터(N-MOSFET)과 P 채널 트랜지스터(P-MOSFET)를 모두 사용하여야 한다. 그러나, 본 발명의 일 실시예에서는 저전압 대역만 받기 때문에 P 채널 트랜지스터만 사용하여도 된다. 두 개의 트랜지스터를 모두 사용할 때, N 채널 트랜지스터와 P 채널 트랜지스터를 사용하는 범위를 정하기가 쉽지 않다. 또한, 소스 팔로워의 게이트와 소스의 전압 차의 변화도 심해진다.

[0083] 본 발명의 일 실시예에서는 하나의 트랜지스터를 사용하여 게이트와 소스의 전압 차의 변화를 제어하기 위해 채널의 길이를 최대한 늘려 채널 길이 변조(Channel Length Modulation)를 줄이면서 트랜지스터의 바디와 소스를 연결하여 기판 효과(Body Effect)를 해결할 수 있는 면적을 확보하여 오차를 줄일 수 있다.

[0084] 다시 정리하면, 본 발명의 일 실시예에 따른 데이터 드라이버는 종래와 달리 시프트 레지스터, 샘플링 래치, 홀딩 래치 및 디지털-아날로그 컨버터(540)까지 저전압 대역 트랜지스터를 이용할 수 있다. 이를 통해 디지털-아날로그 컨버터(540)가 저전압 대역 트랜지스터를 이용하여 작게 만들 수 있을 뿐만 아니라 종래에 사용되던 레벨 시프터를 제거할 수 있는 이점이 있다.

[0085] 도 18에는 저전압 대역 트랜지스터와 고전압 대역 트랜지스터의 면적을 비교한 것으로, 일반적으로 5V의 범위를 가지는 데이터 드라이버를 설계한다면, 디지털 영역을 1.2V의 저전압 대역 트렌지스터로 만들고, 레벨 시프터부터 출력 증폭기까지는 5V의 고전압 대역 트렌지스터로 만들게 된다.

[0086] 그러나, 본 발명의 일 실시예와 같이 저전압 대역 트랜지스터를 이용하여 디지털-아날로그 컨버터(540)를 구현하는 경우, 각 트랜지스터의 면적이 종래의 고전압 대역 트랜지스터를 이용했을 때보다 줄어들게 된다.

[0087] 또한, 도 18에 도시된 바와 같이 트랜지스터로 만든 종래의 레벨 시프터의 면적인 5.3㎛² 정도 되는데, 이 역시 제거가 된다면 레벨 시프터 10개를 제거할 수 있으므로 53㎛² 의 면적을 줄일 수 있는 이점이 있다.

[0088] 도 19는 본 발명의 일 실시예에 따른 저전압 대역 디지털-아날로그 컨버터를 이용한 경우, 데이터 드라이버의 레이아웃한 결과를 도시한 도면이다.

[0089] 종래의 10비트 데이터 드라이버는 도 19의 (a)와 같이 고전압 트랜지스터를 이용한 디지털-아날로그 컨버터를

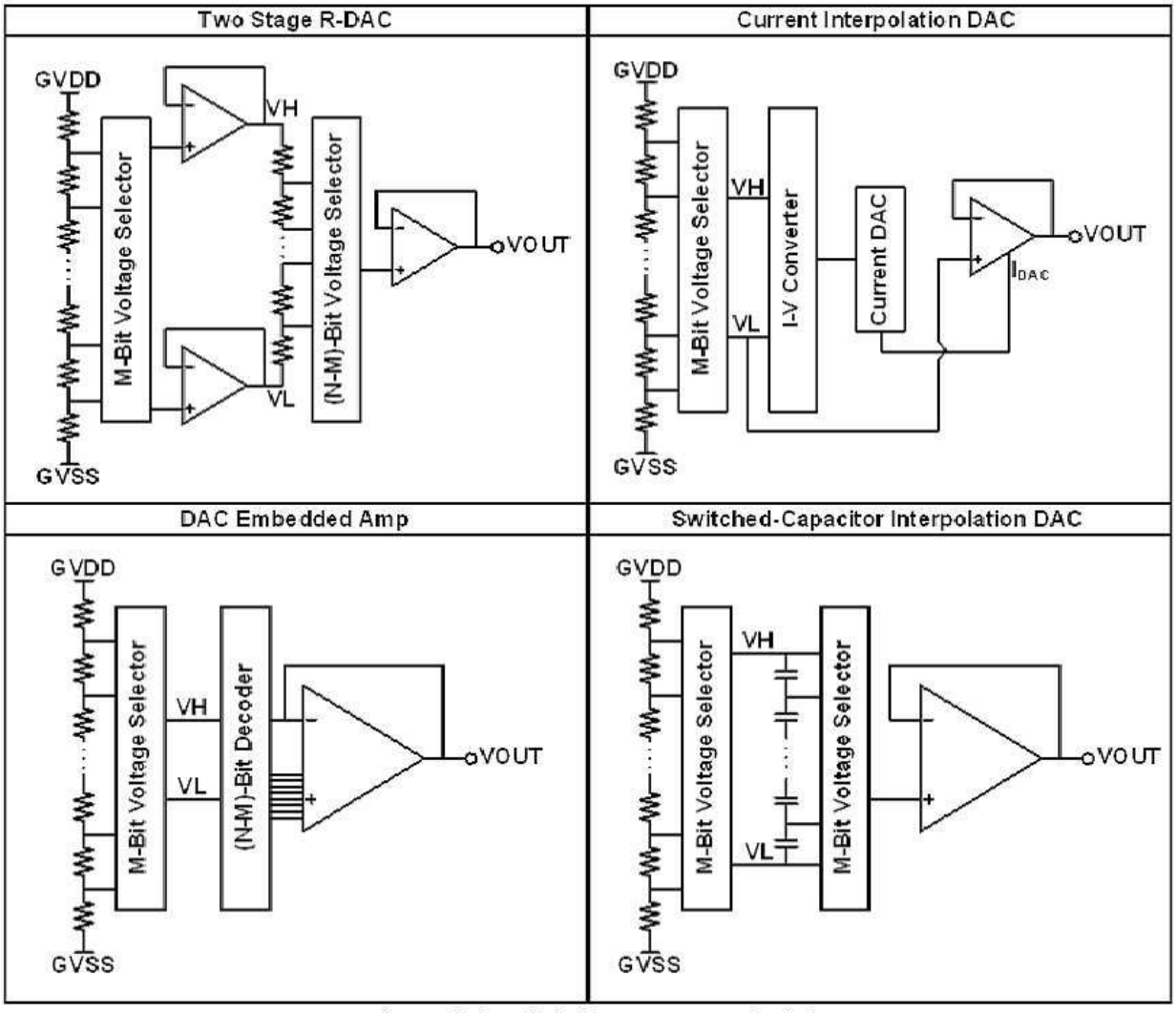
사용하므로 레벨 시프터 10개가 필요하고 1024개의 저항 열의 기준 전압을 받아야 한다.

[0090] 그러나, 본 발명의 일 실시예에와 같이(도 19의 (b) 디지털-아날로그 컨버터(540)를 저전압 소자로 구현하는 경우, 레벨 시프터가 필요하지 않아 디지털 영역이 66.7% 줄어들게 된다. 또한, 저항 열 역시 2비트의 계단 파형을 사용하기 때문에, 8비트의 디지털-아날로그 컨버터(540)만 필요하며 256개의 계단 파형만을 받으면 되고 종래 구조와 다르게 크기가 작은 저전압 대역 트렌지스터를 사용한다. 따라서 93.7%의 면적 감소 효과를 볼 수 있다. 전체 면적으로 보면, 총 89.4%의 면적 감소 효과를 얻을 수 있다.

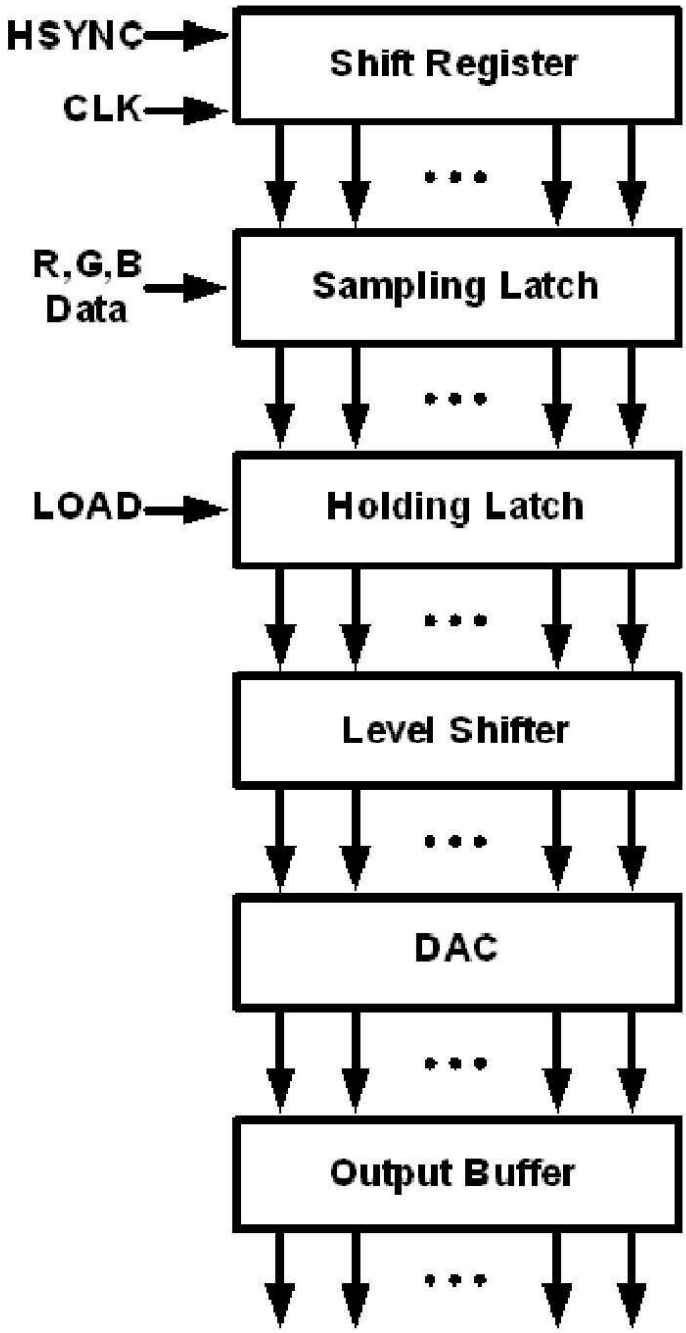
[0092] 이제까지 본 발명에 대하여 그 실시 예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

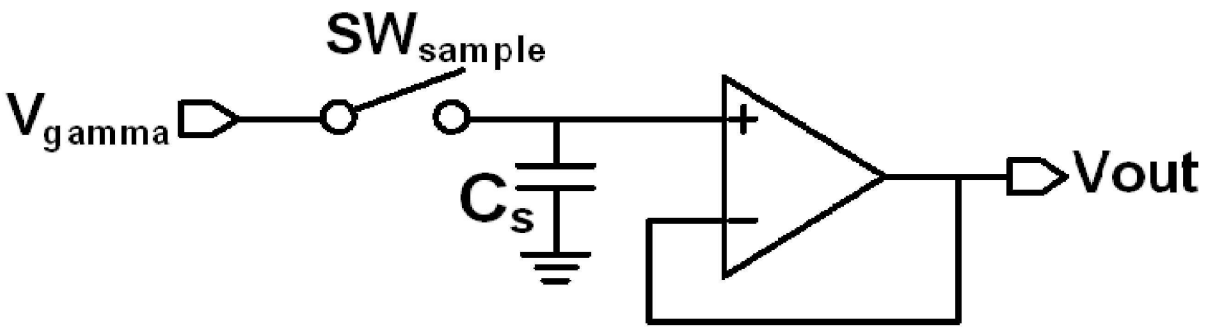
도면1



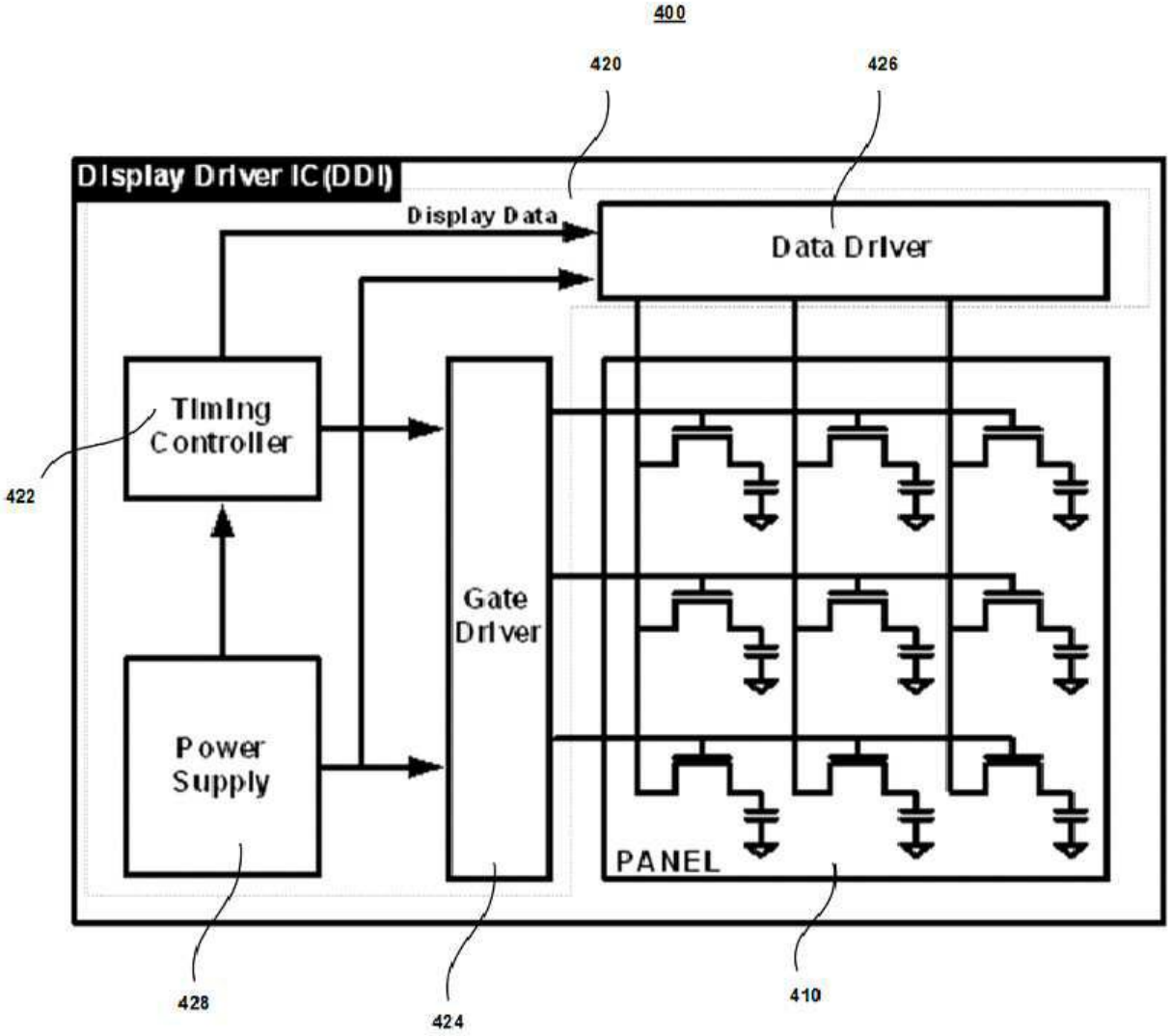
도면2


HSYNC
CLK
Shift Register
R,G,B Data
Sampling Latch
LOAD
Holding Latch
Level Shifter
DAC
Output Buffer

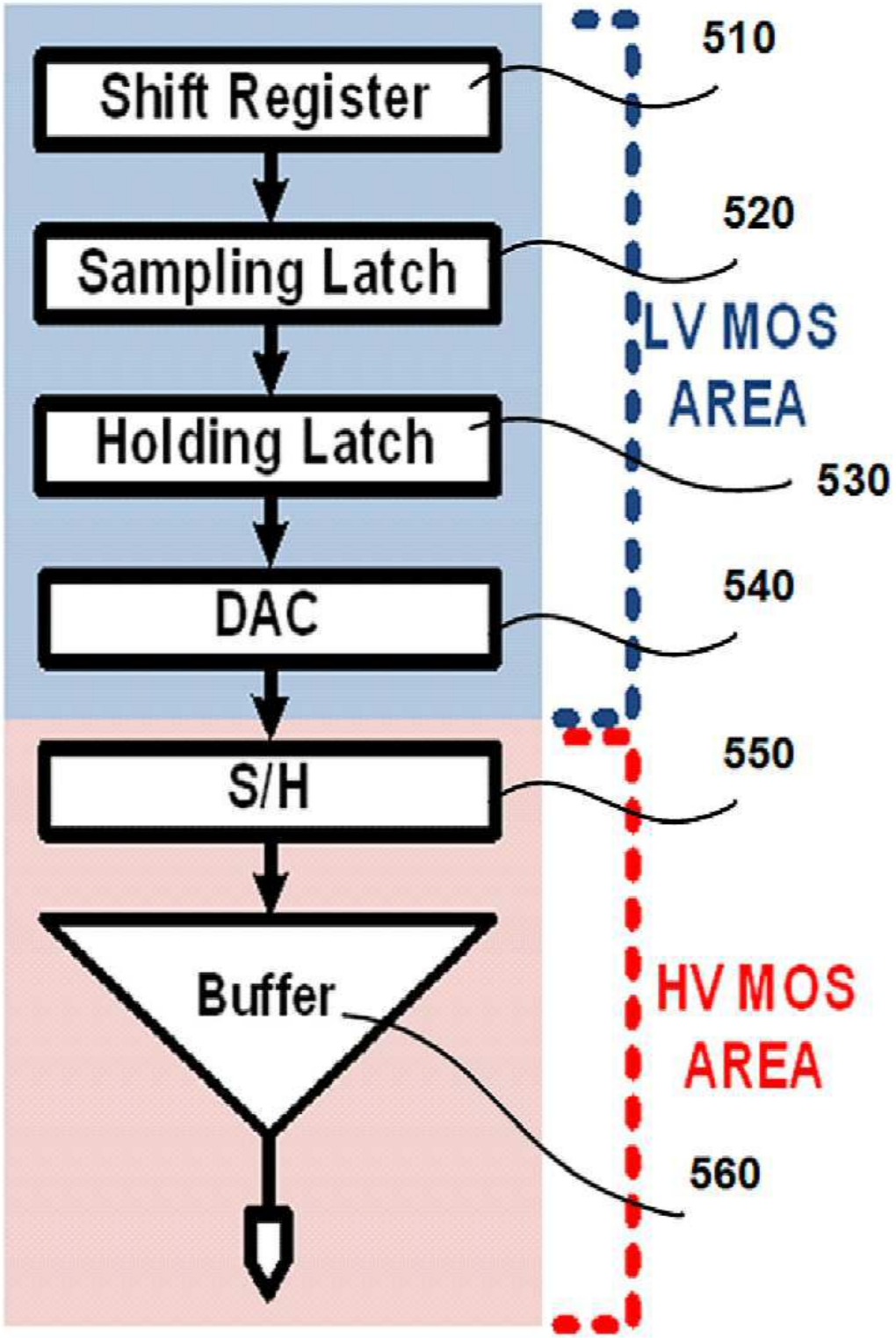
도면3


SWsample
Vgamma
Cs
Vout

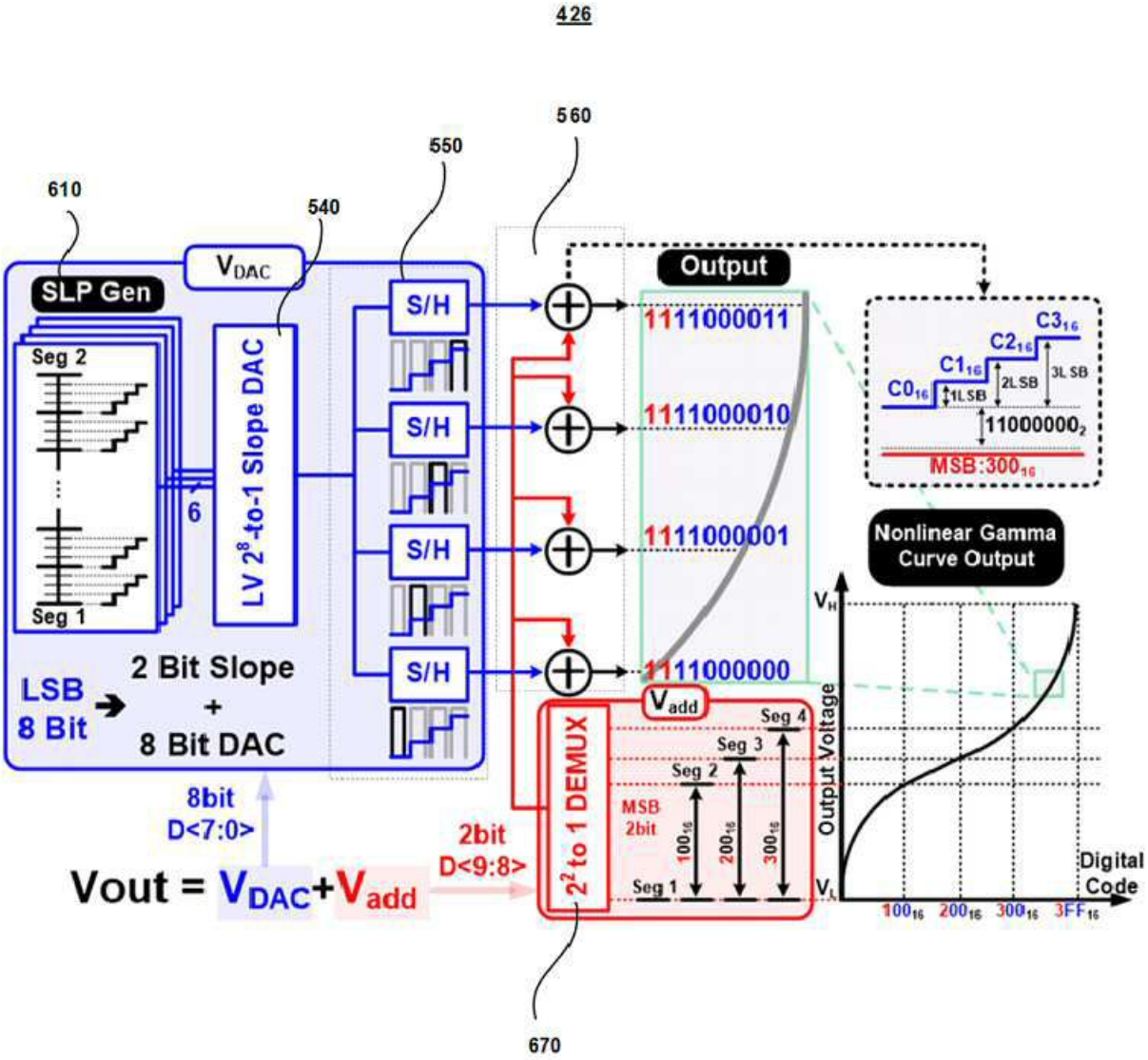
도면4


400
420
426
Display Driver IC(DDI)
Display Data
Data Driver
Timing Controller
422
Gate Driver
Power Supply
PANEL
428
424
410

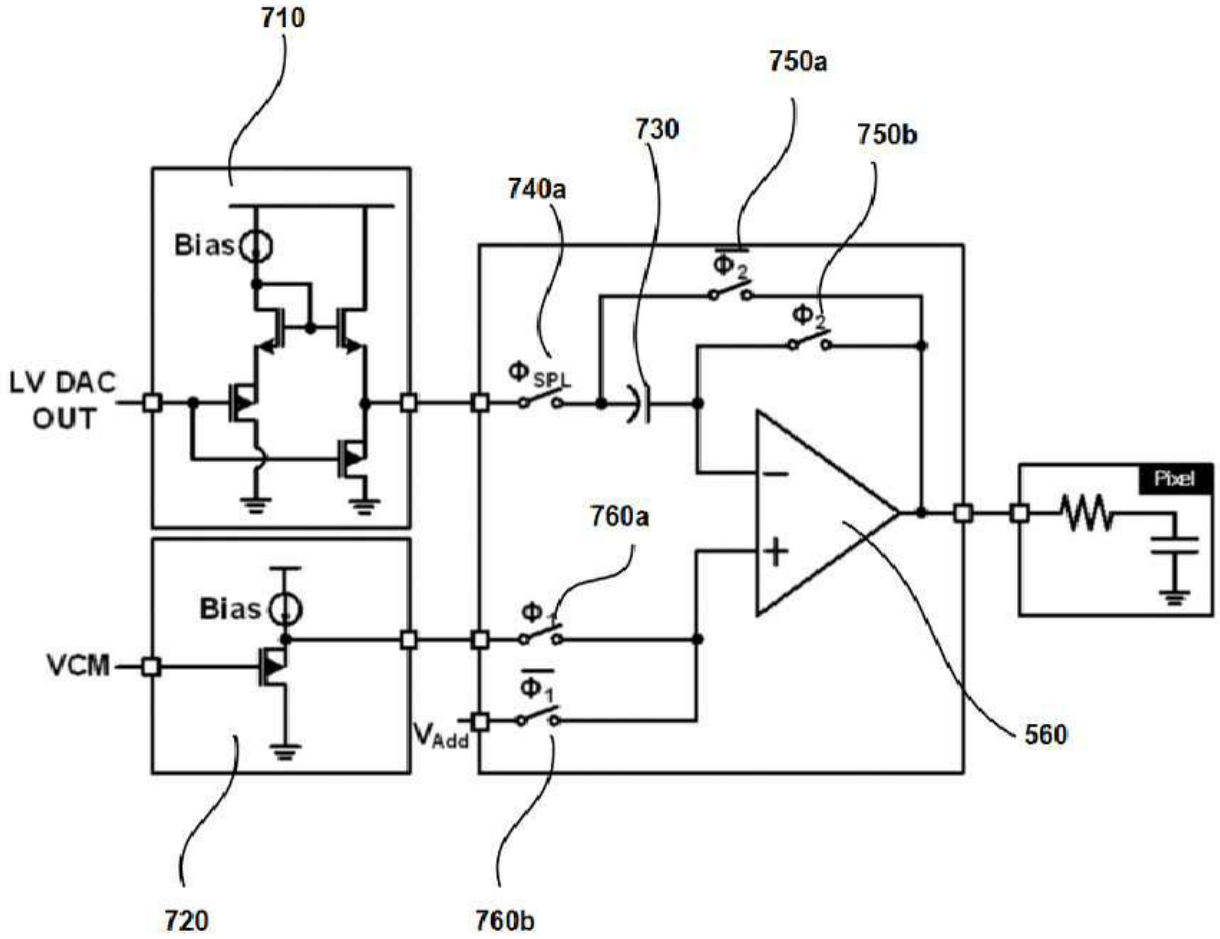
도면5


Shift Register
Sampling Latch
Holding Latch
DAC
S/H
Buffer
510
520
530
540
550
560
LV MOS AREA
HV MOS AREA

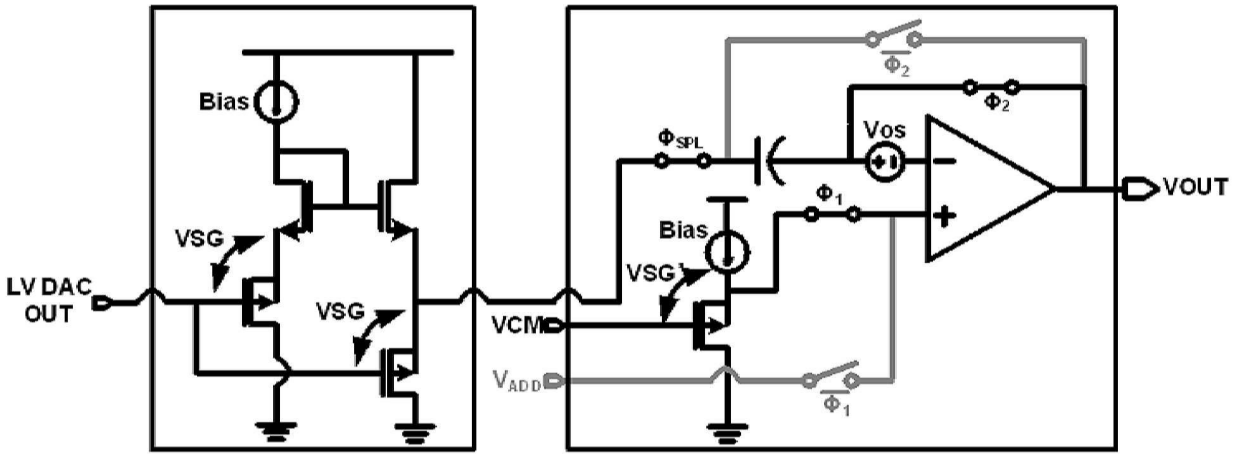
도면6


426
560
550
610
540
SLP Gen
V_{DAC}
Seg 2
Seg 1
6
LV 2^8-to-1 Slope DAC
S/H
S/H
S/H
S/H
LSB
8 Bit
2 Bit Slope
+
8 Bit DAC
8bit
D<7:0>
Vout = V_{DAC}+V_{add}
2bit
D<9:8>
2^2 to 1 DEMUX
670
Output
1111000011
1111000010
1111000001
1111000000
$C3_{16}$
$C2_{16}$
$C1_{16}$
$C0_{16}$
1LSB
2LSB
3LSB
11000000_2
$MSB:300_{16}$
Nonlinear Gamma
Curve Output
V_{add}
Seg 4
Seg 3
Seg 2
Seg 1
MSB
2bit
100_{16}
200_{16}
300_{16}
V_H
V_L
Output Voltage
Digital
Code
100_{16} 200_{16} 300_{16} $3FF_{16}$

도면7


710
750a
730
750b
740a
Bias
LV DAC OUT
Φ2
Φ2
ΦSPL
760a
Bias
VCM
Φ1
Φ1
VAdd
Pixel
560
720
760b

도면8


Bias
VSG
VSG
LV DAC OUT
VCM
VADD
Φ2
Φ2
ΦSPL
Vos
Φ1
Bias
VSG
VOUT
Φ1

도면9

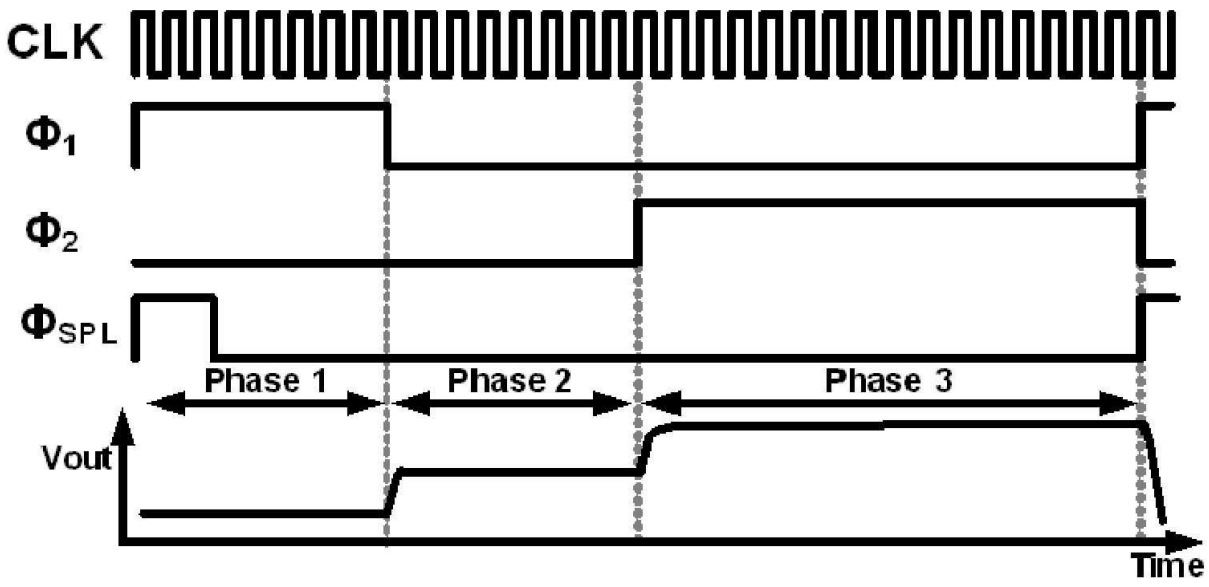
VDAC	V_{SG}'-V_{SG}
300mV	0V
850mV	155uV
1.4V	340uV

SF Length Large

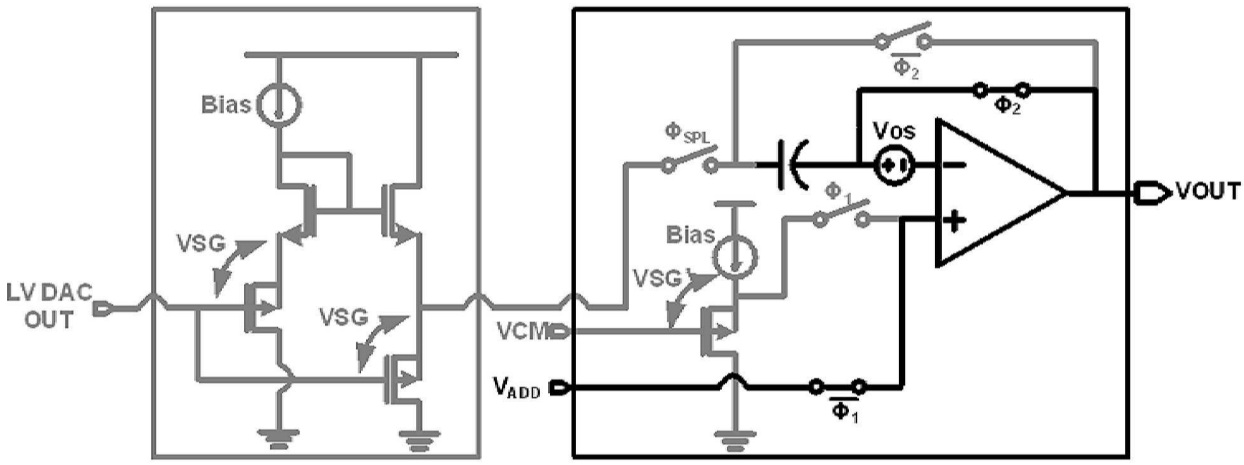
VDAC	V_{SG}'-V_{SG}
300mV	0V
850mV	1.1mV
1.4V	2.18mV

SF Length Small

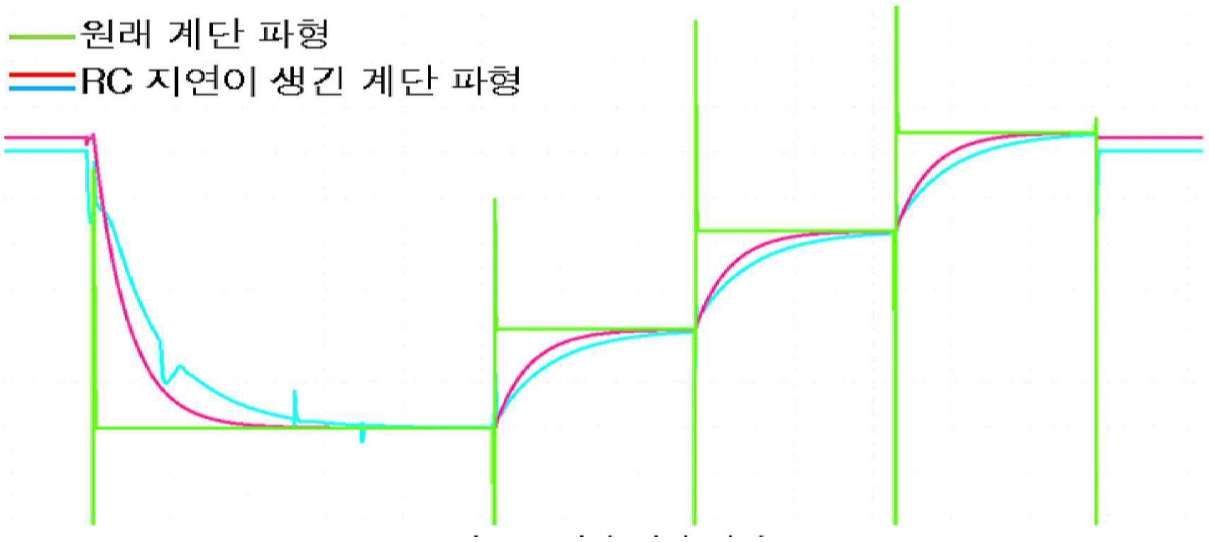
도면10



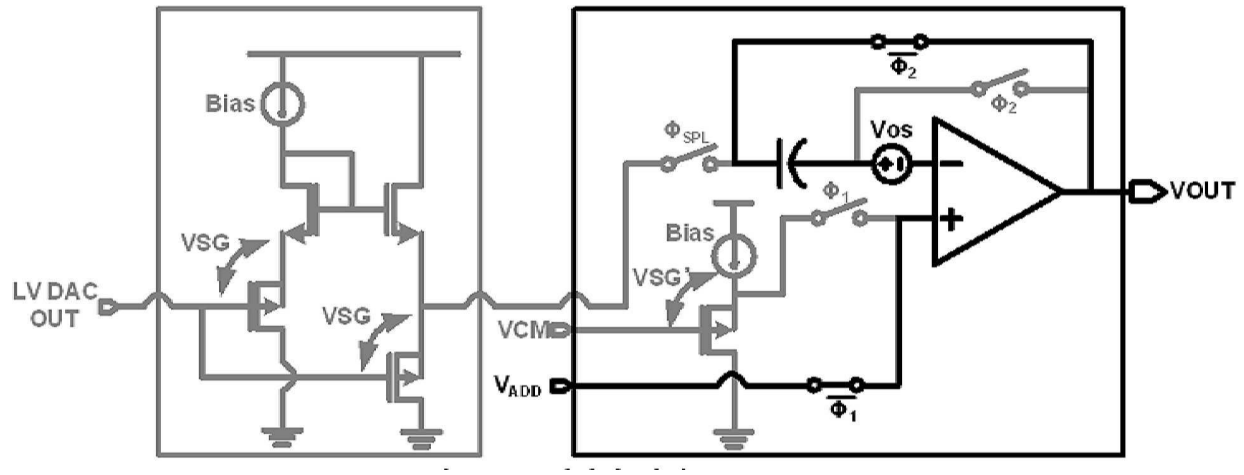
도면11



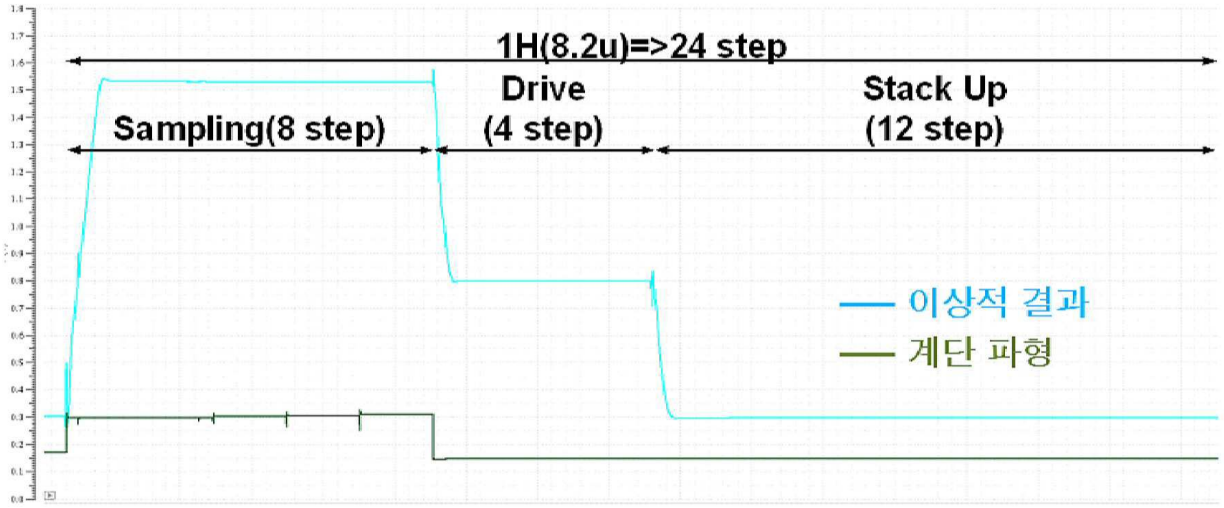
도면12



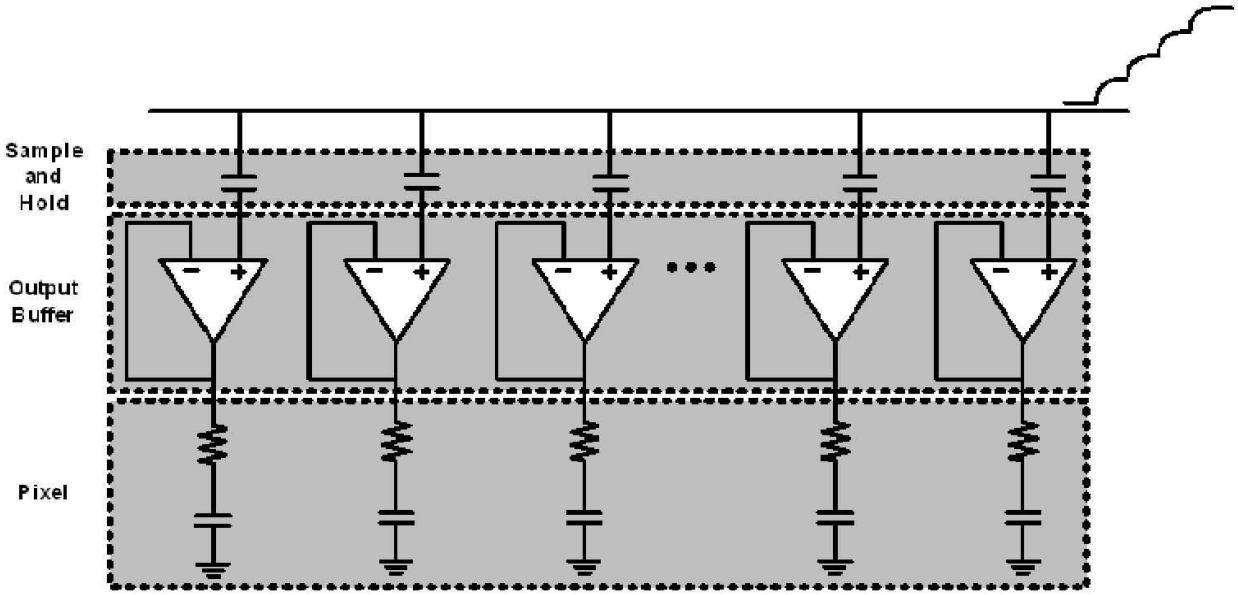
도면13



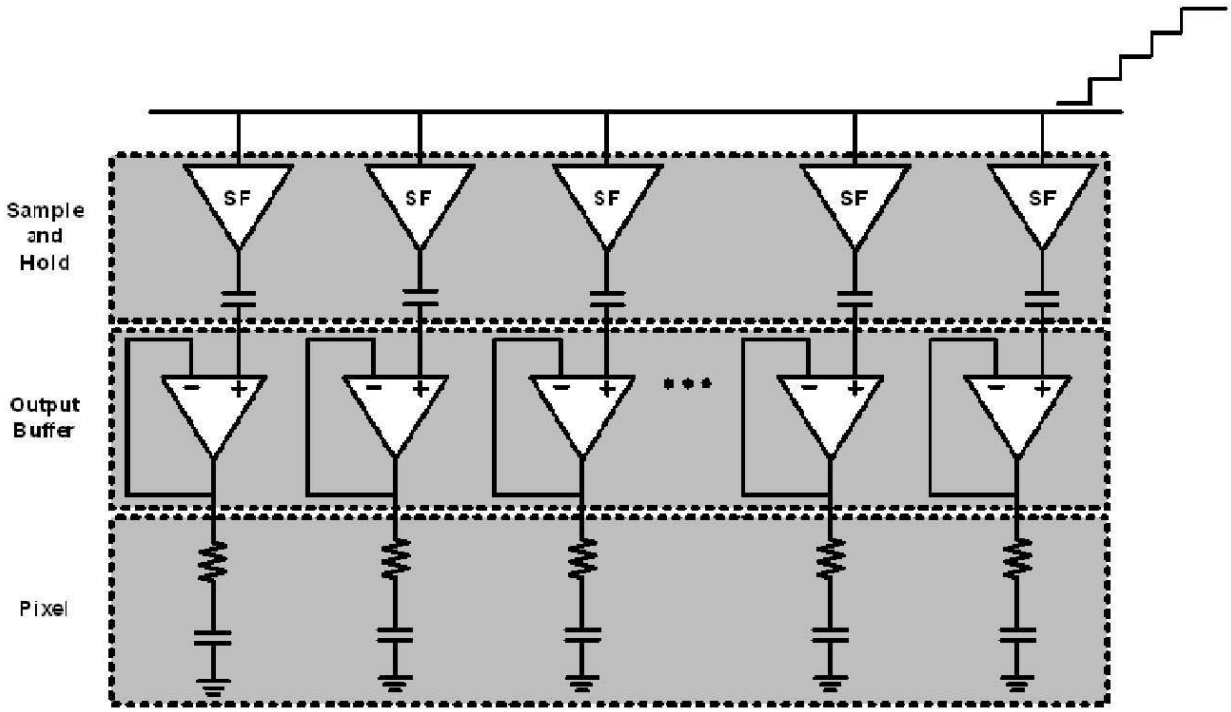
도면14


1H(8.2u)=>24 step
Sampling(8 step)
Drive
(4 step)
Stack Up
(12 step)
이상적 결과
계단 파형

도면15


Sample
and
Hold
Output
Buffer
Pixel

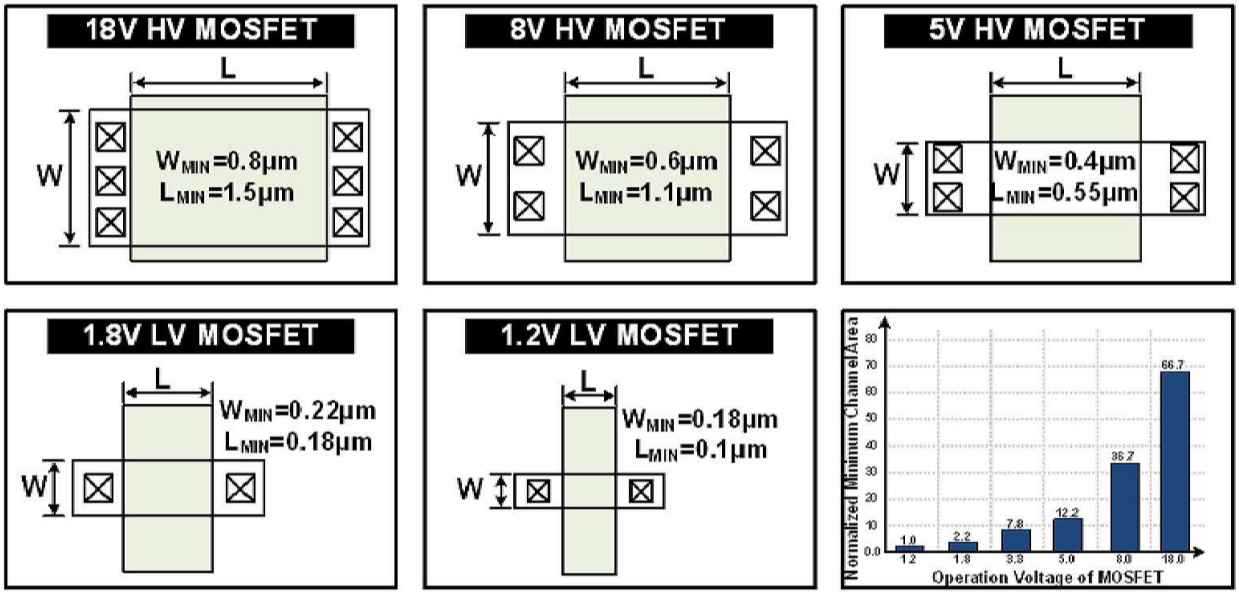
도면16


Sample and Hold
Output Buffer
Pixel
SF
SF
SF
SF
SF

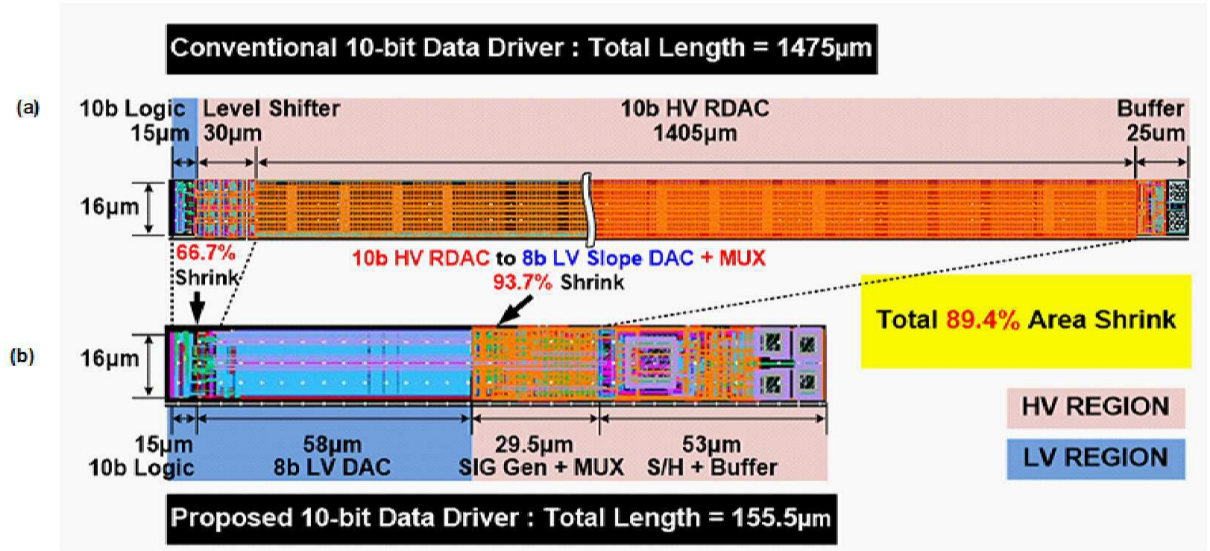
도면17


이상적 결과
시뮬레이션 결과
91.0259us 4.149976V
Offset
x:6.726624us dy:188.21mV s:27.97981kV/s

도면18


18V HV MOSFET
L
W
W_MIN=0.8μm
L_MIN=1.5μm
8V HV MOSFET
L
W
W_MIN=0.6μm
L_MIN=1.1μm
5V HV MOSFET
L
W
W_MIN=0.4μm
L_MIN=0.55μm
1.8V LV MOSFET
L
W
W_MIN=0.22μm
L_MIN=0.18μm
1.2V LV MOSFET
L
W
W_MIN=0.18μm
L_MIN=0.1μm
Normalized Minimum Channel Area
1.0
2.2
7.8
12.2
36.7
66.7
1.2
1.8
3.3
5.0
8.0
18.0
Operation Voltage of MOSFET

도면19


Conventional 10-bit Data Driver : Total Length = 1475μm
(a)
10b Logic
15μm
Level Shifter
30μm
10b HV RDAC
1405μm
Buffer
25um
16μm
66.7%
Shrink
10b HV RDAC to 8b LV Slope DAC + MUX
93.7% Shrink
Total 89.4% Area Shrink
(b)
16μm
HV REGION
LV REGION
15μm
10b Logic
58μm
8b LV DAC
29.5μm
SIG Gen + MUX
53μm
S/H + Buffer
Proposed 10-bit Data Driver : Total Length = 155.5μm