



(12) 发明专利申请

(10) 申请公布号 CN 117590885 A

(43) 申请公布日 2024. 02. 23

(21) 申请号 202310785392.6

(22) 申请日 2023.06.29

(30) 优先权数据

10-2022-0100499 2022.08.11 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

申请人 高丽大学校 产学协力团

(72) 发明人 李炯玟 朴炫俊 郑宇中

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 刘虹

(51) Int.Cl.

G05F 1/56 (2006.01)

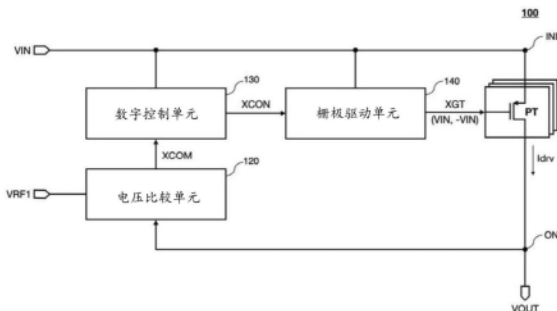
权利要求书3页 说明书17页 附图14页

(54) 发明名称

能够在低电压下操作的LDO调节器和包括它的半导体器件

(57) 摘要

一种低压差 (LDO) 调节器, 包括: 一个或多个功率晶体管, 被配置为设置在输入节点和输出节点之间, 其中, 输入节点是输入电压被施加到的节点, 并且输出节点是从其输出输出电压的节点; 电压比较单元, 被配置为基于输出电压和第一参考电压之间的差生成比较信号; 数字控制单元, 被配置为响应于比较信号生成用于选通一个或多个功率晶体管的控制信号; 以及栅极驱动单元, 被配置为响应于控制信号输出用于一个或多个功率晶体管的选通信号, 其中, 选通信号对应于输入电压和输入电压的负值之一。



1. 一种低压差(LDO)调节器,包括:

一个或多个功率晶体管,被配置为设置在输入节点和输出节点之间,其中,输入节点是输入电压被施加到的节点,并且输出节点是从其输出输出电压的节点;

电压比较单元,被配置为基于输出电压和第一参考电压之间的差生成比较信号;

数字控制单元,被配置为响应于比较信号生成用于选通一个或多个功率晶体管的控制信号;以及

栅极驱动单元,被配置为响应于控制信号输出用于一个或多个功率晶体管的选通信号,其中,选通信号对应于输入电压和输入电压的负值之一。

2. 根据权利要求1所述的LDO调节器,其中,所述栅极驱动单元包括一个或多个栅极驱动器,并且其中,多个栅极驱动器的数量对应于一个或多个功率晶体管的数量。

3. 根据权利要求1所述的LDO调节器,其中,所述栅极驱动单元包括:

第一驱动路径,用于当控制信号指示第一模式时,输出输入电压作为选通信号,并用充电电压对输入电压充电;以及

第二驱动路径,用于当控制信号指示第二模式时,将充电电压反相为输入电压的负值,并输出输入电压的负值作为选通信号。

4. 根据权利要求1所述的LDO调节器,其中,所述栅极驱动单元包括:

电压施加单元,用于响应于控制信号,向第一节点施加输入电压和地电压之一;

电压反相单元,用于将从第一节点施加的输入电压反相为输入电压的负值,并输出输入电压的负值;以及

电压切换单元,用于响应于控制信号,将输入电压和输入电压的负值之一输出到第二节点,其中,输入电压是从第一节点施加的,并且输入电压的负值来自电压反相单元。

5. 根据权利要求4所述的LDO调节器,其中,所述电压反相单元包括:

充电和反相部件,其中,所述充电和反相部件当从第一节点施加输入电压时用充电电压对输入电压充电并且当从第一节点施加地电压时将充电电压反相,并且将输入电压的负值输出到第三节点;以及

电压电平保持部件,用于将第三节点处的输入电压的负值的电压电平保持为恒定。

6. 根据权利要求1所述的LDO调节器,其中,所述栅极驱动单元包括:

第一反相器,包括输入端子,其中,控制信号被施加到输入端子,并且其中,第一反相器将输入电压和地电压之一输出到第一节点的输出端子;

第一开关,连接在第一节点和第二节点之间,其中,第一开关响应于控制信号而被开关;

第一电容器,连接在第一节点和第三节点之间;

第二开关,连接在第三节点和第二节点之间,其中,第二开关响应于控制信号而被选通;

第一晶体管,连接在第三节点和地电压之间;

第二晶体管,连接在输入电压和第一晶体管的栅极之间,其中,第二晶体管响应于控制信号而被选通;以及

第三晶体管,连接在第三节点和第一晶体管的栅极之间,其中,第三晶体管响应于控制信号而被选通。

7. 根据权利要求1所述的LDO调节器,其中,一个或多个功率晶体管包括:

粗略功率晶体管,被包括在用于将输出电压调节到第一电压范围内的粗略环路中;以及

精细功率晶体管,被包括在用于将输出电压调节到第二电压范围内的精细环路中,其中,第二电压范围比第一电压范围窄。

8. 根据权利要求7所述的LDO调节器,其中,所述栅极驱动单元包括:

粗略栅极驱动单元,用于输出输入电压和输入电压的负值之一作为粗略功率晶体管的选通信号;以及

精细栅极驱动单元,用于输出输入电压和地电压之一作为精细功率晶体管的选通信号。

9. 根据权利要求1所述的LDO调节器,还包括电压恢复单元,其连接到一个或多个功率晶体管的输出节点并且将输出电压的波动的范围调节到第二波动范围内,其中,第二波动范围比第一波动范围窄,并且其中,输出电压变化超过第一波动范围。

10. 根据权利要求9所述的LDO调节器,其中,电压恢复单元包括:

至少一个辅助比较器,每一个辅助比较器将对应的第二参考电压与至少一个第二参考电压的输出电压进行比较,并输出输入电压和输入电压的负值之一作为辅助比较信号;以及

至少一个辅助功率晶体管,每个辅助功率晶体管响应于至少一个辅助比较器中对应的辅助比较器的辅助比较信号,向输出节点供应恢复电流。

11. 根据权利要求10所述的LDO调节器,其中,至少一个辅助比较器包括:

第一辅助反相器,设置在至少一个第二参考电压中对应的第二参考电压和输入电压的负值之间,其中,第一辅助反相器的输入端子和输出端子在第(2-1)节点处连接;

第二辅助反相器,设置在输出电压和输入电压的负值之间,其中,第二辅助反相器的输入端子连接到第一辅助反相器的输出端子;

第三辅助反相器,设置在输出电压和输入电压的负值之间,其中,第三辅助反相器的输入端子在第(2-2)节点处连接到第二辅助反相器的输出端子;以及

第四辅助反相器,设置在输入电压和输入电压的负值之间,其中,第四辅助反相器的输入端子在第(2-3)节点处连接到第三辅助反相器的输出端子,并且辅助比较信号被输出到连接到第(2-4)节点的第四辅助反相器的输出端子。

12. 根据权利要求9所述的LDO调节器,其中,所述电压恢复单元还包括高通滤波器,其中,高通滤波器连接到输出节点,并且将与输出电压的波动的范围相对应的滤波电压施加到栅极驱动单元。

13. 根据权利要求9所述的LDO调节器,还包括负电压供应单元,其用于向电压恢复单元供应输入电压的负值。

14. 根据权利要求1所述的LDO调节器,还包括漏电流补偿单元,其用于响应于第一时钟信号,为栅极驱动单元的输入电压的负值补偿漏电流。

15. 根据权利要求14所述的LDO调节器,其中,漏电流补偿单元包括:

第一补偿反相器,设置在输入电压和地电压之间,其中,第一补偿反相器包括第一输入端子和连接到第(3-1)节点的输出端子,并且其中,第一时钟信号被施加到第一输入端子;

第二补偿反相器,设置在输入电压和第(3-2)节点之间,其中,第二补偿反相器包括第二输入端子,并且其中,第一时钟信号被施加到第二输入端子;

第二电容器,连接在第(3-1)节点和第(3-3)节点之间;

第(3-1)晶体管,连接在第(3-3)节点和地电压之间,其中,第(3-1)晶体管包括连接到第(3-2)节点的栅极;

第三补偿反相器,设置在输入电压和补偿节点之间,并且包括连接到第(3-4)节点的输出端子,其中,第三补偿反相器包括连接到第(3-2)节点的第三输入端子;

第一电阻器,连接在第(3-3)节点和第(3-5)节点之间;以及

第(3-2)晶体管,设置在第(3-5)节点和补偿节点之间,其中,第(3-2)晶体管包括连接到第(3-4)节点的栅极。

16. 一种低压差(LDO)调节器,包括:

粗略环路,用于通过控制一个或多个粗略功率晶体管的选通,将输出节点的输出电压调节到第一电压范围内;以及

精细环路,用于通过控制一个或多个精细功率晶体管的选通,将输出电压调节到比第一电压范围窄的第二电压范围内,

其中,一个或多个粗略功率晶体管和一个或多个精细功率晶体管中的每一个由选通信号选通,其中,选通信号对应于输入电压和输入电压的负值之一。

17. 根据权利要求16所述的LDO调节器,当输出节点处的输出电压变化超过第一波动范围时,还包括电压恢复环路,其用于向输出节点供应恢复电流并将输出电压的波动的范围调节到第二波动范围内,其中,第二波动范围比第一波动范围窄。

18. 根据权利要求16所述的LDO调节器,还包括双负电压槽,其用于为粗略环路或精细环路中输入电压的负值补偿漏电流、或者将输入电压的负供应给电压恢复环路。

19. 根据权利要求18所述的LDO调节器,其中,粗略环路和精细环路各自包括多个负电压栅极驱动器,其用于将输入电压的负值施加到粗略功率晶体管和精细功率晶体管中对应的功率晶体管,并且LDO调节器还包括补偿开关单元,其中,所述补偿开关单元将双负电压槽电连接到负电压栅极驱动器。

20. 一种半导体器件,包括根据权利要求1所述的低压差(LDO)调节器。

能够在低电压下操作的LDO调节器和包括它的半导体器件

[0001] 相关申请的交叉引用

[0002] 本申请要求于2022年8月11日向韩国知识产权局提交的韩国专利申请No.10-2022-0100499的优先权,其公开内容通过引用整体并入本文。

技术领域

[0003] 本公开涉及低压差(low dropout,LDO)调节器(regulator)和包括该调节器的半导体器件,并且更具体地,涉及可以在低电压下操作的LDO调节器和包括该调节器的半导体器件。

背景技术

[0004] 低压差(LDO)调节器是一种向集成电路施加恒定电力电压(power voltage)的电压调节器。具体地,当输入电压和输出电压之间的电势差相对小时,LDO是对于实现高功率效率有效的线性调节器。近来,随着半导体器件变得高度集成或便携,需要使用低电压驱动来降低功耗。

发明内容

[0005] 本公开描述了一种可以在低电压下操作的低压差(LDO)调节器和包括该调节器的半导体器件。

[0006] 根据本公开的一个方面,一种低压差(LDO)调节器包括:一个或多个功率晶体管,被配置为设置在输入节点和输出节点之间,其中,输入节点是输入电压被施加到的节点,并且输出节点是从其输出输出电压的节点;电压比较单元,被配置为基于输出电压和第一参考电压之间的差生成比较信号;数字控制单元,被配置为响应于比较信号生成用于选通一个或多个功率晶体管的控制信号;以及栅极驱动单元,被配置为响应于控制信号输出用于一个或多个功率晶体管的选通信号,其中,选通信号对应于输入电压和输入电压的负值之一。

[0007] 根据本公开的一个方面,一种LDO调节器包括:粗略环路,用于通过控制一个或多个粗略功率晶体管的选通,将输出节点的输出电压调节到第一电压范围内;以及精细环路,用于通过控制一个或多个精细功率晶体管的选通,将输出电压调节到比第一电压范围窄的第二电压范围内,其中,一个或多个粗略功率晶体管和一個或多个精细功率晶体管中的每一个由选通信号选通,其中,选通信号对应于输入电压和输入电压的负值之一。

[0008] 根据本公开的一个方面,一种方法包括:使用低压差(LDO)调节器的一个或多个功率晶体管生成输出电压,其中,输出电压基于一个或多个功率晶体管的输入电压;确定输出电压和参考电压之间的差;以及基于输出电压和参考电压之间的差,生成用于一个或多个功率晶体管的选通信号,其中,选通信号包括输入电压或输入电压的负值。

[0009] 根据本公开的另一个实施例,提供了一种包括上述LDO调节器的半导体器件。

附图说明

[0010] 通过参考附图对实施例进行描述,本公开的上述及其他目的和特征将变得清楚。本公开描述了一种可以在低电压下操作的低压差(LDO)调节器以及包括该低压差调节器的半导体器件。

[0011] 图1示出了根据本公开的实施例的低压差(LDO)调节器;

[0012] 图2和图3分别示出了根据本公开的实施例的栅极驱动单元和功率晶体管之间的关系;

[0013] 图4至图7分别示出了根据本公开的实施例的栅极驱动单元;

[0014] 图8和图9分别示出了图7的栅极驱动单元的操作;

[0015] 图10和图11分别示出了根据本公开的实施例的LDO调节器;

[0016] 图12示出了根据本公开的实施例的电压恢复单元;

[0017] 图13示出了根据本公开的实施例的辅助比较器;

[0018] 图14示出了根据本公开的实施例的电压恢复单元;

[0019] 图15示出了根据本公开的实施例的电压恢复单元的功能;

[0020] 图16和图17分别示出了根据本公开的实施例的LDO调节器;

[0021] 图18示出了根据本公开的实施例的漏电流补偿单元;

[0022] 图19和图20分别示出了根据本公开的实施例的漏电流补偿单元的操作;

[0023] 图21至图23分别示出了根据本公开的实施例的LDO调节器;和

[0024] 图24示出了根据本公开的实施例的半导体器件。

具体实施方式

[0025] 本公开涉及低压差(LDO)调节器以及包括该LDO调节器的半导体器件。LDO调节器是可以在供电电压(supply voltage)接近输出电压时调节输出电压的电压调节器。在一些实施例中,LDO调节器是数字DC电压调节器。

[0026] 本公开的实施例包括能够实现比传统电压调节器更快的瞬态响应的LDO调节器。与传统电压调节器相比,本公开的实施例可以减少或消除开关噪声,并实现更小的器件尺寸。

[0027] 在一些实施例中,LDO调节器不依赖于采样频率。在一些实施例中,通过生成负选通电压(gating voltage),LDO调节器与传统电压调节器相比在更低的电压下操作。因此,本公开的实施例包括具有高效率、低功率和高稳定性,同时降低瞬态响应、纹波(ripple)和电源抑制比(power supply rejection ratio,PSRR)的LDO调节器。

[0028] 图1示出了根据本公开的实施例的LDO调节器100。

[0029] 参考图1,根据本公开的实施例的LDO调节器100包括一个或多个功率晶体管PT、电压比较单元120、数字控制单元130和栅极驱动单元140。

[0030] 功率晶体管PT可以分别连接在输入节点IND和输出节点OND之间,输入电压VIN被施加到输入节点IND,并且输出电压VOUT从输出节点OND输出。晶体管PT可以是p型金属氧化物半导体(PMOS)晶体管。

[0031] 被施加到输出节点OND的驱动电流 I_{drv} 的电平可以基于功率晶体管PT中的通电(powered-on)功率晶体管PT的数量而变化。例如,如果功率晶体管PT的驱动能力相同,并且

需要第一电平的驱动电流 I_{drv} 来导通第一数量(例如, n ,其中 n 是自然数)的功率晶体管PT,则当两倍数量(例如, $2n$)的功率晶体管PT被导通时,需要两倍于第一电平的驱动电流 I_{drv} 的第二电平的驱动电流 I_{drv} 。

[0032] 电压比较单元120可以生成比较信号XCOM,该比较信号XCOM对应于输出电压VOUT和第一参考电压VRF1之间的差。

[0033] 输出节点OND可以连接到功能块的负载,并且可以施加输出电压VOUT来操作功能块,其中负载是被供电的电子组件或电路。例如,当根据本公开的实施例的LDO调节器100被包括在应用处理器中时,连接到输出节点OND的功能块可以是中央处理单元、显示控制器和存储器控制器。在一些情况下,当功能块汲取的电流变化时,来自输出节点OND的输出电压VOUT可以具有恒定的电压电平(例如,与第一参考电压VRF1相对应的电压电平)。因此,连接到输出节点OND的功能块可以稳定地操作。

[0034] 电压比较单元120可以包括例如运算(OP)放大器或置位复位(set-reset,SR)锁存器。在这种情况下,输出电压VOUT和第一参考电压VRF1分别被施加到电压比较单元120的两个输入端子,并且比较信号XCOM从电压比较单元120的输出端子输出。例如,当输出电压VOUT等于或大于第一参考电压VRF1时,比较信号XCOM被输出为逻辑高(“H”)。当输出电压VOUT低于第一参考电压VRF1时,比较信号XCOM被输出为逻辑低(“L”)。

[0035] 数字控制单元130从电压比较单元120接收比较信号XCOM。数字控制单元130可以响应于比较信号XCOM来生成控制信号XCON。控制信号XCON可以用于控制功率晶体管PT的选通。例如,控制信号XCON可以用于控制一些功率晶体管的接通和断开。

[0036] 在一些情况下,根据相对于输出电压VOUT所需的驱动电流 I_{drv} 的电平,功率晶体管PT的通电功率晶体管的数量可以变化。控制信号XCON可以基于对应于比较信号XCOM的通电功率晶体管的数量来生成。

[0037] 根据一些实施例,为了控制多个晶体管PT中的晶体管的接通和断开,控制信号XCON可以被生成为具有与功率晶体管PT的数量相对应的数量的多个比特。

[0038] 例如,当功率晶体管PT的数量是64时,控制信号XCON可以被生成为具有由符号[63:0]指示的64比特。控制信号XCON中的每个比特可以对应于功率晶体管PT中的不同功率晶体管。为了截止晶体管,控制信号中对应的比特可以被设置为“0”(逻辑低);为了导通晶体管,对应的比特可以被设置为“1”(逻辑高)。因此,控制信号可以用于控制组中各个晶体管的接通和断开。

[0039] 响应于控制信号XCON,为了控制每个功率晶体管PT的选通,栅极驱动单元140可以输出选通信号XGT。选通信号XGT可以是对应的功率晶体管PT的输入电压VIN和输入电压的负值 $-VIN$ 之一。例如,当控制信号XCON中的比特被设置为“1”(逻辑高)时,栅极驱动单元140可以输出输入电压VIN作为用于对应的功率晶体管的选通信号XGT,并且当控制信号XCON中的比特被设置为“0”(逻辑低)时,栅极驱动单元140可以输出输入电压的负值 $-VIN$ 作为选通信号XGT。

[0040] 因此,一种用于操作LDO调节器的方法包括使用LDO调节器的一个或多个功率晶体管来生成输出电压,其中,输出电压基于一个或多个功率晶体管的输入电压;确定输出电压和参考电压之间的差;以及基于输出电压和参考电压之间的差来生成用于一个或多个功率晶体管的选通信号,其中,该选通信号包括输入电压或输入电压的负值。

[0041] 在一些方面,该方法包括基于输出电压和第一参考电压之间的差来生成比较信号,以及基于比较信号来生成控制信号,其中,选通信号是基于控制信号来生成的。在一些方面,控制信号包括用于分别控制一个或更多个功率晶体管中的多个功率晶体管,并且该方法还包括生成与多个比特中的每一个相对应的多个选通信号的多个比特,其中,所述多个选通信号中的每一个包括输入电压或输入电压的负值。

[0042] 图2和图3分别示出了根据本公开的实施例的栅极驱动单元140和功率晶体管PT之间的关系。

[0043] 参考图2和图3,根据本公开的实施例的栅极驱动单元140可以包括与功率晶体管PT的数量相对应的数量的多个栅极驱动器GD。例如,根据本公开的实施例的栅极驱动单元140可以包括n个栅极驱动器GD#1~GD#n,其中n与功率晶体管PT的数量相同(如图2所示)。在不同的示例中,根据本公开的实施例的栅极驱动单元140可以包括a个栅极驱动器GD#1~GD#a,其中a小于功率晶体管PT的数量b(如图3所示)。

[0044] 在栅极驱动单元140包括a个栅极驱动器并且存在b个功率晶体管(a小于b)的示例中,一个栅极驱动器GD可以针对两个或更多个功率晶体管PT生成选通信号XGT。这里,根据本公开的实施例的栅极驱动单元140中的栅极驱动器GD#1~GD#a中的每一个可以针对相同数量的功率晶体管PT或不同数量的功率晶体管PT执行选通操作。图3示出了第一栅极驱动器GD#1由第一功率晶体管PT#1和第二功率晶体管PT#2共享,其中第a栅极驱动器GD#a对第b功率晶体管PT#b执行选通操作。

[0045] 在下文中,对栅极驱动单元140的结构和操作的描述可以与被包括在栅极驱动单元140中的每个栅极驱动器GD的结构和操作相同。

[0046] 返回参考图1,在一些情况下,根据一些实施例,功率晶体管PT是p沟道金属氧化物半导体(PMOS)晶体管,并且栅极驱动单元140响应于对应的控制信号XCON,生成输入电压VIN作为针对要截止的功率晶体管的选通信号XGT并且栅极驱动单元140响应于对应的控制信号XCON,生成输入电压的负值-VIN作为针对要导通的功率晶体管的选通信号XGT。

[0047] 根据一些实施例,微缩(scaling down)互补金属氧化物半导体(CMOS)工艺并降低大量电路的功耗需要低电压驱动。特别地,因为越来越多的半导体器件或电子器件变得可移动,所以需要器件的低电压操作。为了满足移动器件中对低电压操作的需要,在这些器件中使用的输入电压VIN的电平已经逐渐降低。因此,可能期望这些器件在低于功率晶体管PT的阈值电压的输入电压下操作。

[0048] 例如,功率晶体管PT的阈值电压可以是0.5V,输入电压VIN可以是0.3V。在这种情况下,当以0V的电压施加选通信号XGT以导通功率晶体管PT时,功率晶体管PT的源极-栅极电压的绝对值可以低于0.5V,因此低于功率晶体管PT的阈值电压。因此,功率晶体管PT可能不被导通、或者功率晶体管PT被导通但是可能不生成所需的驱动电流Idrv。当输入电压VIN略高于功率晶体管PT的阈值电压时,也会出现相同的问题。

[0049] 在根据本公开的实施例的LDO调节器100中,从栅极驱动单元140生成的输入电压的负值-VIN用于对功率晶体管PT的选通,使得在LDO调节器100需要在低输入电压VIN下操作的环境中,功率晶体管PT可以被导通或者功率晶体管PT的电流驱动能力可以增加。因此,根据本公开的实施例的LDO调节器100可以在低输入电压VIN下稳定地操作。在下文中,将对此进行更详细的描述。

[0050] 图4至图7分别示出了根据本公开的实施例的栅极驱动单元140。

[0051] 首先,参考图4,根据本公开的实施例的栅极驱动单元140可以包括第一驱动路径DP1和第二驱动路径DP2。

[0052] 当控制信号XCON指示第一模式时,例如,当控制信号XCON指示逻辑低(“L”)时,第一驱动路径DP1可以输出输入电压VIN作为选通信号XGT。此外,输入电压VIN可以在DP1中被充电为充电电压VCG。

[0053] 当控制信号XCON指示第二模式时,例如,当控制信号XCON指示逻辑高(“H”)时,第二驱动路径DP2可以将将在驱动路径DP1中充电的充电电压VCG反相为输入电压的负值 $-VIN$,并且输出输入电压的负值 $-VIN$ 作为选通信号XGT。

[0054] 接下来,参考图5,根据本公开的实施例的栅极驱动单元140可以包括电压施加单元142、电压反相单元144和电压切换单元146。

[0055] 响应于控制信号XCON,电压施加单元142可以将输入电压VIN和地电压VSS之一施加到第一节点ND1。电压反相单元144将从第一节点ND1施加的输入电压VIN反相,并输出输入电压的负值 $-VIN$ 。响应于控制信号XCON,电压切换单元146可以将第一节点ND1处的输入电压VIN和来自电压反相单元144的输入电压的负值 $-VIN$ 之一输出到第二节点ND2。

[0056] 接下来,参考图6,电压反相单元144可以包括充电和反相部件144-2和电压电平保持部件144-4。在一些情况下,当从第一节点ND1施加输入电压VIN时,充电和反相部件144-2可以用充电电压VCG对输入电压VIN充电。当从第一节点ND1施加地电压VSS时,充电和反相部件144-2可以将充电电压VCG反相,并生成输入电压的负值 $-VIN$ 。输入电压的负值 $-VIN$ 可以被输出到第三节点ND3。

[0057] 这里,施加到电压切换单元146的输入电压的负值 $-VIN$ 的电压电平可以由于电连接到第三节点ND3的电线或电子器件的漏电流而变化。例如,如上所述,当低于所需电压电平的绝对值的输入电压的负值 $-VIN$ 被施加到电压切换单元146时,输入电压VIN的电压电平为低,使得图1的功率晶体管PT不被导通或者不生成所需的驱动电流 I_{drv} 。

[0058] 因此,根据本公开的实施例的电压反相单元144可以通过使用电压电平保持部件144-4在第三节点ND3处保持输入电压的负值 $-VIN$ 的电压电平。例如,当第三节点ND3的电压电平变化超过某个值时,为了维持电压电平,电压电平保持部件144-4可以向第三节点ND3施加与该值相对应的电平的电流。

[0059] 上述电压施加单元142、电压反相单元144和电压切换单元146可以如图7所示设置。

[0060] 参考图7,根据本公开的实施例的栅极驱动单元140可以包括第一反相器IVT1、第一开关SW1、第一电容器C1、第二开关SW2和第一晶体管TR1至第三晶体管TR3。

[0061] 第一反相器IVT1包括连接在输入电压VIN和地电压VSS之间的第一PMOS晶体管PT1和第一NMOS晶体管NT1。控制信号XCON被施加到第一反相器IVT1的输入端子,并且输入电压VIN和地电压VSS之一可以被输出到第一节点ND1的输出端子。

[0062] 第一开关SW1电连接在第一节点ND1和第二节点ND2之间,并且可以响应于控制信号XCON而开关。第一电容器C1电连接在第一节点ND1和第三节点ND3之间。第二开关SW2电连接在第三节点ND3和第二节点ND2之间,并且可以响应于控制信号XCON而被选通。第一晶体管TR1电连接在第三节点ND3和地电压VSS之间。第二晶体管TR2电连接在输入电压VIN和第

一晶体管TR1之间,并且可以响应于控制信号XCON而被选通。第三晶体管TR3电连接在第三节点ND3和第一晶体管TR1之间,并且可以响应于控制信号XCON而被选通。

[0063] 第一反相器IVT1可以指图5的电压施加单元142,第一电容器C1和第一晶体管TR1至第三晶体管TR3可以指图5的电压反相单元144,第一开关SW1和第二开关SW2可以指图5的电压切换单元146。例如,第一电容器C1可以是图6的充电和反相部件144-2,并且第一晶体管TR1至第三晶体管TR3可以是图6的电压电平保持部件144-4。

[0064] 图7示出了其中第一晶体管TR1和第三晶体管TR3是n沟道金属氧化物半导体(NMOS)晶体管并且第二晶体管TR2是PMOS晶体管的示例。第一晶体管TR1至第三晶体管TR3可以是其他类型的晶体管,从而可以实现下面根据本公开的实施例的栅极驱动单元140的操作和效率。以相同或相似的方式,第一开关SW1可以是PMOS晶体管,第二开关SW2可以是NMOS晶体管。这里,包括在根据本公开的实施例的栅极驱动单元140中的第一开关SW1、第二开关SW2和第一晶体管TR1至第三晶体管TR3可以指如图7所示的晶体管。

[0065] 图8和图9示出了图7的栅极驱动单元140的操作。

[0066] 参考图7和图8,当控制信号XCON被施加为逻辑低(“L”)时,第一反相器IVT1的第一PMOS晶体管PT1被导通,并且输入电压VIN被施加到第一节点ND1。类似地,作为PMOS晶体管的第一开关SW1和第二晶体管TR2也被导通。因此,第一节点ND1的输入电压VIN可以通过第一开关SW1被施加到第二节点ND2。第二节点ND2的电压(即输入电压VIN)可以作为选通信号XGT输出。

[0067] 这里,当第二晶体管TR2被导通时,输入电压VIN被施加到第一晶体管TR1的栅极。当第一晶体管TR1是NMOS晶体管并且被导通时,0V的地电压被施加到第三节点ND3。

[0068] 在一些情况下,控制信号XCON被施加为逻辑低(“L”),并且第一电容器C1可以用输入电压VIN充电,其中,第一电容器C1电连接在第一节点ND1和第三节点ND3之间,其中,输入电压VIN被施加到第一节点ND1,并且0V被施加到第三节点ND3。

[0069] 接下来,参考图7和图9,在根据本公开的实施例的栅极驱动单元140中,当控制信号XCON被施加为逻辑高(“H”)时,第一反相器IVT1的第一NMOS晶体管NT1被导通,并且第一节点ND1的电压改变为0V的地电压。因此,充入第一电容器C1的输入电压VIN可以被反相,以获得输入电压的负值-VIN。因此,输入电压的负值-VIN可以被施加到第三节点ND3。

[0070] 类似地,作为NMOS晶体管的第二开关SW2和第三晶体管TR3也被导通。因此,被施加到第三节点ND3的输入电压的负值-VIN可以通过第二开关SW2被施加到第二节点ND2。第二节点ND2的电压(即输入电压的负值-VIN)可以作为选通信号XGT输出。

[0071] 这里,当第二晶体管TR2被截止且第三晶体管TR3被导通时,第三节点ND3的电压(在此示例中为输入电压的负值-VIN)可以被施加到第一晶体管TR1的栅极。因此,可以维持第一晶体管TR1被截止的状态,从而可以防止第三节点ND3处的输入电压的负值-VIN的电压电平由于例如漏电流而变化。

[0072] 根据上述栅极驱动单元140的操作,当控制信号XCON被施加为逻辑高(“H”)时,输入电压的负值-VIN可以被施加到图1的功率晶体管PT的栅极,其中,输入电压-VIN的电压电平对应于到输出节点OND的驱动电流Idrv的电平。例如,功率晶体管PT的源极-栅极电压的绝对值可以是输入电压VIN的两倍,从而对于输入电压VIN(与传统设计相比,其可以具有相对低的电压电平),足够的驱动电流Idrv可以被提供给输出节点OND。

[0073] 图10和图11分别示出了根据本公开的实施例的LDO调节器100。

[0074] 首先,参考图10,根据本公开的实施例的LDO调节器100的功率晶体管PT可以包括粗略(coarse)功率晶体管PTc和精细(fine)功率晶体管PTf。术语“粗略”和“精细”是指具有不同电压范围的控制环路(具有对应的功率晶体管),其中,术语“粗略”是指具有第一电压范围的第一控制环路,而术语“精细”是指具有比第一控制环路窄的第二电压范围的第二控制环路。根据一些实施例,粗略功率晶体管PTc可以被包括用于将输出电压VOUT调节到第一电压范围内的粗略环路中。精细功率晶体管PTf可以被包括用于将输出电压VOUT调节到比第一电压范围窄的第二电压范围内的精细环路中。

[0075] 例如,当输出节点OND的电压波动高于参考范围时,根据本公开的实施例的LDO调节器100的数字控制单元130可以生成激活粗略环路的控制信号XCON。在这种情况下,第一驱动电流Idrv1可以通过粗略功率晶体管PTc被施加到输出节点OND。此外,当输出节点OND的电压波动低于参考范围时,数字控制单元130可以生成控制信号XCON以激活精细环路。在这种情况下,第二驱动电流Idrv2可以通过精细功率晶体管PTf被施加到输出节点OND。

[0076] 在上述示例中,除了64个比特外,控制信号XCON还可以包括指示要激活的粗略环路和精细环路中的一个环路的一个或多个比特。

[0077] 在一些情况下,每个粗略功率晶体管PTc的驱动能力可以大于每个精细功率晶体管PTf的驱动能力。在一些情况下,粗略功率晶体管PTc的数量可以大于精细功率晶体管PTf的数量。在一些情况下,每个粗略功率晶体管PTc的驱动能力可以大于每个精细功率晶体管PTf的驱动能力,并且粗略功率晶体管PTc的数量可以大于精细功率晶体管PTf的数量。

[0078] 根据一些实施例,LDO调节器100中的粗略环路和精细环路可以在相同的参考时间内操作。例如,LDO调节器100可以在与时钟信号CKL同步时操作。因此,在相同的参考时间内,第一驱动电流Idrv1可以大于第二驱动电流Idrv2。也就是说,当粗略环路被激活时,输出电压VOUT可以被调节到第一电压范围内,而当精细环路被激活时,输出电压VOUT可以被调节到第二电压范围内,并且第二范围比第一范围窄。也就是说,第二范围的最低电压和最高电压之间的差可以小于第一范围的最低电压和最高电压之间的差。

[0079] 根据本公开的实施例的栅极驱动单元140可以包括粗略栅极驱动单元142和精细栅极驱动单元144。粗略栅极驱动单元142可以输出粗略选通信号XGTc,其是粗略功率晶体管PTc的选通信号。精细栅极驱动单元144可以输出精细选通信号XGTf,其是精细功率晶体管PTf的选通信号。

[0080] 在一些情况下,粗略栅极驱动单元142可以输出输入电压VIN和输入电压的负值-VIN之一作为粗略选通信号XGTc。在一些情况下,与粗略栅极驱动单元142相比,包括具有相对低驱动能力的精细功率晶体管PTf的精细栅极驱动单元144可以输出输入电压VIN和地电压VSS之一作为精细选通信号XGTf。

[0081] 在包括当精细功率晶体管PTf的驱动能力因其低输入电压而可能导致问题时、或者当对于精细栅极驱动单元144允许用于将输入电压的负值-VIN施加到精细功率晶体管PTf的附加电路逻辑导致的面积扩大(area enlargement)时的情况下,精细栅极驱动单元144还可以输出输入电压VIN和输入电压的负值-VIN之一作为精细栅极信号XGTf。

[0082] 接下来,参考图11,根据本公开的实施例的LDO调节器100还可以包括电压恢复单元150。

[0083] 当输出电压VOUT落在预定范围外时,电压恢复单元150被激活并且连接到输出节点OND。例如,尽管具有第一参考电压VRF1的目标电压,但是当输出电压VOUT的电压电平下降到第二参考电压VRF2以下时,电压恢复单元150可以被激活。电压恢复单元150相应地将输出电压(VOUT)的波动范围调节到比第一范围窄的第二范围。

[0084] 在一些情况下,由功率晶体管PT施加到输出节点OND的驱动电流Idrv的电平可以变化,以减少输出电压VOUT的电压电平的波动。(使用电压比较单元120)检测输出电压VOUT的电压电平的波动、对于检测结果(使用比较信号XCOM)(并使用数字控制单元130)执行控制、然后通过对对应的功率晶体管PT的选通调节驱动电流Idrv,可以通过与用于根据本公开的实施例的LDO调节器100的操作的时钟信号同步来执行。

[0085] 因此,执行上述每个操作,然后,可能需要一个或多个时钟周期,以从电压下降的输出节点OND的输出电压VOUT恢复输出电压VOUT的所需电压电平(例如,第一参考电压VRF1)。在一些情况下,输出电压VOUT的急剧压降可能导致连接到输出节点OND的负载处的误操作。在这方面,可能需要对输出电压VOUT的快速恢复。

[0086] 可以提高用于调节根据本公开的实施例的LDO调节器100的操作的同步的时钟信号的频率,以减少恢复输出电压VOUT所需的时间。当时钟信号的频率升高时,所需的功率也可能增加。

[0087] 根据本公开的实施例的LDO调节器100还可以包括电压恢复单元150,其提高输出电压VOUT的恢复速度,而无需增加时钟信号的频率。根据本公开的实施例的电压恢复单元150可以使用不必涉及通过功率晶体管PT向输出节点OND提供驱动电流Idrv的结构来更快地向输出节点OND提供恢复电流Irec。

[0088] 此外,根据本公开的实施例的电压恢复单元150可以使用低输入电压VIN来执行输出电压VOUT的恢复操作,从而可以在输出节点OND处提高瞬态响应性能。在下文中,将进一步描述电压恢复单元150的结构和操作。

[0089] 图12示出了根据本公开的实施例的电压恢复单元150。

[0090] 参考图11和图12,根据本公开的实施例的电压恢复单元150可以包括至少一个辅助比较器ACP和至少一个辅助功率晶体管PTa。

[0091] 辅助比较器ACP中的每一个可以将对应的第二参考电压与至少一个第二参考电压VRF2的输出电压VOUT进行比较,并输出输入电压VIN和输入电压的负值-VIN之一作为辅助比较信号XCM。例如,当输出电压VOUT低于对应的第二参考电压时,输入电压的负值-VIN可以作为辅助比较信号XCM输出。

[0092] 至少一个辅助功率晶体管Pta中的每一个可以响应于至少一个辅助比较器ACP中对应的辅助比较器ACP的辅助比较信号XCM,向输出节点OND提供恢复电流Irec。

[0093] 图12示出了根据本公开的实施例的、包括三个辅助比较器ACP和三个辅助功率晶体管Pta的电压恢复单元150。

[0094] 例如,第一辅助比较器ACP1可以将输出电压VOUT的电平与第(2-1)参考电压VRF21的电平进行比较,并输出第一辅助比较信号XCM1。第二辅助比较器ACP2可以将输出电压VOUT的电平与第(2-2)参考电压VRF22的电平进行比较,并输出第二辅助比较信号XCM2。第三辅助比较器ACP3可以将输出电压VOUT的电平与第(2-3)参考电压VRF23的电平进行比较,并输出第三辅助比较信号XCM3。

[0095] 第一辅助功率晶体管Pta1可以响应于第一辅助比较信号XCM1向输出节点OND提供第一恢复电流Irec1,第二辅助功率晶体管Pta2可以响应于第二辅助比较信号XCM2向输出节点OND提供第二恢复电流Irec2,并且第三辅助功率晶体管Pta3可以响应于第三辅助比较信号XCM3向输出节点OND提供第三恢复电流Irec3。

[0096] 根据本公开的实施例的电压恢复单元150可以包括各种数量的辅助比较器ACP和辅助功率晶体管Pta,以对应所需的瞬态响应性能。

[0097] 根据一些实施例,参考电压用于指输出电压VOUT的波动范围。例如,第(2-1)参考电压VRF21至第(2-3)参考电压VRF23可以彼此不同。例如,第一参考电压VRF1和第(2-1)参考电压VRF21之间的电压差可以最小,并且第一参考电压VRF1和第(2-3)参考电压VRF23之间的电压差可以最大。此外,第一辅助功率晶体管Pta1至第三辅助功率晶体管Pta3的尺寸和驱动能力可以彼此不同。例如,第一辅助功率晶体管Pta1的尺寸可以最小,并且第三辅助功率晶体管Pta3的尺寸可以最大。

[0098] 在这种情况下,当输出电压VOUT依次降至第(2-1)参考电压VRF21、第(2-2)参考电压VRF22和第(2-3)参考电压VRF23以下时,第一辅助功率晶体管Pta1、第二辅助功率晶体管Pta2和第三辅助功率晶体管Pta3可以相应地依次被导通。然后,当输出电压VOUT的电压电平依次恢复并依次超过第(2-3)参考电压VRF23、第(2-2)参考电压VRF22和第(2-1)参考电压VRF21时,第三辅助功率晶体管Pta3、第二辅助功率晶体管Pta2和第一辅助功率晶体管Pta1可以相应地依次被截止。

[0099] 根据一些实施例,当输出电压VOUT由于第三辅助功率晶体管Pta3的相对大的驱动能力而急剧下降到第(2-3)参考电压VRF23以下时,相对大的第三恢复电流Irec3被供应到输出节点OND,因此输出电压VOUT可以被快速地恢复。在输出电压VOUT的电压电平的恢复阶段期间,阻止第三恢复电流Irec3被施加到输出节点OND,并且输出电压VOUT改为使用具有较小幅度的恢复电流(诸如第一恢复电流Irec1或第二恢复电流Irec2)来恢复。

[0100] 因此,与驱动电流Idrv的供应相比,根据本公开的实施例的电压恢复单元150可以更快地向输出节点OND另外供应恢复电流Irec,因此,可以解决由于输出电压VOUT的急剧压降而出现的问题。此外,根据本公开的实施例的电压恢复单元150可以根据输出电压VOUT的压降的程度来执行最优恢复操作,并且可以防止输出电压VOUT过度增加。

[0101] 图13示出了根据本公开的实施例的辅助比较器ACP。

[0102] 参考图13,根据本公开的实施例的辅助比较器ACP是模拟比较器,并且可以在低输入电压VIN下快速执行比较操作,而不会因频率的增加而发生功率损失。在这方面,根据本公开的实施例的辅助比较器ACP可以包括第一辅助反相器IV21至第四辅助反相器IV24。

[0103] 第一辅助反相器IV21可以包括第(2-1) PMOS晶体管PT21和第(2-1) NMOS晶体管NT21,其中第(2-1) PMOS晶体管PT21和第(2-1) NMOS晶体管NT21被设置在第二参考电压VRF2和输入电压的负值-VIN之间,并且其输入端子和输出端子可以在第(2-1)节点ND21处相连。因此,与第二参考电压VRF2相对应的电压可以被施加到第(2-1)节点ND21。为了恒定地维持第(2-1)节点ND21处的电压电平,还可以包括去耦电容器Cd,并将其连接在第二参考电压VRF2和第(2-1)节点ND21之间。

[0104] 第二辅助反相器IV22可以包括被设置在输出电压VOUT和输入电压的负值-VIN之间的第(2-2) PMOS晶体管PT22和第(2-2) NMOS晶体管NT22并且其输入端子可以连接到第一

辅助反相器IV21的输出端子,即第(2-1)节点ND21。第三辅助反相器IV23可以包括被设置在输出电压VOUT和输入电压的负值-VIN之间的第(2-3)PMOS晶体管PT23和第(2-3)NMOS晶体管NT23,并且其输入端子可以在第(2-2)节点ND22处连接到第二辅助反相器IV22的输出端子。第四辅助反相器IV24可以包括被设置在输入电压VIN和输入电压的负值-VIN之间的第(2-4)PMOS晶体管PT24和第(2-4)NMOS晶体管NT24,其输入端子可以在第(2-3)节点ND23处连接到第三辅助反相器IV23的输出端子,并且辅助比较信号XCM可以被输出到其连接到第(2-4)节点ND24的输出端子。

[0105] 参考图12和图13,当输出电压VOUT降至第二参考电压VRF2以下时,根据上述本公开的实施例的辅助比较器ACP可以生成输入电压的负值-VIN作为辅助比较信号XCM。在这种情况下,输入电压的负值-VIN通过第(2-2)NMOS晶体管NT22被施加到第(2-2)节点ND22,并且输出电压VOUT通过第(2-3)PMOS晶体管PT23被施加到第(2-3)节点ND23,并且输入电压的负值-VIN可以通过第(2-4)NMOS晶体管NT24被施加到第(2-4)节点ND24。

[0106] 在第(2-4)节点ND24处,输入电压的负值-VIN可以作为辅助比较信号XCM被传输到辅助功率晶体管Pta。在辅助比较信号XCM中,源极-栅极电压的绝对值是输入电压VIN的两倍,即 $2*VIN$,因此,可以提高辅助功率晶体管Pta的驱动能力。因此,辅助功率晶体管Pta可以快速地向输出节点OND供应恢复电流Irec。

[0107] 如上所述,当第(2-1)参考电压VRF21至第(2-3)参考电压VRF23彼此不同时,被施加到每个辅助比较器ACP的第一辅助反相器IV21的第二参考电压VRF2可以是与第(2-1)参考电压VRF21至第(2-3)参考电压VRF23之一相对应的参考电压。例如,第(2-1)参考电压VRF21可以被施加到第一辅助比较器ACP1的第一辅助反相器IV21,第(2-2)参考电压VRF22可以被施加到第二辅助比较器ACP2的第一辅助反相器IV21,并且第(2-3)参考电压VRF23可以被施加到第三辅助比较器ACP3的第一辅助反相器IV21。

[0108] 图14示出了根据本公开的实施例的电压恢复单元150。

[0109] 参考图14,图14的电压恢复单元150可以包括图12中描述的辅助比较器ACP和辅助功率晶体管Pta。此外,图14的电压恢复单元150还可以包括高通滤波器(HPF)。例如,HPF在阻挡或衰减低频信号时允许高频信号通过。

[0110] 高通滤波器HPF的输入端子可以连接到输出节点OND。高通滤波器HPF的输出端子可以连接到栅极驱动单元140的被施加输入电压的负值-VIN的节点,例如图7的第三节点ND3。

[0111] 高通滤波器HPF的输出端子连接到栅极驱动单元140的图7的第三节点ND3,并且可以调节被施加到功率晶体管PT的选通信号XGT的电压电平。因此,由于高通滤波器HPF的AC耦合,选通信号XGT的电压电平可能在一段时间内变低到一定程度。这里,高通滤波器HPF是电阻器-电容器(RC)高通滤波器HPF,并且可以根据输出电压VOUT的波动来对高频范围进行滤波。

[0112] 换句话说,在从输出电压VOUT出现压降开始的一段时间内,功率晶体管PT的源极-栅极电压的绝对值可能比输入电压的负值-VIN大一定程度。因此,可以向输出节点OND供应更大的驱动电流Idrv。

[0113] 这里,由于高通滤波器HPF不需要电压比较单元120和数字控制单元130的操作来驱动功率晶体管PT,因此可以快速恢复输出电压VOUT。

[0114] 基于根据本公开的实施例的LDO调节器100,与图14不同,电压恢复单元150可以不包括辅助比较器ACP和辅助功率晶体管Pta,而是可以基于所需瞬态响应、功率或面积,仅包括高通滤波器HPF。

[0115] 图15示出了根据本公开的实施例的电压恢复单元150的功能。

[0116] 参考图12至图15,当连接到输出节点OND的负载的电压急剧增加时,充入负载电容器的电荷被预先提供给负载,输出电压VOUT可能急剧下降。当输出电压VOUT的压降波动超过第一波动范围时,例如,当输出电压VOUT从第一参考电压VRF1的电压电平下降到第二参考电压VRF2以下时,功率晶体管PT仅如图15中的图样①所示操作。

[0117] 当包括在电压恢复单元150中的辅助比较器ACP、辅助功率晶体管Pta和高通滤波器HPF与功率晶体管PT一起操作时(图样②),与仅功率晶体管PT操作的情况(图样①)相比,电压电平可以快速地恢复。此外,当辅助比较器ACP和辅助功率晶体管Pta不操作时,即,当高通滤波器HPF与功率晶体管PT一起操作时(图样③),与仅功率晶体管PT操作的情况(图样①)相比,电压电平可以快速地恢复,并且与功率晶体管PT、辅助比较器ACP、辅助功率晶体管Pta和高通滤波器HPF都操作的情况(图样②)相比,电压电平可以缓慢地恢复。

[0118] 将在下文中详细描述每种图样。根据一些实施例,LDO调节器100可以在与时钟信号CKL同步时操作,并且LDO调节器100包括如图10所示的粗略环路和精细环路。例如,粗略环路和精细环路可以在相同的参考时间内操作。

[0119] 在图样①所示的实施例中,从输出电压VOUT的压降开始低于第一参考电压VRF1的时间t1到选择信号XSEL基于电压比较单元120的比较信号XCOM被激活以将精细环路改变为粗略环路的时间点,可能会出现延迟。图15示出了当时钟信号CKL的第一时钟在时间t1之后转变为逻辑高时,选择信号XSEL在时间t2被激活。这里,精细环路可以基于输出电压VOUT和第(1-1)参考电压VRF11之间的差来激活。当输出电压VOUT低于第(1-2)参考电压VRF12时,粗略环路可以被激活。

[0120] 直到选择信号XSEL被激活且对应的功率晶体管PT由选通信号XGT选通为止,才可能会出现额外的延迟。当粗略环路被选择信号XSEL激活时,如上所述,包括关于要被导通的功率晶体管PT的识别信息的控制信号XCON可以被施加到栅极驱动单元140。

[0121] 图15示出了功率晶体管PT在从时间t2延迟一个时钟的时间t4被导通,而24个功率晶体管PT在时间t1之前被导通。在时间t4之后,由于输出电压VOUT低于第(1-2)参考电压VRF12,因此24个功率晶体管PT可以在时间t4-1被进一步导通,该时间t4-1是时钟信号CLK的下一个连续时钟。

[0122] 作为参考,在图15中,在图样①中仅考虑选通信号XGT转变为逻辑低(“L”)的时间,并且选通信号XGT的电压电平反映图样②或图样③的AC耦合。稍后将描述对选通信号XGT的AC耦合的影响。

[0123] 由于两个功率晶体管PT进一步被导通,并且供应到输出节点OND的驱动电流Idrv增加,因此输出电压VOUT的电压电平在时间t6开始增加,并且可以在时间t12被恢复到第(1-1)参考电压VRF11和第(1-2)参考电压VRF12之间。

[0124] 接下来,在图样②所示的实施例中,在第二十五功率晶体管PT在时间t4被导通之前,恢复电流Irec可以通过辅助比较器ACP和辅助功率晶体管Pta被供应给输出节点OND。例如,第一辅助功率晶体管Pta1被第一辅助比较信号XCM1导通,第一辅助比较信号XCM1在输

输出电压VOUT开始下降到低于第(2-1)参考电压VRF21时的时间t3转变为逻辑低(“L”),并且第一恢复电流Irec1可以被供应给输出节点OND。

[0125] 这里,在时间t1前后由于输出电压VOUT的压降,上述AC耦合在高通滤波器HPF中被执行,因此,选通信号XGT可以被设置为比输入电压的负值-VIN低一定程度。例如,针对由于AC耦合的影响已经导通的24个功率晶体管PT的选通信号XGT的电压电平,可能在第二十五功率晶体管PT被导通时的时间t4之前变低。因此,功率晶体管PT的源极-栅极电压的绝对值增加,从而更大的驱动电流Idrv可以被供应到输出节点OND。此外,在时间t4之后导通的第二十五功率晶体管PT和第二十六功率晶体管PT以相同的方式工作。

[0126] 与图样①中所示的实施例相比,在从t1到t6的区段中,可以证明输出电压VOUT的电压波动范围减小了第一恢复电流Irec1。

[0127] 第二辅助功率晶体管Pta2通过第二辅助比较信号XCM2被导通,第二辅助比较信号XCM2在输出电压VOUT开始下降到低于第(2-2)参考电压VRF22时的时间t5转变为逻辑低(“L”),并且第二恢复电流Irec2可以被供应给输出节点OND。这里,第一辅助功率晶体管Pta1维持在被导通。从t1到t8,可以识别出输出电压VOUT的电压波动范围减小了第一恢复电流Irec1加上第二恢复电流Irec2。

[0128] 类似地,第三功率晶体管Pta3通过第三辅助比较信号XCM3被导通,第三辅助比较信号XCM3在输出电压VOUT开始下降到低于第(2-3)参考电压VRF23时的时间t8转变为逻辑低(“L”),并且第三恢复电流Irec3可以被供应给输出节点OND。这里,第一辅助功率晶体管Pta1和第二辅助功率晶体管Pta2维持在被导通。

[0129] 通过第一恢复电流Irec1至第三恢复电流Irec3,输出电压VOUT在t8开始增加。根据输出电压VOUT的增加,第三辅助比较信号XCM3、第二辅助比较信号XCM2和第一辅助比较信号XCM1可以依次分别在t9、t10和t11转变为逻辑高(“H”)。在这方面,第三恢复电流Irec3、第二恢复电流Irec2和第一恢复电流Irec1可以依次分别在t9、t10和t11被停止供应给输出节点OND。在t12,当输出电压VOUT恢复到第(1-1)参考电压VRF11和第(1-2)参考电压VRF12之间的电压电平时,功率晶体管PT和第一辅助功率晶体管Pta1至第三辅助功率晶体管Pta3可以全部被截止。

[0130] 图15示出了在图样②所示的实施例中当第一辅助功率晶体管Pta1至第三辅助功率晶体管Pta3被开关时轻微生成了纹波现象。因此,通过优化电路设计或操作控制,可以减少或移除对应的纹波。

[0131] 接下来,在图样③所示的其中电压恢复单元150仅作为高通滤波器HPF操作的实施例中,当输出电压VOUT开始下降到第一参考电压VRF1以下时,选通信号XGT通过从t1开始的AC耦合被设置为比输入电压的负值-VIN低一定程度,因此,功率晶体管PT的驱动能力可以提高。在这种情况下,可能无法通过恢复电流Irec减轻波动范围。在一些情况下,与图样①相比,输出电压VOUT的波动范围减小。

[0132] 因此,在根据本公开的实施例的LDO调节器100中,当输出电压VOUT波动时,除了功率晶体管PT的驱动电流Idrv之外,恢复电流Irec还被供应给输出节点OND,使得输出电压VOUT可以快速地恢复到所需的电压电平。

[0133] 图16示出了根据本公开的实施例的LDO调节器100。

[0134] 参考图16,根据本公开的实施例的LDO调节器100还可以包括用于将输入电压的负

值-VIN供应到电压恢复单元150的负电压供应单元160。

[0135] 负电压供应单元160的结构可以与漏电流补偿单元170相同或相似,将在下文描述漏电流补偿单元170。在下文中,将在描述负电压供应单元160之前描述漏电流补偿单元170。

[0136] 图17示出了根据本公开的实施例的LDO调节器100,图18示出了根据本公开的实施例的漏电流补偿单元170。

[0137] 参考图17和图18,根据本公开的实施例的LDO调节器100还可以包括漏电流补偿单元170。漏电流补偿单元170可以响应于第一时钟信号CLK1向驱动单元140施加补偿电压VA。例如,漏电流补偿单元170可以将用于为输入电压的负值-VIN补偿漏电流的补偿电压VA施加到图7的第三节点ND3。

[0138] 漏电流补偿单元170可以包括第一补偿反相器IV31至第三补偿反相器IV33、第二电容器C2、第三电容器C3、第(3-1)晶体管TR31、第(3-2)晶体管TR32和第一电阻器R1。

[0139] 第一补偿反相器IV31可以包括施加有第一时钟信号CLK1的输入端子,可以被设置在输入电压VIN和地电压之间,并且可以包括连接到第(3-1)节点ND31的输出端子。第二补偿反相器IV32可以包括施加有第一时钟信号CLK1的输入端子,并且可以被设置在输入电压VIN和第(3-2)节点ND32之间。第三补偿反相器IV33可以包括连接到第(3-2)节点ND32的输入端子,可以被设置在输入电压VIN和补偿节点CND之间,并且可以包括连接到第(3-4)节点ND34的输出端子。

[0140] 第一时钟信号CLK1可以是包括图10的精细功率晶体管PTf的精细环路的操作时钟。此外,第一时钟信号CLK1可以是频率低于其中包括图10的精细功率晶体管PTf的粗略环路的操作时钟的时钟信号。

[0141] 第二电容器C2可以连接在第(3-1)节点ND31和第(3-3)节点ND33之间。第三电容器C3可以连接在补偿节点CND和地电压之间。

[0142] 第(3-1)晶体管TR31可以包括连接到第(3-2)节点ND32的栅极,并且可以连接在第(3-3)节点ND33和地电压之间。第(3-2)晶体管TR32可以包括连接到第(3-4)节点ND34的栅极,并且可以连接在输入电压VIN和补偿节点CND之间。第(3-1)晶体管TR31和第(3-2)晶体管TR32可以是NMOS晶体管。

[0143] 第一电阻器R1可以被设置在第(3-3)节点ND33和第(3-5)节点ND35之间。当漏电流补偿单元170根据第一时钟信号CLK1重复执行以下图19和图20的操作时,可以选择性地包括第一电阻器R1以减少由于阶段(phase)切换而产生的影响。例如,可以包括第一电阻器R1以减轻暂时且急剧的电流改变,该电流改变可能是当在漏电流补偿单元170中图19的阶段(下文中称为“阶段1”)切换到图20的阶段(下文中称为“阶段2”)或者阶段2切换到阶段1时引起的。这里,第一电阻器R1可以具有小尺寸,以减小第一电阻器R1的压降的影响。

[0144] 图19和图20分别示出根据本公开实施例的漏电流补偿单元170的操作。

[0145] 首先,参考图19,根据本公开的实施例的漏电流补偿单元170可以在第一时钟信号CLK1为逻辑低(“L”)的区段(即在阶段1),生成输入电压的负值-VIN。

[0146] 例如,第(3-1)PMOS晶体管PT31和第(3-2)PMOS晶体管PT32被导通,并且第(3-1)NMOS晶体管NT31和第(3-2)NMOS晶体管NT32被截止。第(3-1)PMOS晶体管PT31和第(3-2)PMOS晶体管PT31被分别包括在第一补偿反相器IV31和第二补偿反相器IV32中,其中第一时

钟信号CLK1被分别施加到它们的输入端子。因此,输入电压VIN被施加到第(3-1)节点ND31和第(3-2)节点ND32。

[0147] 作为NMOS晶体管的第(3-1)晶体管TR31由第(3-2)节点ND32的输入电压VIN导通,并且因此,地电压被施加到第(3-3)节点ND33。因此,第二电容器C2被连接在第(3-1)节点ND31和第(3-3)节点ND33之间的输入电压VIN充电。

[0148] 第三补偿反相器IV33中包括的第(3-3) PMOS晶体管PT33和第(3-3) NMOS晶体管NT33分别由第(3-2)节点ND32的输入电压VIN截止和导通。因此,作为由第(3-4)节点ND34的电压选通的NMOS晶体管的第(3-2)晶体管TR32被截止。

[0149] 当漏电流补偿单元170稳定时,在第一时间钟信号CLK1为逻辑高(“H”)的区段中在第三电容器C3中充电的输入电压的负值-VIN可以在第一时间钟信号CLK1为逻辑低(“L”)的区段中作为补偿电压VA被输出。

[0150] 接下来,参考图20,在根据本公开的实施例的漏电流补偿单元170中,补偿节点CND处的电压电平(即补偿电压VA的电压电平)可以在第一时间钟信号CLK1为逻辑高(“H”)的区段(即在阶段2),被维持为在第一时间钟信号CLK1为逻辑低(“L”)的区段中生成的输入电压的负值-VIN。

[0151] 例如,当第一时间钟信号(CLK1)被施加于第一补偿反相器IV31和第二补偿反相器IV32中分别包括的第(3-1) PMOS晶体管PT31和第(3-2) PMOS晶体管PT32的输入端子时,这些晶体管被截止并且第(3-1) NMOS晶体管NT31和第(3-2) NMOS晶体管NT32被导通。此外,作为由第(3-2)节点ND32的电压选通的NMOS晶体管的第(3-1)晶体管TR31和第三补偿反相器IV33的第(3-1) NMOS晶体管NT31被导通。作为由第(3-4)节点ND34的电压选通的NMOS晶体管的第(3-2)晶体管TR32也被导通。

[0152] 因此,输入电压的负值-VIN在第三电容器C3中被充电。如上所述,第一电阻器R1的压降可以忽略不计。

[0153] 倒回参考图17和图18,阶段1和阶段2的操作在与具有一定频率的第一时钟信号CLK1同步后被重复执行,使得补偿电压VA可以作为输入电压的负值-VIN被施加到栅极驱动单元140,该输入电压的负值-VIN具有由于阶段1和阶段2的切换而生成的一些纹波。如上所述,当补偿电压VA被施加到图7所示的栅极驱动单元140的第三节点ND3时,随时间推移由于漏电流引起的输入电压的负值-VIN的电压波动可以被补偿。

[0154] 因此,在根据本公开的实施例的LDO调节器100中,功率晶体管PT可以在输入电压的负值-VIN的要求电平下以足够的电流驱动能力操作。

[0155] 参考图16和图18,负电压供应单元160可以具有与漏电流补偿单元170相同或相似的结构,并执行与漏电流补偿单元170相同或相似的操作,如上所述。负电压供应单元160的输出节点(对应于漏电流补偿单元170的补偿节点CND)可以连接到图13的辅助比较器ACP。

[0156] 这里,图16的负电压供应单元160利用比第一时间钟信号CLK1更快的时钟信号操作,并且可以包括比第二电容器C2和第三电容器C3更大的电容器。例如,当漏电流补偿单元170的第一时钟信号CLK1是1MHz时,负电压供应单元160可以是10MHz。此外,当漏电流补偿单元170的第二电容器C2和第三电容器C3分别为20pF时,负电压供应单元160可以为20pF。

[0157] 这是因为由于对栅极驱动单元中的漏电流的补偿,漏电流补偿单元170中电流的波动范围并不相对较宽,而如图13所示的负电压供应单元160中用于操作辅助比较器ACP的

电流的波动范围相对较宽。

[0158] 图21至图23分别示出了根据本公开的实施例的LDO调节器100。

[0159] 参考图21,根据本公开的实施例的LDO调节器100可以包括多个粗略功率晶体管PTc、多个精细功率晶体管PTf和LDO控制器LCT。

[0160] 粗略功率晶体管PTc和精细功率晶体管PTf可以分别连接在输入节点IND和输出节点OND之间。输出节点OND的输出电压VOUT可以通过粗略功率晶体管PTc被调节到第一电压范围内。输出电压VOUT可以通过精细功率晶体管PTf被调节到比第一电压范围窄的第二电压范围内。粗略功率晶体管PTc和精细功率晶体管PTf可以分别向输出节点OND提供第一驱动电流Idrv1和第二驱动电流Idrv2。

[0161] LDO控制器LCT可以将输入电压VIN和输入电压的负值-VIN之一施加到粗略功率晶体管PTc或多个精细功率晶体管PTf。粗略功率晶体管PTc或多个精细功率晶体管PTf可以由输入电压VIN和输入电压的负值-VIN之一选通。

[0162] LDO控制器LCT的操作可以不同于电压比较单元120,并且不限于此。例如图10的数字控制单元130和栅极驱动单元140。例如,与图10的栅极驱动单元140不同,LDO控制器LCT可以不直接生成输入电压的负值-VIN,可以从其他外部或内部逻辑生成输入电压的负值-VIN,然后,可以将所生成的输入电压的负值-VIN施加到粗略功率晶体管PTc或精细功率晶体管PTf。

[0163] 接下来,参考图22,根据本公开的实施例的LDO调节器100可以包括粗略环路CLP、精细环路FLP和环路选择单元180。这里,可以理解,根据词语“环路”的含义,环路选择单元180可以全部或部分被包括在粗略环路CLP或精细环路FLP中。环路选择单元180可以是粗略环路CLP和精细环路FLP的一部分或为两者共有,其被描述为与粗略环路CLP和精细环路FLP分离的组件。

[0164] 粗略环路CLP可以包括第一移位电阻器SR1和第一负电压栅极驱动器NVGD1以及连接在输入节点IND和输出节点OND之间的多个粗略功率晶体管PTc,其中第一移位电阻器SR1响应于比较信号XCOM生成第一控制信号XCON1,并且第一负电压栅极驱动器NVGD1响应于第一控制信号XCON1施加粗略功率晶体管PTc的选通电压。精细环路FLP可以包括第二移位电阻器SR2和第二负电压栅极驱动器NVGD2以及连接在输入节点IND和输出节点OND之间的多个精细功率晶体管PTf,其中第二移位电阻器SR2响应于比较信号XCOM生成第二控制信号XCON2,并且第二负电压栅极驱动器NVGD2响应于第二控制信号XCON2施加精细功率晶体管PTf的选通电压。

[0165] 第一负电压栅极驱动器NVGD1和第二负电压栅极驱动器NVGD2可以分别与图7所示的粗略栅极驱动单元142和精细栅极驱动单元144相同。

[0166] 环路选择单元180包括比较器CMP、负载导向器LD(load director)和模式选择单元MS,并且可以选择或激活粗略环路CLP和精细环路FLP之一。

[0167] 比较器CMP可以对应于图1的电压比较单元120。比较器CMP可以通过与粗略时钟信号CKLc同步来操作,该粗略时钟信号CKLc是粗略环路CLP的操作时钟。

[0168] 负载导向器LD可以基于输出节点OND的电压电平输出选择信号XSEL作为第(1-1)参考电压VRF11和第(1-2)参考电压VRF12。第(1-1)参考电压VRF11和第(1-2)参考电压VRF12可以与图15中的相同。

[0169] 响应于选择信号XSEL,模式选择单元MS可以生成用于命令粗略环路CLP和精细环路FLP之一的激活的模式信号XMOD。模式选择单元MS可以通过与粗略时钟信号CKLc同步或者通过与精细时钟信号CKLf同步来将模式信号XMOD发送到第一移位电阻器SR1,该精细时钟信号CKLf是精细环路FLP的操作时钟。粗略时钟信号CKLc的频率可以比精细时钟信号CKLf的频率快。例如,当粗略时钟信号CKLc是10MHz时,精细时钟信号CKLf可以是1MHz。

[0170] 第一负电压栅极驱动器NVGD1、第二负电压栅极驱动器NVGD2和环路选择单元180可以被包括在图21的LDO控制器LCT中。

[0171] 接下来,参考图23,根据本公开的实施例的LDO调节器100还可以包括电压恢复环路VLP。电压恢复环路VLP可以包括自适应瞬态恢复路径ATRP和/或高通滤波器HPF。

[0172] 当输出节点OND处的输出电压VOUT变化超过第一波动范围时,自适应瞬态恢复路径ATRP向输出节点OND供应恢复电流,并且可以将输出电压VOUT的波动的范围调节到比第一波动范围窄的第二波动范围内。图23的自适应瞬态恢复路径ATRP的结构和操作可以与图12的电压恢复单元150相同或相似。

[0173] 高通滤波器HPF包括连接到输出节点OND的输入端子和连接到第一负电压栅极驱动器NVGD1和/或第二负电压栅极驱动器NVGD2的图7的第三节点ND3的输出端子,并且可以降低被施加到对应的功率晶体管PT的输入电压的负值-VIN的电压电平。图23的高通滤波器HPF的结构和操作可以与图14的高通滤波器HPF相同或相似。

[0174] 此外,根据本公开的实施例的LDO调节器100还可以包括用于向自适应瞬态恢复路径ATRP供应输入电压的负值-VIN或维持施加于粗略环路CLP中的粗略功率晶体管PTc或精细环路FLP中的精细功率晶体管PTf的栅极的输入电压的负值-VIN的电压电平的双负电压槽(tank)DNVT。双负电压槽DNVT的结构和操作可以与包括图16的负电压供应单元160和图17的漏电流补偿单元170的结构和操作相同或相似。

[0175] 如上所述,第一负电压栅极驱动器NVGD1和第二负电压栅极驱动器NVGD2的数量可以分别对应于粗略功率晶体管PTc和精细功率晶体管PTf的数量。这里,还可以包括补偿开关单元CSU,其中,补偿开关单元CSU将双负电压槽DNVT电连接到第一负电压栅极驱动器NVGD1和第二负电压栅极驱动器NVGD2中的、其中需要对输入电压的负值-VIN进行漏电流补偿的负电压栅极驱动器。

[0176] 补偿开关单元CSU可以包括与第一负电压栅极驱动器NVGD1和负电压栅极驱动器NVGD2的数量相对应的数量的开关。对应的负电压栅极驱动器的第三节点ND3(图7中)和双负电压槽DNVT的补偿节点CND(图18中)可以通过每个开关电连接或电断开。因此,可以防止不必要的功率浪费。每个开关可以由对应的负电压栅极驱动器的电压电平来开关。

[0177] 当包括补偿开关单元CSU时,高通滤波器HPF的输出端子可以电连接到补偿开关单元CSU的节点,该节点连接到双负电压槽DNVT的补偿节点CND(图18中),而不是第一负电压栅极驱动器NVGD1和第二负电压栅极驱动器NVGD2的第三节点ND3(图7中)。因此,与高通滤波器HPF的输出端子连接到多个负电压栅极驱动器的情况相比,可以降低布线复杂度。

[0178] 图24示出了根据本公开的实施例的半导体器件1000。

[0179] 参考图24,根据本公开的实施例的半导体器件1000包括上述LDO调节器100。半导体器件1000可以通过LDO调节器100以恒定电压操作、或者还可以包括用于将输入电压VIN施加到LDO调节器100的电力管理集成电路PMIC。此外,半导体器件1000可以是LDO调节器

100的集成电路。

[0180] 根据LDO调节器和包括该LDO调节器的半导体器件,输入电压的负值用于功率晶体管PT的选通,使得在LDO调节器需要以低输入电压操作的环境中,功率晶体管PT可以正常地被导通或者功率晶体管PT的电流驱动能力可以增加。因此,LDO调节器可以稳定地操作。

[0181] 此外,根据LDO调节器和包括该LDO调节器的半导体器件,通过使用简单的电路逻辑生成并维持施加到功率晶体管PT的负输入电压,使得LDO调节器可以以低输入电压稳定操作,并且操作可以在小面积或以低功率执行。

[0182] 尽管已经参考本公开的实施例对本公开进行了描述,但是对于本领域普通技术人员来说显而易见的是,可以对本公开进行各种改变和修改,而不脱离如所附权利要求中阐述的本公开的精神和范围。

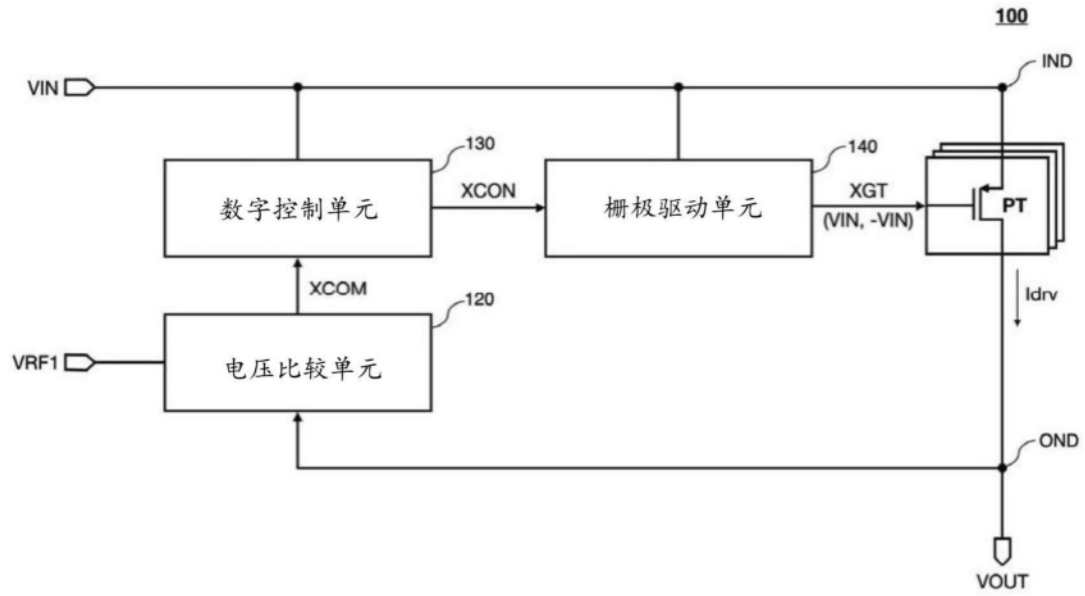


图1

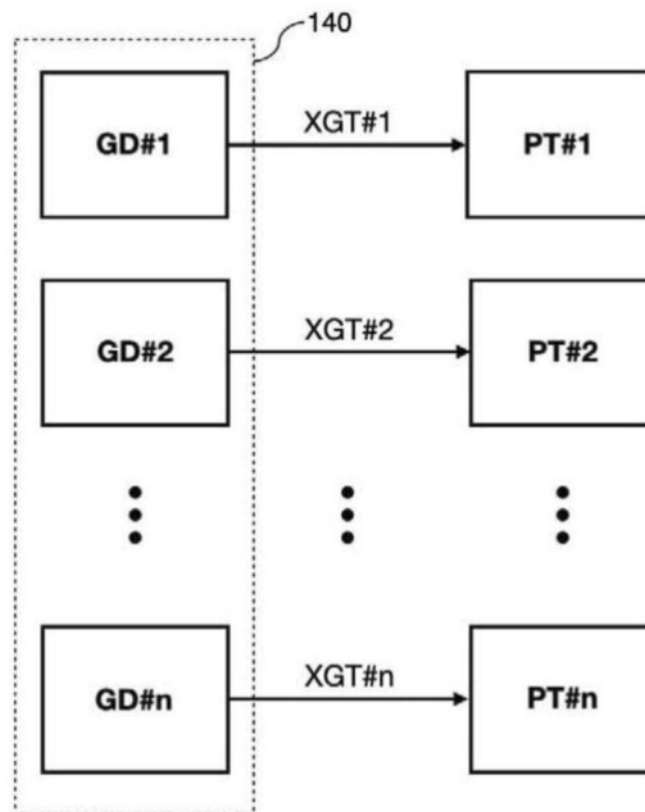


图2

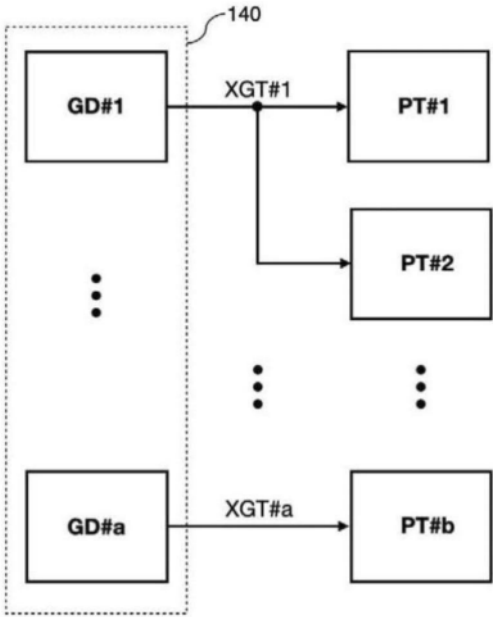


图3

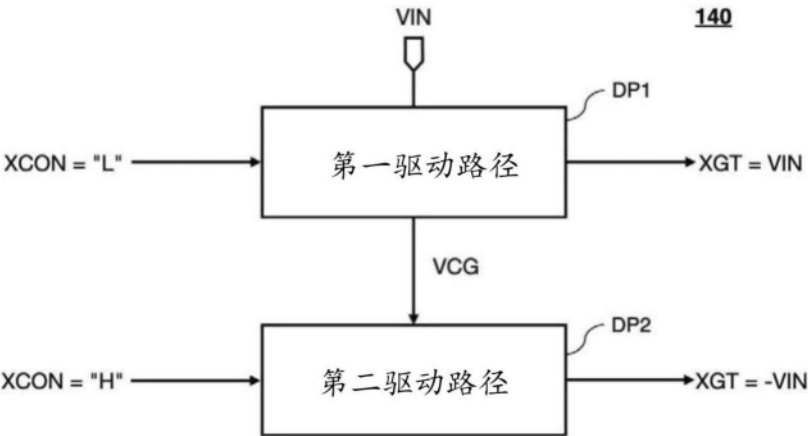


图4

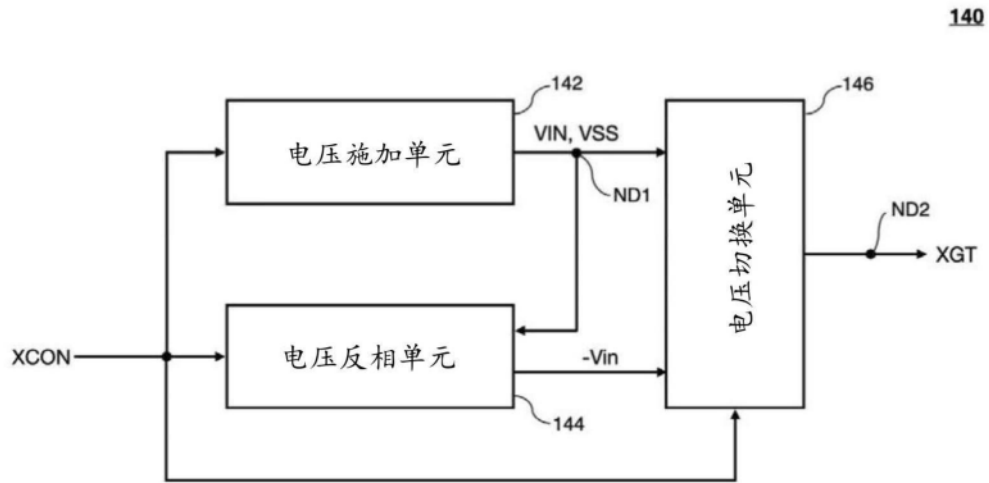


图5

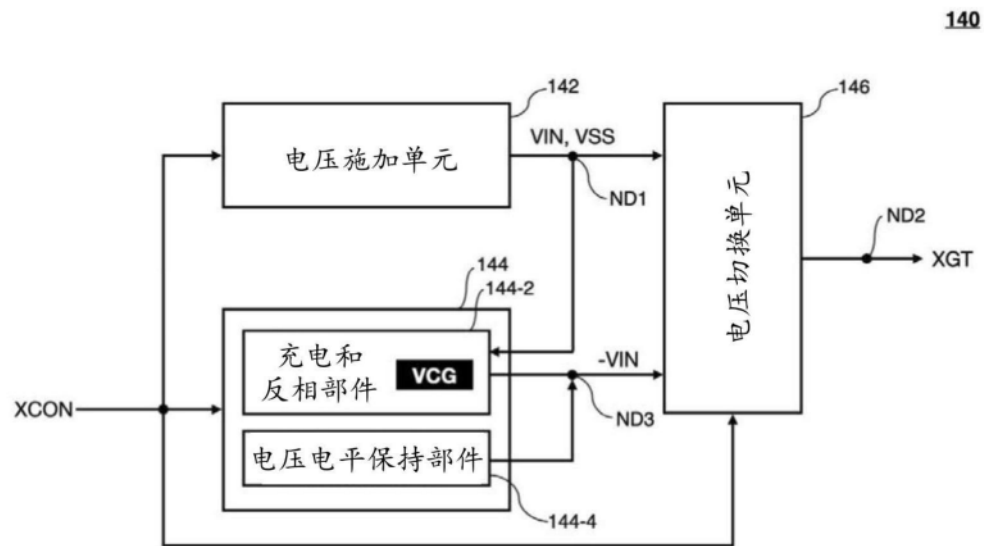


图6

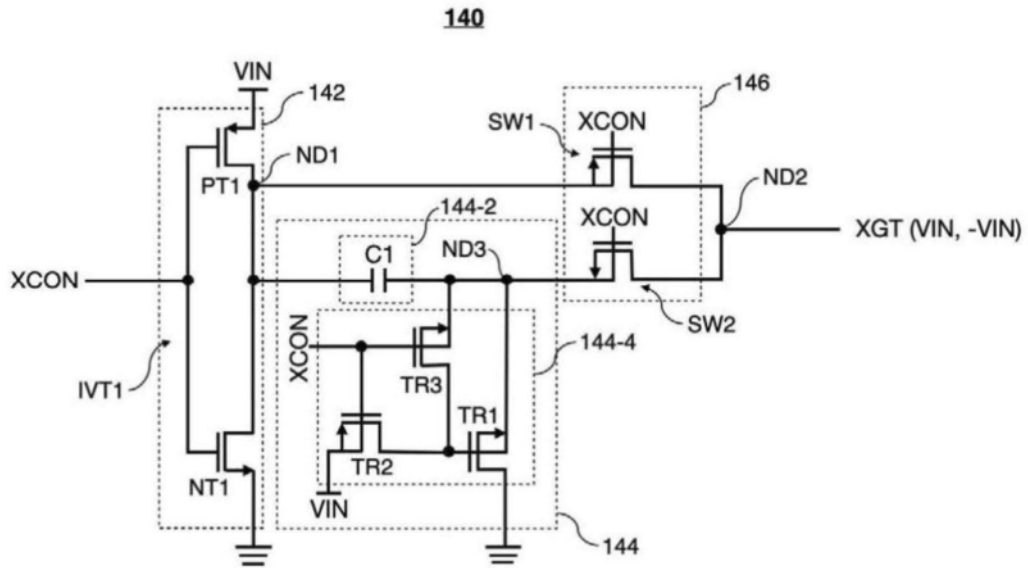


图7

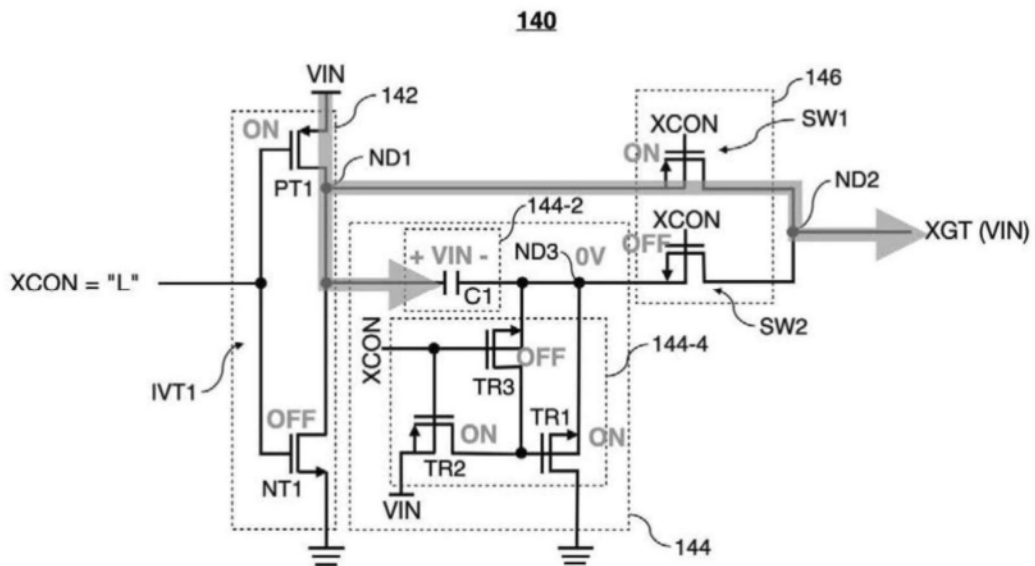


图8

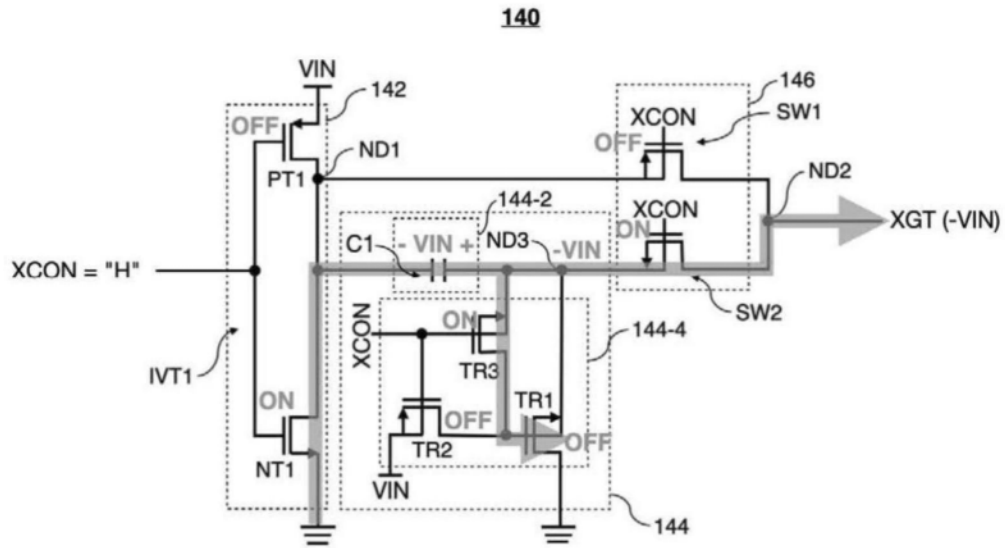


图9

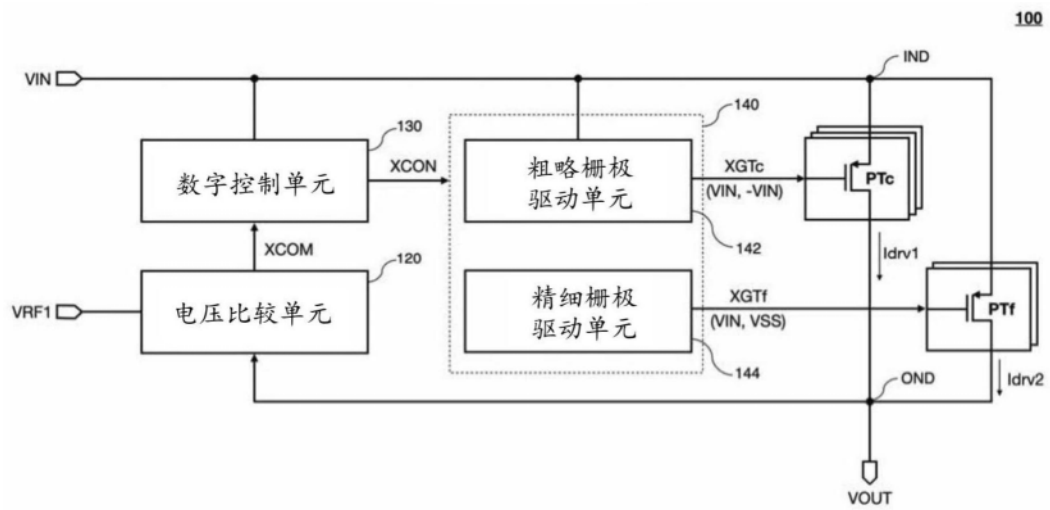


图10

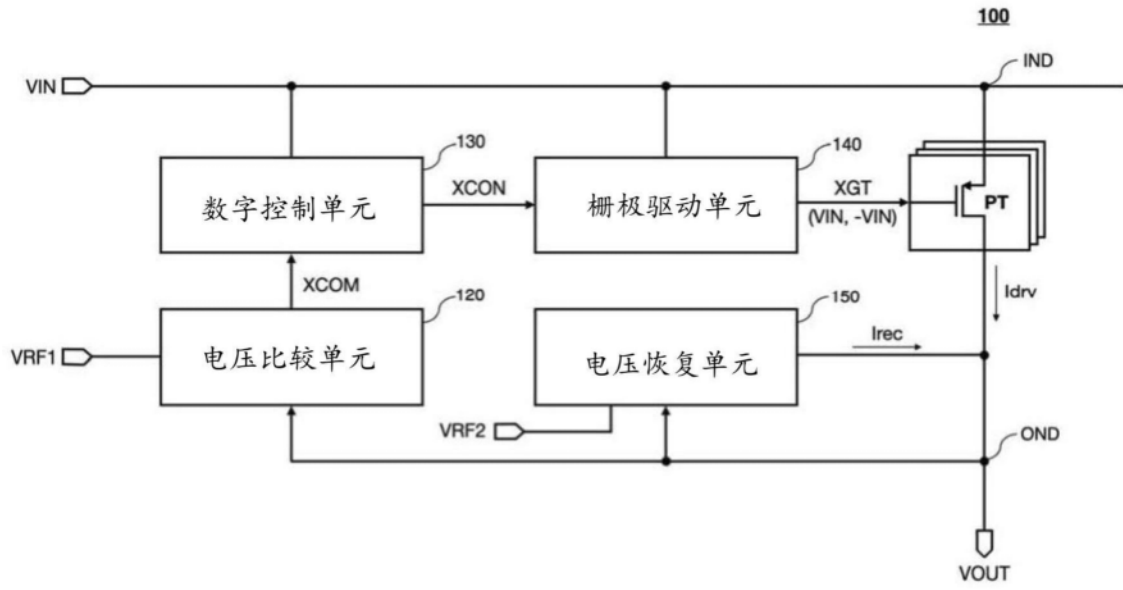


图11

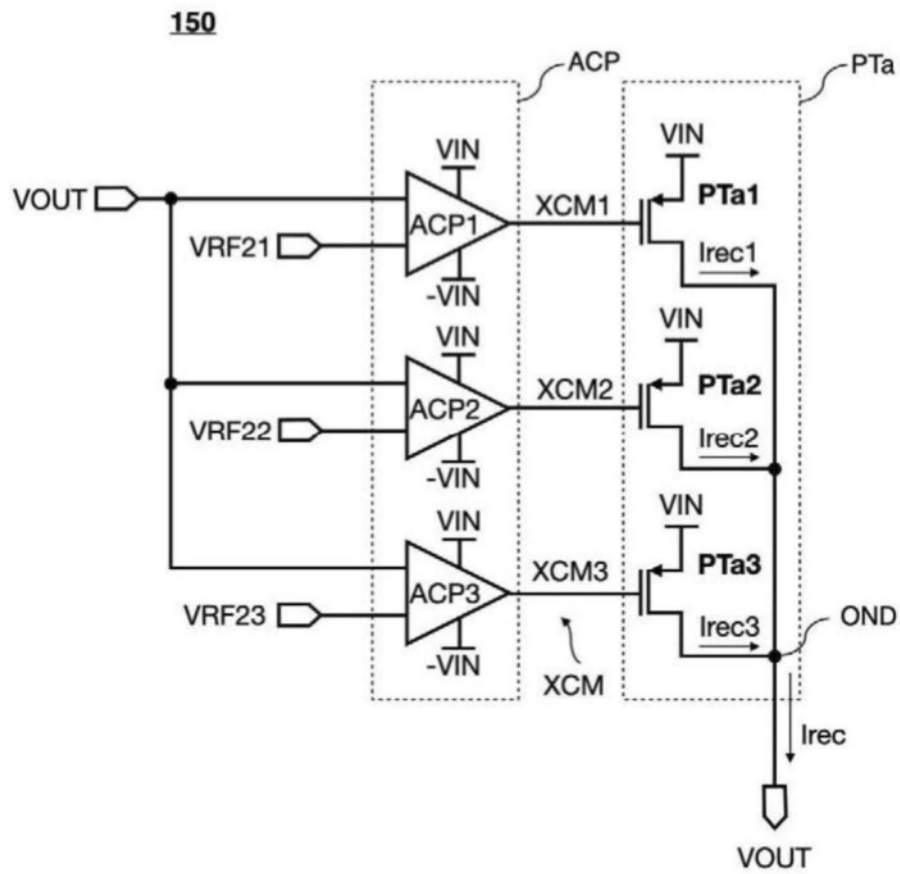


图12

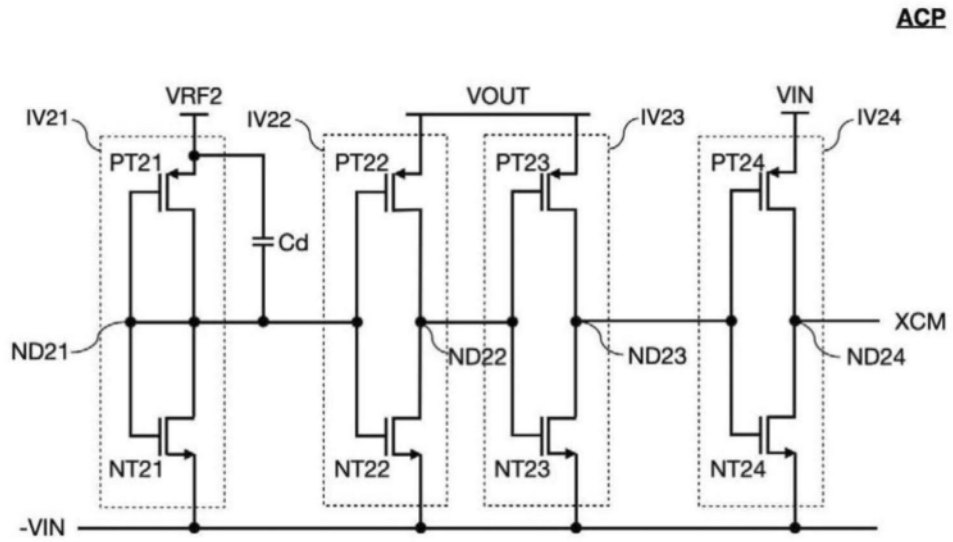


图13

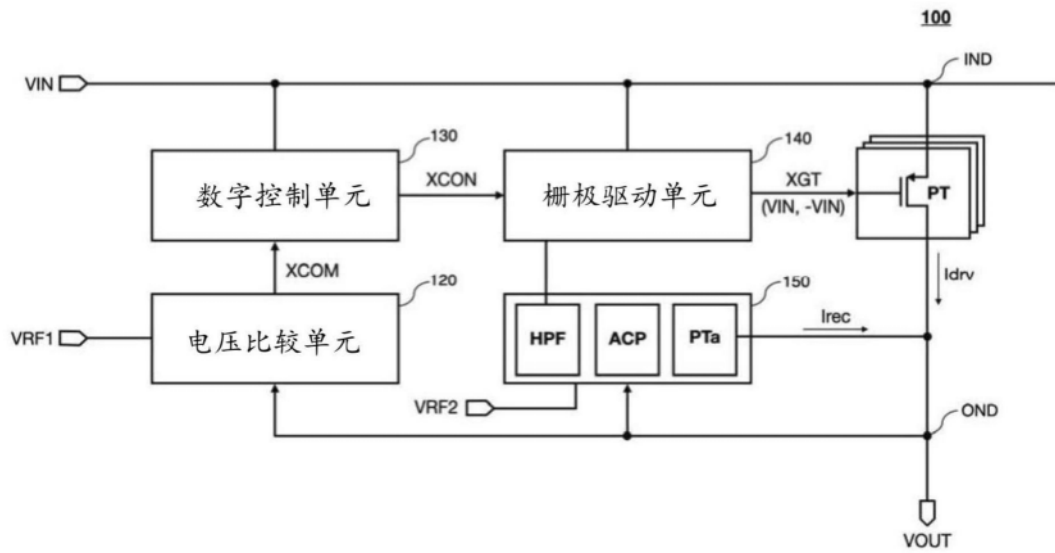


图14

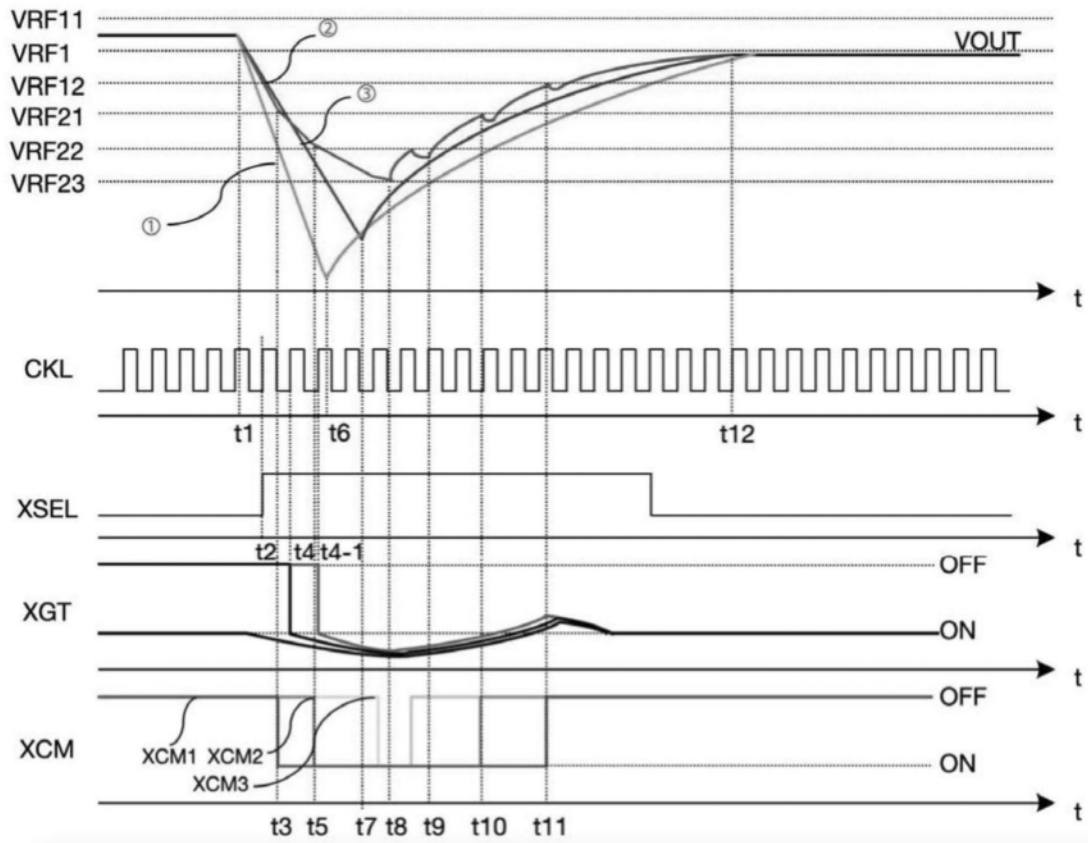


图15

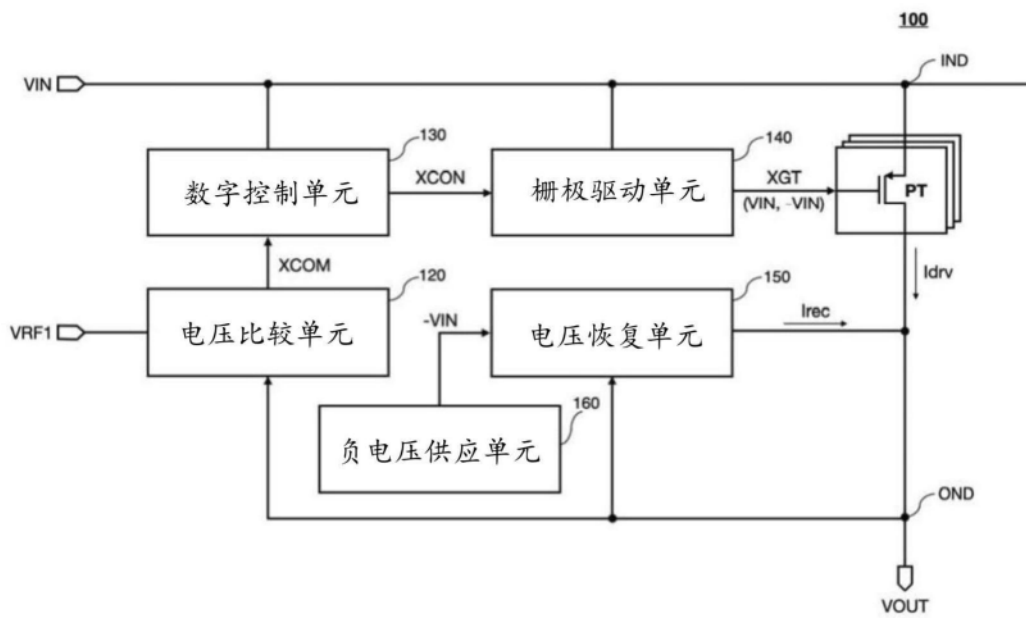


图16

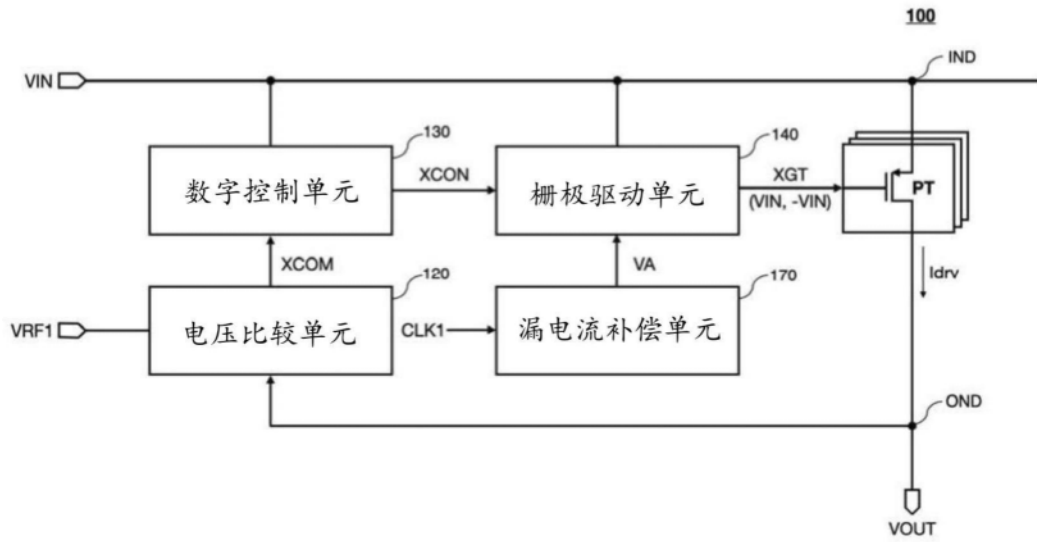


图17

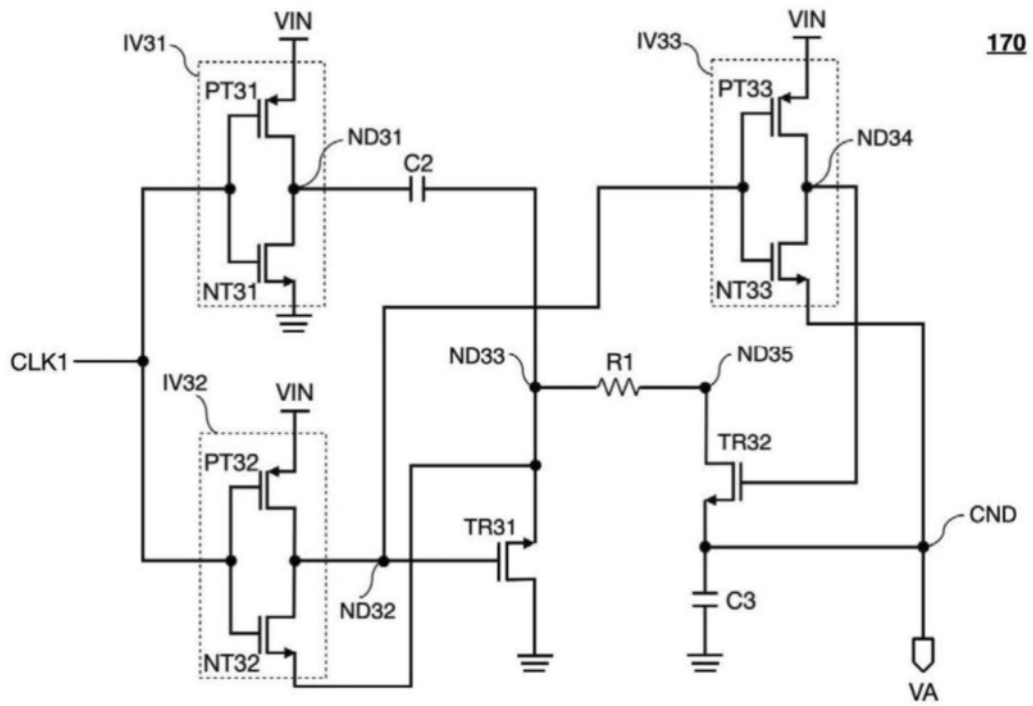


图18

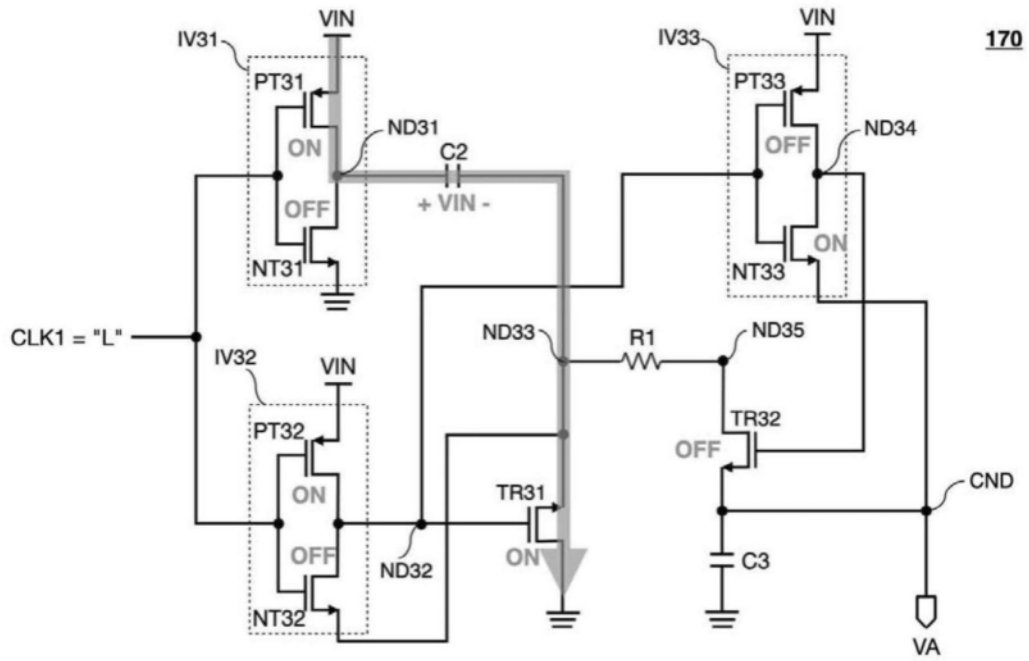


图19

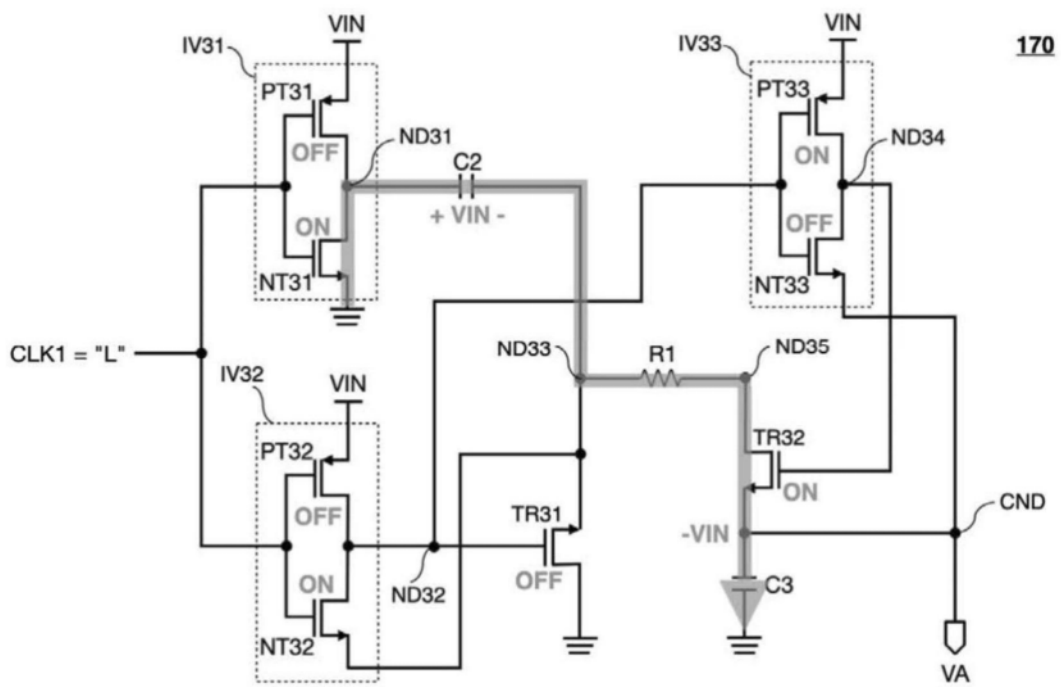


图20

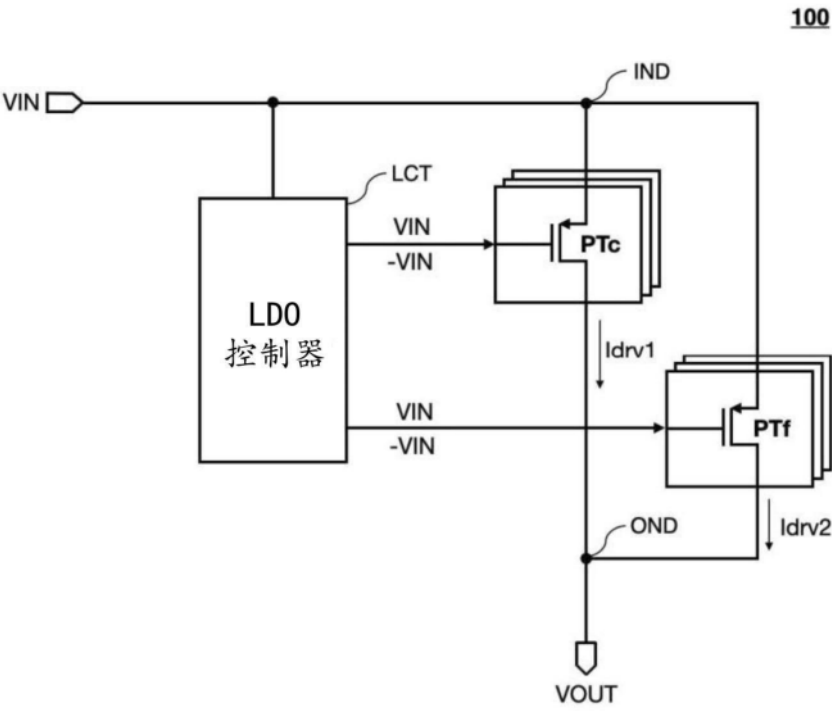


图21

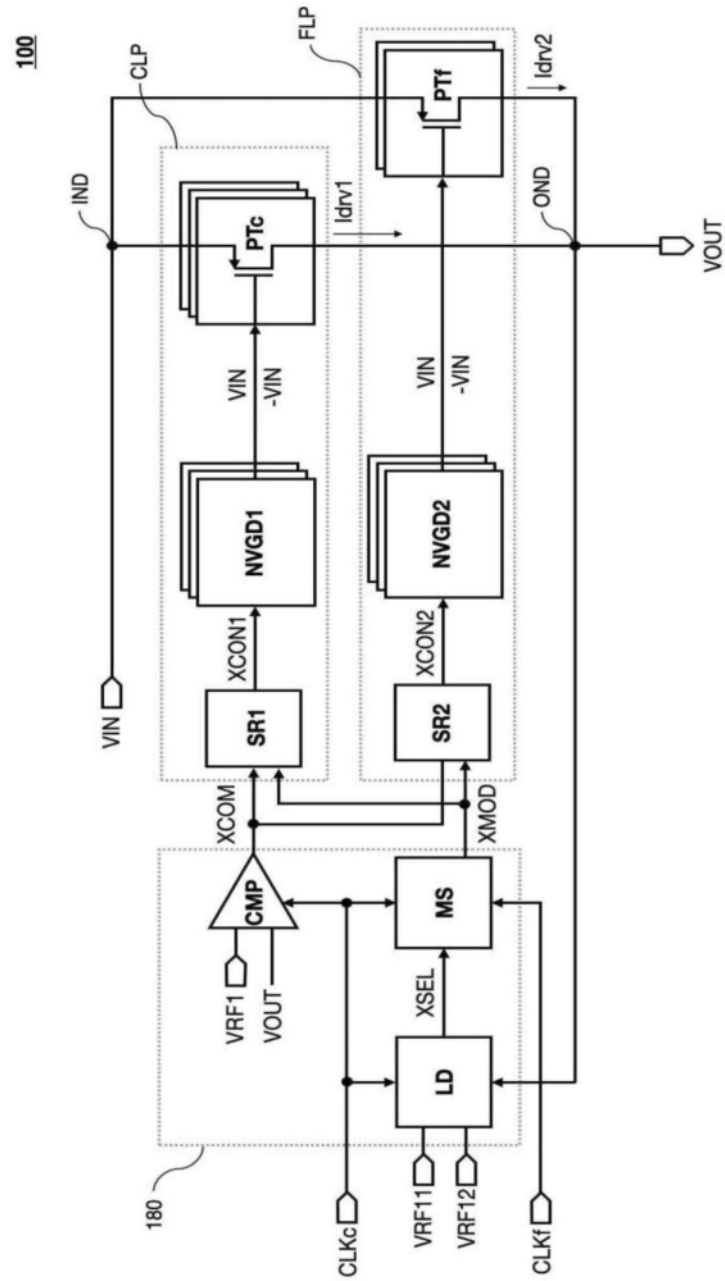


图22

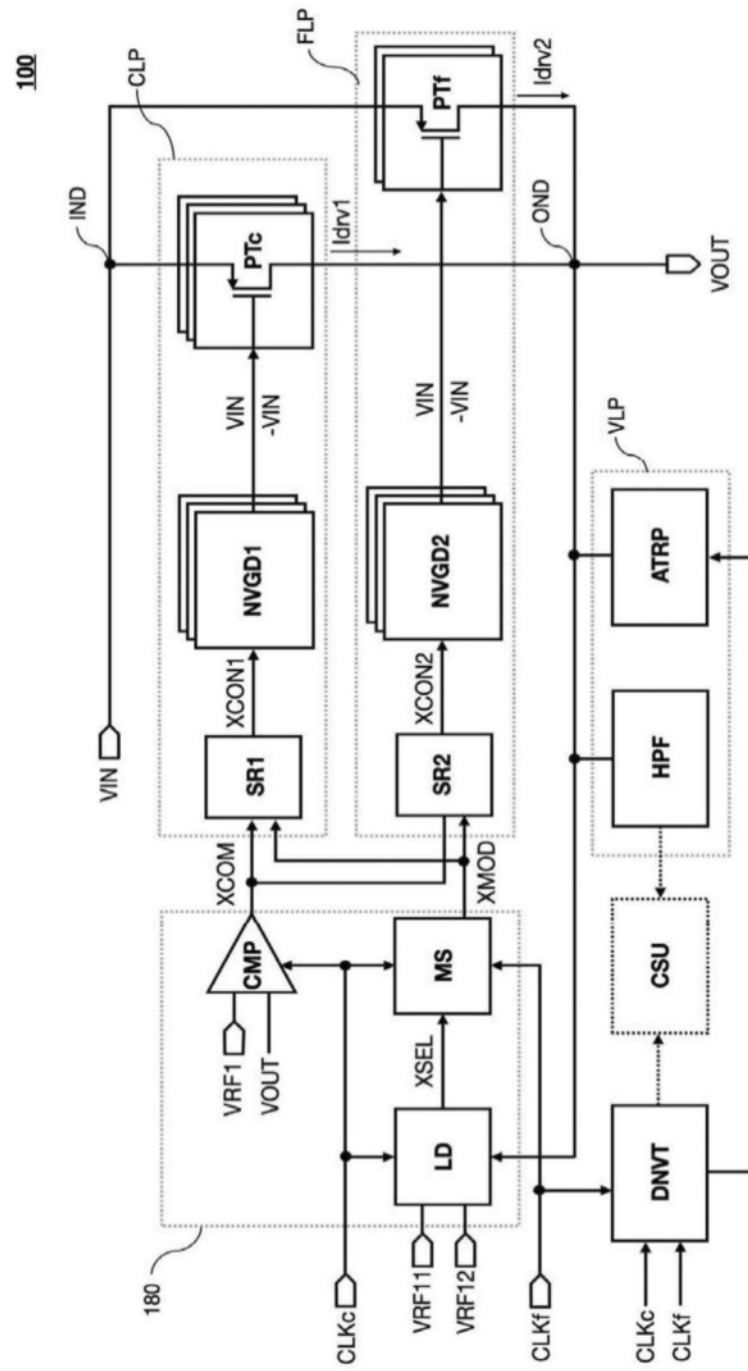


图23

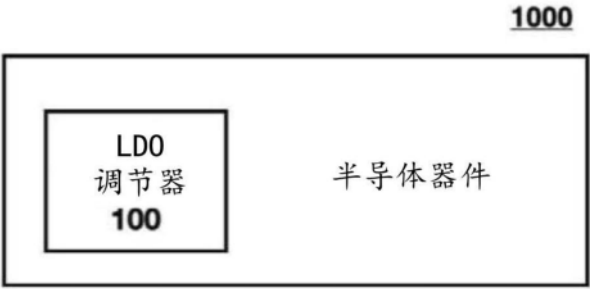


图24