(54) 发明名称
针对输出电阻的端到端容差修正校准 DAC 的方法和装置

(57) 摘要
本发明公开了一种用于校准 DAC 以获取期望的电阻的系统和方法。在一个实施例中，一种从 DAC 电路获取期望的电阻的方法包括：通过芯片上校准码引擎来接收包括数字码的数字信号，基于期望的 DAC 和与所述校准码引擎相关联的 DAC 的电阻相对于数字码的特性曲线来自动地导出校准数字码，以及将所述校准数字码输入到与所述校准码引擎相关联的所述 DAC 中，以获取期望的电阻。所述方法还包括：形成所述期望的 DAC 和所述 DAC 的电阻相对于数字码的特性曲线，利用所形成的所述 DAC 和所述期望的 DAC 的电阻相对于数字码的特性曲线来计算增益误差和偏移误差，以及将所述增益误差和所述偏移误差存储在非易失性/易失性 DAC 存储器中。
1. 一种校准用于变阻器模式中的电阻器数字模拟转换器的方法，所述方法包括：
形成期望的电阻器数字模拟转换器与所述电阻器数字模拟转换器的电阻相对于数字
码的特性曲线
利用所形成的所述电阻器数字模拟转换器和所述期望的电阻器数字模拟转换器的电
阻相对于数字码的特性曲线来计算增益误差和偏移误差
将所述增益误差和所述偏移误差存储在非易失性/易失性电阻器数字模拟转换器存
储器中
通过所述电阻器数字模拟转换器接收到包括数字码的数字信号
基于存储的所述增益误差和所述偏移误差来自动导出校准数字码
将所述校准数字码输入到所述电阻器数字模拟转换器以获取期望的电阻
2. 根据权利要求1所述的方法，其中，自动导出所述校准数字码包括
利用所述偏移误差和所述增益误差来计算每一个所接收的数字码的校准数字码
3. 根据权利要求2所述的方法，还包括
将所述偏移误差和所述增益误差存储在存储器中
4. 根据权利要求1所述的方法，其中，自动导出所述校准数字码包括
形成所接收到的数字码相对于关联校准数字码的查寻表
将所述查寻表存储在非易失性/易失性电阻器数字模拟转换器存储器中;以及
利用所存储的查寻表自动获取针对所接收的数字码的校准数字码
5. 一种从电阻器数字模拟转换器电路获取期望的电阻的方法，包括
形成期望的电阻器数字模拟转换器与所述电阻器数字模拟转换器的电阻相对于数字
码的特性曲线
利用所形成的所述电阻器数字模拟转换器和所述期望的电阻器数字模拟转换器的电
阻相对于数字码的特性曲线来计算增益误差和偏移误差
将所述增益误差和所述偏移误差存储在非易失性/易失性电阻器数字模拟转换器存储
器中
通过芯片上校准编码器来接收到包括数字码的数字信号
使用所存储的所述增益误差和所述偏移误差来自动导出校准数字码;以及
将所述校准数字码输入到与所述芯片上校准编码器相关联的电阻器数字模拟转换器
中，以获取期望的电阻
6. 根据权利要求5所述的方法，其中，自动导出所述校准数字码包括
形成所接收到的数字码相对于关联校准数字码的查寻表
将所述查寻表存储在非易失性/易失性电阻器数字模拟转换器存储器中;以及
利用所存储的查寻表自动获取针对所接收的数字码的校准数字码
7. 一种电阻器数字模拟转换器电路，包括
校准编码器，该校准编码器被设置成在接收到包括数字码的数字信号时生成针对数
字输入阵列的校准数字码;以及
连接至所述校准编码器的电阻器数字模拟转换器，该电阻器数字模拟转换器电路具有
所述数字输入阵列和模拟输出节点，其中，所述电阻器数字模拟转换器被设置成接收所述
校准数字码并输出期望的电阻，并且其中，所述校准数字码是从期望的电阻器数字模拟转
高模拟基准电压节点和低模拟基准电压节点；
相应的预定串联连接电阻器的分离的第一外部电阻器串和第二外部电阻器串，所述第一外部电阻器串的一端连接至所述高模拟基准电压节点，并且所述第二外部电阻器串的一端连接至所述低模拟基准电压节点，每一个外部串的电阻器都直接串联连接；

串联连接电阻器的内部控制电阻器串；
第一外部开关网络和第二外部开关网络，分别连接至第一外部电阻器串和第二外部电阻器串，以提供从所述外部电阻器串至所述内部控制电阻器串的相对端的可选无缓冲分接头，从而提供从所述内部控制电阻器串至输出节点的可选分接头；以及

解码器，该解码器通过控制所述第一外部开关网络和所述第二外部开关网络而响应于所接收的校准数字码来将所述外部电阻器串的选定部分切换成与所述内部控制电阻器串串联连接，所述选定部分在所述外部开关网络的切换范围内具有大致恒定的总体串联电阻，所述解码器还控制内部控制网络以在模拟电阻水平对应于数字输入信号的位置处分接所述内部控制电阻器串。

8. 根据权利要求7所述的电阻器数字模拟转换器电路，其中所述外部电阻器串中的电阻器的数量和电阻值按对应于所述输入数字信号的最高有效位MSB或最低有效位LSB的方式，递减所述高模拟基准电压节点与所述低模拟基准电压节点之间的电压，而所述内部控制电阻器串中的电阻器的数量和电阻值按对应于所述MSB和所述LSB中的另一个的方式，递减所述外部电阻器串之间的电压。

9. 根据权利要求8所述的电阻器数字模拟转换器电路，其中，所述解码器通过首先改变所述开关网络的切换或者所述模拟输出节点之间的总电阻增加的外部串的开关网络的切换，接着改变另一外部串的开关网络的切换模式，而响应于所述输入数字信号中的变化来改变所述外部开关网络的切换模式。

10. 根据权利要求8所述的电阻器数字模拟转换器电路，其中，所述数字码包括N位，并且所述电阻器数字模拟转换器被设置成以计算方式处理数字输入的N加一位或多位。

11. 根据权利要求10所述的电阻器数字模拟转换器电路，其中，所述数字模拟转换器的最大电阻等于或大于期望的最大电阻除以超范围因子，所述超范围因子等于一减去最大期望的薄电阻率变化百分比。

12. 根据权利要求8所述的电阻器数字模拟转换器电路，其中，所述第一外部电阻器串和所述第二外部电阻器串具有相等数量的，电阻大致相等的电阻器。

13. 根据权利要求8所述的电阻器数字模拟转换器电路，其中，每一个MSB电阻器串都包括 $2^{N/2}-1$ 个等值电阻器。

14. 根据权利要求13所述的电阻器数字模拟转换器电路，其中，每一个LSB电阻器串都包括 $2^{N/2}$ 个等值电阻器。

15. 根据权利要求14所述的电阻器数字模拟转换器电路，其中，每一个MSB电阻器串中的每一个电阻器的电阻值是每一个LSB电阻器串中的每一个电阻器的电阻值的 $2^{N/2}$ 倍。

16. 根据权利要求8所述的电阻器数字模拟转换器电路，还包括；
存储器，该存储器用于存储与电阻器数字模拟转换器的电阻相对于数字码的特性曲线相关联的参数。

17. 根据权利要求16所述的电阻器数字模拟转换器电路，其中，所述存储器包括非易失性/易失性电阻器数字模拟转换器存储器。
针对输出电阻的端到端容差修正校准 RDAC 的方法和装置

技术领域
[0001] 本发明涉及数字模拟转换器（DAC）。更具体地说，本发明涉及电容 DAC（RDAC）。

背景技术
[0002] 数字模拟转换器（DAC）被广泛使用在电子系统中，以接收数字码，然后生成与所接收的数字码有关（或者根据所接收的数字码确定）的模拟信号。这些类型的转换器最常用作金属氧化物半导体（MOS）模拟数字转换系统中的构建块。对于 N 位电压缩放 DAC 或电阻器 DAC（RDAC）来说，电阻器串由串联连接的 $2^N$ 个相同电阻器构成，并且被用作位数计和/或变阻器，等等，其中借助于二进制开关对连续电阻器之间的电压电平进行采样。

[0003] 在变阻器模式中，RDAC 用作编码相关电阻器。由于制造工艺的差异性，临界尺寸和工艺参数可能影响电路性能并且可能导致绝对输出电阻的管芯到管芯（die-to-die）变化。一种这样的影响起因于工艺参数（如掺杂、氧化物厚度、横向扩散、垂直植入深度、临界尺寸变化等）的系统性偏差，其可能导致电阻性材料的薄片电阻率发生变化。薄片电阻率中的这种变化可以是正常值的 30%~50%那么高。因而，基于 VLSI 的 RDAC 当在变阻器模式中使用时在性能方面不能与用作变阻器的、具有超过正常值的大约 1% 变化的分立电阻器竞争。

附图说明
[0004] 示例实施例通过示例的方式进行示例，并且不限制于附图。在附图中，相同的标号指示相似的部件，并且其中：

[0005] 图 1 是根据实施例的电阻器数字模拟转换器（RDAC）的框图。

[0006] 图 2 是可以在图 1 所示的 RDAC 中使用的 DAC 的示例示意图。

[0007] 图 3 是示例根据实施例的、因利用期望的 RDAC 和实际 RDAC 的电阻相对于输入数字码的特性曲线的 VLSI 技术的工艺差异性而造成输出电阻的端到端容差误差的图形。

[0008] 图 4 是示例根据实施例的、在针对实际获取电阻与输入数字码进行偏移和增益误差修正之后，获取期望的电阻与输入数字码的示例图形。

[0009] 图 5 是根据一实施例的、校准在针对输出电阻中的端到端容差修正的变阻器模式中使用的 RDAC（如图 1 所示 RDAC）的处理流程。

[0010] 根据附图并且根据所附的详细描述，本发明的其它特征将变清楚。

具体实施方式
[0011] 提供了一种用于校准电阻器数字模拟转换器（RDAC）的系统和方法。在下面的描述中，出于说明的目的，阐述了许多具体细节，以便提供对各个实施例的全面理解。然而，明显的是，对于本领域技术人员来说，在不需要这些具体细节的情况下，可以实践各个实施例。

[0012] 在描述优选实施例时，为清楚起见，将利用特定术语。这种术语旨在涵盖所陈述的
实施例，以及出于相似目的按相似方式操作以实现相似结果的技术等同物。

【0013】贯穿本文档，可互换地使用术语“数字模拟转换器（DAC）”、“电阻器数字模拟转换器（RDAC）”、“芯片上的RDAC”以及“N+1位 RDAC”。此外，贯穿本文档，可互换地使用术语“校准码引擎”和“芯片上校准码引擎”。“

【0014】图1是根据实施例之电阻器数字模拟转换器（RDAC）电路100的框图。具体来说，图1例示了校准码引擎110、N+1位 RDAC 120，以及非易失性/易失性 RDAC 存储器130。

【0015】校准码引擎110被设置成当接收到包括数字码的数字信号时生成针对数字输入阵列的校准数字码。在一些实施例中，校准数字码根据期望的RDAC和与RDAC电路100相关的RDAC 120的电阻相对于数字码的特性曲线导出。

【0016】此外，RDAC 120被设置成接收校准数字码并输出期望的电阻。在这些实施例中，RDAC 120耦接至校准码引擎110，以接收生成的校准数字码。在一些实施例中，数字模拟转换器电路100包括数字输入阵列和模拟输出节点。

【0017】在操作中，通过校准码引擎110（例如，耦接至RDAC 120）来接收包括数字码的数字信号。而且，基于期望的RDAC和RDAC 120的电阻相对于数字码的特性曲线（例如，分别基于图3的特性曲线302和304）而自动输出校准数字码。在这些实施例中，基于与期望的RDAC和RDAC 120的电阻相对于数字码的特性曲线相关联的参数自动输出校准数字码。在一些实施例中，该参数包括偏移误差和增益误差。

【0018】此外，自动导出校准数字码包括利用偏移误差和增益误差来计算针对每一个接收的数字码的校准数字码。该偏移误差和增益误差利用期望的RDAC和RDAC 120的电阻相对于数字码的特性曲线计算。RDAC电路100还包括用于存储与RDAC 120的电阻相对于数字码的特性曲线相关联的参数（例如，偏移误差和增益误差）的存储器。在一些实施例中，该存储器包括非易失性/易失性RDAC存储器（例如，非易失性/易失性RDAC存储器130）。

【0019】此外，自动导出校准数字码包括形成所接收的数字码相对于关联的校准数字码的查寻表，将该查寻表存储在非易失性/易失性RDAC存储器130中，以及利用所存储的查寻表自动获取针对所接收的数字码的校准数字码。

【0020】例如，工艺参数（如掺杂、氧化物厚度、横向扩散、垂直植入深度、临界尺寸变化等）的系统性偏差，可导致电阻材料（例如，RDAC120的单位元件）的薄片电阻率发生变化。因此，RDAC 120的输出电阻的端到端容差因薄片电阻率的变化而改变（例如，减小或增加）。结果，输出电阻的量值与所接收的数字输入值的量值不成比例。因此，校准码引擎110针对端到端容量校准RDAC 120的输出电阻。

【0021】在操作中，将校准数字码输入到RDAC 120中，以获取期望的电阻。在这些实施例中，数字码包括N位，并且DAC 120被设置成以计算方式处理数字输入的N加一或多位。在一些实施例中，校准码引擎110的最高优先级规范是线性误差（例如，积分非线性（INL）误差和微分非线性（DNL）误差）小于1LSB，即，|INL|＜1LSB并且|DNL|＜1LSB。为了实现上述规范，将DAC 120的分辨率增加一位或多位。在图1所示的示例实施例中，将N+1位RDAC 120用于以计算方式处理N位数字输入码。结果，通过在RDAC中提供额外的分辨率（即，N+1位RDAC 120），可以将INL和DNL误差保持在最大+/-0.5LSB的范围内。

【0022】此外，在RDAC 120中需要超范围（over-range），以适应RDAC120的单位元件的薄片电阻率相对于标称值的减小。在一些实施例中，DAC 120的最大电阻等于或大于期望的
最大电阻除以超范围因子，该超范围因子等于一倍去最大期望的薄片电阻率变化百分比。在一个示例实施例中，期望的最大电阻是在薄片电阻率的变化为零时获取的期望的电阻（即在理想条件下，RDAC 120 旨在生成具有与所接收的数字输入信号的信号量成比例的量值的模拟输出信号）。

例如，如上所述，由于 RDAC 120 的全部单位元件的薄片电阻率中的绝对变化，因此，总薄片电阻可以小于标称值。针对薄片电阻率的标称值，假设预期的电阻为 $R_{\text{TOTAL}}$ (KOhms)。然而，由于工艺变化，假设薄片电阻率 (Rho) 从标称值减少 $x\%$。因此，利用 $R_{\text{TOTAL,new}} = R_{\text{TOTAL}} \times (1-x)$ 来计算新的电阻。因而，RDAC 120 需要被超出范围 (1-x) $^{-1}$，以允许在实际条件下调整。

图 2 是可以在图 1 所示的 RDAC 120 中使用的 DAC 的示例示意图。这个示例中的外部电阻器 215 和 220 递减输入信号 MSB，而内部 225 递减 LSB。两个外部串设计相同。每一个串都包括具有相等电阻值 $2^{k-2}$ 的 $2^{k-2}$ 个串联连接的电阻器，并具有来自串的每一线和来自连续电阻器的接点的切换分接头。第一串的电阻器指定为 $Ra$ 并且从 $Ra$ 向 $Rs$ 串联扩展，而第二串的电阻器指定为 $Rb$ 并且从 $Rb$ 向 $Rs$ 串联扩展。$Ra$ 和 $Rb$ 的外端分别连接到 VREF+205 和 VREF-210，而电阻器 $Ra$ 的外端保持开放。

开关网络内的针对电阻器 215 和 220 的各开关分别指定为 $Sa$ 和 $Sb$。开关 $Sa$ 分接 $Ra$ 的外端，$Sa$ 分接 $Ra$ 的外端，等等，直到开关 $Sa$ 的外端，其分接电阻器 $Ra$ 的外端。开关 $Sb$ 分接 $Sb$ 的外端，当第二串 220 中的类似分接点。开关开关的与 $Ra$ 电阻器相对的一端都在第一串输出线 230 中连接在一起，而 $Sb$ 开关的与 $Rb$ 电阻器相对的一端都在第二串输出线 235 中连接在一起。

内部或 LSB 串 225 包括指定为 $Rc$ 到 $Rc^{2^{y}}$ 的 $2^{2^{y}}$ 个电阻器，以及指定为 $Sc$ 到 $Sc^{2^{y}}$ 的 $2^{2^{y}}$ 个开关。每一个电阻器具有电阻值 $R$。$Sc$ 开关的与电阻器 $Rc$ 相对的一端都连接至第三串输出线 240，其在输出端 245 处提供总 RDAC 输出。如果在变阻器模式下使用 RDAC120，则通常不使用输出缓冲放大器。第一开关 $Sc$ 分接 $Rc$ 的外端，并且每一个连续开关在串中进一步向下分接一个连续电阻器直到 $Sc^{2^{y}}$，$Sc^{2^{y}}$ 分接电阻器 $Rc^{2^{y}}$ 的外端。利用这种构造，RDAC120 能够按 1LSB 增量输出 $2^{2^{y}}$ 个输出电平，并且最低电平等于 VREF-。选择的是，$Sc$ 可以从 $Rc$ 的外端分接，而 $Sc^{2^{y}}$ 可以从最后两个电输入电阻器的外端分接，产生从 VREF- 直至 VREF+ 减一个 LSB 范围的输出，但前端布线生成更常规的输出范围。

电阻器 $Rc$ 的外端通过连接线 250 连接至第一串输出线 230，而最后的内部串电阻器 $Rc^{2^{y}}$ 的外端通过连接线 255 连接至第二串输出线 235。解码器 260 控制开关的操作，使得针对任何给定的数字输入，三个电阻器串中的每一串中的一个开关闭合，而所有其它开关断开。针对两个外部串 215 和 220 的开关网络被控制成使得来自外部串 215 和 220 的总和 $2^{2^{y}}$ 个电阻器在 VREF+205 或 VREF-210 与模拟输出节点 245 之间与内部串 225 串联连接。因而，对于任何给定的数字输入，总电阻值为 $2^{2^{y}}$ 的 $2^{2^{y}}$ 个电阻器和电阻值为 R 的 $2^{2^{y}}$ 个电阻器，以使得在 VREF+205 或 VREF-210 与模拟输出节点 245 之间能够连接 $2^{y} 2^{y}$ 的总电阻。

对控制切换以提供 RDAC 转换的方式进行如下说明：外部串 215 和 220 分别包括电阻器 $Ra$ 和 $Rb$ 以及开关 $Sa$ 和 $Sb$；内部串 225 包括电阻器 $Rc$。
开关Sc1-Sc8。输入数字信号的三个MSB通过外部串215和220转换，而三个LSB通过内部串225转换。对于任何给定的数字输入，总计七个外部串电阻器加内部串225在VREF+205或VREF-210与模拟输出节点245之间串联连接，并且还因为八个内部串电阻器的总串联电阻等于单个外部串电阻器的电阻，所以在内部串225上呈现VREF+205或VREF-210与模拟输出节点245之间的电压差的1/8。VREF+205或VREF-210与模拟输出节点245之间的差异的剩余7/8反映在包括开关电路中的外部串215和220的各部分上。节点245处的输出电阻等于下部外部串220的分接位置处的电阻加上由内部串的分接部分所增加的电阻。

[0029] 根据上述一个或多个实施例，RDAC 120包括高模拟基准电压节点VREF+205和低模拟基准电压节点VREF-210，具有各自预定串联连接的电阻器的第一和第二分离外部串215和220，以及具有串联连接的电阻器的内部串225。RDAC 120还包括分别连接至第一和第二外部电阻串215和220的第一和第二外部开关网络，以提供可选择的无缓冲分接头（即，从外部电阻串215和220至内部电阻串225的相对端），从而提供从内部电阻串225至输出节点245的可选择的分接头。

[0030] 此外，如图2所示，第一外部电阻串215的一端连接至高模拟基准电压节点VREF+205，而第二外部电阻串220的一端连接至低模拟基准电压节点VREF-210，每一个外部串215和220中的电阻器都直接串联连接。而且，第一和第二外部电阻串215和220具有等量的电阻大致相等的电阻器。

[0031] RDAC 120还包括解码器260，该解码器通过控制第一和第二外部开关网络来将外部电阻串215和220的选定部分切换成与所述内部电阻串225串串联接，而响应于所接收的校准数字码。例如，该选定部分包括在外部开关网络的切换范围上大致恒定的总体串联电阻。

[0032] 另外，解码器260还控制内部开关网络，以在模拟电阻水平对应于数字输入信号的位置处分接内部电阻串225。可以注意到，外部电阻串215和220中的电阻器的数量和电阻值按对应于输入数字信号的最高有效位（MSB）或最低有效位（LSB）的方式，递减高与低基准电压节点之间的电压，而内部电阻串225中的电阻器的数量和电阻值按对应于MSB和LSB中的另一个的方式，递减外部电阻串215与220之间的电压。每一个MSB电阻器串包括2^n-1个等值电阻器，而每一个LSB电阻器串包括2^n-2个等值电阻器。此外，每一个MSB电阻器串中的每一个电阻器的电阻值是每一个LSB电阻器串中的每一个电阻器的电阻值的2^n次方。

[0033] 在一些实施例中，解码器260通过首先改变外部串215的开关网络，而响应于输入数字信号中的变化来改变外部开关网络的切换模式，这导致高或低基准电压节点VREF+205或VREF-210与模拟输出节点245之间的总电阻增加，进一步地，改变另一外部串220的开关网络的切换模式。

[0034] 图3是例示根据实施方式的，因VLSI技术的工艺差异性而造成输出电阻的端到端容差误差的图形300，其中VLSI技术利用期望的RDAC和实际RDAC 120的电阻相对于输入码（数字输入码）的特性曲线。具体来说，图3例示了N+1位RDAC 120的理想特性曲线302和实际特性曲线304。

[0035] 如上所述，因薄片电阻率的变化，实际特性曲线304的斜率可以如图3所示改变。

[0036] 例如，将理想电阻值为R_m(K)，而将实际电阻值为R_m(K_n)。假定在纵坐标上
的与数字码相对应的某处标记电阻 $R_{\text{K}}(K)$ 和 $R_{\text{k}}(\text{K}_{\text{NEG}})$. 假设输入数字输入码（例如，如图 3 所示旧码）为 $D_k$. 此外，理想特性曲线 302 的斜率通过 $R_{\text{K}}(K)$/$D_k$ 给出，而实际特性曲线 304 的斜率通过 $R_{\text{K}}(\text{K}_{\text{NEG}})$/$D_k$ 给出。因此，可以将实际斜率与校准因子相乘而根据实际特性获得理想特性。

例如，假设理想斜率为 $R_{\text{K}}(K)$/$D_k$，而实际斜率为 $R_{\text{K}}(\text{K}_{\text{NEG}})$/$D_k$. 因此，$R_{\text{K}}(K)/D_k = R_{\text{K}}(\text{K}_{\text{NEG}})/D_k * R_{\text{K}}(K)/R_{\text{K}}(\text{K}_{\text{NEG}})$. 在这种情况下，校准因子是可以利用上述方法容易地确定的 $R_{\text{K}}(K)/R_{\text{K}}(\text{K}_{\text{NEG}})$。

在另一示例实施例中，与在横坐标上和实际特性曲线 304 相交的理想电阻值 $R_{\text{K}}(K)$ 相对应地获取校准数字码。因而，校准数码（例如，如图 3 所示新码）基于期望的 RDAC 和 RDAC 120 的电阻相对于数字码的特性曲线（例如，分别基于特性曲线 302 和 304）导出。

此外，如果电阻器元件的电阻率低于标称，则其不可能通过校准来获得全比例的理想电阻。因此，RDAC 120 需要超规范化，以顾及这种情况。

图 4 是例示根据实施例的、在针对实际获取电阻与输入数字码进行偏移和增益误差修正之后获取期望的电阻与输入数字码的示例图形 400。具体来说，图 4 例示了利用导出的校准数字码（例如，图 3 所示的新码）从实际特性曲线 304 获取期望的电阻特性曲线（例如，理想特性曲线 302）。

如图 4 所示，图形 400 显示了理想特性曲线 302 和实际特性曲线 304。特性曲线 402 在对实际特性曲线 304 进行偏移误差修正之后获取。此外，特性曲线 404 在对特性曲线 402 进行增益误差修正之后获取。结果，实际特性曲线 304 的斜率与理想特性曲线 302 的斜率成比例。换句话说，这样生成的模拟输出的量值与输入数字码的量值成比例。由此，期望的电阻使用增益和偏移误差修正利用校准的数字码（新码）获取。

例如，校准数字码利用偏移误差和增益误差如下计算。假设 $R_{\text{K}}(K)^*’$ 是根据实际曲线 304 计算出的电阻并且通过

\[ R_{\text{K}}(K)^*’ = D_{\text{OFF}} + \alpha D_{\text{LSB}} \]

给出，其中，$R_{\text{OFF}}$ 是偏移电阻，$\alpha$ 是增益误差，$D_k$ 是输入数字码，而 $R_{\text{LSB}}$ 是单独电阻。

此外，偏移误差通过 $D_{\text{OFF}} = D_{\text{OFF}} R_{\text{LSB}}$ 给出，其中，$D_{\text{OFF}}$ 是偏移误差。通过将 $R_{\text{OFF}}$ 的值得入 $R_{\text{K}}(K)^*’$ 等式中，于是，针对 $R_{\text{K}}(K)^*’$ 的等式变为

\[ R_{\text{K}}(K)’ = (D_{\text{OFF}} + \alpha D_k) R_{\text{LSB}} \]

此外，理想转换曲线 302 的电阻通过 $R_{\text{K}}(K) = D_k R_{\text{LSB}}$ 给出。针对每一个 $k$，可以找到 $K_{\text{NEG}}^*$，使得 $R_{\text{K}}(K_{\text{NEG}}^*)’ = R_{\text{K}}(K)$。

通过比较以上两个等式，$D_{\text{OFF}} + \alpha D_{\text{NEW}} = D_k$. 这样，$D_{\text{NEW}} = (D_k - D_{\text{OFF}})/\alpha$，其中，$D_{\text{NEW}}$ 是通过将数字码 ($D_k$) 与偏移误差 ($D_{\text{OFF}}$) 之差的绝对值除以增益误差所给出的校准数字码。

图 5 是根据一个实施例的校准供在针对输出电阻的端到端容差修正的变阻器模式中使用的 RDAC（如图 1 所示 RDAC）的处理流程 500。具体来说，图 5 例示了根据实施例的，从 RDAC 电路 100 获取期望的电阻的方法。

在操作 510 中，形成期望的 RDAC 和 RDAC 120 的电阻相对于数字码的特性曲线，在操作 520 中，利用所形成的期望的 RDAC 和 RDAC 120 的电阻相对于数字码的特性曲线来计算增益误差和偏移误差。在操作 530 中，将增益误差和偏移误差存储在非易失性 / 易失性
RDAC 存储器 130 中。

[0051] 在操作 540 中，通过芯片上校准码引擎 110 来接收包括数字的数字信号。在操作 550 中，利用所存储偏移误差和增益误差自动导出校准数字码。在这些实施例中，基于与芯片上校准码引擎 110 相关联的芯片上 RDAC 120 和期望的 RDAC 的电阻相对于数字的典性曲线而自动导出校准数字码。

[0052] 此外，在这些实施例中，自动导出校准数字码包括形成所接收的数字码相对于关联校准数字码的查寻表，将该查寻表存储在非易失性/易失性 RDAC 存储器 130 中，以及利用所存储的查寻表自动获取针对所接收的数字码的校准数字码。在操作 560 中，将校准数字码输入到 RDAC 120（例如，与芯片上校准码引擎 110 相关联）中，来获取期望的电阻。

[0053] 上述校准方法以数字方式调整，其可以由终端用户完成，也可以在工厂中在联机产品测试期间完成。因此，减少了因较慢的调整工序而损失的市场时间和因不均匀调整而造成的产量损失。上述校准方法容易实现。

[0054] 上述校准方法确保 INL/DNL 误差维持在规范之内，只要 RDAC120 中具有额外的分辨率即可。此外，RDAC 120 的端到端电阻分差被计算为特定数字码处的误差与该数字码处的实际 RDAC 输出（例如，非全比例输出）的百分比。因此，有限的额外分辨率将限制 RDAC120 的较低码处的码损失。

[0055] 前述公开和陈述仅仅是对本发明的例示，而不意图限制或限定本发明的范围。上面的描述意图是例示性的，而非限制性的。尽管给出的例示包括许多特殊性，但它们旨在作为仅对本发明的某些可能的实施例的例示。给出的例示仅被解释为对本发明的一些优选实施例的例示，而本发明的全部范围应通过所附权利要求书及其合法等同物来确定。本领域技术人员应认识到，在不脱离本发明的范围和精神的情况下，可以设置之前描述的优选实施例的各种改编例和修饰例。因此，应理解，除了如在此具体描述以外，还可以按其它方法具体实施本发明。因此，所公开和要求保护的本发明的范围应参照本领域技术人员的知识并且考虑到上面给出的公开来确定。

[0056] 应当认识到，在此讨论的各个实施例可以不是同一实施例，并且可以分组成在此未明确公开的各种其它实施例。

[0057] 另外，应当认识到，在此公开的各种操作、处理以及方法可以包含在与数据处理系统（例如，计算机系统）相兼容的机器可读介质和/或机器可存取介质中，并且可以按任意次序执行（例如，包括利用用于实现各种操作的手段）。因此，本说明书和附图应被视为例示性的而非限制性意义。
图 1
图 2
形成期望的RDAC与被校准的RDAC的电阻相对于输入数字码的特性曲线

针对与被校准的RDAC相关联的特性曲线计算偏移误差和增益误差

将偏移误差和增益误差存储在非易失性RDAC存储器中

接收包括数字码的数字信号

利用存储的偏移误差和增益误差和/或查寻表来自动导出校准数字码

将校准数字码输入到RDAC中以获取期望的电阻

图5