

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. März 2001 (08.03.2001)

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/17002 A1

(51) Internationale Patentklassifikation⁷: **H01L 21/205**,
21/331

(21) Internationales Aktenzeichen: PCT/DE00/02491

(22) Internationales Anmeldedatum:
28. Juli 2000 (28.07.2000)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
199 40 278.7 26. August 1999 (26.08.1999) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **INSTITUT FÜR HALBLEITERPHYSIK
FRANKFURT (ODER) GMBH** [DE/DE]; Im Technolo-
giepark 25, D-15236 Frankfurt (Oder) (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **KRÜGER, Dietmar**
[DE/DE]; Puschkinstrasse 43, D-15236 Frankfurt (Oder)

(DE). **MORGENSTERN, Thomas** [DE/DE]; Warschauer
Strasse 40, D-15236 Frankfurt (Oder) (DE). **EHWALD,
Karl-Ernst** [DE/DE]; Pflaumenallee 17, D-15234 Frank-
furt (Oder) (DE). **BUGIEL, Eberhard** [DE/DE]; Fisch-
erstrasse 45, D-15230 Frankfurt (DE). **HEINEMANN,
Bernd** [DE/DE]; Schälmeienweg 29, D-15234 Frankfurt
(Oder) (DE). **KNOLL, Dieter** [DE/DE]; Uferstrasse
7, D-15230 Frankfurt (Oder) (DE). **TILLACK, Bernd**
[DE/DE]; Akazienweg 10, D-15234 Frankfurt (Oder)
(DE).

(74) Anwalt: **HEITSCH, Wolfgang**; Europäischer
Patentvertreter, Göhlsdorfer Strasse 25 g, D-14778
Jeserig (DE).

(81) Bestimmungsstaaten (national): JP, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

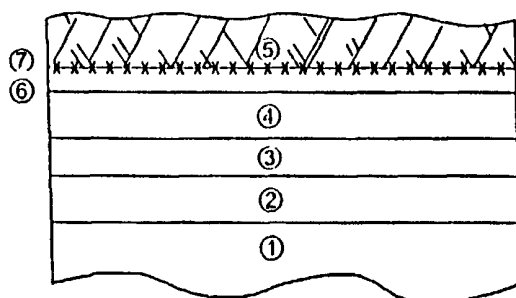
Veröffentlicht:

— Mit internationalem Recherchenbericht.

[Fortsetzung auf der nächsten Seite]

(54) Title: LAYER STRUCTURE FOR BIPOLAR TRANSISTORS AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: SCHICHTSTRUKTUR FÜR BIPOLARE TRANSISTOREN UND VERFAHREN ZU DEREN HERSTEL-
LUNG



(57) Abstract: The invention relates to a layer structure for bipolar transistors, to a method for the production thereof, and to a method for producing integrated circuits using said layer structure. The aim of the invention is to provide a layer structure for bipolar transistors with which the electric properties and the homogeneity of bipolar transistors are improved. In particular, the base current behavior should be improved and the noises should be decreased with diminished emitter transition resistances. In addition, the invention seeks to provide a method for producing bipolar transistors using a layer structure of this type. To these ends, the invention provides that the vertical structure of the transistors contains a partial single-crystalline emitter layer (5) which changes into a polycrystalline and/or amorphous layer above an epitaxial single-crystalline growth layer (5) which is locally underlayered with thin oxide and/or nitride layers.

and, in the vertical structure of the transistor, the partial single-crystalline emitter layer (5) is locally underlayered with thin oxide and/or nitride layers.

(57) Zusammenfassung: Die Erfindung betrifft eine Schichtstruktur für bipolare Transistoren und ein Verfahren zu deren Herstellung sowie ein Verfahren für auf dieser Grundlage hergestellten integrierten Schaltungen. Es soll eine Schichtstruktur für bipolare Transistoren vorgeschlagen werden, mit Hilfe derer die elektrischen Eigenschaften und die Homogenität bipolarer Transistoren verbessert werden. Insbesondere soll bei verringerten Emitterübergangswiderständen das Basisstromverhalten verbessert und das Rauschen reduziert werden sowie ein Verfahren zur Herstellung von bipolaren Transistoren mit einer solchen Schichtstruktur aufgezeigt werden. Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die Vertikalstruktur der Transistoren eine partiell-einkristalline Emitterschicht (5) enthält, die oberhalb einer epitaktischen, einkristallinen Anwachsschicht in eine polykristalline und/oder amorphe Schicht umschlägt und in der Vertikalstruktur des Transistors die partiell-einkristalline Emitterschicht (5) lokal mit dünnen Oxid- und/oder Nitridschichten unterlegt ist.

WO 01/17002 A1



— *Vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen.*

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Schichtstruktur für bipolare Transistoren und Verfahren zu deren Herstellung

- 5 Die Erfindung betrifft eine Schichtstruktur für bipolare Transistoren und ein Verfahren zu deren Herstellung sowie ein Verfahren für auf dieser Grundlage hergestellten integrierten Schaltungen.

Halbleitermaterialien, wie Silizium, Silizium-Germanium, Galliumarsenid, Galliumphosphid werden in großem Maße für die Herstellung von Halbleitervorrichtungen verwendet. Wichtige Vorteile moderner Bipolartransistoren, beispielsweise auf der Basis von $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ Heterostrukturen, mit den Parametern x, y im Bereich $0 \leq x, y \leq 1$, liegen u.a. in ihrer extremen Schnelligkeit, ihren geringen Basiswiderständen und einem verbesserten Rauschverhalten. Gleichzeitig ist die Technologie zur Herstellung integrierter Schaltkreise unter Nutzung von $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ / Si HBT's kompatibel mit der weit etablierten Massentechnologie für integrierte Schaltkreise auf Siliziumbasis. Die aufgeführten Vorteile machen schnelle Transistoren auf der Basis von $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ -Schichtstrukturen zu einer Vorzugsvariante für hochintegrierte Schaltkreise mit dem Einsatz in der modernen Telekommunikation.

20

Der Fortschritt der modernen Halbleitertechnologie für die Produktion hochintegrierter Schaltkreise hängt bereits heute wesentlich von der Herstellung extrem kleiner elektrisch aktiver Bereiche und extrem flacher und steiler Übergänge ab. Die entsprechenden Anforderungen an die Technologie wurden in der Vergangenheit gut durch die "Si Roadmap" (National Technology Roadmap Semiconductors, Semiconductor Industries Association 1997) der Siliziummikroelektronik beschrieben. Danach sind für fortgeschrittene, hochintegrierte Schaltkreise Übergangstiefen von 50 - 120 nm gefordert, die in nächster Zukunft weiter verringert werden müssen, um mit der absehbaren lateralen Skalierung Schritt zu halten. Fortgeschrittene Heterostrukturen auf Basis von $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ - Schichten nutzen Emittiereindringtiefen in das Silizium von kleiner als 30 nm. Die Basis der Transistorstruktur wird aus $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$, $\text{Si}_x\text{Ge}_{1-x}$ -Schichten mit Dicken von zum Teil unter 20 nm gebildet. Die Perfektion der gewachsenen epitaktischen Schichten und der bei der Schichtabscheidung entstehenden Grenzflächen ist eine Voraussetzung für eine hohe Ausbeute an guten Transistoren und Schaltkreisen und für das fehlerfreie Funktionieren der entsprechenden Schaltkreise.

35

Die Problematik von Poly-Si-Emitterschichten auf Silizium für die Herstellung von Bipolartransistoren wurde in jüngster Zeit verstärkt untersucht. Dabei wurden zur Erzielung einer ausreichenden Stromverstärkung bei der Herstellung der Vertikalstrukturen Sauerstoff-kontaminierte Grenzflächen mit erhöhten Emitterwiderständen in Kauf genommen [J. S. Hamel, D. J. Roulston, C. R. Selvakumar, IEEE Electron Device Letters, 13 (6), 332 (1992)]. Gleichzeitig wird in dieser Arbeit der Nachteil der starken Prozeßabhängigkeit der elektrischen Parameter, bedingt durch die nicht ausreichende Kontrollierbarkeit der Grenzflächenkontamination und die Inhomogenität der Grenzflächendurchbrüche bei nachfolgenden Temperungen aufgezeigt. Es ist weiterhin bekannt, daß Transistoren mit kontaminierten Grenzflächen den Nachteil schlechterer Rauschparameter haben. Für moderne bipolare Heterostrukturen, wie sie auf Basis von Si / Si / $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ / Si - Schichtfolgen realisiert werden, ist eine ausreichende Stromverstärkung über die Bandstruktur der Basis-schicht in weiten Grenzen einstellbar, so daß nach Lösungen zu suchen ist, wie die Emitterwiderstände und das Rauschen verringert werden können. Die den Emitter und Emitteranschluß formierende Si-Schicht ist nach dem Stand der Technik sowohl für Silizium, Si-Homostrukturen als auch in Si / Si / $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ / Si - Heterostrukturen als eine polykristalline Si-Schicht ausgebildet, wie in vielen Publikationen beschrieben [beispielsweise in J. D. Cressler, IEEE Electron Device Lett., 17, 13 (1996), D. Knoll u.a., IEDM Techn. Dig., 703 (1998)]

20

Die damit verbundenen Nachteile, wie verschlechtertes Eindiffusionsverhalten der Dotanden, erhöhte Oberflächenrauhigkeit des Emitters u.a., werden im Stand der Technik in Kauf genommen, obwohl sie zu verschlechterten elektrischen Parametern führen, da eine Verbesserung der Grenzflächeneigenschaften bisher mit hohem technologischem und finan-

25

Für die Absicherung des epitaktischen Wachstums sind extrem saubere Grenzflächen und Wachstumsbedingungen erforderlich. Derartig saubere Grenzflächen werden beispielsweise in Ultrahochvakuum-Systemen für die Molekularstrahlepitaxie (MBE) sowie in extrem sauberen Normaldruck- und Niederdruck-Anlagen für die Abscheidung aus der chemischen Gasphase (CVD) ermöglicht. Für die Reinigung der Oberfläche wird ein Desorptionsschritt für Sauerstoff in der Regel im Temperaturbereich oberhalb 1000 °C genutzt. Hohe Desorptionstemperaturen sind jedoch für vorprozessierte Wafer, in denen bereits Dotierungsprofile eingestellt sind, nicht einsetzbar, da sie die eingestellten

30

Dotierungsprofile unzulässig verändern. In der Literatur ist eine Reihe von Veröffentlichungen bekannt, die diesem Problem gewidmet sind. So werden in der Arbeit von D. Agnello, und T.O. Sedgewick [D. Agnello, und T.O. Sedgewick, Journal Electrochemical Society, 139 (19), 2929 (1992)] die Bedingungen für oxidfreie Si-Oberflächen bei UHV-
5 CVD Prozessen abgeleitet und gezeigt, wie die Existenz von Sauerstoffrestkontaminationen zur Generation von Zwillingsdefekten und Stapelfehlern führt. Die Bedingungen für epitaktisches Wachstum im Falle der UHV – CVD sind weniger streng als bei der MBE. Dennoch muß bei der UHV-CVD der Sauerstoffpartialdruck im Trägergas bei 700 °C kleiner als ca. 1 ppb sein, um defektfreies Wachstum zu ermöglichen. Bei der UHV – MBE
10 werden Sauerstoffpartialdrücke von kleiner ca. 2×10^{-9} Torr bei 700 °C für defektfreies Wachstum gefordert.

In der Arbeit von Niel und anderen [S. Niel, O. Rozeau, und andere, Techn. Digest. IEDM, p. 807 (1997)] wird von der Formierung eines einkristallinen Emitters bei As in-situ Dotie-
15 rung in einem kommerziellen Einscheibenreaktor berichtet. Diese technische Lösung hat jedoch den wesentlichen Nachteil einer geringen Produktivität, vor allem bedingt durch den Einscheibenreaktor selbst. Zum anderen müssen für die Absicherung des einkristallinen Wachstums und für ausreichende Wachstumsgeschwindigkeiten relativ hohe Wachstumstemperaturen eingesetzt werden, was für Wafer mit begrenztem zulässigem Wärme-
20 budget ein wesentlicher Nachteil sein kann.

Es ist weiter bekannt, daß komplett epitaktische Vertikalstrukturen für bipolare Transistoren in Ultrahochvakuum-Systemen für die Molekularstrahlepitaxie (MBE) sowie in extrem sauberen Normaldruck- und Niederdruck-CVD-Anlagen ohne Wachstumsunterbrechung
25 hergestellt werden können. Dabei entfällt jedoch die Möglichkeit, nach Herstellung der Kollektor- und Basis-Gebiete externe Präparationsschritte außerhalb des Epitaxiereaktors durchführen zu können. Dies schränkt die technologischen Möglichkeiten der Einbindung der Transistoren in komplexe Schaltungen in erheblichem Maße ein.

30 Der Erfindung liegt die Aufgabe zugrunde, eine Schichtstruktur für bipolare Transistoren vorzuschlagen, mit Hilfe derer die elektrischen Eigenschaften und die Homogenität bipolarer Transistoren verbessert werden. Insbesondere soll bei verringerten Emitterübergangswiderständen das Basisstromverhalten verbessert und das Rauschen reduziert werden sowie ein Verfahren zur Herstellung von bipolaren Transistoren mit einer solchen Schicht-

struktur aufgezeigt werden. mit Hilfe dessen es möglich wird, integrierte Schaltungen mit derartigen bipolaren Transistoren bei guter Ausbeute und Reproduzierbarkeit herzustellen.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die Vertikalstruktur der Transistoren eine partiell-einkristalline Emitterschicht enthält, die oberhalb einer epitaktischen, einkristallinen Anwachsschicht in eine polykristalline und/oder amorphe Schicht umschlägt und in der Vertikalstruktur des Transistors die partiell-einkristalline Emitterschicht lokal mit dünnen Oxid- und/oder Nitridschichten unterlegt ist. Die partiell-einkristalline Emitterschicht ist auf einer $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ -Deckelschicht, einer Si-Pufferschicht und einem Silizium-Substrat mit den Parametern x, y im Bereich $0 \leq x, y \leq 1$ abgeschieden. Die Grenzfläche zwischen der partiell-einkristallinen Emitterschicht und dem Unterbau ist durch eine geringe Sauerstoffkontamination mit einer Sauerstoffdosis kleiner als $1 \times 10^{15} \text{ cm}^{-2}$ gekennzeichnet. Mindestens ein Teil der elektrisch aktiven Zone der partiell-einkristallinen Emitterschicht ist durch eine $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ -Deckelschicht mit den Parametern x, y im Bereich $0 \leq x, y \leq 1$ gebildet. Das erfindungsgemäße Verfahren zur Herstellung der Schichtstruktur für Si-basierende bipolare Transistoren beruht darauf, dass

- eine Lagerung der Proben nach einer Vorbehandlung der Oberfläche des Siliziumsubstrats mit Hydrofluorid-haltigen Lösungsmitteln und vor dem Einschleusen in einen CVD-Reaktor auf weniger als eine Stunde begrenzt wird,
- eine Vortempering der Proben im Temperaturbereich von 650°C – 1100°C in wasserstoffhaltigen Gasen bei Temperzeiten im Bereich von 5 Sekunden bis 120 Minuten vorgesehen ist,
- ein Dotiergas bereits während der Abkühlung auf die Schichtwachstumstemperatur zugeführt wird und daß
- nach einer Abkühlung auf die Schichtwachstumstemperatur eine partiell-einkristalline Emitterschicht (5) unter Zugabe von Silan und Dotiergas bei einer Temperatur im Bereich 450°C – 700°C aufgebracht wird, die zunächst einkristallin anwächst und dann in eine polykristalline und/oder amorphe Schicht umschlägt.

- Vorteilhafterweise wird die partiell-einkristalline Emitterschicht mittels chemischer Gasphasenabscheidung bei Niederdruck in einem Vielscheibenreaktor aufgebracht. Bevorzugt wird die partiell-einkristalline Emitterschicht durch eine dotierte $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ -Schicht mit den Parametern x,y im Bereich $0 \leq x,y \leq 1$ gebildet. Die Proben werden ohne eine Belüftung der CVD-Anlage vor der Vortempering in wasserstoffhaltigen Gasen einer intensiven Stickstoffspülung von mindestens 15 Minuten bei kaltem CVD-Reaktor unterzogen. Der Schichtaufbau wird nach der Formierung der Si-Deckelschicht und vor dem Abscheiden der partiell-einkristallinen Emitterschicht weiteren technologischen Teilschritten, wie beispielsweise Oxidationen, Implantationen, Ätzungen, Maskenteilschritte, unterzogen. Das einkristalline Wachstum der partiell-einkristallinen Si-Emitterschicht wird bis zum Ende der Schichtabscheidung aufrecht erhalten, so daß kein Umschlag zu polykristallinem/amorphem Wachstum erfolgt. Das Dotierungselement für die partiell-einkristalline Emitterschicht ist As und/oder P. Zum Aufwachsen der Emitterschicht wird mindestens ein Emitterdotand während des CVD Abscheideprozesses eingebracht. Vorteilhafterweise wird der Emitterdotand bereits beim Abkühlungsprozeß und vor der Silanzugabe zum Aufwachsen der partiell-einkristallinen Emitterschicht eingebracht. Wahlweise werden eine homogen dotierte partiell-einkristalline Emitterschicht oder zur Erhöhung der Wachstumsrate dotierte und undotierte Bereiche der partiell-einkristallinen Emitterschicht im Wechsel abgeschieden. In einer bevorzugten Ausführung wird die partiell-einkristalline Emitterschicht auf Si-Substratwafern aufgebracht. In einer ebenfalls bevorzugten Ausführung wird die partiell-kristalline Emitterschicht auf kommerziellen Si-Substratwafern oder auf kommerziellen "silicon-on-insulator" (SOI)-Wafern sowie Si-Wafern mit homoepitaktischen Schichten und entsprechend dem Stand der Technik formierten Si-Basisstrukturen und Si-Kollektorstrukturen aufgebracht. Bevorzugt kommt die partiell-einkristalline Emitterschicht in der Heterostruktur Si - Emitter / Si / $\text{Si}_y\text{C}_{1-y}$ / Si- Substrat zum Einsatz. In einer anderen Ausführung kommt die partiell-kristalline Emitterschicht in dreikomponentigen Materialsystemen der Art Si - Emitter / Si / $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$, $\text{Si}_x\text{Ge}_y\text{O}_{1-x-y}$, mit den Parametern x,y im Bereich $0 \leq x,y \leq 1$, auf Si Substraten zum Einsatz.
- In einer überraschenden und auch für den Fachmann nicht vorhersehbaren Art und Weise gelingt es dabei, in den Anfangsstadien sicher und homogen epitaktisches Wachstum zu stimulieren und damit vorteilhafte Grenzflächeneigenschaften zu erzeugen. Im nachfolgenden Prozeß kann je nach Wahl der Abscheidebedingungen das epitaktische Wachstum

fortgeführt oder zu polykristallinen/amorphen Wachstumsbedingungen übergegangen und eine partiell-einkristalline Schichtfolge mit vorteilhaften Eigenschaften formiert werden.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und der Zeichnung hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähiger Ausführungen darstellen, für die hier Schutz beansprucht wird.

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und wird im folgenden näher erläutert. Es zeigen:

- Fig. 1(a), - 1(c) -** schematische Schnittansichten eines Ausschnittes aus der Vertikalstruktur eines Bipolartransistors,
Fig. 2(a), 2(b) - analytische Meßergebnisse und eine Strukturdarstellung der erfindungsgemäßen partiell-einkristallinen Emitterschicht, die den Erfolg des Verfahrens illustrieren.

In Fig. 1a ist ein Siliziumwafer mit einem nach dem Stand der Technik erzeugten Schichtstapel für einen Heterobipolartransistor versehen. Der Schichtstapel besteht aus einer dotierten Si-Pufferschicht **2** unmittelbar auf dem Si-Substrat **1** zur Formierung des Kollektors, einer $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ -Schicht **3** mit den Parametern x, y im Bereich $0 \leq x, y \leq 1$, zur Bildung der Basis, einer epitaktischen Si-Deckelschicht **4** und einer polykristallinen Siliziumschicht zur Formierung des Emitters **5** versehen. Die kritische Grenzfläche **6** zwischen der Si-Emitterschicht **5** und der epitaktischen Si-Deckelschicht **4** ist bei einer Schichtherstellung nach dem Stand der Technik mit Oxidresten und/oder starken Sauerstoffkontaminationen behaftet. Das führt zur Bildung einer Vielzahl von Wachstumskeimen, die letztlich polykristallines Schichtwachstum bedingen. Die polykristalline Emitterschicht kann auch durch eine $\text{Si}_x\text{Ge}_{1-x}$ -Schicht ausgebildet werden. Außerhalb des gezeigten Ausschnittes kann die Schichtabscheidung als polykristalline Schicht auch über entsprechend dem Stand der Technik erzeugten Nitrid- oder Oxidschichten oder über anderen Schichtaufbauten erfolgen.

Fig. 1b zeigt schematisch denselben, nach der erfindungsgemäßen Lösung erzeugten Schichtstapel, in dem die Grenzfläche **6** nur durch eine geringe Kontamination mit Sauer-

stoffkonzentrationen von vorzugsweise kleiner als $1 \times 10^{15} \text{ cm}^{-2}$ gekennzeichnet ist und bei dem nach zunächst epitaktischem, einkristallinem Wachstum der Si-Emitterschicht **5** in späteren Wachstumsstadien kristallographische Defekte entstehen, die erst in einer deutlichen Entfernung mit Ausbildung einer weiteren Grenzfläche **7** in polykristallinem Wachstum der Si-Emitterschicht **5** enden.

Fig. 1c zeigt den Grenzfall einer vollständig einkristallinen Emitterschicht **5**, wie sie beispielsweise bei Wachstum in Ultrahochvakuum (UHV) Systemen für die Molekularstrahlepitaxie (MBE) oder bei hohen Temperaturen und/oder in extrem sauberen Normaldruck- und Niederdruck – CVD – Anlagen herstellbar ist.

Fig. 2a liefert mittels Sekundärionenmassenspektroskopie (SIMS) aufgenommene quantifizierte Arsen- und Sauerstoff-Tiefenprofile einer partiell-einkristallinen Si-Emitterschicht **5** auf einem Si-Substrat **1** mit der Si-Deckelschicht **4** entsprechend dem erfindungsgemäßen Verfahren. Erkennbar ist die geringe Sauerstoffkontamination der Grenzfläche zwischen der As-dotierten partiell-einkristallinen Emitterschicht **5** und der Si-Deckelschicht **4** sowie die variierende As-Konzentration durch wechselweise dotiert und undotierte Abscheidung. Gleichzeitig wird ein für geringe Emitterübergangswiderstände erforderliches hohes As-Konzentrationsniveau gehalten.

Fig. 2b zeigt in einer transmissionselektronenmikroskopischen Aufnahme eines Querschnittes durch die partiell-einkristalline Emitterschicht **5** mit den beiden Grenzflächen **6** und **7** den Erfolg des Verfahrens zur Herstellung von Transistoren mit einer partiell-einkristallinen Emitterschicht **5**.

Für die erfindungsgemäße Herstellung der vertikalen Transistorstruktur kann eine kommerzielle, industriekompatible LP-CVD-Anlage mit einer großen Scheibenkapazität, beispielsweise von mehr als 50 Wafern pro Prozeß, ursprünglich spezifiziert für Abscheidungen von polykristallinem Silizium, eingesetzt werden. Dabei entsprechen sowohl die vorangehenden technologischen Schritte in der Transistorherstellung als auch die Lateralstruktur des Transistors dem Stand der Technik. Für die Herstellung der vertikalen Schichtfolge in der Transistorstruktur, insbesondere die Erzeugung der partiell-einkristallinen Emitterschicht **5**, kommt das erfindungsgemäße Verfahren zur Anwendung. Vor der Einsteuerung der Wafer in die LP-CVD-Anlage erfolgt eine Waferreinigung auf der

- Grundlage hydrofluoridhaltiger Lösungsmittel. Die Lagerzeit der Proben nach der Ätzung wird ohne spezielle Oberflächenpassivierung auf weniger als eine Stunde begrenzt. Die erfindungsgemäße Lösung kann auch in CVD Anlagen ohne Waferschleuse, die die Belüftung der Gesamtanlage vermeidet, zum Einsatz kommen. In diesen Fällen wird die Anlage
- 5 erfindungsgemäß einer intensiven Stickstoffspülung von mindestens 15 Minuten bei kaltem Reaktor unterzogen. Nach einer erfindungsgemäßen Vortemperung von 1 min bis mehreren Stunden, vorzugsweise von 30 Minuten, bei moderaten Temperaturen im Bereich von 550 °C bis 1100 °C, vorzugsweise bei 700°C, unter Wasserstoff, kann erfindungsgemäß bereits bei der Abkühlung auf die Wachstumstemperatur im Bereich von 450 °C bis
- 10 700 °C, vorzugsweise 550 °C, die Zuschaltung des Dotiergases für die in-situ Dotierung der Schicht, vorzugsweise mit Arsen oder Phosphor, erfolgen. Bei Erreichen der Wachstumstemperatur erfolgt die Zugabe von Silan und der eigentliche Wachstumsprozeß setzt ein. Die Sauerstoffkontamination der Grenzfläche 6 zwischen der Emitterschicht 5 und dem Silizium-Substrat 1 beziehungsweise der Si-Deckelschicht 4 wird erfindungsgemäß
- 15 auf eine eingebaute Sauerstoffdosis von kleiner als $5 \times 10^{15} \text{ cm}^{-2}$, vorzugsweise kleiner als $1 \times 10^{15} \text{ cm}^{-2}$, begrenzt. Wahlweise lassen sich homogen dotierte Schichten bei relativ geringer Wachstumsrate unter 0,1 nm/min oder dotiert/undotierte Bereiche mit moderaten Wachstumsraten oberhalb 1 nm/min bis mehrere 10 nm/min abscheiden.
- 20 Die Vorzüge des erfindungsgemäßen Verfahrens sind erkennbar. Durch die nahezu perfekte Grenzfläche 6 sind eine homogene Eindiffusion und ein geringer Übergangswiderstand möglich. Erkennbar ist in Fig. 2(b) auch die geringe Oberflächenrauigkeit des Emittterkontaktes, die deutlich geringer ausfällt als bei entsprechend dem Stand der Technik erzeugten polykristallinen Emitterschichten mit großen Körnern.
- 25 Die erfindungsgemäße Lösung liefert darüber hinaus wesentliche weitere Vorteile:
- Durch die Ausbildung wechselweise dotierter und undotierter Bereiche kann nach zunächst einkristallinem Anwachsen die Schichtabscheidung bei gleicher Schichtdicke wesentlich verkürzt werden. Das führt zu einer Verkürzung des gesamten technologischen Ablaufes.
- 30 Durch die Abscheidung der in-situ dotierten Emitterschichten 5 können nachfolgende Implantationen zur Emitter-Dotierung eingespart werden.

Ein weiterer Vorteil der Erfindung liegt zusätzlich darin, daß durch das Fehlen der kontaminationsbehafteten Grenzfläche die Eindiffusion des Dotanden homogenisiert wird, was sich ebenfalls in einer Verbesserung der elektrischen Parameter äußert.

- 5 Im Vergleich zu komplett einkristallinen Emitterschichten **5** besteht die Möglichkeit, zusätzliche Implantationen zu nutzen, ohne gravierend mit den für einkristalline Materialien typischen Effekten der implantationsinduzierten Nichtgleichgewichtsdiffusion, der sogenannten "transient-enhanced" Diffusion, konfrontiert zu sein.
- 10 Die erfindungsgemäße Lösung eröffnet die Möglichkeit, den Wachstumsprozeß mit einer selektiven, epitaktischen Abscheidung zu beginnen, wobei sich diese Schicht zunächst nur in den nicht mit Oxid bedeckten, geöffneten Fenstern abscheidet. Dabei wird der Höhenunterschied zwischen der Si-Oberfläche und der Oxidoberfläche vermindert. Erst beim Umschlag zum polykristallinen Silizium in den geöffneten Fenstern beginnt nichtselektives
- 15 Schichtwachstum auf dem gesamten Wafer.

Die erfindungsgemäße Lösung ermöglicht auch die Schaffung einer entsprechenden Schichtstruktur auf "silicon on insulator"(SOI)-Wafers.

- 20 Der erfindungsgemäße Transistor mit der partiell-einkristallinen Emitterschicht **5** und das Verfahren zu seiner Herstellung ermöglichen einen Einsatz in modernen $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ Technologien, mit den Parametern x,y im Bereich $0 \leq x,y \leq 1$, die perspektivisch für die Fertigung von modernen hochintegrierten Schaltkreisen für mobile Kommunikation vorgesehen sind .

25

- In der vorliegenden Erfindung wurde anhand konkreter Ausführungsbeispiele ein Verfahren zur Herstellung partiell-einkristalliner Emitterschichten **5** in Si / Si / $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ -Heterostrukturen, mit den Parametern x,y im Bereich $0 \leq x,y \leq 1$, erläutert. Es sei jedoch vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung in
- 30 den Ausführungsbeispielen eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden.

Patentansprüche

1. Schichtstruktur für Si-basierende bipolare Transistoren, **dadurch gekennzeichnet**,
5 daß die Vertikalstruktur der Transistoren eine partiell-einkristalline Emitterschicht (5) enthält, die oberhalb einer epitaktischen, einkristallinen Anwachsschicht in eine polykristalline und/oder amorphe Schicht umschlägt und in der Vertikalstruktur des Transistors die partiell-einkristalline Emitterschicht (5) lokal mit dünnen Oxid- und/oder Nitridschichten unterlegt ist.
- 10 2. Schichtstruktur nach Anspruch 1, **dadurch gekennzeichnet**, daß die partiell-einkristalline Emitterschicht (5) auf einer $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ -Deckelschicht (4), einer Si-Pufferschicht (2) und einem Silizium-Substrat (1) mit den Parametern x, y im Bereich $0 \leq x, y \leq 1$ abgeschieden ist.
- 15 3. Schichtstruktur nach Anspruch 1, **dadurch gekennzeichnet**, daß die Grenzfläche (6) zwischen der partiell-einkristallinen Emitterschicht (5) und dem Unterbau durch eine geringe Sauerstoffkontamination mit einer Sauerstoffdosis kleiner als $1 \times 10^{15} \text{ cm}^{-2}$ gekennzeichnet ist,
- 20 4. Schichtstruktur nach Anspruch 1 bis 2, **dadurch gekennzeichnet**, daß mindestens ein Teil der elektrisch aktiven Zone der partiell-einkristallinen Emitterschicht (5) durch eine $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ -Deckelschicht (4) mit den Parametern x, y im Bereich $0 \leq x, y \leq 1$ gebildet ist.
- 25 5. Verfahren zur Herstellung der Schichtstruktur für Si-basierende bipolare Transistoren nach mindestens einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**, daß
- eine Lagerung der Proben nach einer Vorbehandlung der Oberfläche des Siliziumsubstrats (1) mit hydrofluoridhaltigen Lösungsmitteln und vor dem
 - 30 Einschleusen in einen CVD-Reaktor auf weniger als eine Stunde begrenzt wird,
 - eine Vortempering der Proben im Temperaturbereich von 650°C – 1100°C in wasserstoffhaltigen Gasen bei Temperzeiten im Bereich von 5 Sekunden bis 120 Minuten vorgesehen ist,

- ein Dotiergas bereits während der Abkühlung auf die Schichtwachstumstemperatur zugeführt wird und
 - nach einer Abkühlung auf die Schichtwachstumstemperatur eine partiell-einkristalline Emitterschicht (5) unter Zugabe von Silan und Dotiergas bei einer Temperatur im Bereich 450 – 700 °C aufgebracht wird, die zunächst einkristallin anwächst und dann in eine polykristalline und/oder amorphe Schicht umschlägt.
- 5
6. Verfahren nach Anspruch 5, **dadurch gekennzeichnet**, daß die partiell-einkristalline Emitterschicht (5) mittels chemischer Gasphasenabscheidung bei Niederdruck in einem Vielscheibenreaktor aufgebracht wird.
- 10
7. Verfahren nach mindestens einem der Ansprüche 5 und 6, **dadurch gekennzeichnet**, daß die partiell-einkristalline Emitterschicht (5) durch eine dotierte $\text{Si}_x\text{Ge}_y\text{C}_{1-x-y}$ -Schicht (3) mit den Parametern x,y im Bereich $0 \leq x,y \leq 1$ gebildet wird.
- 15
8. Verfahren nach mindestens einem der Ansprüche 5 bis 7, **dadurch gekennzeichnet**, daß die Proben ohne eine Belüftung der CVD-Anlage vor der Vortemperatur in wasserstoffhaltigen Gasen einer intensiven Stickstoffspülung von mindestens 15 Minuten bei kaltem CVD-Reaktor unterzogen werden.
- 20
9. Verfahren nach einem der Ansprüche 5 bis 8, **dadurch gekennzeichnet**, daß der Schichtaufbau nach der Formierung der Si-Deckelschicht (4) und vor dem Abscheiden der partiell-einkristallinen Emitterschicht (5) weiteren technologischen Teilschritten, wie beispielsweise Oxidationen, Implantationen, Ätzungen, Maskenteilschritte, unterzogen wird.
- 25
10. Verfahren nach mindestens einem der Ansprüche 5 bis 9, **dadurch gekennzeichnet**, daß das einkristalline Wachstum der partiell-einkristallinen Si-Emitterschicht (5) bis zum Ende der Schichtabscheidung aufrechterhalten wird, so daß kein Umschlag zu polykristallinem/amorphem Wachstum erfolgt.
- 30
11. Verfahren nach mindestens einem der Ansprüche 5 bis 10, **dadurch gekennzeichnet**, daß das Dotierungselement für die partiell-einkristalline Emitterschicht (5) As und/oder P ist.

12. Verfahren nach mindestens einem der Ansprüche 5 bis 11, **dadurch gekennzeichnet**, daß mindestens ein Emitterdotand während des CVD Abscheideprozesses zum Aufwachsen der Emitterschicht (5) eingebracht wird.
- 5
13. Verfahren nach mindestens einem der Ansprüche 5 bis 12, **dadurch gekennzeichnet**, daß der Emitterdotand bereits beim Abkühlungsprozeß und vor der Silanzugabe zum Aufwachsen der partiell-einkristallinen Emitterschicht (5) eingebracht wird.
- 10
14. Verfahren nach mindestens einem der Ansprüche 5 bis 13, **dadurch gekennzeichnet**, daß wahlweise eine homogen dotierte partiell-einkristalline Emitterschicht (5) oder zur Erhöhung der Wachstumsrate dotierte und undotierte Bereiche der partiell-einkristallinen Emitterschicht (5) im Wechsel abgeschieden werden.
- 15
15. Verfahren nach mindestens einem der Ansprüche 5 bis 14, **dadurch gekennzeichnet**, daß die partiell-einkristalline Emitterschicht (5) auf Si-Substratwafern aufgebracht wird.
- 20
16. Verfahren nach einem der Ansprüche 5 bis 15, **dadurch gekennzeichnet**, daß die partiell-kristalline Emitterschicht (5) auf kommerziellen Si-Substratwafern oder auf kommerziellen "silicon-on-insulator" (SOI)-Wafern sowie Si-Wafern mit homoepitaktischen Schichten und entsprechend dem Stand der Technik formierten Si-Basisstrukturen und Si-Kollektorstrukturen aufgebracht wird.
- 25
17. Verfahren nach mindestens einem der Ansprüche 5 bis 16, **dadurch gekennzeichnet**, daß die partiell-einkristalline Emitterschicht (5) in der Heterostruktur Si – Emitter / Si / Si_yC_{1-y} / Si- Substrat zum Einsatz kommt.
- 30
18. Verfahren nach mindestens einem der Ansprüche 5 bis 16, **dadurch gekennzeichnet**, daß die partiell-kristalline Emitterschicht (5) in dreikomponentigen Materialsystemen der Art Si - Emitter / Si / Si_xGe_yC_{1-x-y}, Si_xGe_yO_{1-x-y}, mit den Parametern x,y im Bereich $0 \leq x,y \leq 1$, auf Si Substraten zum Einsatz kommt.

Schichtstruktur für bipolare Transistoren und Verfahren zu deren Herstellung

- 5 Die Erfindung betrifft eine Schichtstruktur für bipolare Transistoren und ein Verfahren zu deren Herstellung sowie ein Verfahren für auf dieser Grundlage hergestellten integrierten Schaltungen. Es soll eine Schichtstruktur für bipolare Transistoren vorgeschlagen werden, mit Hilfe derer die elektrischen Eigenschaften und die Homogenität bipolarer Transistoren verbessert werden. Insbesondere soll bei verringerten Emitterübergangswiderständen das
- 10 Basisstromverhalten verbessert und das Rauschen reduziert werden sowie ein Verfahren zur Herstellung von bipolaren Transistoren mit einer solchen Schichtstruktur aufgezeigt werden.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die Vertikalstruktur der Transistoren eine partiell-einkristalline Emitterschicht enthält, die oberhalb einer epitaktischen, einkristallinen Anwachsschicht in eine polykristalline und/oder amorphe Schicht um-

15 schlägt und in der Vertikalstruktur des Transistors die partiell-einkristalline Emitterschicht lokal mit dünnen Oxid- und/oder Nitridschichten unterlegt ist. Das erfindungsgemäße Verfahren zur Herstellung der Schichtstruktur für Si-basierende bipolare Transistoren beruht darauf, daß

- 20 - eine Lagerung der Proben nach einer Vorbehandlung der Oberfläche auf weniger als eine Stunde begrenzt wird,
- eine Vortemperung der Proben vorgesehen ist,
- ein Dotiergas bereits während der Abkühlung auf die Schichtwachstumstemperatur zugeführt wird und daß
- 25 - nach einer Abkühlung auf die Schichtwachstumstemperatur eine partiell-einkristalline Emitterschicht unter Zugabe von Silan und Dotiergas aufgebracht wird, die zunächst einkristallin anwächst und dann in eine polykristalline und/oder amorphe Schicht umschlägt.

30 Hierzu Fig. 1a

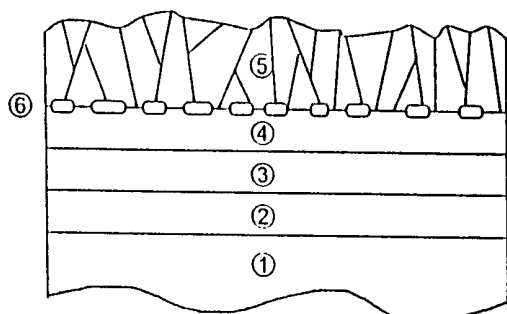


Fig. 1a

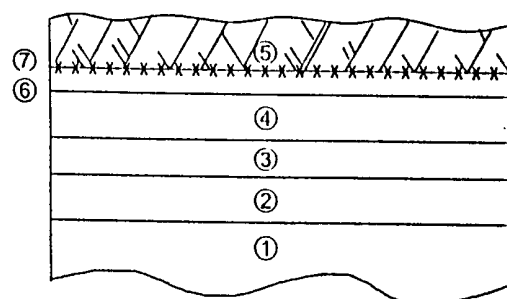


Fig. 1b

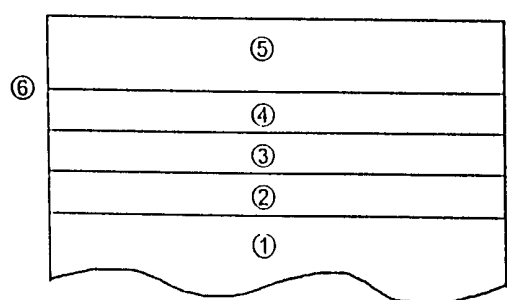
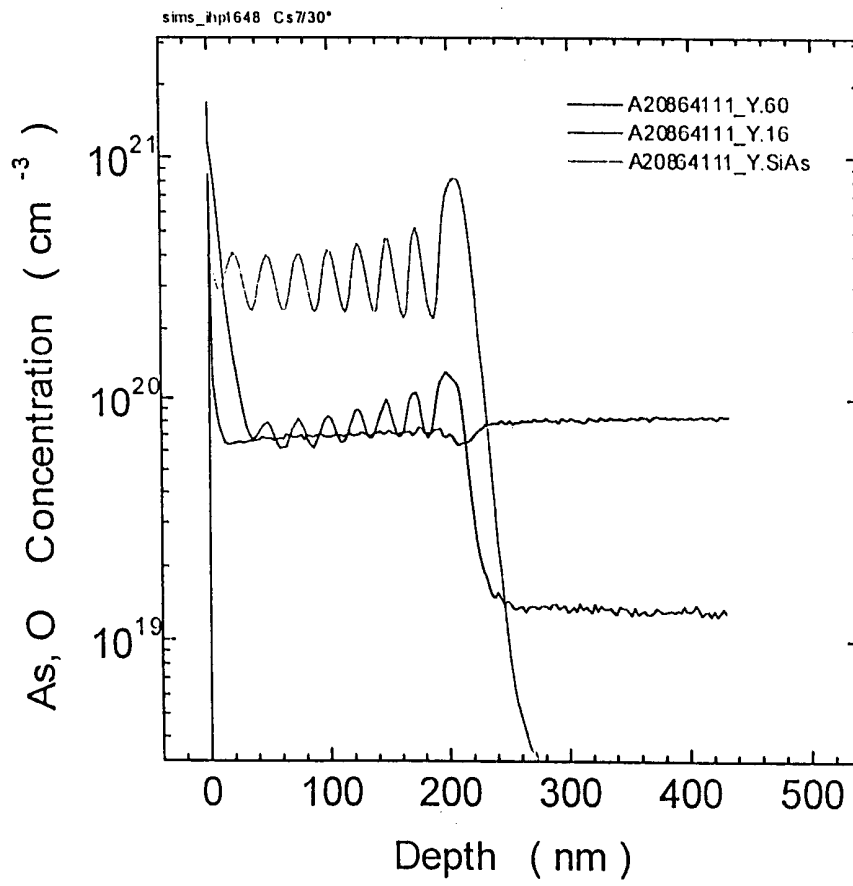
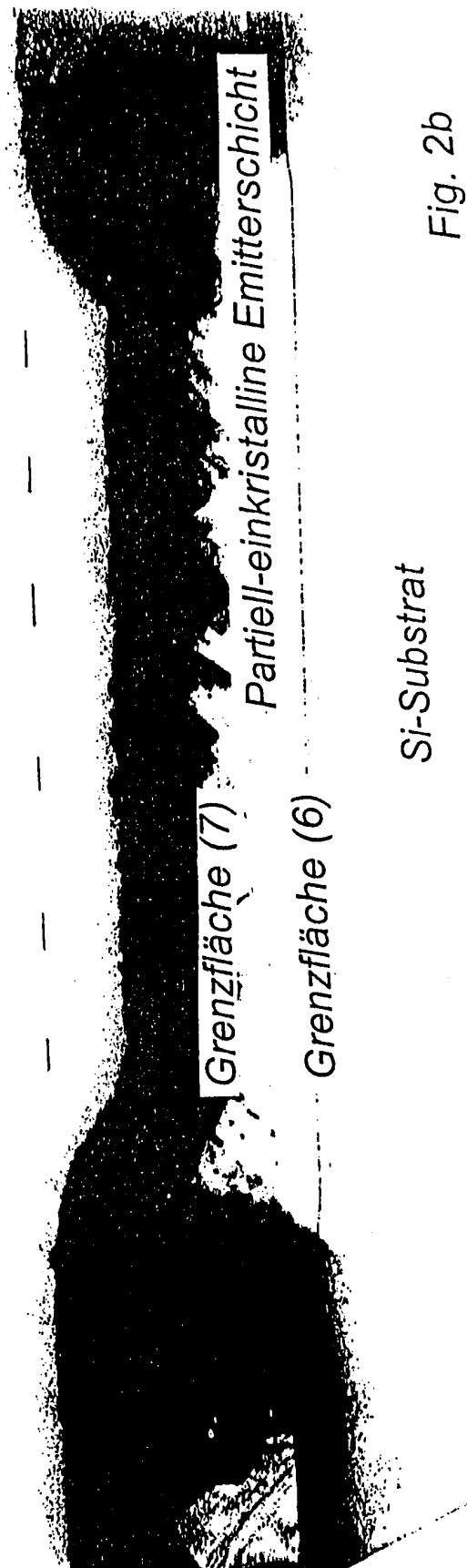


Fig. 1c

*Fig. 2a*



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/02491

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/205 H01L21/331

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 98 26457 A (HEINEMANN BERND ;LIPPERT GUNTHER (DE); INST HALBLEITERPHYSIK FRANK) 18 June 1998 (1998-06-18) the whole document ---	1,2,4,5, 7,17,18
A	WEIR B E ET AL: "LOW-TEMPERATURE HOMOEPITAXY ON SI(111)" APPLIED PHYSICS LETTERS,US,AMERICAN INSTITUTE OF PHYSICS. NEW YORK, vol. 59, no. 2, 8 July 1991 (1991-07-08), pages 204-206, XP000230501 ISSN: 0003-6951 the whole document ---	1,5
A	US 4 563 807 A (SAKAI ET AL.) 14 January 1986 (1986-01-14) column 4, line 5-56; figure 3D --- -/--	1



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

° Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

20 December 2000

Date of mailing of the international search report

09/01/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Baillet, B

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/02491

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>HAMEL J S ET AL: "Trade-off between emitter resistance and current gain in polysilicon emitter bipolar transistors with intentionally grown interfacial oxide layers"</p> <p>IEEE ELECTRON DEVICE LETTERS, JUNE 1992, USA, vol. 13, no. 6, pages 332-334, XP002156027</p> <p>ISSN: 0741-3106</p> <p>cited in the application</p> <p>the whole document</p> <p style="text-align: center;">---</p>	5
A	<p>LIPPERT G ET AL: "Optimized processing for differentially molecular beam epitaxy-grown SiGe(C) devices"</p> <p>PREPARATION AND CHARACTERIZATION, NL, ELSEVIER SEQUOIA, vol. 321, no. 1-2, 26 May 1998 (1998-05-26), pages 21-25, XP004147888</p> <p>ISSN: 0040-6090</p> <p>the whole document</p> <p style="text-align: center;">---</p>	5-18
A	<p>ABDUL-RAHIM A I ET AL: "Improved control of polysilicon emitter interfacial oxide using a UHV-compatible LPCVD cluster tool"</p> <p>IEEE MTT/ED/AP/LEO SOCIETIES JOINT CHAPTER UNITED KINGDOM AND REPUBLIC OF IRELAND SECTION. 1997 WORKSHOP ON HIGH PERFORMANCE ELECTRON DEVICES FOR MICROWAVE AND OPTOELECTRONIC APPLICATIONS. EDMO (CAT. NO.97TH8305), IEEE MTT/ED/AP/LEO SOCIETIES JOINT C, pages 232-236, XP002156028</p> <p>1997, New York, NY, USA, IEEE, USA</p> <p>ISBN: 0-7803-4135-X</p> <p>the whole document</p> <p style="text-align: center;">---</p>	5
A	<p>AGNELLO P D ET AL: "CONDITIONS FOR AN OXIDE-FREE SI SURFACE FOR LOW-TEMPERATURE PROCESSING: STEADY-STATE BOUNDARY"</p> <p>JOURNAL OF THE ELECTROCHEMICAL SOCIETY, US, ELECTROCHEMICAL SOCIETY. MANCHESTER, NEW HAMPSHIRE, vol. 139, no. 10, 1 October 1992 (1992-10-01), pages 2929-2934, XP000359004</p> <p>ISSN: 0013-4651</p> <p>cited in the application</p> <p>the whole document</p> <p style="text-align: center;">-----</p>	5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 00/02491

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9826457 A	18-06-1998	DE 19652423 A DE 19755979 A EP 0954880 A	10-06-1998 10-06-1999 10-11-1999
US 4563807 A	14-01-1986	JP 59186367 A	23-10-1984

INTERNATIONALER RECHERCHENBERICHT

Intern. Aktenzeichen

PCT/DE 00/02491

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/205 H01L21/331

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^o	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 98 26457 A (HEINEMANN BERND ;LIPPERT GUNTHER (DE); INST HALBLEITERPHYSIK FRANK) 18. Juni 1998 (1998-06-18) das ganze Dokument	1,2,4,5, 7,17,18
A	WEIR B E ET AL: "LOW-TEMPERATURE HOMOEPITAXY ON SI(111)" APPLIED PHYSICS LETTERS,US,AMERICAN INSTITUTE OF PHYSICS. NEW YORK, Bd. 59, Nr. 2, 8. Juli 1991 (1991-07-08), Seiten 204-206, XP000230501 ISSN: 0003-6951 das ganze Dokument	1,5
A	US 4 563 807 A (SAKAI ET AL.) 14. Januar 1986 (1986-01-14) Spalte 4, Zeile 5-56; Abbildung 3D	1
	--- -/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

^o Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. Dezember 2000

Absendedatum des internationalen Recherchenberichts

09/01/2001

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Baillet, B

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/02491

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>HAMEL J S ET AL: "Trade-off between emitter resistance and current gain in polysilicon emitter bipolar transistors with intentionally grown interfacial oxide layers"</p> <p>IEEE ELECTRON DEVICE LETTERS, JUNE 1992, USA, Bd. 13, Nr. 6, Seiten 332-334, XP002156027 ISSN: 0741-3106 in der Anmeldung erwähnt das ganze Dokument</p> <p>---</p>	5
A	<p>LIPPERT G ET AL: "Optimized processing for differentially molecular beam epitaxy-grown SiGe(C) devices"</p> <p>PREPARATION AND CHARACTERIZATION,NL,ELSEVIER SEQUOIA, Bd. 321, Nr. 1-2, 26. Mai 1998 (1998-05-26), Seiten 21-25, XP004147888 ISSN: 0040-6090 das ganze Dokument</p> <p>---</p>	5-18
A	<p>ABDUL-RAHIM A I ET AL: "Improved control of polysilicon emitter interfacial oxide using a UHV-compatible LPCVD cluster tool"</p> <p>IEEE MTT/ED/AP/LEO SOCIETIES JOINT CHAPTER UNITED KINGDOM AND REPUBLIC OF IRELAND SECTION. 1997 WORKSHOP ON HIGH PERFORMANCE ELECTRON DEVICES FOR MICROWAVE AND OPTOELECTRONIC APPLICATIONS. EDMO (CAT. NO.97TH8305), IEEE MTT/ED/AP/LEO SOCIETIES JOINT C, Seiten 232-236, XP002156028 1997, New York, NY, USA, IEEE, USA ISBN: 0-7803-4135-X das ganze Dokument</p> <p>---</p>	5
A	<p>AGNELLO P D ET AL: "CONDITIONS FOR AN OXIDE-FREE SI SURFACE FOR LOW-TEMPERATURE PROCESSING: STEADY-STATE BOUNDARY"</p> <p>JOURNAL OF THE ELECTROCHEMICAL SOCIETY,US,ELECTROCHEMICAL SOCIETY. MANCHESTER, NEW HAMPSHIRE, Bd. 139, Nr. 10, 1. Oktober 1992 (1992-10-01), Seiten 2929-2934, XP000359004 ISSN: 0013-4651 in der Anmeldung erwähnt das ganze Dokument</p> <p>-----</p>	5

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/02491

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 9826457 A	18-06-1998	DE 19652423 A	10-06-1998
		DE 19755979 A	10-06-1999
		EP 0954880 A	10-11-1999
US 4563807 A	14-01-1986	JP 59186367 A	23-10-1984