

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6170113号  
(P6170113)

(45) 発行日 平成29年7月26日 (2017. 7. 26)

(24) 登録日 平成29年7月7日 (2017. 7. 7)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 3 K 19/173 (2006. 01)

H O 3 K 19/173 1 3 O

H O 1 L 21/8234 (2006. 01)

H O 1 L 29/78 6 1 3 Z

H O 1 L 27/088 (2006. 01)

H O 1 L 29/78 6 2 O

H O 1 L 21/8238 (2006. 01)

H O 1 L 29/78 6 1 8 E

請求項の数 4 (全 49 頁) 最終頁に続く

(21) 出願番号 特願2015-208227 (P2015-208227)

(22) 出願日 平成27年10月22日 (2015. 10. 22)

(62) 分割の表示 特願2012-98428 (P2012-98428)  
の分割

原出願日 平成24年4月24日 (2012. 4. 24)

(65) 公開番号 特開2016-34034 (P2016-34034A)

(43) 公開日 平成28年3月10日 (2016. 3. 10)

審査請求日 平成27年10月23日 (2015. 10. 23)

(31) 優先権主張番号 特願2011-102585 (P2011-102585)

(32) 優先日 平成23年4月29日 (2011. 4. 29)

(33) 優先権主張国 日本国 (JP)

(31) 優先権主張番号 特願2011-113316 (P2011-113316)

(32) 優先日 平成23年5月20日 (2011. 5. 20)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷 3 9 8 番地

(72) 発明者 西島 辰司

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 プログラマブルロジックデバイス及びその作製方法

(57) 【特許請求の範囲】

【請求項 1】

酸化物半導体膜にチャネル形成領域を有する第 1 のトランジスタと、シリコンにチャネル形成領域を有する第 2 のトランジスタと、を有し、

コンフィギュレーションデータを保持するコンフィギュレーションメモリを有するプログラマブルロジックデバイスであって、

前記酸化物半導体膜は、第 1 の酸化物半導体膜と、第 2 の酸化物半導体膜と、を有し、  
前記第 2 のトランジスタのチャネル形成領域の上方に、前記第 2 のトランジスタのゲートを有し、

前記第 2 のトランジスタのゲートの上方に、上面が平坦な絶縁層を有し、

前記絶縁層の上方に、前記第 1 の酸化物半導体膜を有し、

前記第 1 の酸化物半導体膜の上方に、前記第 2 の酸化物半導体膜を有し、

前記第 2 の酸化物半導体膜の上方に、前記第 1 のトランジスタのゲートを有し、

前記第 1 の酸化物半導体膜は、前記絶縁層の上面に垂直な方向に沿って c 軸配向した結晶を有し、

前記第 2 の酸化物半導体膜は、前記第 2 の酸化物半導体膜の上面に垂直な方向に沿って c 軸配向した結晶を有することを特徴とするプログラマブルロジックデバイス。

【請求項 2】

酸化物半導体膜にチャネル形成領域を有する第 1 のトランジスタと、シリコンにチャネル形成領域を有する第 2 のトランジスタと、を有し、

10

20

コンフィギュレーションデータを保持するコンフィギュレーションメモリを有するプログラマブルロジックデバイスであって、

前記酸化物半導体膜は、第 1 の酸化物半導体膜と、第 2 の酸化物半導体膜と、を有し、  
前記第 2 のトランジスタのチャネル形成領域の上方に、前記第 2 のトランジスタのゲートを有し、

前記第 2 のトランジスタのゲートの上方に、上面が平坦な絶縁層を有し、

前記絶縁層の上方に、前記第 1 の酸化物半導体膜を有し、

前記第 1 の酸化物半導体膜の上方に、前記第 2 の酸化物半導体膜を有し、

前記第 2 の酸化物半導体膜の上方に、前記第 1 のトランジスタのゲートを有し、

前記第 1 の酸化物半導体膜は、前記絶縁層の上面に垂直な方向に沿って c 軸配向した結晶を有し、

10

前記第 2 の酸化物半導体膜は、前記絶縁層の上面に垂直な方向に沿って c 軸配向した結晶を有することを特徴とするプログラマブルロジックデバイス。

【請求項 3】

酸化物半導体膜にチャネル形成領域を有する第 1 のトランジスタと、シリコンにチャネル形成領域を有する第 2 のトランジスタと、を有し、

コンフィギュレーションデータを保持するコンフィギュレーションメモリを有するプログラマブルロジックデバイスの作製方法であって、

前記酸化物半導体膜は、第 1 の酸化物半導体膜と、第 2 の酸化物半導体膜と、を有し、  
前記第 2 のトランジスタのチャネル形成領域の上方に、前記第 2 のトランジスタのゲートを有し、

20

前記第 2 のトランジスタのゲートの上方に、上面が平坦な絶縁層を有し、

前記絶縁層の上方に、前記第 1 の酸化物半導体膜を有し、

前記第 1 の酸化物半導体膜の上方に、前記第 2 の酸化物半導体膜を有し、

前記第 2 の酸化物半導体膜の上方に、前記第 1 のトランジスタのゲートを有し、

前記第 1 の酸化物半導体膜は、前記絶縁層の上面に垂直な方向に沿って c 軸配向した結晶を有し、

前記第 2 の酸化物半導体膜は、前記第 2 の酸化物半導体膜の上面に垂直な方向に沿って c 軸配向した結晶を有し、

前記第 1 の酸化物半導体膜及び前記第 2 の酸化物半導体膜は、加熱処理により脱水素化されると共に前記絶縁層から酸素が供給される工程を経て作製されることを特徴とするプログラマブルロジックデバイスの作製方法。

30

【請求項 4】

酸化物半導体膜にチャネル形成領域を有する第 1 のトランジスタと、シリコンにチャネル形成領域を有する第 2 のトランジスタと、を有し、

コンフィギュレーションデータを保持するコンフィギュレーションメモリを有するプログラマブルロジックデバイスの作製方法であって、

前記酸化物半導体膜は、第 1 の酸化物半導体膜と、第 2 の酸化物半導体膜と、を有し、  
前記第 2 のトランジスタのチャネル形成領域の上方に、前記第 2 のトランジスタのゲートを有し、

40

前記第 2 のトランジスタのゲートの上方に、上面が平坦な絶縁層を有し、

前記絶縁層の上方に、前記第 1 の酸化物半導体膜を有し、

前記第 1 の酸化物半導体膜の上方に、前記第 2 の酸化物半導体膜を有し、

前記第 2 の酸化物半導体膜の上方に、前記第 1 のトランジスタのゲートを有し、

前記第 1 の酸化物半導体膜は、前記絶縁層の上面に垂直な方向に沿って c 軸配向した結晶を有し、

前記第 2 の酸化物半導体膜は、前記絶縁層の上面に垂直な方向に沿って c 軸配向した結晶を有し、

前記第 1 の酸化物半導体膜及び前記第 2 の酸化物半導体膜は、加熱処理により脱水素化されると共に前記絶縁層から酸素が供給される工程を経て作製されることを特徴とするプ

50

プログラマブルロジックデバイスの作製方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

プログラマブルロジックデバイスに関する。また、プログラマブルロジックデバイスを用いた半導体装置、及び半導体装置を用いた電子機器に関する。

## 【背景技術】

## 【0002】

プログラマブルロジックデバイスは、従来のASIC (Application Specific Integrated Circuit) やゲートアレイなどと比べて、開発期間の短縮や設計仕様の変更に対する柔軟性などの利点を有している。このため、プログラマブルロジックデバイスを半導体装置に搭載する開発が進んでいる。

10

## 【0003】

プログラマブルロジックデバイスは、例えば、複数の論理エレメントで構成される複数の論理ブロックと、複数の論理ブロックを接続する配線と、入出力ブロックとで構成される。各論理エレメントの機能を変更することで、プログラマブルロジックデバイスの機能を変更することができる。

## 【0004】

論理エレメントは、例えば、ルックアップテーブルなどを用いて構成されている。ルックアップテーブルは、入力信号に対して、設定データに応じた演算処理を行い、信号を出力する。ここで、設定データは、各論理エレメントに対応して設けられたメモリ素子に記憶される。また、当該メモリ素子に記憶されたデータに応じて、ルックアップテーブルは異なる演算処理を行うことができる。そのため、論理エレメントの機能は、当該メモリ素子に特定の設定データを記憶させることで特定することができる。

20

## 【0005】

上記の当該ルックアップテーブルの設定データなどをコンフィギュレーションデータと呼ぶ。また、各論理エレメントに対応して設けられ、コンフィギュレーションデータを記憶する記憶回路をコンフィギュレーションメモリと呼ぶ。プログラマブルロジックデバイスをユーザーの目的に応じた回路構成に変更することは、所望のコンフィギュレーションデータを作成 (プログラム) し、コンフィギュレーションを行うことで実現できる。

30

## 【0006】

従来、コンフィギュレーションメモリとしてSRAM (Static Random Access Memory) 等の揮発性メモリが用いられている。しかしながら、揮発性メモリは、電源の切断時においてコンフィギュレーションメモリに保持されていた情報 (コンフィギュレーションデータ) が失われてしまう。このため、電源を供給した後、コンフィギュレーションメモリに情報を書き込む必要があり、電源供給を行った後、プログラマブルロジックデバイスが動作するまでの時間 (以下、起動時間という。) が長い。

## 【0007】

このため、電源遮断後の起動時間を短くするため、コンフィギュレーションメモリとして、EEPROM (Electrically Erasable Programmable Read-Only Memory)、FeRAM (Ferroelectric RAM) 等の不揮発性メモリを用いるプログラマブルロジックデバイスが提案されている (特許文献1参照。 )。

40

## 【先行技術文献】

## 【特許文献】

## 【0008】

【特許文献1】特開平10-285014号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0009】

50

しかしながら、EEPROMは書込電圧が高い。このため、EEPROMをコンフィギュレーションメモリとして用いる場合、コンフィギュレーションデータを書き込むための昇圧回路が必要であり、プログラマブルロジックデバイスの高集積化及び低消費電力化に問題がある。また、FeRAMは読み出し回数に制限があるため、コンフィギュレーションメモリとしては適切ではない。

【0010】

そこで、電源遮断後の起動時間が短く、高集積化及び低消費電力化を図ることが可能であるプログラマブルロジックデバイスを提供することを課題の一つとする。

【課題を解決するための手段】

【0011】

本発明の一態様は、入出力ブロックと、論理エレメントを有する複数の論理ブロックと、該複数の論理ブロックを接続する配線とを有するプログラマブルロジックデバイスにおいて、論理エレメントは、コンフィギュレーションデータが保持されたコンフィギュレーションメモリ及び選択回路を有するルックアップテーブルを有する。また、コンフィギュレーションメモリは、酸化物半導体膜をチャネル領域に有するトランジスタと、該トランジスタ及び選択回路の間に設けられた演算回路とを有するメモリ素子を複数有し、入力信号に応じて選択回路によりコンフィギュレーションデータを選択的に切り替えて出力することを特徴とする。

【0012】

なお、酸化物半導体膜をチャネル領域に有するトランジスタのソース及びドレインの一方が、演算回路の入力端子と接続する。また、演算回路の出力端子が、選択回路と接続する。また、ルックアップテーブルは、選択回路に接続するN個の入力端子（Nは自然数）と、出力端子とを有する。また、コンフィギュレーションメモリは、 $2^N$ 個のメモリ素子を有する。

【0013】

また、メモリ素子において、トランジスタと接続する演算回路は、インバータ、バッファ、NAND回路、AND回路、NOR回路、またはOR回路である。また、演算回路は、半導体基板または絶縁性基板上に設けられた半導体膜を用いたトランジスタで構成される。

【0014】

また、メモリ素子は、トランジスタ及び演算回路と接続する容量素子を有してもよい。該容量素子は、第1の電極、絶縁膜、及び第2の電極で構成され、第1の電極及び第2の電極の一方は上記トランジスタのソース及びドレインの一方、及び演算回路の入力端子と接続し、第1の電極及び第2の電極の他方は、定電位配線と接続する。

【0015】

コンフィギュレーションメモリにおいては、酸化物半導体膜をチャネル領域に有するトランジスタ及び演算回路で構成されるメモリ素子を有する。酸化物半導体膜をチャネル領域に有するトランジスタのソース及びドレインの一方の電位（またはそれに対応する電荷量）、と演算回路の接続部の電位（またはそれに対応する電荷量）をコンフィギュレーションデータに応じて制御することによって、メモリ素子にデータを記憶することができる。酸化物半導体膜をチャネル領域に有するトランジスタは、オフ電流が著しく小さいため、電源電圧の供給が停止した後も、該トランジスタのソース及びドレインの一方の電位を長期間に渡って保持することが可能となる。このため、コンフィギュレーションメモリを構成するメモリ素子は不揮発性であり、電源電圧の供給が停止した後も記憶されたデータ（コンフィギュレーションデータ）を保持可能である。

【0016】

また、上記不揮発性のメモリ素子では、データに対応する信号電位を、酸化物半導体膜をチャネル領域に有するトランジスタのソース及びドレインの一方に入力し、オフ電流が非常に小さなトランジスタをオフ状態として、当該ソース及びドレインの一方をフローティング状態とすることにより、データを記憶する構成である。そのため、上記不揮発性のメ

10

20

30

40

50

メモリ素子において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

【0017】

本発明のプログラマブルロジックデバイスの一態様は、論理エレメントを有する論理ブロックを複数有し、論理エレメントは、コンフィギュレーションメモリ及び選択回路を有するルックアップテーブルを有する。論理エレメントそれぞれにおいて、ルックアップテーブルは、コンフィギュレーションメモリに記憶されたコンフィギュレーションデータが入力され、コンフィギュレーションデータに応じて異なる演算処理を行う。本発明の一態様では、コンフィギュレーションメモリとして、コンフィギュレーションデータを保持可能な不揮発性のメモリ素子を用いるため、電源遮断後の起動時間が短い。

10

【0018】

また、コンフィギュレーションメモリに含まれるメモリ素子は、酸化物半導体膜をチャネル領域に有するトランジスタと、当該トランジスタに接続する、半導体基板または絶縁性基板上に設けられた半導体膜を用いたトランジスタで構成される演算回路とで構成される。このため、演算回路上に酸化物半導体膜をチャネル領域に有するトランジスタを積層することができ、プログラマブルロジックデバイスの高集積化が可能である。

【発明の効果】

【0019】

本発明の一態様は、酸化物半導体膜をチャネル領域に有するトランジスタ及び演算回路を用いて構成された不揮発性のメモリ素子を用いてコンフィギュレーションメモリを構成するため、電源が遮断されてもコンフィギュレーションメモリにデータを保持することができる。このため、プログラマブルロジックデバイスの起動時間を短縮することができる。共に、低消費電力化が可能である。また、コンフィギュレーションメモリに含まれるメモリ素子において、酸化物半導体膜をチャネル領域に有するトランジスタ及び演算回路を積層構造とすることができるため、高集積化が可能である。

20

【図面の簡単な説明】

【0020】

【図1】本発明の一態様に係るプログラマブルロジックデバイスを説明するブロック図である。

【図2】論理ブロックを説明するブロック図である。

30

【図3】論理エレメントを説明するブロック図である。

【図4】ルックアップテーブル及びメモリ素子を説明する回路図である。

【図5】選択回路を説明する回路図である。

【図6】選択回路を説明する回路図である。

【図7】メモリ素子を説明する回路図である。

【図8】プログラマブルロジックデバイスの作製方法を説明する断面図である。

【図9】プログラマブルロジックデバイスの作製方法を説明する断面図である。

【図10】プログラマブルロジックデバイスの作製方法を説明する断面図である。

【図11】プログラマブルロジックデバイスの作製方法を説明する断面図である。

【図12】携帯用の電子機器を説明するブロック図である。

40

【図13】電子書籍を説明するブロック図である。

【図14】酸化物材料の結晶構造を説明する図である。

【図15】酸化物材料の結晶構造を説明する図である。

【図16】酸化物材料の結晶構造を説明する図である。

【図17】計算によって得られた電界効果移動度のゲート電圧依存性を説明する図である。

【図18】計算によって得られたドレイン電流と電界効果移動度のゲート電圧依存性を説明する図である。

【図19】計算によって得られたドレイン電流と電界効果移動度のゲート電圧依存性を説明する図である。

50

【図 20】計算によって得られたドレイン電流と電界効果移動度のゲート電圧依存性を説明する図である。

【図 21】計算に用いたトランジスタの断面構造を説明する図である。

【図 22】酸化物半導体膜を用いたトランジスタ特性のグラフである。

【図 23】試料 1 のトランジスタの B T ストレス試験後の  $V_{gs} - I_{ds}$  特性を示す図である。

【図 24】試料 2 であるトランジスタの B T ストレス試験後の  $V_{gs} - I_{ds}$  特性を示す図である。

【図 25】試料 A 及び試料 B の X R D スペクトルを示す図である。

【図 26】トランジスタのオフ電流と測定時基板温度との関係を示す図である。

【図 27】 $I_{ds}$  及び電界効果移動度の  $V_{gs}$  依存性を示す図である。

【図 28】基板温度としきい値電圧の関係及び基板温度と電界効果移動度の関係を示す図である。

【図 29】トランジスタの上面図及び断面図である。

【図 30】トランジスタの上面図及び断面図である。

【発明を実施するための形態】

【0021】

以下では、実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0022】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。

【0023】

「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0024】

回路図上は独立している構成要素どうしが電氣的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0025】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0026】

「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものである。

【0027】

(実施の形態 1)

プログラマブルロジックデバイスの一形態について、図 1 ~ 図 7 を用いて説明する。

【0028】

図 1 は、プログラマブルロジックデバイス 101 の一形態を示すブロック図である。プロ

10

20

30

40

50

プログラマブルロジックデバイス 101 は、プログラマブルロジックデバイス 101 の周辺に沿って設けられた入出力ブロック 103 と、様々な機能を実現できる複数の論理ブロック 111a、111b、111c と、結線状態をスイッチ等によって変更できる配線と、制御メモリ 107 とを有する。

【0029】

入出力ブロック 103 は、プログラマブルロジックデバイスの外部との信号のやりとりを制御する。代表的には、プログラマブルロジックデバイスの外部端子に対して、信号入力または信号出力を設定する。

【0030】

制御メモリ 107 は、論理ブロック 111a ~ 111c に含まれるコンフィギュレーションメモリに書き込むためのデータ（コンフィギュレーションデータ）が保持されている。制御メモリ 107 はフラッシュROM等の不揮発性メモリで構成される。

【0031】

なお、図1においては、3つの論理ブロック 111a ~ 111c を示しているが、論理ブロックは任意の個数とすることができる。また、プログラマブルロジックデバイス 101 は、更に、マルチプライヤ（乗算器）、PLL（Phase Locked Loop）ブロック等を有していてもよい。マルチプライヤ（乗算器）は、複数のデータの乗算を高速で行う機能を有する。PLLブロックは、クロック信号をプログラマブルロジックデバイス内部の回路に供給する機能を有する。

【0032】

図2は、論理ブロックの一形態を示すブロック図である。論理ブロック 111a は、複数の論理エレメント 121a ~ 121d を有する。それぞれの論理エレメント 121a ~ 121d のコンフィギュレーションデータを変更することによって、論理ブロックの機能を適宜変更することができる。また、図示しないが、複数の論理エレメントはそれぞれ配線で接続されている。なお、ここでは、4つの論理エレメントを示しているが、論理エレメントは任意の個数とすることができる。

【0033】

図3は、論理エレメントの一形態を示すブロック図である。論理エレメント 121a は、コンフィギュレーションメモリ 133 及び選択回路 135 を有するルックアップテーブル 131 と、レジスタ 137 と、レジスタ 137 及びルックアップテーブル 131 の出力の切り替えを行うための選択回路 139 とを有する。ここでは、選択回路 139 としては、2入力1出力構造のマルチプレクサを用いることができる。

【0034】

ルックアップテーブル 131 は、入力信号に対して、コンフィギュレーションデータに応じた演算処理を行い、信号を出力する。

【0035】

レジスタ 137 は、ルックアップテーブル 131 で出力された信号の一部が入力され保持する。クロック信号 CLK の入力により、当該レジスタ 137 に保持された信号をクロック信号 CLK に同期させて選択回路 139 に出力する。

【0036】

選択回路 139 は、ルックアップテーブル 131 から出力された出力信号と、レジスタ 137 から出力された出力信号とを選択するための回路である。選択信号（S0）の入力に従い、ルックアップテーブル 131 から出力された出力信号またはレジスタ 137 から出力された出力信号を論理エレメント 121a から、別の論理エレメントへ出力する。

【0037】

図4（A）は、ルックアップテーブル 131 の一形態を示す図である。ルックアップテーブル 131 は、複数のメモリ素子 141a ~ 141d を有するコンフィギュレーションメモリ 133 と、インバータ 151、153、及び入力信号によりコンフィギュレーションデータを選択し出力するマルチプレクサ 155 を有する選択回路 135 とを有する。また、選択回路 135 は、ルックアップテーブルの入力端子 143、145、並びに出力端子

10

20

30

40

50

147と接続する。入力端子143はインバータ151及びマルチプレクサ155と接続し、入力端子145はインバータ153及びマルチプレクサ155と接続する。ここでは、インバータ151、153が接続された2つの入力端子143、145を有するため、2つの信号の入力により、4つの信号がマルチプレクサ155に輸入される。具体的には、入力端子143に輸入された信号S1と、インバータ151で反転された信号S1Bがマルチプレクサ155に輸入される。また入力端子145に輸入された信号S2と、インバータ153で反転された信号S2Bがマルチプレクサ155に輸入される。

【0038】

ルックアップテーブル131において、入力端子数をNとした場合、コンフィギュレーションメモリ133に含まれるメモリ素子は、 $2^N$ 個である。ここでは、入力端子を2つ、メモリ素子を4つとしているが、コンフィギュレーションデータに合わせて、入力端子及びメモリ素子の数は任意とすることができる。

10

【0039】

次に、コンフィギュレーションメモリ133に設けられるメモリ素子の構成について図4(B)及び図4(C)を用いて説明する。

【0040】

図4(B)において、メモリ素子141は、酸化物半導体膜を有するトランジスタ161及び演算回路163を有する。なお、図4(B)及び図4(C)では、トランジスタ161のチャネル領域が酸化物半導体膜で形成されていることを示すため、「OS」の符号を付している。トランジスタ161のゲートはワード線と接続され、トランジスタ161のソース及びドレインの一方はビット線と接続される。トランジスタ161のソース及びドレインの他方は、演算回路163と電氣的に接続される。演算回路163は、出力端子169を介して、図4(A)に示す選択回路135に含まれるマルチプレクサ155と電氣的に接続される。

20

【0041】

また、図4(C)に示すように、メモリ素子141は、酸化物半導体膜を有するトランジスタ161及び演算回路163に接続する容量素子171を有してもよい。トランジスタ161のソース及びドレインの他方、並びに演算回路163は、容量素子171の一对の電極のうちの一方と電氣的に接続される。容量素子171の一对の電極のうちの他方は、定電位配線173と電氣的に接続される。

30

【0042】

酸化物半導体膜を有するトランジスタ161は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上と、エネルギーギャップの広い酸化物半導体膜をチャネル領域に有する。このため、酸化物半導体膜を有するトランジスタ161は、トランジスタのオフ電流を著しく低減することができる。なお、酸化物半導体膜を有するトランジスタの代わりに、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である炭化シリコンまたは窒化ガリウムなどをチャネル領域に用いたトランジスタを用いることができる。

【0043】

演算回路163は、インバータ、バッファ、NAND回路、AND回路、NOR回路、またはOR回路等の、入力信号がトランジスタのゲートに輸入され、当該信号を演算し、出力する回路を適宜用いることができる。演算回路163は、後述する半導体基板または絶縁性基板上に設けられた半導体膜を用いたトランジスタにより構成される。

40

【0044】

ここで、メモリ素子141として、演算回路163にバッファを用いた回路の一例について、図7を用いて説明する。

【0045】

バッファは、第1のnチャネル型のトランジスタ163aのソース及びドレインの一方が低電位電圧Vssと接続し、ソースまたはドレインの他方が第1のpチャネル型のトランジスタ163bのソース及びドレインの一方と接続する。また、第1のpチャネル型のト

50



ランジスタ 1 6 3 b のソース及びドレインの他方が高電位電圧  $V_{dd}$  と接続する。第 1 の n チャンネル型のランジスタ 1 6 3 a 及び第 1 の p チャンネル型のランジスタ 1 6 3 b のゲートは、酸化物半導体膜を有するランジスタ 1 6 1 のソース及びドレインの他方と接続する。第 2 の n チャンネル型のランジスタ 1 6 3 c のソース及びドレインの一方が低電位電圧  $V_{ss}$  と接続し、ソースまたはドレインの他方が第 2 の p チャンネル型のランジスタ 1 6 3 d のソース及びドレインの一方と接続する。また、第 2 の p チャンネル型のランジスタ 1 6 3 d のソース及びドレインの他方が高電位電圧  $V_{dd}$  と接続する。第 2 の n チャンネル型のランジスタ 1 6 3 c 及び第 2 の p チャンネル型のランジスタ 1 6 3 d のゲートは、第 1 の n チャンネル型のランジスタ 1 6 3 a のソース及びドレインの他方、並びに第 1 の p チャンネル型のランジスタ 1 6 3 b のソース及びドレインの一方と接続する。第 2 の n チャンネル型のランジスタ 1 6 3 c のソース及びドレインの他方、並びに第 2 の p チャンネル型のランジスタ 1 6 3 d のソース及びドレインの一方は、出力端子 1 6 9 と接続する。

10

#### 【 0 0 4 6 】

メモリ素子 1 4 1 では、ランジスタ 1 6 1 のソース及びドレインの他方の電位（またはそれに対応する電荷量）をコンフィギュレーションデータに応じて制御することにより、データを記憶する。ランジスタ 1 6 1 のソース及びドレインの他方に所定の電位が充電された状態を「1」に対応させ、ランジスタ 1 6 1 のソース及びドレインの他方に電位が充電されていない状態を「0」に対応させることによって、1 ビットのデータを記憶することができる。

20

#### 【 0 0 4 7 】

ランジスタ 1 6 1 のソース及びドレインの他方は、演算回路 1 6 3 であるバッファの第 1 の n チャンネル型のランジスタ 1 6 3 a 及び第 1 の p チャンネル型のランジスタ 1 6 3 b のゲートと接続する。このため、ランジスタ 1 6 1 のソース及びドレインの他方に保持した電位をランジスタ 1 6 1 のソース及びドレインの他方に保持することができる。このため、コンフィギュレーションデータが、他のメモリ素子へ漏れることを低減できる。

#### 【 0 0 4 8 】

また、メモリ素子 1 4 1 においては、酸化物半導体膜を有するランジスタ 1 6 1 のオフ電流が極めて小さいため、ランジスタ 1 6 1 をオフ状態とすることにより、電源電圧の供給が停止した後も、ランジスタ 1 6 1 のソース及びドレインの他方の電位、即ちデータを長期間に渡って保持することが可能となる。

30

#### 【 0 0 4 9 】

このように酸化物半導体を用いたランジスタによってメモリ素子 1 4 1 を形成することで、不揮発性メモリを実現することが可能となる。また、メモリ素子 1 4 1 では、データに対応する信号電位をランジスタ 1 6 1 に入力し、ランジスタ 1 6 1 をオフ状態として、当該ランジスタ 1 6 1 のソース及びドレインの他方をフローティング状態とすることにより、データを記憶する。そのため、メモリ素子 1 4 1 において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

40

#### 【 0 0 5 0 】

また、メモリ素子 1 4 1 においては、ランジスタ 1 6 1 のソース及びドレインの他方に容量素子 1 7 1 を設けることで、ランジスタ 1 6 1 のソース及びドレインの他方の電位をより確実に保持することができる。このため、メモリ素子 1 4 1 では、データに対応する信号電位を所定のノード（容量素子 1 7 1 の一对の電極のうち的一方）に入力し、ランジスタ 1 6 1 をオフ状態として、当該ノードをフローティング状態とすることにより、データを記憶することができる。そのため、メモリ素子 1 4 1 において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

#### 【 0 0 5 1 】

50

ところで、不揮発性メモリとして磁気トンネル接合素子（MTJ素子）が知られている。MTJ素子は、絶縁膜を介して上下に配置している膜中のスピンの向きが平行であれば低抵抗状態、反平行であれば高抵抗状態となることで情報を記憶する素子である。したがって、本実施の形態で示す酸化物半導体を用いたメモリとは原理が全く異なっている。表1はMTJ素子と、本実施の形態に係る半導体装置との対比を示す。

【0052】

【表1】

	スピントロニクス(MTJ素子)	酸化物半導体
1) 耐熱温度	キュリー温度	プロセス:500°C (信頼性:150°C)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体のスピンの向きを変える	FETのオン/オフ
4) Si LSI	バイポーラ LSI 向き	MOSLSI 向き
5) オーバーヘッド電力	大きい (ジュール熱が大きい)	2~3桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3次元化	難	容易(何層でも可)
9) 集積化度( $F^2$ )	$4F^2 \sim 15F^2$	三次元化の積層数で決まる
10) 材料	磁性を有する希土類	OS 材料
11) ビットコスト	高い	低い
12) 磁界耐性	弱い	強い

10

20

【0053】

MTJ素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、MTJ素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。そして、MTJ素子は書き込み電流が微小とはいえメモリの大容量化によって消費電力が増大してしまうといった問題がある。

30

【0054】

原理的にMTJ素子は磁界耐性に弱く強磁界にさらされるとスピンの向きが狂いやすい。また、MTJ素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

【0055】

さらに、MTJ素子は希土類元素を使用するため、金属汚染を嫌うシリコン半導体のプロセスに組み入れるには相当の注意を要する。MTJ素子はビット当たりの材料コストから見ても高価であると考えられる。

【0056】

一方、本実施の形態で示す酸化物半導体を用いたトランジスタは、チャンネルを形成する半導体材料が金属酸化物であること以外は、素子構造や動作原理がシリコンMOSFETと同様である。また、酸化物半導体を用いたトランジスタは磁界の影響を受けず、ソフトエラーも生じ得ないといった特質を有する。このことからシリコン集積回路と非常に整合性が良いといえる。

40

【0057】

図4(B)に示す構造のメモリ素子141を有するコンフィギュレーションメモリ133を採用したプログラマブルロジックデバイスにおいて、ノーマリ・オフの駆動方法を適用する場合について説明する。

【0058】

(電源電圧供給時の動作及びデータ格納の動作)

50

プログラマブルロジックデバイスに電源電圧が供給されている間、つまり図4(B)に示す構造のメモリ素子141を有するコンフィギュレーションメモリ133に電源電圧が供給されている間は、トランジスタ161のワード線にHigh電圧を印加して導通状態とし、ビット線から信号を入力して、トランジスタ161のソース及びドレインの他方にデータを書き込む。

【0059】

演算回路163がインバータまたはバッファの場合は、演算回路163に電源電圧を供給し、演算回路163を導通状態とする。即ち、トランジスタ161のソース及びドレインの他方に書き込まれたデータを演算回路163で演算し、出力端子169に出力する。また、演算回路163がNAND回路、AND回路、NOR回路、またはOR回路の場合は、演算回路163に読出し信号を入力し、トランジスタ161のソース及びドレインの他方に書き込まれたデータを演算回路163で演算し、出力端子169に出力する。

10

【0060】

また、メモリ素子141にコンフィギュレーションデータを格納する場合において、演算回路163がインバータまたはバッファの場合は、演算回路163を非導通状態とすることで、トランジスタ161のソース及びドレインの他方にデータを格納する。また、演算回路163がNAND回路、AND回路、NOR回路、またはOR回路の場合は、演算回路163への読出し信号の入力を停止することで、トランジスタ161のソース及びドレインの他方にデータを格納する。

【0061】

20

(データ待機の動作)

データ格納の後、トランジスタ161のワード線にLow電圧を印加してトランジスタ161をオフ状態とすることによって、メモリ素子141に記憶されたデータが変動しないような状態とする。こうしてデータの待機を行うことができる。メモリ素子141は不揮発性であり、トランジスタ161のオフ電流が極めて小さいため、トランジスタ161をオフ状態とすることにより、電源電圧の供給が停止した後もトランジスタ161のソース及びドレインの一方の電位、即ちデータを長期間に渡って保持することが可能となる。

【0062】

以上のとおり、データの待機を行った後、コンフィギュレーションメモリ133への電源電圧の供給を停止する。

30

【0063】

(データ供給の動作)

コンフィギュレーションメモリ133に電源電圧の供給を開始した後、演算回路163がインバータまたはバッファの場合は、演算回路163に電源電圧を供給し、演算回路163を導通状態とする。即ち、トランジスタ161のソース及びドレインの他方に書き込まれたデータを演算回路163で演算し、出力端子169に出力する。また、演算回路163がNAND回路、AND回路、NOR回路、またはOR回路の場合は、演算回路163に読出し信号を入力し、トランジスタ161のソース及びドレインの他方に書き込まれたデータを演算回路163で演算し、出力端子169に出力する。コンフィギュレーションメモリは、ルックアップテーブル内にあるため、コンフィギュレーションデータの読み出し及び書込動作を速くすることができる。

40

【0064】

本実施の形態に示すプログラマブルロジックデバイスでは、電源電圧供給停止後、再び電源電圧が供給された際に、コンフィギュレーションメモリへのコンフィギュレーションデータの書き込みが不要となり、プログラマブルロジックデバイスの起動時間を短くすることができる。そのため、プログラマブルロジックデバイスにおいて、電源電圧供給を頻繁に停止することが可能となり、ノーマリ・オフの駆動方法を適用して消費電力を大幅に低減することができる。

【0065】

また、コンフィギュレーションメモリ133に用いる不揮発性のメモリ素子として、書き

50

込み可能な回数が多く信頼性の高いメモリ素子を用いるため、プログラマブルロジックデバイスの耐久性、信頼性を向上させることができる。

【 0 0 6 6 】

次に、マルチプレクサ 1 5 5 について、図 5 及び図 6 を用いて説明する。

【 0 0 6 7 】

図 5 は、図 4 ( A ) のマルチプレクサ 1 5 5 に用いることが可能なマルチプレクサ 1 5 5 a の回路図である。

【 0 0 6 8 】

図 5 に示すマルチプレクサ 1 5 5 a は、第 1 の N A N D 回路 1 8 1 乃至第 9 の N A N D 回路 1 8 9 を有する。

10

【 0 0 6 9 】

第 1 の N A N D 回路 1 8 1 は、図 4 ( A ) に示すメモリ素子 1 4 1 a の出力端子 1 6 9 a と接続し、第 2 の N A N D 回路 1 8 2 は、図 4 ( A ) に示すメモリ素子 1 4 1 b の出力端子 1 6 9 b と接続し、第 3 の N A N D 回路 1 8 3 は、図 4 ( A ) に示すメモリ素子 1 4 1 c の出力端子 1 6 9 c と接続し、第 4 の N A N D 回路 1 8 4 は、図 4 ( A ) に示すメモリ素子 1 4 1 d の出力端子 1 6 9 d と接続する。

【 0 0 7 0 】

第 1 の N A N D 回路 1 8 1 ~ 第 4 の N A N D 回路 1 8 4 にはそれぞれ、メモリ素子 1 4 1 a ~ 1 4 1 d からコンフィギュレーションデータ A ~ D が入力される。

【 0 0 7 1 】

20

第 2 の N A N D 回路 1 8 2 及び第 4 の N A N D 回路 1 8 4 に、入力端子 1 4 3 から信号 S 1 を入力し、第 1 の N A N D 回路 1 8 1 及び第 3 の N A N D 回路 1 8 3 に、入力端子 1 4 3 に入力されインバータで反転された信号 S 1 B を入力して、第 1 の N A N D 回路 1 8 1 ~ 第 4 の N A N D 回路 1 8 4 の動作を制御し、コンフィギュレーションデータ A ~ D のいずれかを第 5 の N A N D 回路 1 8 5 及び第 6 の N A N D 回路 1 8 6 に出力する。なお、入力端子 1 4 4 は、入力端子 1 4 3 に接続するインバータの出力端子と接続する。

【 0 0 7 2 】

第 5 の N A N D 回路 1 8 5 は、第 1 の N A N D 回路 1 8 1 及び第 2 の N A N D 回路 1 8 2 と接続する。第 6 の N A N D 回路 1 8 6 は、第 3 の N A N D 回路 1 8 3 及び第 4 の N A N D 回路 1 8 4 と接続する。

30

【 0 0 7 3 】

第 5 の N A N D 回路 1 8 5 に、第 1 の N A N D 回路 1 8 1 で演算された信号及び第 2 の N A N D 回路 1 8 2 で演算された信号が入力され、演算した信号を第 7 の N A N D 回路 1 8 7 に出力する。第 6 の N A N D 回路 1 8 6 に、第 3 の N A N D 回路 1 8 3 で演算された信号が入力され、第 4 の N A N D 回路 1 8 4 で演算された信号が入力され、演算した信号を第 8 の N A N D 回路 1 8 8 に出力する。

【 0 0 7 4 】

第 7 の N A N D 回路 1 8 7 は、第 5 の N A N D 回路 1 8 5 と接続する。第 8 の N A N D 回路 1 8 8 は、第 6 の N A N D 回路 1 8 6 と接続する。第 7 の N A N D 回路 1 8 7 に、入力端子 1 4 5 に入力されインバータで反転された信号 S 2 B を入力し、第 8 の N A N D 回路 1 8 8 に、入力端子 1 4 5 から信号 S 2 を入力して第 7 の N A N D 回路 1 8 7 及び第 8 の N A N D 回路 1 8 8 の動作を制御し、演算した信号を第 9 の N A N D 回路 1 8 9 に出力する。なお、入力端子 1 4 6 は、入力端子 1 4 5 に接続するインバータの出力端子と接続する。

40

【 0 0 7 5 】

第 9 の N A N D 回路 1 8 9 は、第 7 の N A N D 回路 1 8 7 及び第 8 の N A N D 回路 1 8 8 と接続する。

【 0 0 7 6 】

第 9 の N A N D 回路 1 8 9 は、出力端子 1 4 7 と接続する。

【 0 0 7 7 】

50

第9のNAND回路189に、第7のNAND回路187で演算された信号及び第8のNAND回路188で演算された信号が入力され、第9のNAND回路189で演算された信号が、ルックアップテーブルの出力端子147へと出力される。

【0078】

以上の工程により2つの入力信号により、コンフィギュレーションデータを出力することができる。

【0079】

図6は、図4(A)のマルチプレクサ155に用いることが可能なマルチプレクサ155bの回路図である。

【0080】

図6に示すマルチプレクサ155bは、pチャネル型のトランジスタ及びnチャネル型のトランジスタが並列に接続された第1のトランスミッションゲート191乃至第6のトランスミッションゲート196と、バッファ197とを有する。

【0081】

第1のトランスミッションゲート191は、メモリ素子141aの出力端子169aと接続する。第2のトランスミッションゲート192は、メモリ素子141bの出力端子169bと接続する。第3のトランスミッションゲート193は、メモリ素子141cの出力端子169cと接続する。第4のトランスミッションゲート194は、メモリ素子141dの出力端子169dと接続する。

【0082】

メモリ素子141a～141dから、第1のトランスミッションゲート191～第4のトランスミッションゲート194にそれぞれ、コンフィギュレーションデータA～Dが入力される。

【0083】

第1のトランスミッションゲート191～第4のトランスミッションゲート194に、入力端子143から信号S1と、入力端子143に入力されインバータで反転された信号S1Bを入力して、第1のトランスミッションゲート191～第4のトランスミッションゲート194の動作の制御をして、コンフィギュレーションデータA～Dのいずれかを第5のトランスミッションゲート195及び第6のトランスミッションゲート196に出力する。

【0084】

第5のトランスミッションゲート195は、第1のトランスミッションゲート191及び第2のトランスミッションゲート192と接続する。第6のトランスミッションゲート196は、第3のトランスミッションゲート193及び第4のトランスミッションゲート194と接続する。

【0085】

バッファ197は出力端子147と接続する。

【0086】

第5のトランスミッションゲート195及び第6のトランスミッションゲート196のnチャネル型のトランジスタに、入力端子145から信号S2と、入力端子145に入力されインバータで反転された信号S2Bとを入力して第5のトランスミッションゲート195及び第6のトランスミッションゲート196の動作を制御して、演算した信号をバッファ197に出力する。

【0087】

ここで、マルチプレクサによる動作方法について説明する。ここでは、一形態として図6に示すマルチプレクサ155bを用いた動作方法について説明する。

【0088】

入力端子143に信号S1としてLowを入力する。信号S1Bは信号S1の反転信号であるため、信号S1BとしてHighが入力される。入力端子145に信号S2としてLowを入力する。信号S2Bは信号S2の反転信号であるため、入力端子146を介して

10

20

30

40

50

信号 S 2 B として H i g h が入力される。なお、入力端子 1 4 4 は、入力端子 1 4 3 に接続するインバータの出力端子と接続し、入力端子 1 4 6 は、入力端子 1 4 5 に接続するインバータの出力端子と接続する。これらの信号がマルチプレクサ 1 5 5 b で演算処理され、バッファ 1 9 7 に信号 A が出力され、バッファ 1 9 7 で増幅された信号 A が出力端子 1 4 7 から出力される。

【 0 0 8 9 】

同様に、入力端子 1 4 3 に信号 S 1 として L o w を入力し、入力端子 1 4 5 に信号 S 2 として H i g h を入力すると、メモリ素子 1 4 1 c からバッファ 1 9 7 に信号 C が出力され、バッファ 1 9 7 で増幅された信号 C が出力端子 1 4 7 から出力される。

【 0 0 9 0 】

同様に、入力端子 1 4 3 に信号 S 1 として H i g h を入力し、入力端子 1 4 5 に信号 S 2 として L o w を入力すると、メモリ素子 1 4 1 b からバッファ 1 9 7 に信号 B が出力され、バッファ 1 9 7 で増幅された信号 B が出力端子 1 4 7 から出力される。

【 0 0 9 1 】

同様に、入力端子 1 4 3 に信号 S 1 として H i g h を入力し、入力端子 1 4 5 に信号 S 2 として H i g h を入力すると、メモリ素子 1 4 1 d からバッファ 1 9 7 に信号 D が出力され、バッファ 1 9 7 で増幅された信号 D が出力端子 1 4 7 から出力される。

【 0 0 9 2 】

このように、入力端子 1 4 3、1 4 5 から入力される信号 S 1、S 2 によって、コンフィギュレーションメモリに含まれるメモリ素子に保持されたコンフィギュレーションデータ A ~ D のいずれかが選択回路から出力され、論理エレメントで行われる演算処理の種類を特定することができる。

【 0 0 9 3 】

図 2 に示す論理エレメント 1 2 1 a ~ 1 2 1 d は、コンフィギュレーションメモリ 1 3 3 に記憶されたコンフィギュレーションデータに応じて、異なる演算処理を行う。

【 0 0 9 4 】

なお、図 3 に示した論理エレメント 1 2 1 a において、レジスタ 1 3 7 を省略することもできる。また、レジスタ 1 3 7 を有する論理エレメントと、レジスタ 1 3 7 を省略した論理エレメントの両方が混在する論理ブロックを有するプログラマブルロジックデバイスであってもよい。レジスタ 1 3 7 を省略した論理エレメントでは、ルックアップテーブル 1 3 1 の出力を、論理エレメント 1 2 1 a の出力とすることができる。

【 0 0 9 5 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【 0 0 9 6 】

コンフィギュレーションメモリ 1 3 3 に用いる不揮発性のメモリ素子は、定期的なリフレッシュ動作が不要、若しくはリフレッシュ動作を行う頻度を非常に低くすることができ、消費電力を更に低減することができる。また、プログラマブルロジックデバイスへの電源電圧の供給開始のたびにコンフィギュレーションメモリ 1 3 3 へのデータの書き込みを行う必要がない。このため、低消費電力で、起動時間が高速なプログラマブルロジックデバイスを提供することができる。

【 0 0 9 7 】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【 0 0 9 8 】

( 実施の形態 2 )

本実施の形態では、実施の形態 1 に示すプログラマブルロジックデバイスの作製方法について、図 7 ~ 図 1 1 を用いて説明する。ここでは、メモリ素子として、図 7 の回路図で示すように、酸化物半導体膜を有するトランジスタ 1 6 1 と、演算回路 1 6 3 として、バッファを有するメモリ素子 1 4 1 を説明する。詳細には、プログラマブルロジックデバイスの作製方法として、酸化物半導体膜を有するトランジスタ 1 6 1 と、バッファを構成する第 1 の n チャネル型のトランジスタ 1 6 3 a 及び第 1 の p チャネル型のトランジスタ 1 6

10

20

30

40

50

3 bについて説明する。なお、図8～図11において、A - Bに示す断面図は、酸化物半導体膜を有するトランジスタ161、第1のnチャネル型のトランジスタ163a、及び第1のpチャネル型のトランジスタ163bが形成される領域の断面図に相当し、C - Dに示す断面図は、酸化物半導体膜を有するトランジスタ161のソース及びドレインの一方と、第1のnチャネル型のトランジスタ163a及び第1のpチャネル型のトランジスタ163bのゲートの接続領域の断面図に相当する。

【0099】

図8(A)に示すように、n型の半導体基板201に素子分離領域203を形成した後、n型の半導体基板201の一部にpウェル領域205を形成する。

【0100】

n型の半導体基板201としては、n型の導電性を有する単結晶シリコン基板（シリコンウェハー）、化合物半導体基板（SiC基板、サファイア基板、GaN基板等）を用いることができる。

【0101】

また、n型の半導体基板201の代わりに、SOI（Silicon On Insulator）基板として、鏡面研磨ウェハーに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて作られた所謂SIMOX（Separation by Implanted Oxygen）基板や、水素イオン注入により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開するスマートカット法や、ELTRAN法（Epitaxial Layer Transfer：キャノン社の登録商標）等を用いて形成したSOI基板を用いてもよい。

【0102】

素子分離領域203は、LOCOS（Local Oxidation of Silicon）法またはSTI（Shallow Trench Isolation）法等を用いて形成する。

【0103】

pウェル領域205は、ホウ素等のp型を付与する不純物元素が、 $5 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ 程度の濃度で添加されている。pウェル領域205は、半導体基板201の一部にマスクを形成したのち、半導体基板201の一部にp型を付与する不純物元素を添加して、形成される。

【0104】

なお、ここでは、n型の半導体基板を用いているが、p型の半導体基板を用い、p型の半導体基板にn型を付与するリン、ヒ素等の不純物元素が添加されたnウェル領域を形成してもよい。

【0105】

次に、図8(B)に示すように、半導体基板201上にゲート絶縁膜207及びゲート電極209を形成する。

【0106】

熱処理を行い半導体基板201の表面を酸化した酸化シリコン膜を形成する。または、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有する膜（酸窒化シリコン膜）との積層構造で形成する。次に、酸化シリコン膜または酸窒化シリコン膜の一部を選択的にエッチングして、ゲート絶縁膜207を形成する。

【0107】

若しくは、厚さ5～50nmの酸化シリコン、酸化窒化シリコン、高誘電率物質（high-k材料ともいう）であるタンタル酸化物、酸化ハフニウム、酸化ハフニウムシリケート、酸化ジルコニウム、酸化アルミニウム、酸化チタンなどの金属酸化物、または酸化ランタンなどの希土類酸化物等を、CVD法、スパッタリング法等を用いて形成した後、選択的に一部をエッチングして、ゲート絶縁膜207を形成する。

10

20

30

40

50

## 【0108】

ゲート電極209は、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造でゲート電極209を形成してもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

## 【0109】

ゲート電極209は、導電膜をスパッタリング法、CVD法等により形成した後、該導電膜の一部を選択的にエッチングして形成される。

10

## 【0110】

ここでは、熱処理を行い、半導体基板201上の表面を酸化した酸化シリコン膜を形成し、該酸化シリコン膜上に窒化タンタル膜及びタングステン膜が積層された導電膜をスパッタリング法により形成した後、酸化シリコン膜及び導電膜のそれぞれ一部を選択的にエッチングして、ゲート絶縁膜207及びゲート電極209を形成する。

## 【0111】

次に、図8(C)に示すように、半導体基板201にp型を付与する不純物元素を添加してp型の不純物領域213a、213bを形成する。また、pウェル領域205にn型を付与する不純物元素を添加して、n型の不純物領域211a、211bを形成する。n型の不純物領域211a、211b、及びp型の不純物領域213a、213bにおけるn型を付与する不純物元素及びp型を付与する不純物元素の濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下である。n型を付与する不純物元素及びp型を付与する不純物元素は、イオンドーピング法、イオン注入法等を適宜用いて、半導体基板201及びpウェル領域205に添加する。

20

## 【0112】

次に、図8(D)に示すように、半導体基板201、素子分離領域203、ゲート絶縁膜207、及びゲート電極209上に、スパッタリング法、CVD法等により、絶縁膜215、217を形成する。

## 【0113】

絶縁膜215、217は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、絶縁膜215をCVD法により形成することで、絶縁膜215の水素含有量が高まるため、熱処理により、半導体基板を水素化し、水素によりダングリングボンドを終端させ、欠陥を低減することができる。

30

## 【0114】

また、絶縁膜217として、BPSG(Boron Phosphorus Silicon Glass)などの無機材料、または、ポリイミド、アクリルなどの有機材料を用いて形成することで、絶縁膜217の平坦性を高めることができる。

40

## 【0115】

絶縁膜215または絶縁膜217を形成した後、不純物領域211a、211b、213a、213bに添加された不純物元素を活性化するための熱処理を行う。

## 【0116】

以上の工程により、図7に示すnチャネル型のトランジスタ163a及びpチャネル型のトランジスタ163bを作製することができる。

## 【0117】

次に、絶縁膜215、217の一部を選択的にエッチングして、開口部を形成する。次に、開口部にコンタクトプラグ219a~219dを形成する。代表的には、スパッタリング法、CVD法、メッキ法等により導電膜を形成した後、CMP(Chemical M

50



echanical Polishing) 法により平坦化処理を行い、導電膜の表面の不要な部分を除去して、コンタクトプラグ 219a ~ 219d を形成する。

【0118】

コンタクトプラグ 219a ~ 219d となる導電膜は、WF<sub>6</sub> ガスと SiH<sub>4</sub> ガスから CVD 法でタングステンシリサイドを形成し、開口部に導電膜を埋め込むことで形成される。

【0119】

次に、絶縁膜 217 及びコンタクトプラグ 219a ~ 219d 上に、スパッタリング法、CVD 法等により絶縁膜を形成した後、該絶縁膜の一部を選択的に溝部を有するようにエッチングし、絶縁膜 221a ~ 221e を形成する。次に、スパッタリング法、CVD 法等により導電膜を形成した後、CMP 法、メッキ法等により平坦化処理を行い、該導電膜の表面の不要な部分を除去して、配線 223a ~ 223c を形成する (図 9 (A) 参照)。

【0120】

絶縁膜 221a ~ 221e は、絶縁膜 215 と同様の材料を用いて形成することができる。

【0121】

配線 223a ~ 223c として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0122】

平坦化された絶縁膜 221a ~ 221e 及び配線 223a ~ 223c を用いることで、後に形成する酸化物半導体膜を有するトランジスタにおける電気特性のばらつきを低減することができる。また、歩留まり高く酸化物半導体膜を有するトランジスタを形成することができる。

【0123】

次に、熱処理またはプラズマ処理により、絶縁膜 221a ~ 221e 及び配線 223a ~ 223c に含まれる水素を脱離させることが好ましい。この結果、後の熱処理において、後に形成される絶縁膜及び酸化物半導体膜中に水素が拡散することを防ぐことができる。なお、熱処理は、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気にて、100 以上基板の歪み点未満で行う。また、プラズマ処理は、希ガス、酸素、窒素または酸化窒素 (亜酸化窒素、一酸化窒素、二酸化窒素など) を用いる。

【0124】

次に、絶縁膜 221a ~ 221e 及び配線 223a ~ 223c 上に、スパッタリング法、CVD 法等により、絶縁膜 225 を形成する。絶縁膜 225 としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウムを単層または積層して形成する。また、絶縁膜 225 として、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成することが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜としては、化学量論比を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いる。加熱により酸素の一部が脱離する酸化絶縁膜は、加熱により酸素が脱離するため、加熱により酸化物半導体膜に酸素を拡散させることができる。

【0125】

次に、絶縁膜 225 上に、スパッタリング法、塗布法、印刷法、パルスレーザー蒸着法等を用いて酸化物半導体膜 227 を形成する (図 9 (B) 参照)。ここでは、酸化物半導体

10

20

30

40

50

膜 227 として、スパッタリング法により、1 nm 以上 50 nm 以下、更に好ましくは 3 nm 以上 30 nm 以下の厚さで酸化物半導体膜を形成する。酸化物半導体膜 227 の厚さを上記厚さとすることで、トランジスタの短チャネル効果を抑制することができる。

#### 【0126】

酸化物半導体膜は、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

10

#### 【0127】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

#### 【0128】

例えば、酸化物半導体として、一元系金属酸化物である酸化インジウム、酸化スズ、酸化亜鉛、二元系金属酸化物である In - Zn 系金属酸化物、Sn - Zn 系金属酸化物、Al - Zn 系金属酸化物、Zn - Mg 系金属酸化物、Sn - Mg 系金属酸化物、In - Mg 系金属酸化物、In - Ga 系金属酸化物、三元系金属酸化物である In - Ga - Zn 系金属酸化物 (IGZO とも表記する)、In - Al - Zn 系金属酸化物、In - Sn - Zn 系金属酸化物、Sn - Ga - Zn 系金属酸化物、Al - Ga - Zn 系金属酸化物、Sn - Al - Zn 系金属酸化物、In - Hf - Zn 系金属酸化物、In - La - Zn 系金属酸化物、In - Ce - Zn 系金属酸化物、In - Pr - Zn 系金属酸化物、In - Nd - Zn 系金属酸化物、In - Sm - Zn 系金属酸化物、In - Eu - Zn 系金属酸化物、In - Gd - Zn 系金属酸化物、In - Tb - Zn 系金属酸化物、In - Dy - Zn 系金属酸化物、In - Ho - Zn 系金属酸化物、In - Er - Zn 系金属酸化物、In - Tm - Zn 系金属酸化物、In - Yb - Zn 系金属酸化物、In - Lu - Zn 系金属酸化物、四元系金属酸化物である In - Sn - Ga - Zn 系金属酸化物、In - Hf - Ga - Zn 系金属酸化物、In - Al - Ga - Zn 系金属酸化物、In - Sn - Al - Zn 系金属酸化物、In - Sn - Hf - Zn 系金属酸化物、In - Hf - Al - Zn 系金属酸化物を用いることができる。

20

30

#### 【0129】

酸化物半導体膜 227 は、少なくとも、In、Ga、Sn 及び Zn から選ばれた一種以上の元素を含むこと酸化物半導体膜である。代表的には、四元系金属酸化物である In - Sn - Ga - Zn 系金属酸化物や、三元系金属酸化物である In - Ga - Zn 系金属酸化物、In - Sn - Zn 系金属酸化物、In - Al - Zn 系金属酸化物、Sn - Ga - Zn 系金属酸化物、Al - Ga - Zn 系金属酸化物、Sn - Al - Zn 系金属酸化物や、二元系金属酸化物である In - Zn 系金属酸化物、Sn - Zn 系金属酸化物や、一元系金属酸化物である酸化インジウム、酸化スズ、酸化亜鉛などを用いることができる。また、上記酸化物半導体に酸化シリコンを含んでもよい。

40

#### 【0130】

ここで、例えば、In - Ga - Zn 系金属酸化物とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物、という意味であり、In と Ga と Zn の比率は問わない。また、インジウムとガリウムと亜鉛以外の金属元素を含んでいてもよい。このとき、上記酸化物半導体膜においては、化学量論比に対し、酸素を過剰にすると好ましい。酸素を過剰にすることで酸化物半導体膜の酸素欠損に起因するキャリアの生成を抑制することができる。

#### 【0131】

50

また、酸化物半導体膜として、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ 、且つ、 $m$ は整数でない)で表記される材料を用いてもよい。なお、 $M$ は、 $\text{Ga}$ 、 $\text{Fe}$ 、 $\text{Mn}$ 及び $\text{Co}$ から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ 、且つ、 $n$ は整数)で表記される材料を用いてもよい。

【0132】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$  ( $= 1/3 : 1/3 : 1/3$ )あるいは $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$  ( $= 2/5 : 2/5 : 1/5$ )の原子数比の $\text{In} - \text{Ga} - \text{Zn}$ 系金属酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$  ( $= 1/3 : 1/3 : 1/3$ )、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$  ( $= 1/3 : 1/6 : 1/2$ )あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$  ( $= 1/4 : 1/8 : 5/8$ )の原子数比の $\text{In} - \text{Sn} - \text{Zn}$ 系金属酸化物やその組成の近傍の酸化物を用いるとよい。

10

【0133】

しかし、これらに限られず、必要とする半導体特性(電界効果移動度、しきい値電圧、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0134】

例えば、 $\text{In} - \text{Sn} - \text{Zn}$ 系金属酸化物では比較的容易に高い電界効果移動度が得られる。しかしながら、 $\text{In} - \text{Ga} - \text{Zn}$ 系金属酸化物でも、バルク内欠陥密度を低減することにより電界効果移動度を上げることができる。

20

【0135】

なお、例えば、 $\text{In}$ 、 $\text{Ga}$ 、 $\text{Zn}$ の原子数比が $\text{In} : \text{Ga} : \text{Zn} = a : b : c$  ( $a + b + c = 1$ )である酸化物の組成が、原子数比が $\text{In} : \text{Ga} : \text{Zn} = A : B : C$  ( $A + B + C = 1$ )の酸化物の組成の近傍であるとは、 $a$ 、 $b$ 、 $c$ が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$ を満たすことをいい、 $r$ は、例えば、 $0.05$ とすればよい。他の酸化物でも同様である。

【0136】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

30

【0137】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い電界効果移動度を得ることができる。

【0138】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の電界効果移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ( $R_a$ )が $1\text{ nm}$ 以下、好ましくは $0.3\text{ nm}$ 以下、より好ましくは $0.1\text{ nm}$ 以下の表面上に形成するとよい。

40

【0139】

なお、 $R_a$ は、 $\text{JIS B0601}$ で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0140】

【数 1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0141】

なお、上記において、 $S_0$  は、測定面（座標  $(x_1, y_1)$   $(x_1, y_2)$   $(x_2, y_1)$   $(x_2, y_2)$  で表される 4 点によって囲まれる長方形の領域）の面積を指し、 $Z_0$  は測定面の平均高さを指す。 $Ra$  は原子間力顕微鏡（AFM: Atomic Force Microscope）にて評価可能である。

10

【0142】

酸化物半導体膜として In - Zn 系金属酸化物を用いる場合、原子数比で、 $In / Zn = 0.5 \sim 50$ 、好ましくは  $In / Zn = 1 \sim 20$ 、さらに好ましくは  $In / Zn = 1.5 \sim 15$  とする。 $Zn$  の原子数比を好ましい前記範囲とすることで、トランジスタの電界効果移動度を向上させることができる。ここで、化合物の原子数比が  $In : Zn : O = X : Y : Z$  のとき、 $Z > 1.5X + Y$  とする。

【0143】

なお、酸化物半導体膜 227 に形成することが可能な金属酸化物は、エネルギーギャップが  $2\text{ eV}$  以上、好ましくは  $2.5\text{ eV}$  以上、より好ましくは  $3\text{ eV}$  以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

20

【0144】

なお、酸化物半導体膜 227 において、アルカリ金属またはアルカリ土類金属の濃度は、 $1 \times 10^{18} \text{ atoms / cm}^3$  以下、さらに好ましくは  $2 \times 10^{16} \text{ atoms / cm}^3$  以下であることが望ましい。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアが生成されることがあり、トランジスタのオフ電流の上昇の原因となるためである。

【0145】

また、酸化物半導体膜 227 には、 $5 \times 10^{18} \text{ atoms / cm}^3$  以下の窒素が含まれてもよい。

30

【0146】

酸化物半導体膜 227 は、非晶質構造であってもよい。

【0147】

また、酸化物半導体膜 227 として、結晶化した部分を有する CAAC - OS (C Axis Aligned Crystalline Oxide Semiconductor といい) を用いてもよい。

【0148】

以下に、CAAC - OS について説明する。CAAC - OS とは、 $c$  軸配向し、かつ  $ab$  面、表面または界面の方向から見て三角形または六角形の原子配列を有し、 $c$  軸においては、金属原子が層状または金属原子と酸素原子とが層状に配列しており、 $ab$  面（あるいは表面または界面）においては、 $a$  軸または  $b$  軸の向きが異なる（ $c$  軸を中心に回転した）結晶を含む酸化物半導体のことである。

40

【0149】

広義に、CAAC - OS とは、非単結晶であって、その  $ab$  面に垂直な方向から見て、三角形もしくは六角形、または正三角形もしくは正六角形の原子配列を有し、かつ  $c$  軸方向の断面において金属原子が層状または金属原子と酸素原子が層状に配列した相を含む材料をいう。

【0150】

CAAC - OS は単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC - OS は結晶化した部分（結晶部分）を含むが、1 つの結晶部分と他の結晶部

50

分の境界を明確に判別できないこともある。

【0151】

C A A C - O S に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A C - O S を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C - O S が形成される基板面、C A A C - O S の表面、膜面、界面等に垂直な方向）に揃っていてもよい。あるいは、C A A C - O S を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、基板面、表面、膜面、界面等に垂直な方向）を向いていてもよい。

【0152】

C A A C - O S は、その組成等に応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成等に応じて、可視光に対して透明であったり不透明であったりする。

10

【0153】

このような C A A C - O S の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子及び酸素原子（または窒素原子）の層状配列が認められる酸化物半導体を挙げることもできる。

【0154】

C A A C - O S に含まれる結晶構造の一例について図 1 4 乃至図 1 6 を用いて詳細に説明する。なお、特に断りがない限り、図 1 4 乃至図 1 6 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 1 4 において、丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

20

【0155】

図 1 4 ( A ) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O ）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を、小グループと呼ぶ。図 1 4 ( A ) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 1 4 ( A ) の上半分及び下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 1 4 ( A ) に示す小グループは電荷が 0 である。

【0156】

図 1 4 ( B ) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O ）と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 1 4 ( B ) の上半分及び下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 1 4 ( B ) に示す構造をとりうる。図 1 4 ( B ) に示す小グループは電荷が 0 である。

30

【0157】

図 1 4 ( C ) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 1 4 ( C ) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。また、図 1 4 ( C ) において、3 つの 4 配位の O が上半分にあり、1 つの 4 配位の O が下半分にあってもよい。図 1 4 ( C ) に示す小グループは電荷が 0 である。

【0158】

図 1 4 ( D ) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 1 4 ( D ) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 1 4 ( D ) に示す小グループは電荷が + 1 となる。

40

【0159】

図 1 4 ( E ) に、2 個の Z n を含む小グループを示す。図 1 4 ( E ) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 1 4 ( E ) に示す小グループは電荷が - 1 となる。

【0160】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

50

## 【0161】

ここで、これらの小グループ同士が結合する規則について説明する。図14(A)のInの上半分の3個のOは下方向に3個の近接Inを有し、下半分の3個のOは上方向に3個の近接Inを有する。図14(B)のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。図14(C)のZnの上半分の1個のOは下方向に1個の近接Znを有し、下半分の3個のOは上方向に3個の近接Znを有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数の和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。その理由を以下に示す。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)の上半分の4配位のO、5配位の金属原子(GaまたはIn)の下半分の4配位のOまたは4配位の金属原子(Zn)の上半分の4配位のOのいずれかと結合することになる。

10

## 【0162】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

20

## 【0163】

図15(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図15(B)に、3つの中グループで構成される大グループを示す。なお、図15(C)は、図15(B)の層構造をc軸方向から観察した場合の原子配列を示す。

## 【0164】

図15(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分及び下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図15(A)において、Inの上半分及び下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図15(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

30

## 【0165】

図15(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分及び下半分にあるSnが、4配位のOが1個ずつ上半分及び下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn 2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にあるSnと結合している構成である。この中グループを複数結合して大グループを構成する。

40

## 【0166】

ここで、3配位のO及び4配位のOの場合、結合1本当当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図14(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

50

## 【 0 1 6 7 】

具体的には、図 1 5 ( B ) に示した大グループが繰り返されることで、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 系の結晶 ( $\text{In}_2\text{SnZn}_3\text{O}_8$ ) を得ることができる。なお、得られる  $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 系の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$  ( $m$ は0または自然数。) とする組成式で表すことができる。

## 【 0 1 6 8 】

また、このほかにも、四元系金属酸化物である  $\text{In} - \text{Sn} - \text{Ga} - \text{Zn}$ 系金属酸化物や、三元系金属酸化物である  $\text{In} - \text{Ga} - \text{Zn}$ 系金属酸化物 ( $\text{IGZO}$ とも表記する。)、 $\text{In} - \text{Al} - \text{Zn}$ 系金属酸化物、 $\text{Sn} - \text{Ga} - \text{Zn}$ 系金属酸化物、 $\text{Al} - \text{Ga} - \text{Zn}$ 系金属酸化物、 $\text{Sn} - \text{Al} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Hf} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{La} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Ce} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Pr} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Nd} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Sm} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Eu} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Gd} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Tb} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Dy} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Ho} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Er} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Tm} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Yb} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Lu} - \text{Zn}$ 系金属酸化物や、二元系金属酸化物である  $\text{In} - \text{Zn}$ 系金属酸化物、 $\text{Sn} - \text{Zn}$ 系金属酸化物、 $\text{Al} - \text{Zn}$ 系金属酸化物、 $\text{Zn} - \text{Mg}$ 系金属酸化物、 $\text{Sn} - \text{Mg}$ 系金属酸化物、 $\text{In} - \text{Mg}$ 系金属酸化物や、 $\text{In} - \text{Ga}$ 系金属酸化物、一元系金属酸化物である酸化インジウム、酸化スズ、酸化亜鉛などを用いた場合も同様である。

## 【 0 1 6 9 】

例えば、図 1 6 ( A ) に、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系の層構造を構成する中グループのモデル図を示す。

## 【 0 1 7 0 】

図 1 6 ( A ) において、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分及び下半分にある In が、4 配位の O が 1 個上半分にある Zn と結合し、その Zn の下半分の 3 個の 4 配位の O を介して、4 配位の O が 1 個ずつ上半分及び下半分にある Ga と結合し、その Ga の下半分の 1 個の 4 配位の O を介して、4 配位の O が 3 個ずつ上半分及び下半分にある In と結合している構成である。この中グループが複数結合して大グループを構成する。

## 【 0 1 7 1 】

図 1 6 ( B ) に 3 つの中グループで構成される大グループを示す。なお、図 1 6 ( C ) は、図 1 6 ( B ) の層構造を c 軸方向から観察した場合の原子配列を示している。

## 【 0 1 7 2 】

ここで、In ( 6 配位または 5 配位 )、Zn ( 4 配位 )、Ga ( 5 配位 ) の電荷は、それぞれ + 3、+ 2、+ 3 であるため、In、Zn 及び Ga のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

## 【 0 1 7 3 】

また、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系の層構造を構成する中グループは、図 1 6 ( A ) に示したグループに限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせた大グループも取りうる。

## 【 0 1 7 4 】

ここでは、酸化物半導体膜 2 2 7 として非晶質構造の酸化物半導体膜をスパッタリング法により形成する。

## 【 0 1 7 5 】

スパッタリング法に用いるターゲットとしては、亜鉛を含む金属酸化物ターゲットを用いることができる。ターゲットとしては、四元系金属酸化物である  $\text{In} - \text{Sn} - \text{Ga} - \text{Zn}$ 系金属酸化物や、三元系金属酸化物である  $\text{In} - \text{Ga} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Sn} - \text{Zn}$ 系金属酸化物、 $\text{In} - \text{Al} - \text{Zn}$ 系金属酸化物、 $\text{Sn} - \text{Ga} - \text{Zn}$ 系金属酸化物、 $\text{Al} - \text{Ga} - \text{Zn}$ 系金属酸化物、 $\text{Sn} - \text{Al} - \text{Zn}$ 系金属酸化物や、二元系金属酸化物であ

る In - Zn 系金属酸化物、Sn - Zn 系金属酸化物や、一元系金属酸化物である酸化スズ、酸化亜鉛などのターゲットを用いることができる。

【0176】

また、In - Sn - Zn 系金属酸化物のターゲットの組成比は、In : Sn : Zn が原子数比で、1 : 2 : 2、2 : 1 : 3、1 : 1 : 1、または 20 : 45 : 35 などとなる酸化物ターゲットを用いる。

【0177】

ターゲットの一例として、In、Ga、及び Zn を含む金属酸化物ターゲットを、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [mol 数比] の組成比とする。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol 数比] の組成比を有するターゲット、または  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$  [mol 数比] の組成比を有するターゲット、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 2 : 1 : 8$  [mol 数比] の組成比を有するターゲットを用いることもできる。また、 $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$  [mol 数比] の組成比を有するターゲットを用いることもできる。

【0178】

なお、スパッタリングガスは、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、スパッタリングガスには、水素を含む不純物が除去された高純度ガスを用いることが好ましい。

【0179】

スパッタリング法において、プラズマを発生させるための電源装置は、RF 電源装置、AC 電源装置、DC 電源装置等を適宜用いることができる。

【0180】

なお、酸化物半導体膜を成膜する処理室は、リークレートを  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下とすることが好ましく、それによりスパッタリング法により成膜する際、膜中への不純物の混入を低減することができる。

【0181】

また、酸化物半導体膜を成膜する処理室の排気は、ドライポンプなどの粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプなどの高真空ポンプとを適宜組み合わせるとよい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素や水の排気能力が低い。そこで、水の排気能力の高いクライオポンプ及び水素の排気能力の高いスパッタイオンポンプを組み合わせることが有効となる。

【0182】

酸化物半導体膜を成膜する処理室の内側に存在する吸着物は、内壁に吸着しているために成膜室の圧力に影響しないが、成膜室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないが、排気能力の高いポンプを用いて、成膜室に存在する吸着物をできる限り脱離し、予め排気しておくことが重要である。なお、吸着物の脱離を促すために、成膜室をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を 10 倍程度大きくすることができる。ベーキングは 100 以上 450 以下で行えばよい。このとき、不活性ガスを導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。

【0183】

このように、酸化物半導体膜の成膜工程において、更に好ましくは酸化絶縁膜の成膜工程において、処理室の圧力、処理室のリークレートなどにおいて、不純物の混入を極力抑えることによって、酸化物半導体膜に含まれる水素を含む不純物の混入を低減することができる。また、酸化絶縁膜から酸化物半導体膜への水素などの不純物の拡散を低減することができる。

【0184】

また、酸化物半導体膜をスパッタリング装置で成膜する前に、スパッタリング装置にダミー基板を搬入し、ダミー基板上に酸化物半導体膜を成膜して、ターゲット表面、または防

10

20

30

40

50



着板に付着した水素、水を取り除く工程を行ってもよい。

【0185】

酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水となると共に、酸素が脱離した格子（あるいは酸素が脱離した部分）には欠損が形成されてしまう。このため、酸化物半導体膜の成膜工程において、水素を含む不純物を極めて減らすことにより、酸化物半導体膜の欠損を低減することが可能である。このため、不純物をできるだけ除去し、高純度化させた酸化物半導体膜をチャネル領域とすることにより、トランジスタの信頼性を高めることができる。

【0186】

次に、酸化物半導体膜227より水素を放出させると共に、絶縁膜225に含まれる酸素の一部を、酸化物半導体膜と、絶縁膜225及び酸化物半導体膜の界面近傍に拡散させる。この結果、後に形成されるトランジスタにおいて、水素濃度、及び絶縁膜225との界面近傍における酸素欠損が低減された酸化物半導体膜228を形成することができる（図9（C）参照）。

【0187】

該熱処理の温度は、酸化物半導体膜227から水素を放出させると共に、絶縁膜225に含まれる酸素の一部を放出させ、さらには酸化物半導体膜227に拡散させる温度が好ましく、代表的には、150 以上基板歪み点未満、好ましくは250 以上450 以下、更に好ましくは300 以上450 以下とする。

【0188】

また、該熱処理は、RTA（Rapid Thermal Anneal）装置を用いることができる。RTA装置を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、酸化物半導体膜からの水素の放出、及び絶縁膜225から酸化物半導体膜への酸素拡散の時間を短縮することができる。

【0189】

熱処理は、不活性ガス雰囲気で行うことができ、代表的には、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素雰囲気で行うことが好ましい。また、酸素雰囲気で行ってもよい。処理時間は3分～24時間とする。または、不活性ガス雰囲気で行った後、酸素雰囲気で行った熱処理を行ってもよい。

【0190】

次に、酸化物半導体膜228の一部を選択的にエッチングして、酸化物半導体膜229を形成する。次に、酸化物半導体膜229上に、スパッタリング法、CVD法等により絶縁膜231を形成する。次に、絶縁膜231上にゲート電極233を形成する（図10（A）参照）。

【0191】

絶縁膜231は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn-O系金属酸化物などを用いればよく、積層または単層で設ける。また、絶縁膜231は、絶縁膜225に示すような、加熱により酸素が脱離する酸化絶縁膜を用いてもよい。絶縁膜231に加熱により酸素が脱離する膜を用いることで、後の熱処理により酸化物半導体膜229に生じる酸素欠損を修復することができ、トランジスタの電気特性の劣化を抑制できる。

【0192】

また、絶縁膜231として、ハフニウムシリケート（ $\text{HfSiO}_x$ ）、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y\text{N}_z$ ）、窒素が添加されたハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y\text{N}_z$ ）、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いることでゲート絶縁膜の厚さを薄くしてもゲートリークを低減できる。

【0193】

絶縁膜231の厚さは、10nm以上300nm以下、より好ましくは5nm以上50nm以下、より好ましくは10nm以上30nm以下とするとよい。

【0194】

ゲート電極 233 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いて形成することができる。また、マンガン、ジルコニウムのいずれか—または複数から選択された金属元素を用いてもよい。また、ゲート電極 233 は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。

10

#### 【0195】

また、ゲート電極 233 は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

#### 【0196】

ゲート電極 233 は、印刷法またはインクジェット法により形成される。若しくは、スパッタリング法、CVD法、蒸着法等で導電膜を形成した後、該導電膜の一部を選択的にエッチングして、形成される。

20

#### 【0197】

なお、ゲート電極 233 と絶縁膜 231 との間に、絶縁膜 231 に接する材料層として、窒素を含む  $\text{In-Ga-Zn-O}$  膜や、窒素を含む  $\text{In-Sn-O}$  膜や、窒素を含む  $\text{In-Ga-O}$  膜や、窒素を含む  $\text{In-Zn-O}$  膜や、窒素を含む  $\text{Sn-O}$  膜や、窒素を含む  $\text{In-O}$  膜や、金属窒化膜 ( $\text{InN}$ 、 $\text{ZnN}$  など) を設けることが好ましい。これらの膜は  $5\text{ eV}$ 、好ましくは  $5.5\text{ eV}$  以上の仕事関数を有し、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリ・オフのスイッチング素子を実現できる。例えば、窒素を含む  $\text{In-Ga-Zn-O}$  膜を用いる場合、少なくとも酸化物半導体膜 229 より高い窒素濃度、具体的には 7 原子%以上の窒素を含む  $\text{In-Ga-Zn-O}$  膜を用いる。

30

#### 【0198】

この後、熱処理を行うことが好ましい。当該熱処理により、絶縁膜 225 及び絶縁膜 231 から酸化物半導体膜 229 に酸素を拡散させて、酸化物半導体膜 229 に含まれる酸素欠陥を補填し、酸素欠陥を低減することができる。

#### 【0199】

次に、ゲート電極 233 をマスクとして、酸化物半導体膜 229 にドーパントを添加する処理を行う。この結果、図 10 (B) に示すように、ゲート電極 233 に覆われ、ドーパントが添加されない第 1 の領域 235 a と、ドーパントを含む一対の第 2 の領域 235 b、235 c を形成する。ゲート電極 233 をマスクにしてドーパントを添加するため、セルフアラインで、ドーパントが添加されない第 1 の領域 235 a、及びドーパントを含む一対の第 2 の領域 235 b、235 c を形成することができる。なお、ゲート電極 233 と重畳する第 1 の領域 235 a はチャネル領域として機能する。また、ドーパントを含む一対の第 2 の領域 235 b、235 c は、低抵抗領域として機能する。また、第 1 の領域 235 a、及びドーパントを含む一対の第 2 の領域 235 b、235 c を酸化物半導体膜 235 と示す。

40

#### 【0200】

酸化物半導体膜 229 の第 1 の領域 235 a は、水素濃度を  $5 \times 10^{18} \text{ atoms/cm}^3$  未満、好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  以下、より好ましくは  $5 \times 10^{17}$

50

$7 \text{ atoms/cm}^3$  以下、さらに好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以下とすることが好ましい。酸化物半導体及び水素の結合により、水素の一部がドナーとなり、キャリアである電子が生じてしまう。これらのため、酸化物半導体膜 229 の第 1 の領域 235 a 中の水素濃度を低減することで、しきい値電圧のマイナスシフトを低減することができる。

【0201】

ドーパントを含む一対の第 2 の領域 235 b、235 c に含まれるドーパントの濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$  以上  $1 \times 10^{22} \text{ atoms/cm}^3$  以下、好ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  以上  $5 \times 10^{19} \text{ atoms/cm}^3$  未満とする。

【0202】

ドーパントを含む一対の第 2 の領域 235 b、235 c はドーパントを含むため、キャリア密度または欠陥を増加させることができる。このため、ドーパントを含まない第 1 の領域 235 a と比較して導電性を高めることができる。なお、ドーパント濃度を増加させすぎると、ドーパントがキャリアの移動を阻害することになり、ドーパントを含む一対の第 2 の領域 235 b、235 c の導電性を低下させることになる。

【0203】

ドーパントを含む一対の第 2 の領域 235 b、235 c は、導電率が  $0.1 \text{ S/cm}$  以上  $1000 \text{ S/cm}$  以下、好ましくは  $10 \text{ S/cm}$  以上  $1000 \text{ S/cm}$  以下とすることが好ましい。

【0204】

酸化物半導体膜 229 において、ドーパントを含む一対の第 2 の領域 235 b、235 c を有することで、チャネル領域として機能する第 1 の領域 235 a の端部に加わる電界を緩和させることができる。このため、トランジスタの短チャネル効果を抑制することができる。

【0205】

酸化物半導体膜 229 にドーパントを添加する方法として、イオンドーピング法またはイオン注入法を用いることができる。また、添加するドーパントとしては、ホウ素、窒素、リン、及びヒ素の少なくとも一以上がある。または、ドーパントとしては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの少なくとも一以上がある。または、ドーパントとしては、水素がある。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上と、水素とを適宜組み合わせてもよい。

【0206】

また、酸化物半導体膜 229 へのドーパントの添加は、酸化物半導体膜 229 を覆って、絶縁膜などが形成されている状態を示したが、酸化物半導体膜 229 が露出している状態でドーパントの添加を行ってもよい。

【0207】

さらに、上記ドーパントの添加はイオンドーピング法またはイオンインプランテーション法などによる注入する以外の方法でも行うことができる。例えば、添加する元素を含むガス雰囲気にてプラズマを発生させて、被添加物に対してプラズマ処理を行うことによって、ドーパントを添加することができる。上記プラズマを発生させる装置としては、ドライエッチング装置や CVD 装置などを用いることができる。

【0208】

この後、熱処理を行ってもよい。当該熱処理の温度は、代表的には、 $150^\circ\text{C}$  以上  $450^\circ\text{C}$  以下、好ましくは  $250^\circ\text{C}$  以上  $325^\circ\text{C}$  以下とする。または、 $250^\circ\text{C}$  から  $325^\circ\text{C}$  まで徐々に温度上昇させながら加熱してもよい。

【0209】

当該熱処理により、ドーパントを含む一対の第 2 の領域 235 b、235 c の抵抗を低減することができる。なお、当該熱処理において、ドーパントを含む一対の第 2 の領域 235 b、235 c は、結晶状態でも非晶質状態でもよい。

## 【0210】

次に、図10(C)に示すように、ゲート電極233の側面にサイドウォール絶縁膜237、及びゲート絶縁膜239、並びに電極241a、241bを形成する。

## 【0211】

サイドウォール絶縁膜237は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、サイドウォール絶縁膜237として、絶縁膜225と同様に、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成してもよい。

## 【0212】

ここで、サイドウォール絶縁膜237の形成方法について説明する。

## 【0213】

まず、絶縁膜231及びゲート電極233上に、後にサイドウォール絶縁膜237となる絶縁膜を形成する。絶縁膜は、スパッタリング法、CVD法等により形成する。また、当該絶縁膜の厚さは特に限定はないが、ゲート電極233の形状に応じる被覆性を考慮して、適宜選択すればよい。

## 【0214】

次に、絶縁膜をエッチングすることによりサイドウォール絶縁膜237を形成する。該エッチングは、異方性の高いエッチングであり、サイドウォール絶縁膜237は、絶縁膜に異方性の高いエッチング工程を行うことでセルフアラインに形成することができる。

## 【0215】

また、ドーパントを含む一对の第2の領域235b、235cにおいて、サイドウォール絶縁膜237及びゲート絶縁膜239と重なる領域によりソース・ドレイン耐圧を高めることが可能である。ソース・ドレイン耐圧を高めることが可能である領域の幅は、サイドウォール絶縁膜237の幅に対応し、またサイドウォール絶縁膜237の幅は、ゲート電極233の厚さにも対応することから、所望の範囲となるように、ゲート電極233の厚さを決めればよい。

## 【0216】

また、サイドウォール絶縁膜237の形成工程と共に、異方性の高いエッチングを用いて絶縁膜231をエッチングし、酸化物半導体膜229を露出させることで、ゲート絶縁膜239を形成することができる。

## 【0217】

一对の電極241a、241bは配線223a~223cと同様の材料を適宜用いて形成することができる。なお、一对の電極241a、241bは配線としても機能させてもよい。

## 【0218】

一对の電極241a、241bは、印刷法またはインクジェット法を用いて形成される。または、スパッタリング法、CVD法、蒸着法等で導電膜を形成した後、該導電膜の一部を選択的にエッチングして、一对の電極241a、241bを形成する。

## 【0219】

一对の電極241a、241bは、サイドウォール絶縁膜237及びゲート絶縁膜239の側面と接するように、形成されることが好ましい。即ち、トランジスタの一对の電極241a、241bの端部がサイドウォール絶縁膜237上に位置し、酸化物半導体膜229において、ドーパントを含む一对の第2の領域235b、235cの露出部を全て覆っていることが好ましい。この結果、ドーパントが含まれる一对の第2の領域235b、235cにおいて、一对の電極241a、241bと接する領域がソース領域及びドレイン領域として機能する。また、サイドウォール絶縁膜237及びゲート絶縁膜239と重なる領域によりソース・ドレイン耐圧を高めることが可能である。また、サイドウォール絶縁膜237の長さによりソース・ドレイン間の距離が制御できるため、酸化物半導体膜235と接する一对の電極241a、241bのチャネル側の端部を、マスクを用いずに形

10

20

30

40

50

成させることができる。また、マスクを使用しないため、複数のトランジスタにおける加工ばらつきを低減することができる。

【0220】

以上の工程により、酸化物半導体膜を有するトランジスタ161を作製することができる。

【0221】

次に、図11(A)に示すように、スパッタリング法、CVD法、塗布法、印刷法等により、絶縁膜243及び絶縁膜245を形成する。

【0222】

絶縁膜243、245は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、絶縁膜245として、外部への酸素の拡散を防ぐ絶縁膜を用いることで、絶縁膜243から脱離する酸素を酸化物半導体膜に供給することができる。外部への酸素の拡散を防ぐ絶縁膜の代表例としては、酸化アルミニウム、酸化窒化アルミニウム等で形成された膜がある。また、絶縁膜245として、外部からの水素の拡散を防ぐ絶縁膜を用いることで、外部から酸化物半導体膜への水素の拡散を低減することが可能であり、酸化物半導体膜の欠損を低減することができる。外部からの水素の拡散を防ぐ絶縁膜の代表例としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。また、絶縁膜243として、絶縁膜225と同様に、加熱により酸素の一部が脱離する酸化絶縁膜と、外部への酸素の拡散を防ぐ絶縁膜と、酸化絶縁膜との3層構造とすることで、効率よく酸化物半導体膜へ酸素を拡散すると共に、外部への酸素の脱離を抑制することが可能であり、温度及び湿度の高い状態でも、トランジスタの特性の変動を低減することができる。

【0223】

以上の工程により、酸化物半導体膜を有するトランジスタを作製することができる。

【0224】

次に、絶縁膜215、217、221e、243、245のそれぞれ一部を選択的にエッチングし、開口部を形成すると共に、ゲート電極209及び一对の電極の一方のそれぞれ一部を露出する。次に、開口部に導電膜を形成した後、該導電膜の一部を選択的にエッチングして、配線249を形成する。配線249は、コンタクトプラグ219a~219dに示す材料を適宜用いることができる(図11(B)参照)。

【0225】

以上の工程により、酸化物半導体膜を有するトランジスタ161のソース及びドレインの他方と、nチャネル型のトランジスタ163a及びpチャネル型のトランジスタ163bのゲートを接続することができる。

【0226】

コンフィギュレーションメモリを構成するメモリ素子において、半導体基板または絶縁性基板上に設けられた半導体膜を用いたトランジスタで構成される演算回路上に、酸化物半導体膜をチャネル領域に有するトランジスタを積層することができる。この結果、プログラマブルロジックデバイスのサイズを小さくできる。

【0227】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0228】

(実施の形態3)

本実施の形態では、実施の形態2に示す酸化物半導体膜229に、CAAC-OSを用いて形成する方法について、説明する。

【0229】

CAAC-OSを用いて酸化物半導体膜229を形成する第1の方法について、以下に説明する。

【0230】

C A A C - O S を用いて酸化物半導体膜 2 2 9 を形成する方法は、実施の形態 2 の図 9 ( B ) に示す酸化物半導体膜 2 2 7 となる酸化物半導体膜の方法において、スパッタリング法を用いる場合、基板温度を 1 5 0 以上 4 5 0 以下、好ましくは 2 0 0 以上 3 5 0 以下とすることで、酸化物半導体膜中への水 ( 水素を含む ) などの混入を低減しつつ、C A A C - O S を形成することができる。

#### 【 0 2 3 1 】

上記形成方法により C A A C - O S を用いて酸化物半導体膜を形成した後に加熱することで、酸化物半導体膜 2 2 7 からより水素を放出させると共に、絶縁膜 2 2 5 に含まれる酸素の一部を、酸化物半導体膜 2 2 7 と、絶縁膜 2 2 5 及び酸化物半導体膜 2 2 7 の界面近傍に拡散させることができると共に、当該熱処理により、より結晶性の高い C A A C - O S を有する酸化物半導体膜 2 2 8 を形成することができる。この後、酸化物半導体膜 2 2 8 の一部を選択的にエッチングすることで、酸化物半導体膜 2 2 9 を形成することができる。

10

#### 【 0 2 3 2 】

次に、C A A C - O S を用いて酸化物半導体膜 2 2 9 を形成する第 2 の方法について、以下に説明する。

#### 【 0 2 3 3 】

絶縁膜 2 2 5 上に第 1 の酸化物半導体膜を形成する。第 1 の酸化物半導体膜は、一原子層以上 1 0 n m 以下、好ましくは 2 n m 以上 5 n m 以下とする。

#### 【 0 2 3 4 】

第 1 の酸化物半導体膜は、基板温度を 1 0 0 以上 6 0 0 以下、好ましくは 1 5 0 以上 5 5 0 以下、さらに好ましくは 2 0 0 以上 5 0 0 以下とし、酸素ガス雰囲気中で成膜する。これにより、成膜時の基板加熱温度が高いほど、得られる酸化物半導体膜の不純物濃度は低くなる。また、形成した第 1 の酸化物半導体膜中に含まれる水素、水等の不純物の混入を低減させることができる。また、酸化物半導体膜中の原子配列が整い、高密度化され、多結晶または C A A C - O S が形成されやすくなる。さらに、酸素ガス雰囲気中で成膜することでも、希ガスなどの余分な原子が含まれないため、多結晶または C A A C - O S が形成されやすくなる。ただし、酸素ガスと希ガスの混合雰囲気としてもよく、その場合は酸素ガスの割合は 3 0 体積 % 以上、好ましくは 5 0 体積 % 以上、さらに好ましくは 8 0 体積 % 以上とする。なお、酸化物半導体膜は薄いほど、トランジスタの短チャネル効果が低減される。ただし、薄くしすぎると界面散乱の影響が強くなり、電界効果移動度の低下が起こることがある。

20

30

#### 【 0 2 3 5 】

なお、第 1 の酸化物半導体膜の形成後、第 1 の熱処理を行ってもよい。該第 1 の熱処理により、第 1 の酸化物半導体膜から、より水 ( 水素含む ) を脱離させることができ、さらに結晶性も向上させることができる。該第 1 の熱処理を行うことにより、配向性の高い C A A C - O S を形成することができる。また、該第 1 の熱処理は、2 0 0 以上基板の歪み点未満、好ましくは 2 5 0 以上 4 5 0 以下とする。

#### 【 0 2 3 6 】

また該第 1 の熱処理は、R T A ( R a p i d T h e r m a l A n n e a l ) 装置を用いることができる。R T A を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、非晶質領域に対して結晶領域の割合の多い酸化物半導体膜を形成するための時間を短縮することができる。

40

#### 【 0 2 3 7 】

該第 1 の熱処理は、不活性ガス雰囲気で行うことができ、代表的には、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素雰囲気で行うことが好ましい。また、酸素雰囲気及び減圧雰囲気で行ってもよい。処理時間は 3 分 ~ 2 4 時間とする。処理時間を長くするほど非晶質領域に対して結晶領域の割合の多い酸化物半導体膜を形成することができるが、2 4 時間を超える熱処理は生産性の低下を招くため好ましくない。

#### 【 0 2 3 8 】

50

次に、第１の酸化物半導体膜上に第２の酸化物半導体膜を成膜する。第２の酸化物半導体膜は、第１の酸化物半導体膜と同様の方法で成膜することができる。

【０２３９】

第２の酸化物半導体膜を成膜する際、基板加熱しながら成膜することで、第１の酸化物半導体膜を種結晶として、第２の酸化物半導体膜を結晶化させることができる。このとき、第１の酸化物半導体膜と第２の酸化物半導体膜が同一の元素から構成されることをホモ成長という。または、第１の酸化物半導体膜と第２の酸化物半導体膜とが、少なくとも一種以上異なる元素から構成されることをヘテロ成長という。

【０２４０】

なお、第２の酸化物半導体膜を成膜した後、第２の熱処理を行ってもよい。第２の熱処理は、第１の熱処理と同様の方法で行えばよい。第２の熱処理を行うことによって、非晶質領域に対して結晶領域の割合の多い酸化物半導体膜とすることができる。または、第２の熱処理を行うことによって、第１の酸化物半導体膜を種結晶として、第２の酸化物半導体膜を結晶化させることができる。

10

【０２４１】

以上の方法により、酸化物半導体膜中への水素などの混入を低減しつつ、C A A C - O S からなる酸化物半導体膜２２７を形成した後の熱処理により、酸化物半導体膜２２７からより水素を放出させると共に、絶縁膜２２５に含まれる酸素の一部を、酸化物半導体膜２２７と、絶縁膜２２５及び酸化物半導体膜２２７の界面近傍とに拡散させることができると共に、当該熱処理により、より結晶性の高いC A A C - O S を有する酸化物半導体膜２

20

【０２４２】

酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水となると共に、酸素が脱離した格子（あるいは酸素が脱離した部分）には欠損が形成されてしまう。このため、酸化物半導体膜の成膜工程において、不純物を極めて減らすことにより、酸化物半導体膜の欠損を低減することが可能である。このため、不純物をできるだけ除去し、高純度化させたC A A C - O S からなる酸化物半導体膜をチャネル領域とすることにより、トランジスタに対する光照射やB T ( B i a s   T e m p e r a t u r e ) ストレス試験前後でのしきい値電圧の変化量が少ないため、安定した電気的特性を有することができる。

30

【０２４３】

なお、C A A C - O S に含まれる結晶粒界を低減させるためには、酸化物半導体膜の下地絶縁膜である絶縁膜２２５の表面の平坦性を良好にすることが好ましい。代表的には、絶縁膜２２５の平均面粗さ( R a ) を、1 n m 以下、好ましくは0 . 3 n m 以下、より好ましくは0 . 1 n m 以下とすることが好ましい。酸化物半導体膜に含まれる結晶は、絶縁膜２２５の表面に概略垂直な方向に成長するため、絶縁膜２２５の平坦性を高めることで、結晶の成長方向を略同一方向にすることが可能であり、この結果層状に結晶を配列させ、結晶粒界を低減することができる。

【０２４４】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

40

【０２４５】

(実施の形態４)

本発明の一態様に係るプログラマブルロジックデバイスを用いることで、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

【０２４６】

本発明の一態様に係るプログラマブルロジックデバイスを用いた半導体装置は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはD V D : D i g i t a l   V e r s a t i l e   D i s c 等の記録媒体を再生し、その画像を表示しうる

50

ディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。

【0247】

本発明の一態様に係るプログラマブルロジックデバイスを用いた半導体装置を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【0248】

図12は、携帯用の電子機器のブロック図である。図12に示す携帯用の電子機器はRF回路421、アナログベースバンド回路422、デジタルベースバンド回路423、バッテリー424、電源回路425、アプリケーションプロセッサ426、フラッシュメモリ430、ディスプレイコントローラ431、メモリ回路432、ディスプレイ433、タッチセンサ439、音声回路437、キーボード438などより構成されている。ディスプレイ433は表示部434、ソースドライバ435、ゲートドライバ436によって構成されている。アプリケーションプロセッサ426はCPU427、DSP428、インターフェース429を有している。例えば、CPU427、デジタルベースバンド回路423、メモリ回路432、DSP428、インターフェース429、ディスプレイコントローラ431、音声回路437のいずれかまたは全てに上記実施の形態で示したプログラマブルロジックデバイスを採用することによって、消費電力を低減することができる。

【0249】

図13は電子書籍のブロック図である。電子書籍はバッテリー451、電源回路452、マイクロプロセッサ453、フラッシュメモリ454、音声回路455、キーボード456、メモリ回路457、タッチパネル458、ディスプレイ459、ディスプレイコントローラ460によって構成される。マイクロプロセッサ453はCPU461、DSP462、インターフェース463を有している。例えば、CPU461、音声回路455、メモリ回路457、ディスプレイコントローラ460、DSP462、インターフェース463のいずれかまたは全てに上記実施の形態で示したプログラマブルロジックデバイスを採用することで、消費電力を低減することが可能になる。

【0250】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0251】

(実施の形態5)

本実施の形態では、酸化物半導体膜を用いてチャネル領域が形成されるトランジスタの電界効果移動度について説明する。

【0252】

酸化物半導体に限らず、実際に測定されるトランジスタの電界効果移動度は、さまざまな理由によって本来の電界効果移動度よりも低くなる。電界効果移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0253】

半導体本来の移動度を $\mu_0$ 、測定される電界効果移動度を $\mu$ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、電界効果移動度を $\mu$ は以下の式で表される。

【0254】

10

20

30

40



【数 2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0255】

ここで、E はポテンシャル障壁の高さであり、k がボルツマン定数、T は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinson モデルでは、E はポテンシャル障壁の高さを以下の式で表される。

【0256】

10

【数 3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0257】

ここで、e は電気素量、N はチャネル内の単位面積当たりの平均欠陥密度、 $\mu$  は半導体の誘電率、n は単位面積当たりのチャネルに含まれるキャリア数、 $C_{ox}$  は単位面積当たりの容量、 $V_g$  はゲート電圧、t はチャネルの厚さである。なお、厚さ 30 nm 以下の半導体膜であれば、チャネルの厚さは半導体膜の厚さと同じとして差し支えない。線形領域におけるドレイン電流  $I_d$  は、以下の式となる。

20

【0258】

【数 4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0259】

ここで、L はチャネル長、W はチャネル幅であり、ここでは、 $L = W = 10 \mu m$  である。また、 $V_d$  はドレイン電圧である。上式の両辺を  $V_g$  で割り、更に両辺の対数を取ると、ドレイン電流  $I_d$  は以下になる。

30

【0260】

【数 5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0261】

数 5 の右辺は  $V_g$  の関数である。この式からわかるように、縦軸を  $\ln(I_d / V_g)$ 、横軸を  $1 / V_g$  として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの  $I_d - V_g$  特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム (In)、スズ (Sn)、亜鉛 (Zn) の比率が、 $In : Sn : Zn = 1 : 1 : 1$  のものでは欠陥密度 N は  $1 \times 10^{12} / cm^2$  程度である。

40

【0262】

このようにして求めた欠陥密度等をもとに数 2 及び数 3 より  $\mu_0 = 120 cm^2 / Vs$  が導出される。欠陥のある In - Sn - Zn 酸化物で測定される電界効果移動度は  $40 cm^2 / Vs$  程度である。しかし、半導体内部及び半導体と絶縁膜との界面の欠陥が無い酸化物半導体の電界効果移動度  $\mu_0$  は  $120 cm^2 / Vs$  となると予想できる。

【0263】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れ

50

た場所における電界効果移動度  $\mu_1$  は、以下の式で表される。

【 0 2 6 4 】

【 数 6 】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

【 0 2 6 5 】

ここで、Dはゲート方向の電界、B、Gは定数である。B及びGは、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と数6の第2項が増加するため、電界効果移動度  $\mu_1$  は低下することがわかる。

10

【 0 2 6 6 】

半導体内部の欠陥が無い理想的な酸化物半導体をチャンネルに用いたトランジスタの電界効果移動度  $\mu_2$  を計算した結果を図17に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15 nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【 0 2 6 7 】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁膜の厚さは100 nm、比誘電率は4.1とした。チャンネル長及びチャンネル幅はともに10  $\mu\text{m}$ 、ドレイン電圧  $V_d$  は0.1 Vである。

20

【 0 2 6 8 】

図17で示されるように、ゲート電圧1 V強で電界効果移動度100  $\text{cm}^2/\text{Vs}$  以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、電界効果移動度が低下する。なお、界面散乱を低減するためには、半導体膜表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

【 0 2 6 9 】

このような電界効果移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図18乃至図20に示す。なお、計算に用いたトランジスタの断面構造を図21に示す。図21に示すトランジスタは酸化物半導体膜にn型の不純物半導体領域1103a及び不純物半導体領域1103cを有する。不純物半導体領域1103a及び不純物半導体領域1103cの抵抗率は  $2 \times 10^{-3} \text{ cm}$  とする。

30

【 0 2 7 0 】

図21（A）に示すトランジスタは、下地絶縁膜1101及び下地絶縁膜1101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物1102の上に形成される。トランジスタは不純物半導体領域1103a、不純物半導体領域1103cと、それらに挟まれ、チャンネル形成領域となる真性の半導体領域1103bと、ゲート電極1105を有する。ゲート電極1105の幅（即ち、チャンネル長）を33 nmとする。

40

【 0 2 7 1 】

ゲート電極1105と半導体領域1103bの間には、ゲート絶縁膜1104を有し、ゲート電極1105の両側面にはサイドウォール絶縁膜1106a及びサイドウォール絶縁膜1106b、ゲート電極1105の上部には、ゲート電極1105と他の配線との短絡を防止するための絶縁物1107を有する。サイドウォール絶縁膜の幅は5 nmとする。また、不純物半導体領域1103a及び不純物半導体領域1103cに接して、ソース電極1108a及びドレイン電極1108bを有する。なお、このトランジスタにおけるチャンネル幅を40 nmとする。

【 0 2 7 2 】

図21（B）に示すトランジスタは、下地絶縁膜1101及び酸化アルミニウムよりなる

50

埋め込み絶縁物 1102 の上に形成され、不純物半導体領域 1103a、不純物半導体領域 1103c と、それらに挟まれた真性の半導体領域 1103b と、幅 33nm のゲート電極 1105 とゲート絶縁膜 1104 とサイドウォール絶縁膜 1106a 及びサイドウォール絶縁膜 1106b と絶縁物 1107 とソース電極 1108a 及びドレイン電極 1108b を有する点で図 21(A) に示すトランジスタと同じである。

#### 【0273】

図 21(A) に示すトランジスタと図 21(B) に示すトランジスタの相違点は、サイドウォール絶縁膜 1106a 及びサイドウォール絶縁膜 1106b の下の半導体領域の導電型である。図 21(A) に示すトランジスタでは、サイドウォール絶縁膜 1106a 及びサイドウォール絶縁膜 1106b の下の半導体領域は n 型の不純物半導体領域 1103a 及び不純物半導体領域 1103c であるが、図 21(B) に示すトランジスタでは、真性の半導体領域 1103b である。すなわち、不純物半導体領域 1103a (不純物半導体領域 1103c) とゲート電極 1105 が *loff* だけ重ならない領域ができています。この領域をオフセット領域といい、その幅 *loff* をオフセット長という。図から明らかに、オフセット長は、サイドウォール絶縁膜 1106a (サイドウォール絶縁膜 1106b) の幅と同じである。

10

#### 【0274】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 18 は、図 21(A) に示される構造のトランジスタのドレイン電流 ( $I_d$ 、実線) 及び電界効果移動度 ( $\mu$ 、点線) のゲート電圧 ( $V_g$ 、ゲートとソースの電位差) 依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧 (ドレインとソースの電位差) を +1V とし、電界効果移動度  $\mu$  はドレイン電圧を +0.1V として計算したものである。

20

#### 【0275】

図 18(A) はゲート絶縁膜の厚さを 15nm としたものであり、図 18(B) はゲート絶縁膜の厚さを 10nm としたものであり、図 18(C) はゲート絶縁膜の厚さを 5nm としたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流  $I_d$  (オフ電流) が顕著に低下する。一方、電界効果移動度  $\mu$  のピーク値やオン状態でのドレイン電流  $I_d$  (オン電流) には目立った変化が無い。ゲート電圧 1V 前後で、10  $\mu$ A を超えることが示された。即ち、LSI で要求されるオン電流の値を満たすことができる。

30

#### 【0276】

図 19 は、図 21(B) に示される構造のトランジスタで、オフセット長 *loff* を 5nm としたもののドレイン電流  $I_d$  (実線) 及び電界効果移動度  $\mu$  (点線) のゲート電圧  $V_g$  依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧を +1V とし、電界効果移動度  $\mu$  はドレイン電圧を +0.1V として計算したものである。図 19(A) はゲート絶縁膜の厚さを 15nm としたものであり、図 19(B) はゲート絶縁膜の厚さを 10nm としたものであり、図 19(C) はゲート絶縁膜の厚さを 5nm としたものである。

#### 【0277】

また、図 20 は、図 21(B) に示される構造のトランジスタで、オフセット長 *loff* を 15nm としたもののドレイン電流  $I_d$  (実線) 及び電界効果移動度  $\mu$  (点線) のゲート電圧依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧を +1V とし、電界効果移動度  $\mu$  はドレイン電圧を +0.1V として計算したものである。図 20(A) はゲート絶縁膜の厚さを 15nm としたものであり、図 20(B) はゲート絶縁膜の厚さを 10nm としたものであり、図 20(C) はゲート絶縁膜の厚さを 5nm としたものである。

40

#### 【0278】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、電界効果移動度  $\mu$  のピーク値やオン電流には目立った変化が無い。

#### 【0279】

なお、電界効果移動度  $\mu$  のピークは、図 18 では 80  $\text{cm}^2/\text{Vs}$  程度であるが、図 19 では 60  $\text{cm}^2/\text{Vs}$  程度、図 20 では 40  $\text{cm}^2/\text{Vs}$  と、オフセット長 *loff* が増

50

加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流はオフセット長  $L_{off}$  の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧  $1\text{ V}$  前後で、 $10\text{ }\mu\text{ A}$  を超えることが示された。即ち、 $LSI$  で要求されるオン電流の値を満たすことができる。

#### 【0280】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

#### 【0281】

(実施の形態6)

本実施の形態では、酸化物半導体膜として、 $In$ 、 $Sn$ 、 $Zn$  を主成分とする酸化物半導体膜を用いてチャネル領域が形成されるトランジスタの電気特性及び信頼性について説明する。

10

#### 【0282】

$In$ 、 $Sn$ 、 $Zn$  を主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で  $5\text{ atomic}\%$  以上含まれる元素をいう。

#### 【0283】

$In$ 、 $Sn$ 、 $Zn$  を主成分とする酸化物半導体膜の成膜時または成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

20

#### 【0284】

例えば、図22(A)～(C)は、 $In$ 、 $Sn$ 、 $Zn$  を主成分とし、チャネル長  $L$  が  $3\text{ }\mu\text{ m}$ 、チャネル幅  $W$  が  $10\text{ }\mu\text{ m}$  である酸化物半導体膜と、厚さ  $100\text{ nm}$  のゲート絶縁膜を用いたトランジスタの特性である。なお、 $V_d$  は  $10\text{ V}$  とした。

#### 【0285】

図22(A)は基板を意図的に加熱せずにスパッタリング法で  $In$ 、 $Sn$ 、 $Zn$  を主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は  $18.8\text{ cm}^2/\text{Vs ec}$  が得られている。一方、基板を意図的に加熱して  $In$ 、 $Sn$ 、 $Zn$  を主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図22(B)は基板を  $200^\circ\text{C}$  に加熱して  $In$ 、 $Sn$ 、 $Zn$  を主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は  $32.2\text{ cm}^2/\text{Vs ec}$  が得られている。

30

#### 【0286】

電界効果移動度は、 $In$ 、 $Sn$ 、 $Zn$  を主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図22(C)は、 $In$ 、 $Sn$ 、 $Zn$  を主成分とする酸化物半導体膜を  $200^\circ\text{C}$  でスパッタリング成膜した後、 $650^\circ\text{C}$  で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は  $34.5\text{ cm}^2/\text{Vs ec}$  が得られている。

#### 【0287】

40

基板を意図的に加熱することでスパッタリング成膜中の水が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には  $100\text{ cm}^2/\text{Vs ec}$  を超える電界効果移動度を実現することも可能になると推定される。

#### 【0288】

$In$ 、 $Sn$ 、 $Zn$  を主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸

50

化物半導体に含まれる水素や水酸基若しくは水を放出させ、その熱処理と同時にまたはその後の熱処理により酸化物半導体を結晶化させてもよい。このような結晶化若しくは再結晶化の処理により結晶性のよい非単結晶酸化物半導体を得ることができる。

【0289】

基板を意図的に加熱して成膜すること及び／または成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることに寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図22(A)と図22(B)の対比からも確認することができる。

10

【0290】

なお、しきい値電圧はIn、Sn及びZnの比率を変えることによっても制御することが可能であり、組成比としてIn：Sn：Zn＝2：1：3とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比をIn：Sn：Zn＝2：1：3とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0291】

意図的な基板加熱温度若しくは熱処理温度は、150 以上、好ましくは200 以上、より好ましくは400 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

20

【0292】

また、意図的に基板を加熱した成膜及び／または成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ±1.5V未満、好ましくは1.0V未満を得ることができる。

【0293】

実際に、酸化物半導体膜成膜後に熱処理を行っていない試料1と、650 の熱処理を行った試料2のトランジスタに対してBTストレス試験を行った。

【0294】

まず基板温度を25 とし、 $V_{ds}$ を10Vとし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行った。なお、 $V_{ds}$ はドレイン電圧（ドレインとソースの電位差）を示す。次に、基板温度を150 とし、 $V_{ds}$ を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が2MV/cmとなるように $V_{gs}$ に20Vを印加し、そのまま1時間保持した。次に、 $V_{gs}$ を0Vとした。次に、基板温度25 とし、 $V_{ds}$ を10Vとし、トランジスタの $V_{gs} - I_{ds}$ 測定を行った。これをプラスBTストレス試験と呼ぶ。

30

【0295】

同様に、まず基板温度を25 とし、 $V_{ds}$ を10Vとし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行った。次に、基板温度を150 とし、 $V_{ds}$ を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が-2MV/cmとなるように $V_{gs}$ に-20Vを印加し、そのまま1時間保持した。次に、 $V_{gs}$ を0Vとした。次に、基板温度25 とし、 $V_{ds}$ を10Vとし、トランジスタの $V_{gs} - I_{ds}$ 測定を行った。これをマイナスBTストレス試験と呼ぶ。

40

【0296】

試料1のプラスBTストレス試験の結果を図23(A)に、マイナスBTストレス試験の結果を図23(B)に示す。また、試料2のプラスBTストレス試験の結果を図24(A)に、マイナスBTストレス試験の結果を図24(B)に示す。

【0297】

試料1のプラスBTストレス試験及びマイナスBTストレス試験によるしきい値電圧の変動は、それぞれ1.80V及び-0.42Vであった。また、試料2のプラスBTストレ

50

ス試験及びマイナスB T ストレス試験によるしきい値電圧の変動は、それぞれ0.79 V及び0.76 Vであった。試料1及び試料2のいずれも、B T ストレス試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

#### 【0298】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行ってもよい。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用してもよい。

#### 【0299】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

#### 【0300】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比In:Sn:Zn=1:1:1のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD: X-Ray Diffraction)でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

#### 【0301】

実際に、In-Sn-Zn-O膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

#### 【0302】

XRD分析を行った試料として、試料A及び試料Bを用意した。以下に試料A及び試料Bの作製方法を説明する。

#### 【0303】

脱水素化処理済みの石英基板上にIn-Sn-Zn-O膜を100nmの厚さで成膜した。

#### 【0304】

In-Sn-Zn-O膜は、スパッタリング装置を用い、酸素雰囲気で電力を100W(DC)として成膜した。ターゲットは、In:Sn:Zn=1:1:1[原子数比]のIn-Sn-Zn-Oターゲットを用いた。なお、成膜時の基板加熱温度は200とした。このようにして作製した試料を試料Aとした。

#### 【0305】

次に、試料Aと同様の方法で作製した試料に対し熱処理を650の温度で行った。熱処理は、はじめに窒素雰囲気中で1時間の熱処理を行い、温度を下げずに酸素雰囲気中でさらに1時間の熱処理を行っている。このようにして作製した試料を試料Bとした。

#### 【0306】

図25に試料A及び試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2θが35deg近傍及び37deg~38degに結晶由来のピークが観測された。

#### 【0307】

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/または成膜後に熱処理することによりトランジスタの特性を向上させることが

10

20

30

40

50

できる。

#### 【0308】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素、水基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を  $1 \text{ aA} / \mu\text{m}$  以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅  $1 \mu\text{m}$  あたりの電流値を示す。

#### 【0309】

図26に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に  $1000$  を掛けた数値（ $1000/T$ ）を横軸としている。

10

#### 【0310】

具体的には、図26に示すように、基板温度  $T$  が  $125$  の場合には  $1 \text{ aA} / \mu\text{m}$ （ $1 \times 10^{-18} \text{ A} / \mu\text{m}$ ）以下、 $85$  の場合には  $100 \text{ zA} / \mu\text{m}$ （ $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ）以下、室温（ $27$ ）の場合には  $1 \text{ zA} / \mu\text{m}$ （ $1 \times 10^{-21} \text{ A} / \mu\text{m}$ ）以下にすることができる。好ましくは、 $125$  において  $0.1 \text{ aA} / \mu\text{m}$ （ $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ）以下に、 $85$  において  $10 \text{ zA} / \mu\text{m}$ （ $1 \times 10^{-20} \text{ A} / \mu\text{m}$ ）以下に、室温において  $0.1 \text{ zA} / \mu\text{m}$ （ $1 \times 10^{-22} \text{ A} / \mu\text{m}$ ）以下にすることができる。これらのオフ電流値は、Siを半導体膜として用いたトランジスタに比べて、極めて低いものであることは明らかである。

20

#### 【0311】

もっとも、酸化物半導体膜の成膜時に水素、水等が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水が膜中に含まれないように露点  $-70$  以下であるガスを用いることが好ましい。また、ターゲットそのものに水素、水などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水の放出温度が高いため、好ましくは最初から水の含まれない膜を形成しておくことが好ましい。

30

#### 【0312】

また、酸化物半導体膜成膜後に  $650$  の熱処理を行った試料Bのトランジスタにおいて、基板温度と電気的特性の関係について評価した。

#### 【0313】

測定に用いたトランジスタは、チャンネル長  $L$  が  $3 \mu\text{m}$ 、チャンネル幅  $W$  が  $10 \mu\text{m}$ 、 $Lov$  が  $0 \mu\text{m}$ 、 $dW$  が  $0 \mu\text{m}$  である。なお、 $V_{ds}$  は  $10 \text{ V}$  とした。なお、基板温度は  $-40$ 、 $-25$ 、 $25$ 、 $75$ 、 $125$  及び  $150$  で行った。ここで、トランジスタにおいて、ゲート電極と一对の電極との重畳する幅を  $Lov$  と呼び、酸化物半導体膜に対する一对の電極のはみ出し幅を  $dW$  と呼ぶ。

#### 【0314】

40

図27に、 $I_{ds}$ （実線）及び電界効果移動度（点線）の  $V_{gs}$  依存性を示す。また、図28（A）に基板温度としきい値電圧の関係を、図28（B）に基板温度と電界効果移動度の関係を示す。

#### 【0315】

図28（A）より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は  $-40 \sim 150$  で  $1.09 \text{ V} \sim -0.23 \text{ V}$  であった。

#### 【0316】

また、図28（B）より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は  $-40 \sim 150$  で  $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$  であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

50

## 【0317】

上記のようなIn、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1\text{ aA}/\mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30\text{ cm}^2/\text{Vsec}$ 以上、好ましくは $40\text{ cm}^2/\text{Vsec}$ 以上、より好ましくは $60\text{ cm}^2/\text{Vsec}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33\text{ nm}/40\text{ nm}$ のFETで、ゲート電圧 $2.7\text{ V}$ 、ドレイン電圧 $1.0\text{ V}$ のとき $12\text{ }\mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、シリコン半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

10

## 【0318】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

## 【実施例1】

## 【0319】

本実施例では、In-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの一例について、図29などを用いて説明する。

## 【0320】

図29は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図及び断面図である。図29(A)にトランジスタの上面図を示す。また、図29(B)は図29(A)の一点鎖線A1-A2に対応する断面図である。

20

## 【0321】

図29(B)に示すトランジスタは、基板500と、基板500上に設けられた下地絶縁膜502と、下地絶縁膜502の周辺に設けられた保護絶縁膜504と、下地絶縁膜502及び保護絶縁膜504上に設けられた高抵抗領域506a及び低抵抗領域506bを有する酸化物半導体膜506と、酸化物半導体膜506上に設けられたゲート絶縁膜508と、ゲート絶縁膜508を介して酸化物半導体膜506と重畳して設けられたゲート電極510と、ゲート電極510の側面と接して設けられたサイドウォール絶縁膜512と、少なくとも低抵抗領域506bと接して設けられた一対の電極514と、少なくとも酸化物半導体膜506、ゲート電極510及び一対の電極514を覆って設けられた層間絶縁膜516と、層間絶縁膜516に設けられた開口部を介して少なくとも一対の電極514の一方と接続して設けられた配線518と、を有する。

30

## 【0322】

なお、図示しないが、層間絶縁膜516及び配線518を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜516の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

## 【0323】

以上、本実施の形態に示すトランジスタは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

40

## 【実施例2】

## 【0324】

本実施例では、上記とは異なるIn-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

## 【0325】

図30は、本実施例で作製したトランジスタの構造を示す上面図及び断面図である。図30(A)はトランジスタの上面図である。また、図30(B)は図30(A)の一点鎖線B1-B2に対応する断面図である。

## 【0326】

図30(B)に示すトランジスタは、基板600と、基板600上に設けられた下地絶縁

50



膜 6 0 2 と、下地絶縁膜 6 0 2 上に設けられた酸化物半導体膜 6 0 6 と、酸化物半導体膜 6 0 6 と接する一対の電極 6 1 4 と、酸化物半導体膜 6 0 6 及び一対の電極 6 1 4 上に設けられたゲート絶縁膜 6 0 8 と、ゲート絶縁膜 6 0 8 を介して酸化物半導体膜 6 0 6 と重畳して設けられたゲート電極 6 1 0 と、ゲート絶縁膜 6 0 8 及びゲート電極 6 1 0 を覆って設けられた層間絶縁膜 6 1 6 と、層間絶縁膜 6 1 6 に設けられた開口部を介して一対の電極 6 1 4 と接続する配線 6 1 8 と、層間絶縁膜 6 1 6 及び配線 6 1 8 を覆って設けられた保護膜 6 2 0 と、を有する。

#### 【 0 3 2 7 】

基板 6 0 0 としてはガラス基板を、下地絶縁膜 6 0 2 としては酸化シリコン膜を、酸化物半導体膜 6 0 6 としては  $\text{In-Sn-Zn-O}$  膜を、一対の電極 6 1 4 としてはタングステン膜を、ゲート絶縁膜 6 0 8 としては酸化シリコン膜を、ゲート電極 6 1 0 としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜 6 1 6 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 6 1 8 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 6 2 0 としてはポリイミド膜を、それぞれ用いた。

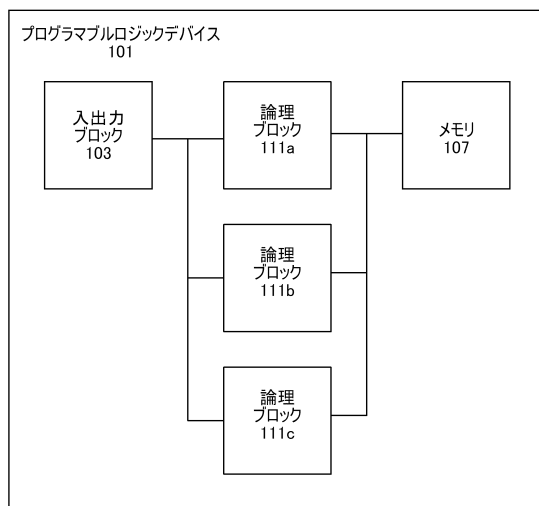
#### 【 0 3 2 8 】

なお、図 3 0 ( A ) に示す構造のトランジスタにおいて、ゲート電極 6 1 0 と一対の電極 6 1 4 との重畳する幅を  $L_{ov}$  と呼ぶ。同様に、酸化物半導体膜 6 0 6 に対する一対の電極 6 1 4 のはみ出しを  $dW$  と呼ぶ。

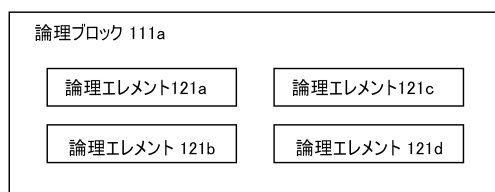
#### 【 0 3 2 9 】

以上、本実施の形態に示すトランジスタは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

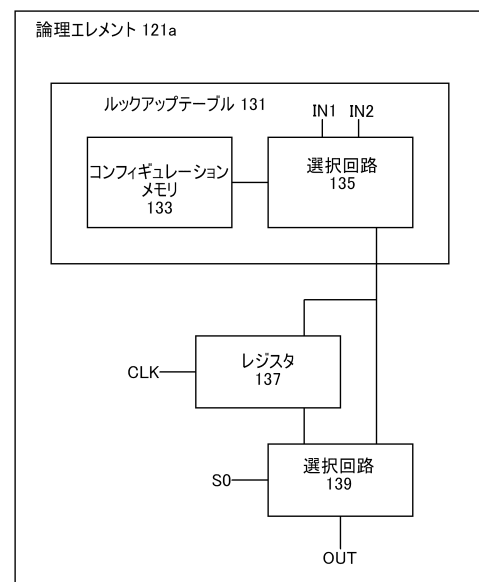
【 図 1 】



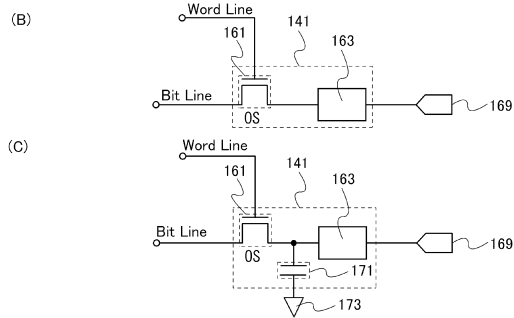
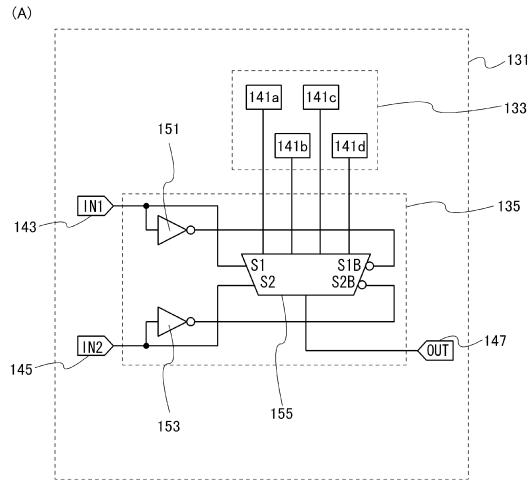
【 図 2 】



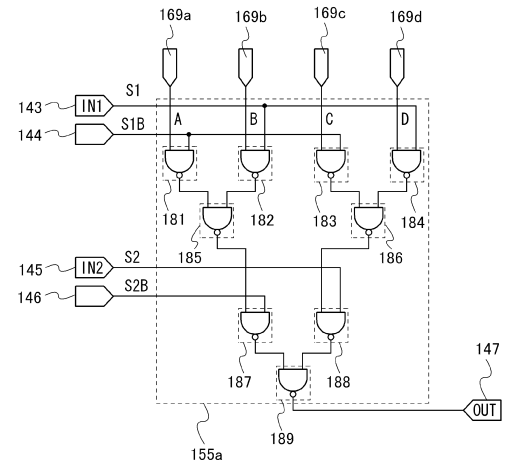
【 図 3 】



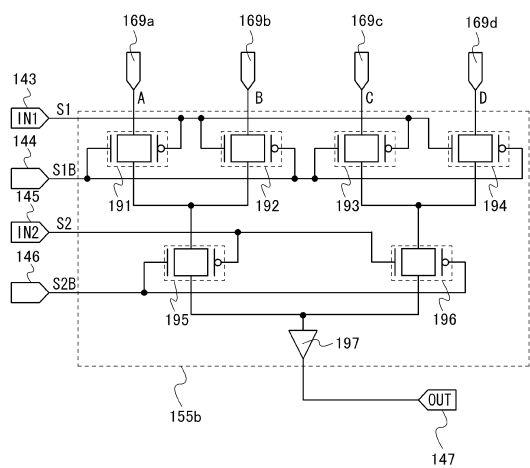
【図 4】



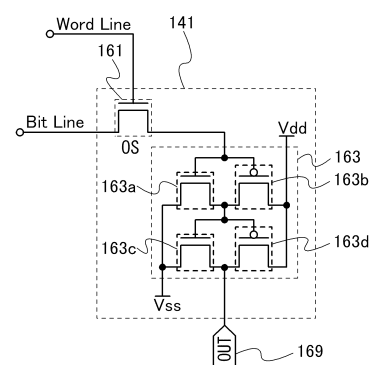
【図 5】



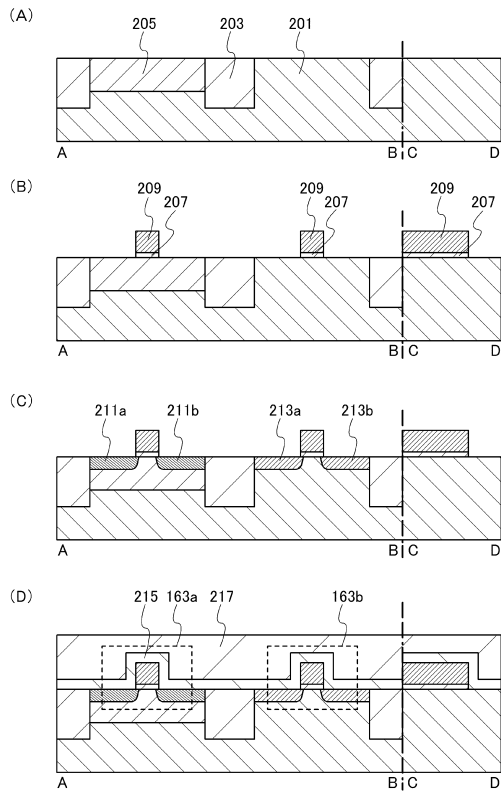
【図 6】



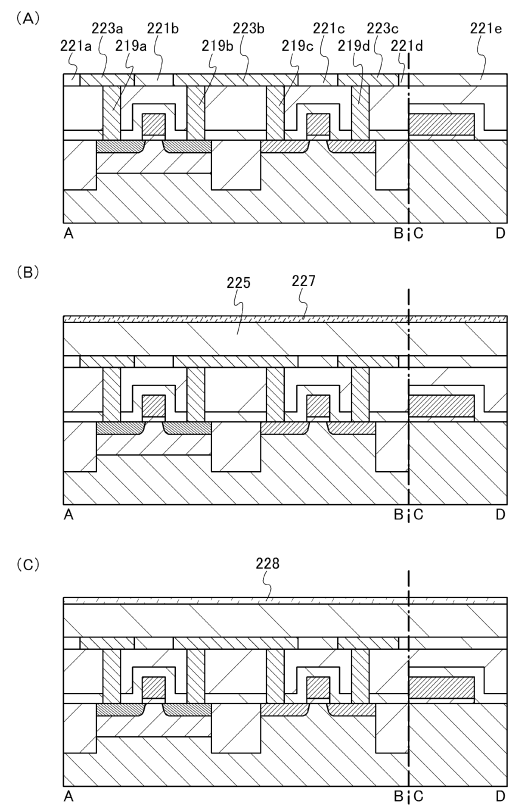
【図 7】



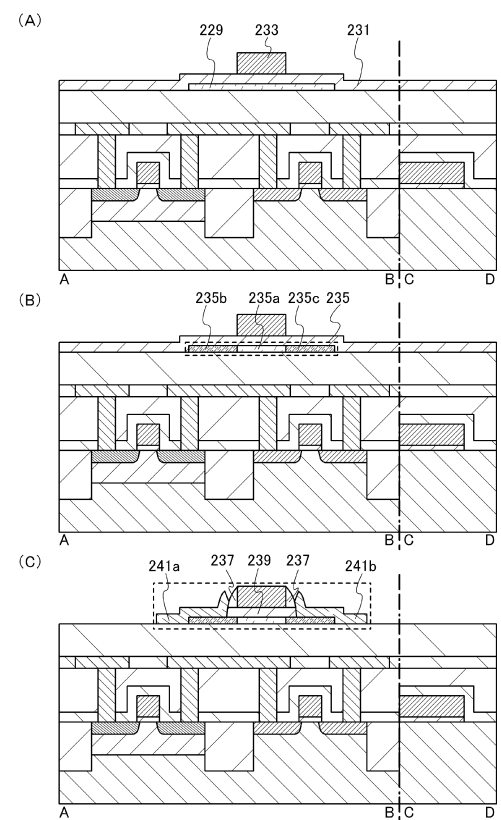
【図 8】



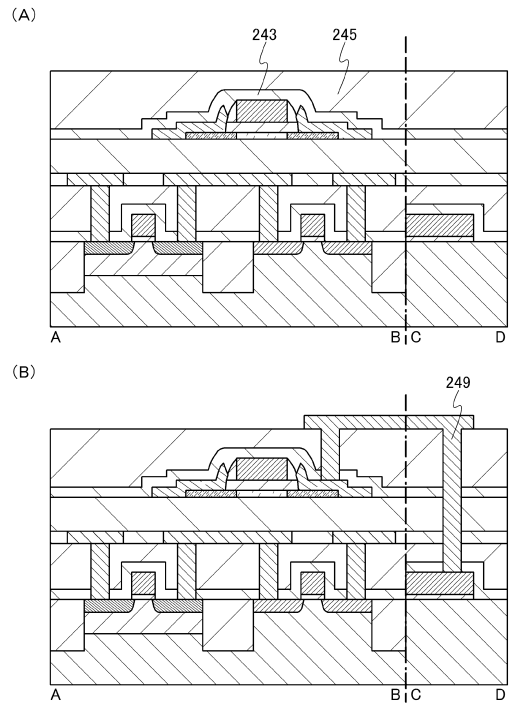
【図 9】



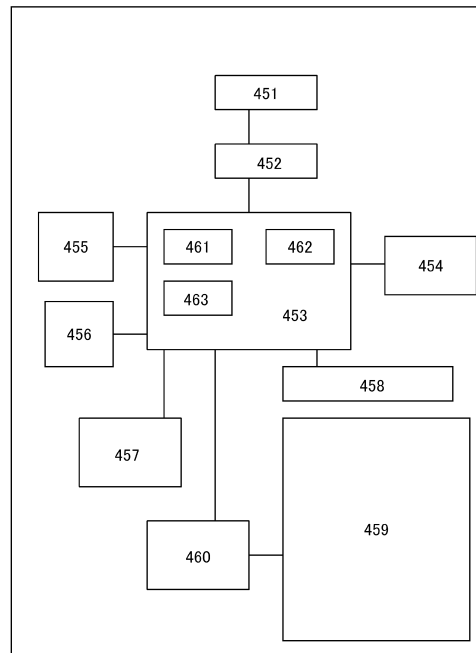
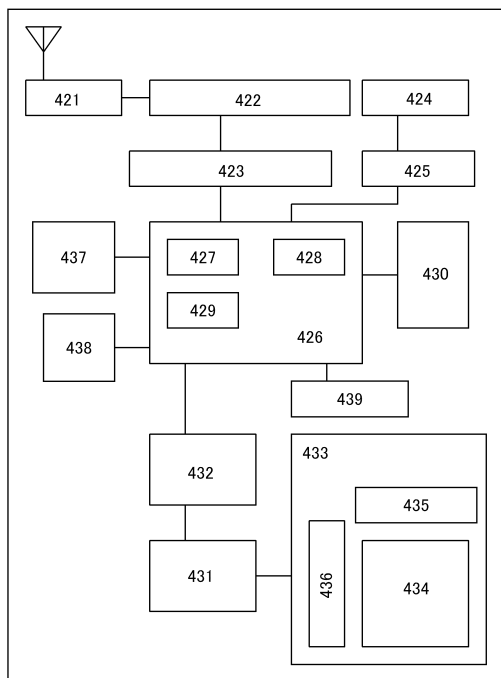
【図 10】



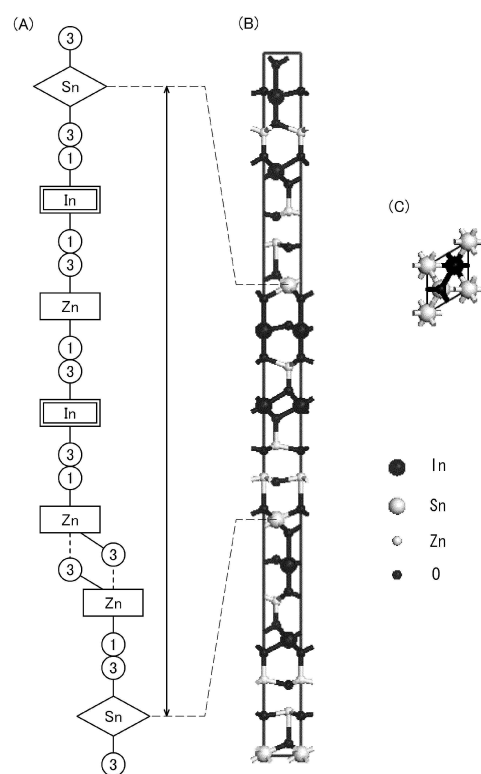
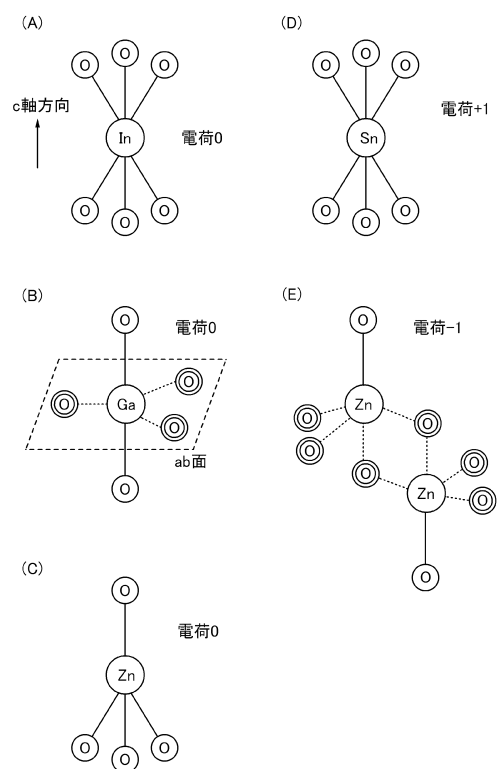
【図 11】



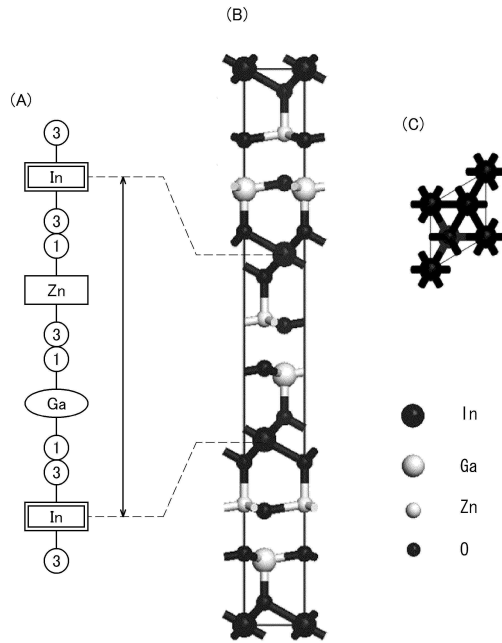
【 図 1 3 】



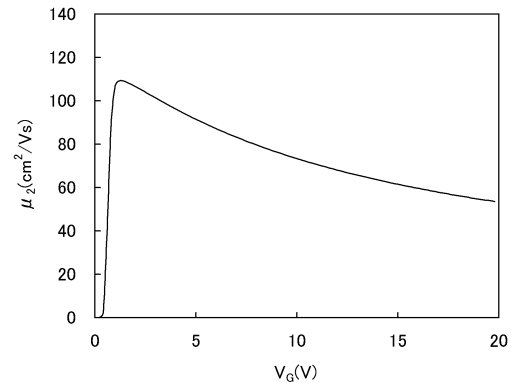
【 図 1 5 】



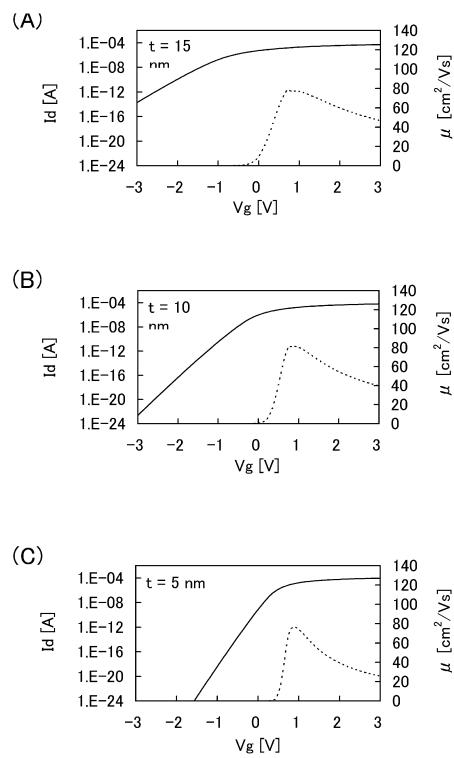
【図 16】



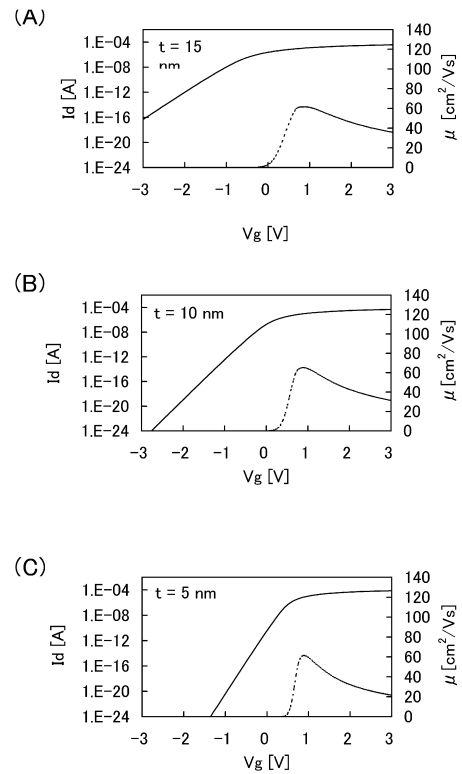
【図 17】



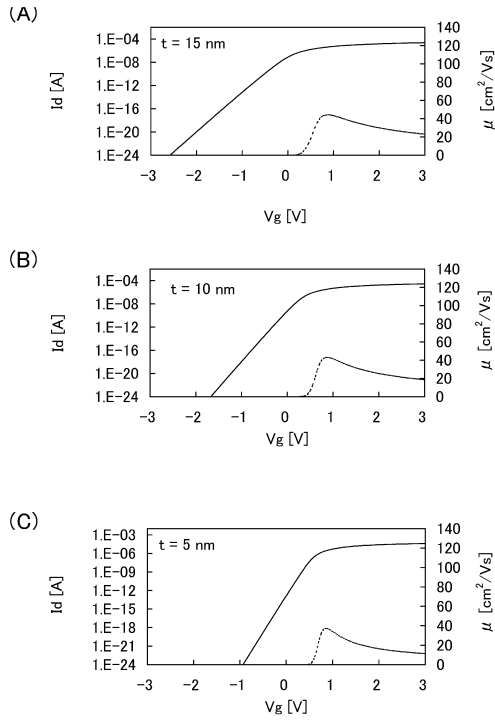
【図 18】



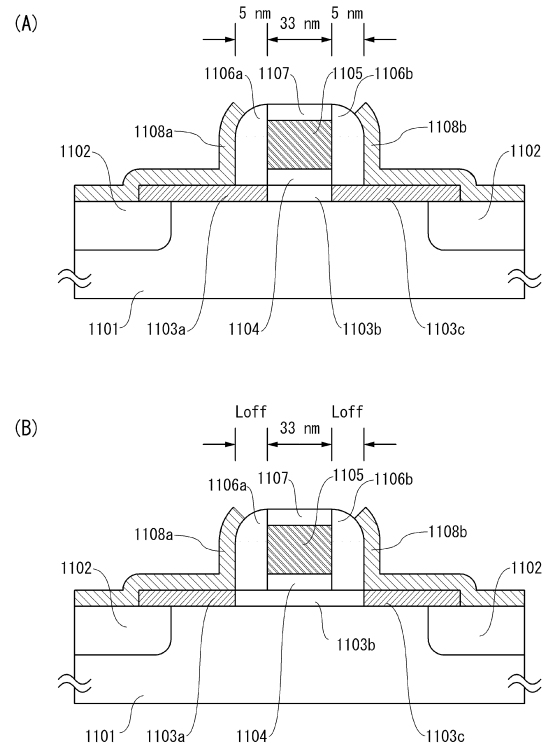
【図 19】



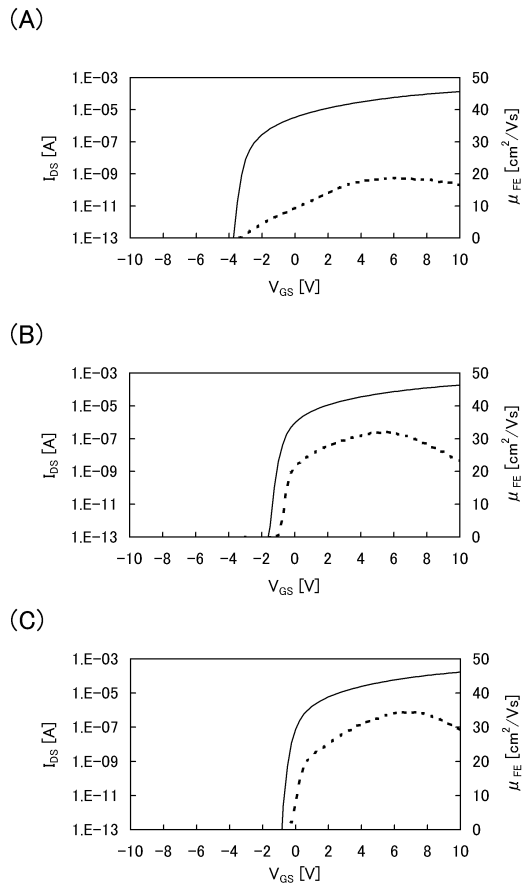
【図 20】



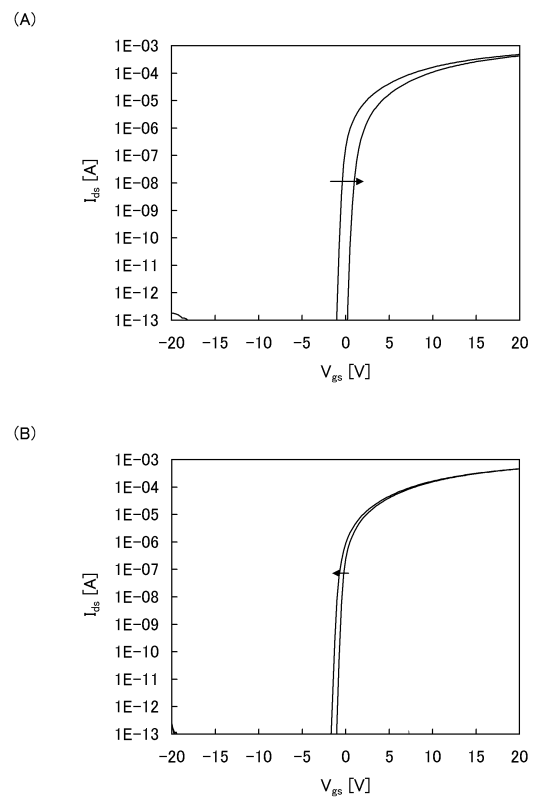
【図 21】



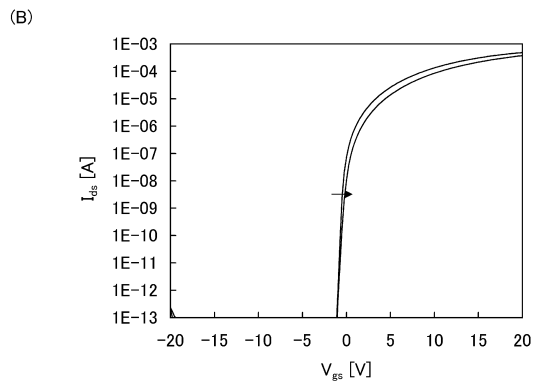
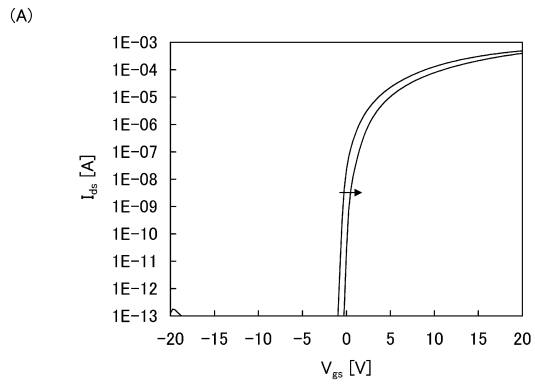
【図 22】



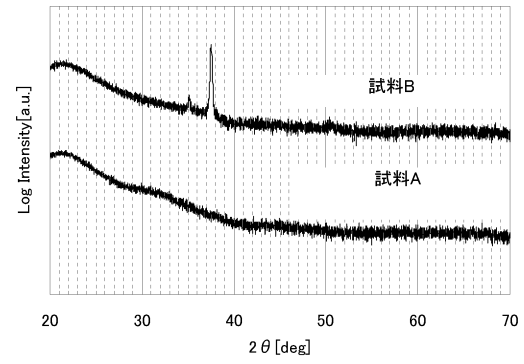
【図 23】



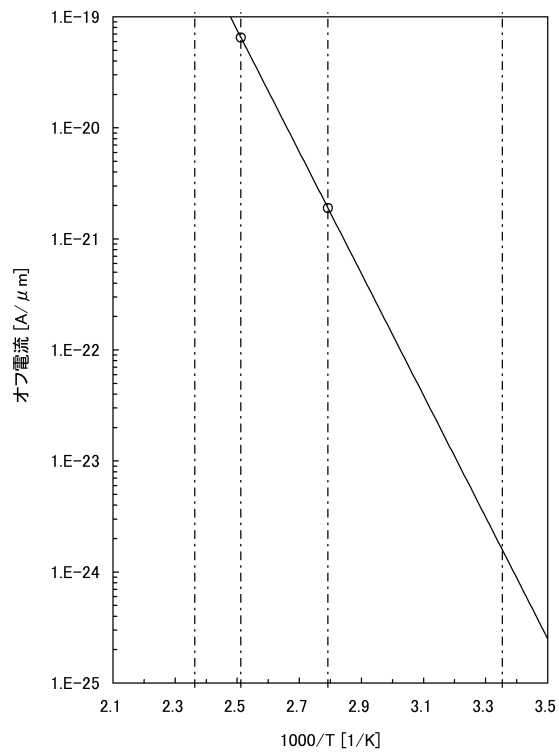
【図 2 4】



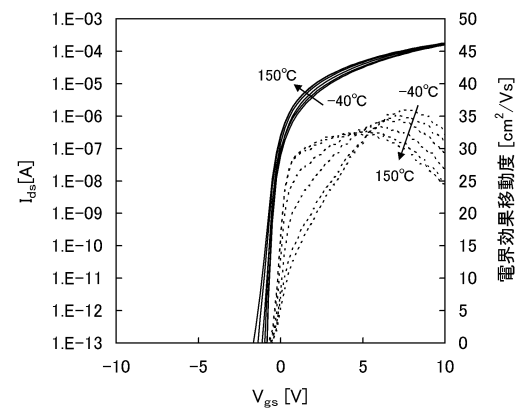
【図 2 5】



【図 2 6】

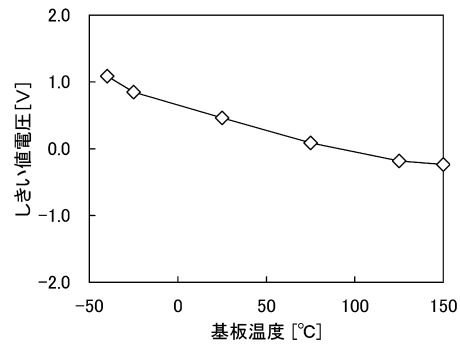


【図 2 7】

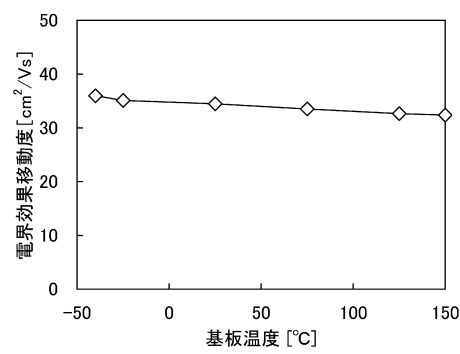


【図 28】

(A)

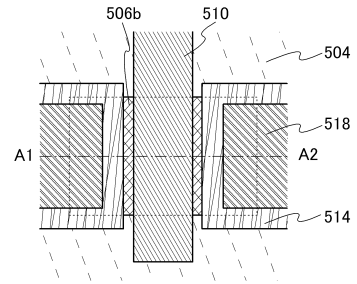


(B)

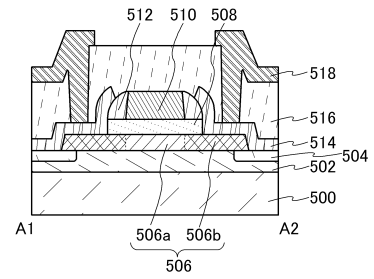


【図 29】

(A)

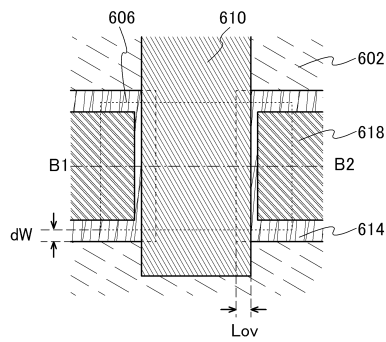


(B)

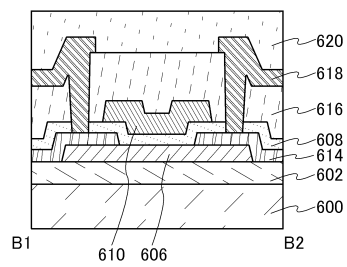


【図 30】

(A)



(B)





---

 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>27/092</i>	<i>(2006.01)</i>	H 0 1 L	27/088 H
			H 0 1 L	27/088 E
			H 0 1 L	27/092 K
			H 0 1 L	27/088 3 3 1 E

(56)参考文献 特開 2 0 1 0 - 1 4 1 2 3 0 ( J P , A )  
 特開 2 0 0 9 - 1 6 7 0 8 7 ( J P , A )  
 特開 2 0 0 1 - 2 3 0 3 2 6 ( J P , A )  
 特開 2 0 0 3 - 2 9 8 0 6 2 ( J P , A )  
 特開 2 0 0 8 - 1 9 9 0 0 5 ( J P , A )  
 特開 2 0 1 1 - 0 8 6 9 2 3 ( J P , A )  
 特開 2 0 1 1 - 0 2 9 2 3 8 ( J P , A )  
 国際公開第 0 2 / 0 1 7 3 6 8 ( W O , A 1 )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 1 / 8 2 3 8
H 0 1 L	2 7 / 0 8 8
H 0 1 L	2 7 / 0 9 2