(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3694072号
(P3694072)
(45)発行日　平成17年9月14日(2005.9.14)　(24)登録日　平成17年7月1日(2005.7.1)

(51)Int.Cl.[7]　F I
G11C 11/407　G11C 11/34 354F
G11C 11/409　G11C 11/34 353E

請求項の数 2　(全 14 頁)

(21)出願番号　特願平7-233392
(22)出願日　平成7年8月18日(1995.8.18)
(65)公開番号　特開平9-63271
(43)公開日　平成9年3月7日(1997.3.7)
審査請求日　平成14年7月11日(2002.7.11)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(73)特許権者　390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目２４番１号
(74)代理人　100089071
弁理士　玉村　静世
(72)発明者　橋本　剛
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　鈴木　幸英
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
複数のワード線と複数のデータ線の交点に設けられた複数のメモリセルと、
前記複数のデータ線に対応して設けられ、前記複数のメモリセルから読み出された信号を第１電位又は前記第１電位より小さい第２電位に増幅するための複数のセンスアンプと、
前記複数のセンスアンプに接続される第１及び第２ドライブラインと、
前記第１ドライブラインに接続される第１動作電源供給用トランジスタと、
前記第２ドライブラインに接続される第２動作電源供給用トランジスタと、
前記第１動作電源供給用トランジスタに接続される電位供給ノードと、前記電位供給ノードに接続される降圧ユニット及びディスチャージユニットと有する降圧回路とを具備し、
前記降圧ユニットは、
前記電位供給ノードに結合される第１の電流源ＭＯＳトランジスタと、
接地電位に結合される第１の高抵抗と、
前記第１の電流源ＭＯＳトランジスタと前記第１の高抵抗との直列接続点を出力端子として備え、前記出力端子が反転入力端子に帰還され非反転入力端子に基準電圧が供給されて前記第１の電流源ＭＯＳトランジスタをスイッチ制御する第１のオペアンプと、を含み、
前記ディスチャージユニットは、

前記電位供給ノードに結合される第２の高抵抗と、
接地電位に結合される第２の電流源ＭＯＳトランジスタと、
前記第２の高抵抗と第２の電流源ＭＯＳトランジスタとの直列接続点が前記出力端子に結合され、前記出力端子が反転入力端子に帰還され非反転入力端子に前記基準電圧が供給されて前記第２の電流源ＭＯＳトランジスタをスイッチ制御する第２のオペアンプと、
前記センスアンプの動作電源が前記電位供給ノードの電圧から前記降圧回路の出力電圧に切り換えられた後、前記降圧回路の出力電圧が動作電源として前記センスアンプに供給されている期間内の一定期間を除いて、前記第２の電流源ＭＯＳトランジスタをオフ状態に強制する手段と、を含んで成るものであることを特徴とする半導体装置。

【請求項２】

前記複数のメモリセルは、ダイナミック型のメモリセルであることを特徴とする請求項１記載の半導体装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、オーバドライブ形式で駆動されるセンスアンプを備えた半導体記憶装置、更には半導体装置に関し、例えば高集積化のために動作電圧が低電圧化されたＤＲＡＭ（ダイナミック・ランダム・アクセス・メモリ）に適用して有効な技術に関する。

【０００２】

【従来の技術】

ＤＲＡＭの記憶容量を増大させるためにメモリセルトランジスタ等のＭＯＳトランジスタは小型化され、それによってＭＯＳトランジスタのゲート長の縮小化に伴ってゲート酸化膜が薄膜化されるので、動作電圧の低電圧化が進められている。特にＤＲＡＭは、ハイレベルの読み出し動作効率を落とさない（若しくはハイレベルの読み出し動作マージンを比較的大きくする）ようにしてハイレベルの書込み（メモリセルの蓄積容量に対する充電動作）を行おうとする場合には、ワード線の選択レベルを上げるか、メモリセルのデータ入出力端子が結合されたデータ線の電圧（センスアンプの増幅動作によるデータ線の到達レベル）を下げることが効果的である。但し、上述のようにトランジスタの高集積化に伴ってＭＯＳトランジスタのゲート酸化膜が薄膜化されている場合にはワード線の電圧レベルをむやみに上げるとゲート酸化膜が破壊し易くなってＤＲＡＭの信頼性の点において好ましくない。このような事情により、データ線の電圧を下げることが余儀なくされる。このようにデータ線の電圧を低電圧化すると、センスアンプの高速動作の妨げになる。即ち、センスアンプの動作電源の電圧が低くされると、センスアンプに流れる電流が少なくなり、メモリセルの電荷情報がデータ線に読出されたとき相補関係にあるデータ線に形成される微少電位差を増幅する速度が低下される。

【０００３】

そこで、センスアンプを低電圧下で高速動作させる技術として、センスアンプのオーバドライブ技術がある。例えばセンスアンプがＣＭＯＳスタティックラッチ形態で構成されるとき、Ｐチャンネル型ＭＯＳトランジスタのソースには、センスアンプ活性化タイミングの最初に外部電源電圧ＶＤＤを与え、次いで外部電源電圧ＶＤＤを降圧した電圧ＶＤＬを与えて、センスアンプを動作させる。センスアンプのオーバドライブ技術の一つとしては、ＩＳＳＣＣ９５ A 29ns 64MbDRAM with Hierachical Arry Architecture / FA14.2で報告されている。

【０００４】

【発明が解決しようとする課題】

本発明者は上記センスアンプのオーバドライブ技術について検討した結果、以下の問題点を見出した。即ち、センスアンプを構成するＰチャンネル型ＭＯＳトランジスタのソースはスイッチ素子を介して外部電源電圧ＶＤＤが供給され、また別のスイッチ素子を介して、降圧回路の出力端子に結合される。外部電源電圧ＶＤＤ及び降圧電圧ＶＤＬの供給ラインは多数のセンスアンプが共有する。センスアンプに外部電源電圧ＶＤＤが供給されると

、それは降圧電圧ＶＤＬよりも高い動作電圧としてセンスアンプを高速動作させる。即ちセンスアンプの増幅動作における初期的な過渡応答動作が高速化される。次いでセンスアンプの動作電源は降圧電圧ＶＤＬに切り換えられる。多数のセンスアンプに共有される前記動作電源の供給ラインやデータ線には不所望な容量成分が存在するので、外部電源電圧ＶＤＤが許容範囲の上限のレベルであったり、また、動作マージンをテストするために通常よりも高いレベルの外部電源電圧が供給されているような状態では、センスアンプの動作電源が降圧電圧ＶＤＬに切り換えられたときに、センスアンプから降圧回路の出力端子に向けて電流が逆流することが予想される。

【０００５】

このとき、降圧回路として外部電源電圧に結合された電流源に高抵抗を直列接続した回路を採用して、降圧回路における貫通電流を最小限に抑えようとする場合、前記センスアンプ側から降圧回路の出力端子に向かって逆流した電流は前記高抵抗によって接地電位への速やかなリークが阻まれ、結果として降圧電圧ＶＤＬが上昇する虞のあることが本発明者によって見出された。

【０００６】

前記降圧電圧ＶＤＬの不所望なレベル上昇は以下の点で不都合である。降圧電圧ＶＤＬの上昇は、センスアンプの増幅動作によるデータ線の到達電圧を上昇させ、これによって、ワード線の選択レベルとデータ線のハイレベルとの電位差が小さくなって、メモリセルへのハイレベル書込みにおいて蓄積容量にはデータ線の当該ハイレベルの電圧を印加することができなくなる。また、前記降圧電圧ＶＤＬの不所望なレベル上昇によってセンスアンプによるデータ線の到達電圧が上昇されれば、それに応じて、チップ非選択期間にイコライズされるデータ線の初期的なレベル（プリチャージレベル）も上昇し、そのような状態で書き込まれたデータが読み出された場合、プリチャージレベルに対するハイレベルの読み出し電圧マージンも小さくされる。さらに、ワード線選択レベルを形成する昇圧回路が前記降圧電圧ＶＤＬを利用する場合には、降圧電圧ＶＤＬの不所望なレベル上昇はワード線選択レベルを上昇させて、メモリセル選択トランジスタのゲート酸化膜を破損させる虞を生ずる。

【０００７】

本発明の目的は、オーバドライブ形式で駆動されるセンスアンプのような差動増幅回路に対して一つの動作電源として降圧電圧を供給する降圧回路の前記降圧電圧が不所望にレベル上昇する虞を未然に防止できるようにした半導体装置を提供することにある。

【０００８】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【０００９】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【００１０】

すなわち、メモリアレイの高集積化に伴う動作電圧の低電圧化に際して、センスアンプのような差動増幅回路（３）の高速動作を保証するため、前記差動増幅回路の活性化タイミングにおいて最初前記外部電源電圧（ＶＤＤ）を動作電源として前記差動増幅回路に接続させ、次いで降圧回路（１）で形成された降圧電圧（ＶＤＬ）を動作電源として前記差動増幅回路に接続させる、オーバドライブ技術を採用するとき、前記降圧回路を、電流源（Ｑ５０）と高抵抗（Ｒ１）との直列接続点（Ｎｏｕｔ）に前記降圧電圧を形成する降圧ユニット（１０）に加えて、前記直列接続点の電圧が前記降圧電圧以上とされる所定電圧において当該直列結合点を接地電位（ＶＳＳ）に導通させるディスチャージユニット（１１）を設けて構成する。

【００１１】

降圧回路の更に詳しい態様において、前記降圧ユニット及びディスチャージユニットの電

流源回路を高性能化する場合には、オペアンプ（ＡＭＰ１，ＡＭＰ２）にて電流源ＭＯＳトランジスタ（Ｑ５０，Ｑ５１）を負帰還制御するように構成することができる。このとき、ディスチャージ回路によるディスチャージ動作が過剰にならないようにするには、前記差動増幅回路の動作電源が前記外部電源電圧から前記降圧電圧に切り換えられた後、降圧回路の出力電圧が差動増幅回路に動作電源として供給されている期間内の一定期間を除いて、前記電流源ＭＯＳトランジスタをオフ状態に強制する手段（ＴＧ，Ｑ５２）を採用するとよい。

【００１２】

【作用】

センスアンプのような差動増幅回路の駆動方式としてオーバドライブ技術が採用されているとき、差動増幅回路の動作電源が外部電源電圧（ＶＤＤ）から降圧電圧（ＶＤＬ）に切り換えられたときに、差動増幅回路から降圧回路の出力端子に向けて電流が逆流することが予想される。降圧回路として、外部電源電圧に結合された電流源に高抵抗を直列接続した回路を採用して、降圧回路における貫通電流を最小限に抑えようとする場合、前記センスアンプ側から降圧回路の出力端子に向かって逆流した電流は前記高抵抗によって接地電位への速やかなリークが阻まれる。このとき、降圧回路に設けられたディスチャージユニットが前記逆流電流を接地電位に逃がし、これによって、降圧電圧が不所望にレベル上昇される事態が防止される。

【００１３】

また、ディスチャージユニット（１１）の動作可能なタイミングを、前記差動増幅回路の動作電源が前記外部電源電圧から前記降圧電圧に切り換えられた後、降圧回路の出力電圧が差動増幅回路に動作電源として供給されている期間内の一定期間に限定することにより、降圧ユニット側とディスチャージユニット側で常時負帰還制御が行われる場合に双方の電流源ＭＯＳトランジスタ（Ｑ５０，Ｑ５１）を介する電流供給動作と電流引き抜き動作が頻繁に繰り返されることによって消費電力が無視し得ない程に増大することを防止でき、また、降圧ユニット側とディスチャージユニット側で常時負帰還制御が行われることによって降圧電圧が周期的に変動し、差動増幅回路から電流の逆流が生じていない場合にも降圧電圧が周期的に変化する事態を阻止することができる。

【００１４】

【実施例】

図４には本発明の一実施例に係るＤＲＡＭのブロック図が示される。同図に示されるＤＲＡＭは、特に制限されないが、公知半導体集積回路の製造技術によって、単結晶シリコンのような１個の半導体基板に形成される。図４には代表的に２個のメモリアレイＭＡＲＹ０，ＭＡＲＹ１が示される。

【００１５】

本実施例のＤＲＡＭは３．３Ｖのような外部電源電圧ＶＤＤ、０Ｖのような接地電位ＶＳＳを外部電源端子より受ける。本実施例のＤＲＡＭは記憶容量増大のためにメモリアレイＭＡＲＹ０，ＭＡＲＹ１におけるＭＯＳトランジスタは小型化され、それによってそれらＭＯＳトランジスタのゲート長の縮小化に伴ってゲート酸化膜が薄膜化されている。このため、メモリアレイＭＡＲＹ０，ＭＡＲＹ１における動作電圧は低電圧化され、例えば２．２Ｖのような降圧電圧ＶＤＬを基本的な動作電源として利用する。降圧電圧ＶＤＬは外部電源電圧ＶＤＤを降圧する降圧回路１にて生成される。

【００１６】

各メモリアレイＭＡＲＹ０，ＭＡＲＹ１は夫々８個のメモリマットＭＭＡＴ０～ＭＭＡＴ７に分割される。個々のメモリマットＭＭＡＴ０～ＭＭＡＴ７は、選択端子がワード線に、データ入出力端子が相補データ線に結合された１トランジスタ型のダイナミックメモリセルを多数含んでいる。各メモリマット毎にワードドライバＷＤ０～ＷＤ７と、ロウアドレスデコーダＸＤ０～ＸＤ７が設けられる。ロウアドレスデコーダＸＤ０～ＸＤ７は、その動作が選択されると、内部相補ロウアドレス信号ＡＸをデコードしてワード線選択信号を形成し、内部相補ロウアドレス信号ＡＸに応ずる１本のワード線を選択する。ワードド

ライバＷＤ０～ＷＤ７はワード線選択信号を受け、制御信号φＸにて指示されるワード線駆動タイミングに同期して、ワード線選択信号にて選択されるべきワード線を選択レベルに駆動する。ワードドライバＷＤ０～ＷＤ７が形成するワード線選択レベルは、前記降圧電圧ＶＤＬよりもレベルの高い昇圧電圧ＶＰＰとされる。昇圧電圧ＶＰＰは降圧電圧ＶＤＬを昇圧する昇圧回路２にて生成される。

【００１７】

ＳＡ０１，ＳＡ２３，ＳＡ４５，ＳＡ６７はセンスアンプブロック、ＣＳＷ０１，ＣＳＷ２３，ＣＳＷ４５，ＣＳＷ６７はカラムスイッチ回路ブロックであり、左右１対のメモリマットの間に配置され、隣接する左右１対のメモリマットが共有する。センスアンプブロックＳＡ０１，ＳＡ２３，ＳＡ４５，ＳＡ６７とカラムスイッチ回路ブロックＣＳＷ０１，ＣＳＷ２３，ＣＳＷ４５，ＣＳＷ６７を挟んで配置された左右一対のメモリマットにはシェアードデータ線構造が採用され、何れか一方のメモリマットの動作が選択されるようになっている。夫々のセンスアンプブロックの動作制御及びセンスアンプブロックを共有するメモリマット間におけるデータ線シェアリングスイッチ回路（図５参照）の制御などの、メモリマットの動作選択及び動作制御は、対を成すメモリマット毎に設けられたマットコントローラＭＣＮＴ０１，ＭＣＮＴ２３，ＭＣＮＴ４５，ＭＣＮＴ６７が行う。

【００１８】

マットコントローラＭＣＮＴ０１，ＭＣＮＴ２３，ＭＣＮＴ４５，ＭＣＮＴ６７にはマット選択信号ＭＳ、センスアンプ制御信号φＳＡＮ，φＳＡＰ２，φＳＡＰ１Ｂが供給される。マット選択信号ＭＳは８個のメモリマットＭＭＡＴ０～ＭＭＡＴ７から何れの１個を選択するかを指示する３ビットの信号とされる。実際にはロウアドレスバッファＲＡＢに保持されたロウアドレス信号の上位３ビットの情報に対応される。マットコントローラＭＣＮＴ０１，ＭＣＮＴ２３，ＭＣＮＴ４５，ＭＣＮＴ６７はマット選択信号ＭＳをデコードし、それが指定するメモリマットを動作させるように、センスアンプブロックの動作制御やロウアドレスデコーダの活性化制御を行う。例えば、マット選択信号ＭＳがメモリマットＭＭＡＴ０を指定すると、ロウアドレスデコーダＸＤ０が活性化されると共に、センスアンプブロックＳＡ０１がデータ線シェアリングスイッチ回路を介してメモリマットＭＭＡＴ０に接続され、メモリマットＭＭＡＴ０においてメモリセルの選択動作が可能にされる。センスアンプ制御信号φＳＡＮ，φＳＡＰ２，φＳＡＰ１Ｂについてはその詳細を後述する。

【００１９】

夫々のカラムスイッチ回路ブロックＣＳＷｎは、カラムアドレスデコーダＹＤからのカラム選択信号を受け、それによってメモリマットの中から夫々４組の相補データ線を選択して相補共通データ線ＣＤ０～ＣＤ３に導通させる。カラムアドレスデコーダＹＤは、読み出し動作においてはワード線選択動作が確定した後にイネーブルレベルにされるタイミング信号φＹによって動作可能にされ、それによって内部相補カラムアドレス信号ＡＹをデコードしてカラム選択信号を生成する。

【００２０】

前記ワード線選択動作とカラム選択動作により、マット選択信号ＭＳ、内部相補ロウアドレス信号ＡＸ、及び内部相補カラムアドレス信号ＡＹにて指定される４個のメモリセルが相補共通データ線ＣＤ０～ＣＤ３に導通される。メモリアレイＭＡＲＹ１側も特に図示はしないが上記同様に構成され、メモリアレイＭＡＲＹ１側には相補共通データ線ＣＤ４～ＣＤ７が配置される。

【００２１】

前記相補共通データ線ＣＤ０～ＣＤ７は、特に制限されないが、データ入出力回路ＤＩＯに結合される。データ入出力回路ＤＩＯには、メインアンプ、書込みアンプ、及びデータ入出力バッファを含み、タイミング信号φＷがイネーブルレベルにされることにより書込みのためのデータ入力動作を行い、タイミング信号φＲがイネーブルレベルにされることにより読み出しのためのデータ出力動作を行う。本実施例のダイナミックＲＡＭは、８ビット単位でデータの書込み及び読み出しが行われ、メモリアレイＭＡＲＹ０が下位４ビッ

トを担い、メモリアレイＭＡＲＹ１が上位４ビットを担っている。

【００２２】

前記ロウアドレスバッファＲＡＢは、外部アドレス入力端子Ａ０～Ａｉから入力されるロウアドレス信号をアドレスマルチプレクサＡＭＸを介して取り込んで保持する。この取り込動作は、タイミング発生回路ＴＧから供給されるタイミング信号φＸＬのハイレベルによって指示される。

【００２３】

アドレスマルチプレクサＡＭＸは、特に制限されないが、ダイナミックＲＡＭが通常の動作モードとされるときにタイミング発生回路ＴＧからディスエーブルレベルのタイミング信号φＲＥＦが供給されることによって、外部端子Ａ０～Ａｉを介して供給されるロウアドレス信号をロウアドレスバッファＲＡＢに伝達する。また、ダイナミックＲＡＭがＣＢＲ（CAS brfore RAS）リフレッシュサイクルとされるときに上記タイミング信号φＲＥＦがイネーブルレベルにされると、リフレッシュアドレスカウンタＲＦＣから供給されるリフレッシュアドレス信号を選択し、これをロウアドレスバッファＲＡＢに伝達する。

【００２４】

リフレッシュアドレスカウンタＲＦＣは、特に制限されないが、ダイナミックＲＡＭがＣＢＲリフレッシュモードとされるとき、タイミング発生回路ＴＧから所定サイクル毎に供給されるタイミング信号φＲＣに同期して計数動作を行ってリフレッシュアドレスを生成する。

【００２５】

前記カラムアドレスバッファＣＡＢは、前記外部アドレス入力端子Ａ０～Ａｉを介して供給されるカラムアドレス信号を、タイミング発生回路ＴＧから供給される制御信号φＹＬがイネーブルにされるタイミングに同期して取り込んで保持する。

【００２６】

前記タイミング発生回路ＴＧは、外部からのアクセス制御信号として、ロウアドレスストローブ信号ＲＡＳ＊（記号＊はこれが付された信号がローイネーブルの信号であることを意味する）、カラムアドレスストローブＣＡＳ＊、ライトイネーブル信号ＷＥ＊、及び出力イネーブル信号ＯＥ＊が供給され、これらのレベル並びに変化タイミングに基づいて、ダイナミックＲＡＭの動作モードを判定すると共に、上記各種のタイミング信号を形成し、ダイナミックＲＡＭの内部動作を制御する。ロウアドレスストローブ信号ＲＡＳ＊はそのローレベルによってチップ選択を指示し、且つロウアドレス信号が有効であることを通知する。これに従ってタイミングコントローラＴＧは、ロウアドレス信号の取り込み、そしてワード線選択動作やメモリマット選択のための前記制御信号を順次生成する。カラムアドレスストローブＣＡＳ＊はカラムアドレス信号が有効であることを通知する信号とされる。それがイネーブルレベルにされると、タイミングコントローラＴＧはカラムアドレス信号の取り込みそしてカラム選択動作のための前記制御信号を順次生成する。ライトイネーブル信号ＷＥ＊はそのイネーブルレベルによってＤＲＡＭに書込み動作を指示し、出力イネーブル信号ＯＥ＊はそのイネーブルレベルによってＤＲＡＭに読み出し動作を指示する。ＣＢＲリフレッシュモードはロウアドレスストローブ信号ＲＡＳ＊がイネーブルにされる前にカラムアドレスストローブＣＡＳ＊がイネーブルレベルにされることによって指定される。

【００２７】

図５には前記メモリマットＭＭＡＴ０，ＭＭＡＴ１、センスアンプブロックＳＡ０１、及びカラムスイッチ回路ブロックＣＳＷ０１の部分的な回路図が示される。特に同図には、一つのカラム選択信号ＹＳ００を受ける回路部分が代表的に示されている。図においてチャンネル（バックゲート）部に矢印が付されているＭＯＳトランジスタはＰチャンネル型であって、矢印の付されていないＮチャンネル型のＭＯＳトランジスタと区別されている。

【００２８】

図５において代表的に示されたＷＬ０～ＷＬｉはワード線であり、ＤＬ０，ＤＬ０Ｂ、Ｄ

Ｌ１，ＤＬ１Ｂは相補データ線であり、ＭＣはダイナミックメモリセルである。ダイナミックメモリセルＭＣは、データ線に接続された選択ＭＯＳトランジスタＱ１と蓄積容量ＳＣとの直列回路がプレート電位ＰＬ（ＶＤＬ／２）に接続されて成る。Ｑ２７～Ｑ３４はデータ線シェアリングスイッチ回路を構成する一部のシェアリングスイッチＭＯＳトランジスタである。メモリマットＭＭＡＴ０との間に配置された代表的に示されたシェアリングスイッチＭＯＳトランジスタＱ２７～Ｑ３０は制御信号φＳＨＲＬにてスイッチ制御され、メモリマットＭＭＡＴ１との間に配置された代表的に示されたシェアリングスイッチＭＯＳトランジスタＱ３１～Ｑ３４は制御信号φＳＨＲＲにてスイッチ制御される。例えばマット選択信号ＭＳがメモリマットＭＭＡＴ０を選択するとき、前記マットコントローラＭＣＮＴ０１が制御信号φＳＨＲＬをハイレベルに制御する。マット選択信号ＭＳがメモリマットＭＭＡＴ１を選択するときは、前記マットコントローラＭＣＮＴ０１が制御信号φＳＨＲＲをハイレベルに制御する。マット選択信号ＭＳにて選択されないメモリマットに関するシェアリングスイッチＭＯＳトランジスタは当該メモリマットに対応されるマットコントローラにてオフ状態に制御される。

【００２９】

Ｎチャンネル型ＭＯＳトランジスタＱ９，Ｑ１０とＰチャンネル型ＭＯＳトランジスタＱ１３，Ｑ１４とによって構成されるスタティックラッチ形態の差動増幅回路は一つのセンスアンプ３であり、センスアンプ３は相補データ線毎に設けられている。センスアンプ３の動作電源はドライブラインＳＤＮ，ＳＤＰを介して供給される。ドライブラインＳＤＮ，ＳＤＰは各センスアンプ３に共通とされる。ドライブラインＳＤＮ，ＳＤＰへの動作電源の供給制御については後述する。また、夫々の相補データ線には上記センスアンプ３の他に、ダイナミックＲＡＭが待機時に、相補データ線をイコライズするＭＯＳトランジスタＱ２１を備える。ＭＯＳトランジスタＱ２１は、制御信号φＰＣＳＢによってスイッチ制御される。さらに、相補データ線のイコライズと共に相補データ線にプリチャージ電位を供給するためのＭＯＳトランジスタＱ１７，Ｑ１８が設けられている。プリチャージ電位は降圧電圧ＶＤＬの半分のレベルとされ、配線ＨＶＣを介して供給される。ＭＯＳトランジスタＱ１７，Ｑ１８は制御信号φＰＣＢによってスイッチ制御される。前記制御信号φＰＣＢ，φＰＣＳＢはタイミングコントローラＴＧから出力される。プリチャージ電圧ＶＤＬ／２はプリチャージ電圧形成回路４にて形成され、例えば降圧電圧ＶＤＬを受ける抵抗分圧回路等によって構成される。

【００３０】

図５においてＱ２３，Ｑ２４は相補データ線ＤＬ０，ＤＬ０Ｂと相補共通データ線ＣＤ０（ｃｄ０，ｃｄ０Ｂ）との間に設けられたカラムスイッチであり、Ｑ２５，Ｑ２６は相補データ線ＤＬ１，ＤＬ１Ｂと相補共通データ線ＣＤ１（ｃｄ１，ｃｄ１Ｂ）との間に設けられたカラムスイッチである。同様のカラムスイッチは各相補データ線に設けられ、４対の相補データ線を一組として４対の相補共通データ線ＣＤ０（ｃｄ０，ｃｄ０Ｂ），ＣＤ１（ｃｄ１，ｃｄ１Ｂ），ＣＤ２（ｃｄ２，ｃｄ２Ｂ），ＣＤ３（ｃｄ３，ｃｄ３Ｂ）に共通接続される。

【００３１】

次にセンスアンプ３のドライブラインＳＤＮ，ＳＤＰに動作電源を供給する回路構成について説明する。

【００３２】

図１にはセンスアンプ３のドライブラインＳＤＮ，ＳＤＰへ動作電源を供給する回路が示される。同図においては代表的に１列分のセンスアンプ３が示されているが、図に代表的に示されているドライブラインＳＤＮ，ＳＤＰは本実施例のＤＲＡＭに含まれる全てのセンスアンプ３のためのドライブラインＳＤＮ，ＳＤＰを総称している。ドライブラインＳＤＮには、制御信号φＳＡＮにてスイッチ制御されるＮチャンネル型ＭＯＳトランジスタＱ４０を介して接地電位ＶＳＳが供給される。ドライブラインＳＤＰには、制御信号φＳＡＰ１Ｂにてスイッチ制御されるＰチャンネル型ＭＯＳトランジスタＱ４１を介して外部電源電圧ＶＤＤが供給され、また、制御信号φＳＡＰ２にてスイッチ制御されるＮチャン

ネル型ＭＯＳトランジスタＱ４２を介して降圧電圧ＶＤＬが供給される。制御信号φＳＡＮ，φＳＡＰ１Ｂ，φＳＡＰ２は前記タイミングコントローラＴＧから出力される。

【００３３】

本実施例のＤＲＡＭは、前述のように、３．３Ｖのような外部電源電圧ＶＤＤを外部電源端子より受けるが、記憶容量増大のためにメモリアレイＭＡＲＹ０，ＭＡＲＹ１におけるＭＯＳトランジスタは小型化され、それによってそれらＭＯＳトランジスタのゲート長の縮小化に伴ってゲート酸化膜が薄膜化されているので、メモリアレイＭＡＲＹ０，ＭＡＲＹ１における動作電圧は低電圧化され、例えば２．２Ｖのような降圧電圧ＶＤＬを基本的な動作電源とする。このとき、ドライブラインＳＤＰに降圧電圧ＶＤＬだけを供給したのでは、センスアンプ３の動作速度が遅くなってしまうので、ドライブラインＳＤＰにはセンスアンプ活性化タイミングの最初に外部電源電圧ＶＤＤを与え、次いで降圧電圧ＶＤＬを与えてセンスアンプを動作させるという、センスアンプのオーバドライブ技術が適用されている。

【００３４】

即ち、図２に示されるように、センスアンプ３の活性化期間を規定する制御信号φＳＡＥＢ（タイミングコントローラＴＧの内部制御信号であって図１には図示されていない）がローレベルのアクティブレベルに変化されると、先ず、制御信号φＳＡＰ１Ｂがローレベルに変化されてＭＯＳトランジスタＱ４１を介してドライブラインＳＤＰに電源電圧ＶＤＤが供給される。これによって、センスアンプ３のＰチャンネル型ＭＯＳトランジスタＱ１３，Ｑ１４から供給される電流が比較的大きいため、メモリセルの選択動作によって相補データ線ＤＬ０，ＤＬ０Ｂに現れる微少電位差は速やかに増幅される。次いで、制御信号φＳＡＰ１Ｂがハイレベルに反転されると共に制御信号φＳＡＰ２がハイレベルにされることにより、ＭＯＳトランジスタＱ４２を介してドライブラインＳＤＰに降圧電圧ＶＤＬが供給される。制御信号φＳＡＮは制御信号φＳＡＥＢのローレベル期間に同期してハイレベルにされる。これにより、センスアンプ３によって駆動される相補データ線の到達レベルは、一方が接地電位ＶＳＳ、他方が降圧電圧ＶＤＬに規定される。このようにして、メモリセルアレイの低電圧駆動下におけるセンスアンプ３の増幅動作を高速化している。

【００３５】

本実施例の降圧回路１は、降圧ユニット１０とディスチャージユニット１１を備える。前記降圧ユニット１０は、外部電源電圧ＶＤＤに結合されるＰチャンネル型のＭＯＳトランジスタＱ５０と接地電位ＶＳＳに結合される高抵抗Ｒ１との直列接続点を出力端子Ｎｏｕｔとして備え、当該出力端子Ｎｏｕｔが非反転入力端子（＋）に帰還され、反転入力端子（－）に基準電圧ＶＬＲが供給されて、前記ＭＯＳトランジスタＱ５０をスイッチ制御するオペアンプＡＭＰ１を備えて構成される。前記オペアンプＡＭＰ１は、出力端子Ｎｏｕｔの電位が基準電位ＶＬＲよりも低くされるとＭＯＳトランジスタＱ５０のコンダクタンスを大きく（オン抵抗を小さく）し、出力端子Ｎｏｕｔの電位が基準電位ＶＬＲよりも高くされるとＭＯＳトランジスタＱ５０のコンダクタンスを小さく（オン抵抗を大きく）して、出力端子Ｎｏｕｔの電圧を基準電圧ＶＬＲに保つように負帰還制御を行う。このようにして出力端子Ｎｏｕｔに形成された電圧が降圧電圧ＶＤＬとされる。特にＭＯＳトランジスタＱ５０と抵抗Ｒ１と直列回路に流れる貫通電流を最小限に抑えるために抵抗Ｒ１の値は非常に大きな値にされている。前記負帰還制御において、高抵抗Ｒ１を介して出力端子Ｎｏｕｔに流れる電流は実質的に無視し得る程少なくされている。尚、基準電圧ＶＬＲは例えば図示しない公知の基準電圧発生回路によって形成される制御電圧であり、例えば２．２Ｖとされる。

【００３６】

ここで、外部電源電圧ＶＤＤは例えば３．３Ｖとされるが、利用可能な電源電圧には通例±１０％程度の許容範囲を容認している。したがって、外部電源電圧ＶＤＤとしてその許容範囲における下限のレベルが供給される場合においてもセンスアンプ３の過渡応答動作の高速化を図れるように、前記制御信号φＳＡＰ１Ｂのアクティブ期間が設定されている

。したがって、システム上で供給される外部電源電圧ＶＤＤが許容範囲の上限のレベルであったり、電源電圧ＶＤＤ側の動作マージンテストなどのために特に高い外部電源電圧ＶＤＤが供給された場合などには、センスアンプ３に対するオーバドライブが過剰になって、センスアンプ３の動作電源が外部電源電圧ＶＤＤから降圧電圧ＶＤＬに切換えられたときに、ドライブラインＳＤＰから降圧回路１の出力端子Ｎｏｕｔに向けて電流が逆流する虞がある。逆流した電流は、前述のように高抵抗Ｒ１を介して接地電位ＶＳＳに即座にディスチャージさせることは期待できない。本実施例においてそのようなドライブラインＳＤＰから逆流した電流をディスチャージする経路は前記ディスチャージユニット１１が形成するようになっている。

【００３７】

前記ディスチャージユニット１１は、外部電源電圧ＶＤＤに結合される高抵抗Ｒ２と接地電位ＶＳＳに結合されるＮチャンネル型の電流源ＭＯＳトランジスタＱ５１との直列接続点が前記出力端子Ｎｏｕｔに結合され、前記出力端子Ｎｏｕｔが非反転入力端子（＋）に帰還され、反転入力端子（－）に前記基準電圧ＶＬＲが供給されて前記電流源ＭＯＳトランジスタＱ５１をスイッチ制御するオペアンプＡＭＰ２を備え、更に、オペアンプＡＭＰ２の出力を選択的に接地電位ＶＳＳに導通させるＮチャンネル型のＭＯＳトランジスタＱ５２を備えて成る。

【００３８】

前記オペアンプＡＭＰ２は、出力端子Ｎｏｕｔの電位が基準電位よりも低くされるとＭＯＳトランジスタＱ５０のコンダクタンスを小さく（オン抵抗を大きく）し、出力端子Ｎｏｕｔの電位が基準電位よりも高くされるとＭＯＳトランジスタＱ５０のコンダクタンスを大きく（オン抵抗を小さく）して、出力端子Ｎｏｕｔの電圧が基準電圧ＶＬＲを越えた場合に、ＭＯＳトランジスタＱ５１を介して接地電位ＶＳＳへのディスチャージ経路を形成するための負帰還制御を行う。降圧ユニット１０と同様に、ＭＯＳトランジスタＱ５１と抵抗Ｒ２との直列回路に流れる貫通電流を最小限に抑えるために抵抗Ｒ２の値は非常に大きな値にされているので、前記負帰還制御において、高抵抗Ｒ２を介して出力端子Ｎｏｕｔに供給される電流は実質的に無視し得る程少なくされている。このようにディスチャージユニット１０は、ドライブラインＳＤＰから逆流した電流をディスチャージする経路を形成するので、降圧電圧ＶＤＬが不所望にレベル上昇する虞を未然に防止することができる。

【００３９】

仮に、ディスチャージユニット１１が設けられていない場合には、図３に示されるように、ドライブラインＳＤＰからの逆流電流によって降圧電圧ＶＤＬのレベルが徐々に上昇され、それに伴って相補データ線のプリチャージレベル（ＶＤＬ／２）が上昇されてしまう。

【００４０】

前記降圧電圧ＶＤＬの不所望なレベル上昇は以下の点で不都合である。降圧電圧ＶＤＬの上昇は、センスアンプの増幅動作によるデータ線の到達電圧を上昇させ、これによって、ワード線の選択レベルとデータ線のハイレベルとの電位差が小さくなって、メモリセルへのハイレベル書込みにおいて蓄積容量ＳＣにはデータ線の当該ハイレベルの電圧を印加することができなくなる。また、前記降圧電圧ＶＤＬの不所望なレベル上昇によってセンスアンプによるデータ線の到達電圧が上昇されれば、それに応じて、チップ非選択期間にイコライズされるデータ線の初期的なレベルであるプリチャージレベルも上昇し、そのような状態で書き込まれたデータが読み出された場合、プリチャージレベルに対するハイレベルの読み出し電圧マージンも小さくされる。さらに、ワード線選択レベルを形成する昇圧回路２が前記降圧電圧ＶＤＬを利用する場合には、降圧電圧ＶＤＬの不所望なレベル上昇はワード線選択レベルＶＰＰを上昇させて、メモリセル選択ＭＯＳトランジスタＱ１のゲート酸化膜を破損させる虞を生ずる。本実施例のＤＲＡＭにおいてそのような不都合は生じない。

【００４１】

前記ＭＯＳトランジスタＱ５２をスイッチ制御する制御信号φｎｏｄｅ１は前記タイミングコントローラＴＧにて形成される。制御信号φｎｏｄｅ１は、センスアンプ３の動作電源が前記外部電源電圧ＶＤＤから前記降圧電圧ＶＤＬに切り換えられた後、降圧電圧ＶＤＬがセンスアンプ３に動作電源として供給されている期間内の一定期間だけローレベルにされる。ディスチャージユニット１１は制御信号φｎｏｄｅ１がローレベルにされているときだけ前記負帰還制御によるディスチャージ経路の形成が可能にされる。そして、制御信号φｎｏｄｅ１がローレベルにされる期間は前記ドライブラインＳＤＰからの電流逆流を生ずる虞のあるタイミングに呼応されている。それ以外の期間ではディスチャージユニット１１の実質的なディスチャージ動作は抑止されることになる。これにより、ＭＯＳトランジスタＱ５０，Ｑ５１を介する直流貫通経路が常時形成可能にされることによる不都合を解消することができる。即ち、降圧ユニット側とディスチャージユニット側で常時負帰還制御が行われる場合にＭＯＳトランジスタＱ５０，Ｑ５１を介する電流供給動作と電流引き抜き動作が頻繁に繰り返されることによって消費電力が無視し得ない程に増大したり、また、降圧ユニット側とディスチャージ側で常時負帰還制御が行われることによって降圧電圧が周期的に変動し、ドライブラインＳＤＰからの電流逆流が生じていない場合にも降圧電圧が周期的に変化したりする事態を阻止することができる。

【００４２】

また、本実施例では降圧ユニット側とディスチャージユニット側で別個のオペアンプＡＭＰ１，ＡＭＰ２を利用しているので、夫々の回路特性を相違させる（例えばオフセット電圧を相互に相違させる）ことによって、過剰なディスチャージ動作が行われないようにするなどの回路設計の融通性を増すことができる。

【００４３】

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えば、降圧ユニット１０とディスチャージユニット１１においてオペアンプを共通化してもよい。また、降圧ユニット１０とディスチャージユニット１１における電流源はオペアンプを利用して負帰還制御する構成に限定されない。また、ＤＲＡＭのメモリマット構成、マット選択の論理構成、データの並列入出力ビット数等は上記実施例に限定されず適宜変更可能である。

【００４４】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるＤＲＡＭに適用した場合について説明したが、本発明はそれに限定されるものではなく、クロック信号に同期動作されるシンクロナスＤＲＡＭ、擬似スタティックＲＡＭ、さらにはマイクロコンピュータ等のデータ処理ＬＳＩにオンチップされたそれらメモリ等にも適用することができる。

【００４５】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【００４６】

すなわち、メモリアレイの高集積化に伴う動作電圧の低電圧化の流れにおいて、オーバドライブ技術によってセンスアンプのような差動増幅回路の高速動作を保証しようとするとき、差動増幅回路のドライブラインから降圧回路への電流逆流が生じても、それによって降圧電圧が不所望にレベル上昇される事態を防止することができる。

【００４７】

したがって、動作電圧の低電圧化に向けられた回路の信頼性が降圧電圧の負所望なレベル上昇によって低下させられる事態を未然に防止することができる。例えば、センスアンプの様な差動増幅回路の増幅動作によるデータ線の到達電圧が、降圧電圧の上昇によって高くされることにより、ワード線の選択レベルとデータ線のハイレベルとの電位差が小さくなってメモリセルへのハイレベル書込みにおいて蓄積容量にはデータ線の当該ハイレベル

の電圧を印加することができなくなる事態を防止できる。また、降圧電圧の不所望なレベル上昇によってセンスアンプのような差動増幅回路によるデータ線の到達電圧が上昇されれば、それに応じて、イコライズされるデータ線のプリチャージレベルも上昇し、そのような状態で書き込まれたデータが読み出された場合、プリチャージレベルに対するハイレベルの読み出し電圧マージンも小さくされてしまうことも防止できる。また、ワード線選択レベルを形成する昇圧回路が前記降圧電圧を利用する場合には、降圧電圧の不所望なレベル上昇がワード線選択レベルを上昇させて、メモリセル選択トランジスタのゲート酸化膜を破損させる虞も生じさせない。

【図面の簡単な説明】

【図１】センスアンプのドライブラインへ動作電源を供給するための一実施例回路図である。

【図２】降圧回路にディスチャージユニットを採用した場合の動作波形図である。

【図３】降圧回路にディスチャージユニットを採用しない場合の比較例を示す動作波形図である。

【図４】本発明の一実施例に係るＤＲＡＭの全体的なブロック図である。

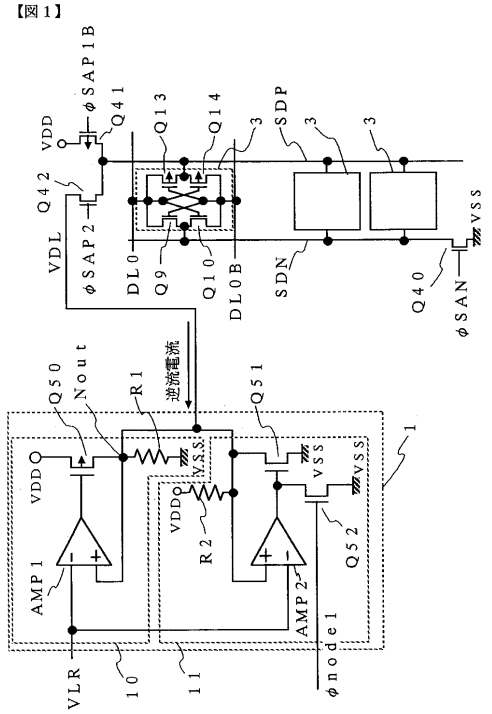
【図５】本実施例ＤＲＡＭのメモリマット、センスアンプブロック、及びカラムスイッチ回路ブロックの部分的な回路図である。

【符号の説明】

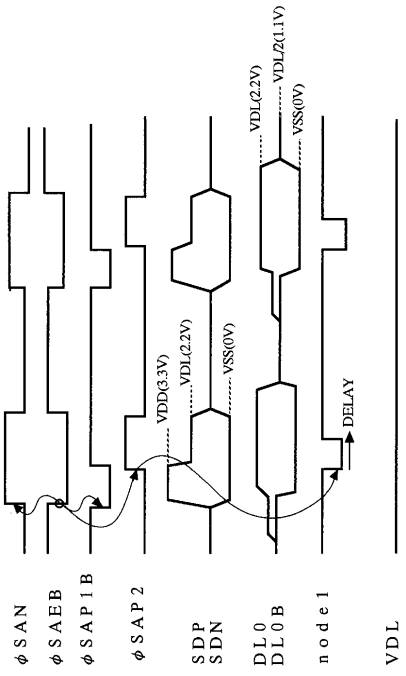
ＭＡＲＹ０，ＭＡＲＹ１　メモリアレイ
ＭＭＡＴ０～ＭＭＡＴ７　メモリマット
ＳＡ０１，ＳＡ２３，ＳＡ４５，ＳＡ６７　センスアンプブロック
ＷＤ０～ＷＤ７　ワードドライバ
ＸＤ０～ＸＤ７　ロウアドレスデコーダ
ＹＤ　カラムアドレスデコーダ
ＴＧ　タイミングコントローラ
ＤＬ０，ＤＬ０Ｂ、ＤＬ１，ＤＬ１Ｂ　相補データ線
ＷＬｉ、ＷＬ（ｉ－１）　ワード線
ＭＣ　ダイナミックメモリセル
Ｑ１７，Ｑ１８　プリチャージ用ＭＯＳトランジスタ
Ｑ２１　イコライズ用ＭＯＳトランジスタ
ＶＤＬ　降圧電圧
ＶＤＤ　外部電源電圧
ＶＳＳ　接地電圧
ＶＰＰ　ワード線駆動電圧
１　降圧回路
１０　降圧ユニット
ＡＭＰ１　オペアンプ
Ｑ５０　電流源ＭＯＳトランジスタ
Ｒ１　高抵抗
Ｎｏｕｔ　出力端子
１１　ディスチャージユニット
ＡＭＰ２　オペアンプ
Ｑ５１　電流源ＭＯＳトランジスタ
Ｒ２　高抵抗
Ｑ５２　ディスチャージ用ＭＯＳトランジスタ
φｎｏｄｅ１　制御信号
２　昇圧回路
３　センスアンプ
Ｑ９，Ｑ１０　センスアンプ構成用Ｎチャンネル型ＭＯＳトランジスタ
Ｑ１３，Ｑ１４　センスアンプ構成用Ｐチャンネル型ＭＯＳトランジスタ

ＳＤＰ，ＳＤＮ　センスアンプのドライブライン
Ｑ４１，Ｑ４２　ＳＤＰへの動作電源供給用ＭＯＳトランジスタ
Ｑ４０　ＳＤＮへの動作電源供給用ＭＯＳトランジスタ
φＳＡＰ２，φＳＡＰ１Ｂ，φＳＡＮ　センスアンプ制御信号
４　プリチャージ電圧形成回路

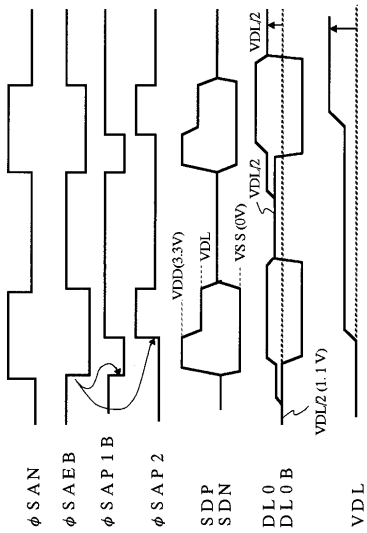
【図１】



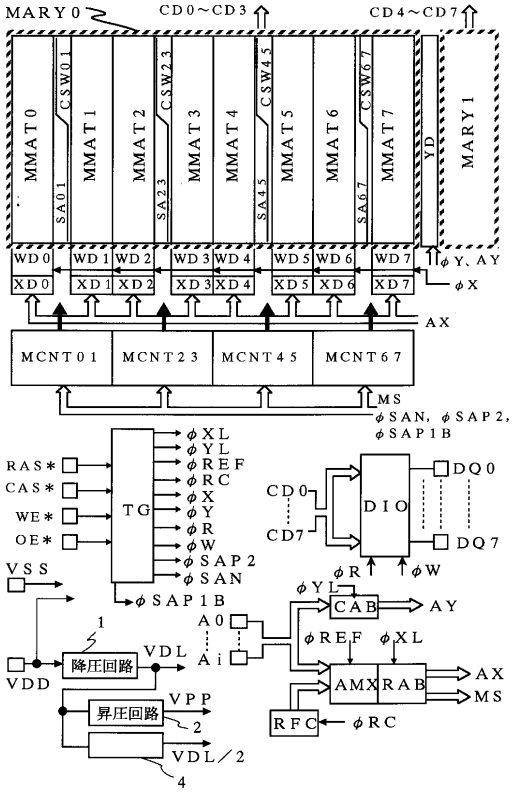
【図２】



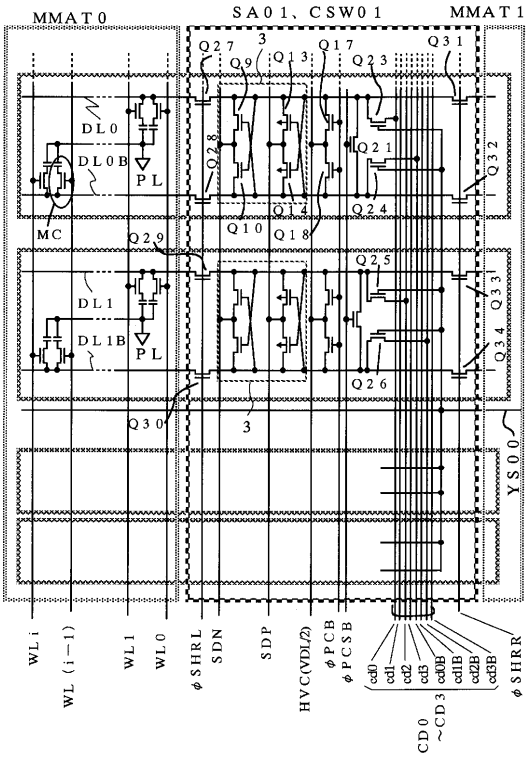
【図３】
【図3】



【図４】
【図4】



【図５】
【図5】



フロントページの続き

(72)発明者　助川　俊一
茨城県稲敷郡美浦村木原２３５０　日本テキサス・インスツルメンツ株式会社内

審査官　堀田　和義

(56)参考文献　特開平０５－０６２４６７（ＪＰ，Ａ）
特開平０６－０２１３７７（ＪＰ，Ａ）
特開平０９－１２０６７５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/407