

【公報種別】特許公報の訂正

【部門区分】第7部門第3区分

【発行日】平成30年6月27日(2018.6.27)

【特許番号】特許第6282000号(P6282000)

【登録日】平成30年2月2日(2018.2.2)

【特許公報発行日】平成30年2月21日(2018.2.21)

【年通号数】特許・実用新案公報2018-007

【出願番号】特願2017-525188(P2017-525188)

【訂正要旨】明細書の誤載により下記のとおり全文を訂正する。

【国際特許分類】

*H 0 3 F 3/217 (2006.01)*

*H 0 3 F 3/24 (2006.01)*

【F I】

H 0 3 F 3/217

H 0 3 F 3/24

【記】別紙のとおり

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6282000号  
(P6282000)

(45) 発行日 平成30年2月21日(2018.2.21)

(24) 登録日 平成30年2月2日(2018.2.2)

(51) Int.Cl.		F I	
<b>H03F 3/217 (2006.01)</b>		H03F 3/217	
<b>H03F 3/24 (2006.01)</b>		H03F 3/24	

請求項の数 4 (全 10 頁)

<p>(21) 出願番号 特願2017-525188 (P2017-525188)</p> <p>(86) (22) 出願日 平成28年6月9日(2016.6.9)</p> <p>(86) 国際出願番号 PCT/JP2016/067221</p> <p>(87) 国際公開番号 W02016/208410</p> <p>(87) 国際公開日 平成28年12月29日(2016.12.29)</p> <p>審査請求日 平成29年12月1日(2017.12.1)</p> <p>(31) 優先権主張番号 特願2015-124889 (P2015-124889)</p> <p>(32) 優先日 平成27年6月22日(2015.6.22)</p> <p>(33) 優先権主張国 日本国(JP)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000001122 株式会社日立国際電気 東京都港区西新橋二丁目15番12号</p> <p>(72) 発明者 戸丸 賢也 東京都小平市御幸町32番地 株式会社日立国際電気内</p> <p>(72) 発明者 中村 学 東京都小平市御幸町32番地 株式会社日立国際電気内</p> <p>審査官 緒方 寿彦</p>
---	---

最終頁に続く

(54) 【発明の名称】 電力増幅装置

(57) 【特許請求の範囲】

【請求項1】

フルブリッジ型のD級電力増幅器を有するアウトフェーシング方式の電力増幅装置において、

送信する変調波の振幅、位相に基づき、2種類の搬送波周波数の正弦波を生成し、生成した正弦波から、前記D級電力増幅器をスイッチングするためのスイッチング用パルス信号を生成するスイッチング用信号生成回路を備え、

前記スイッチング用信号生成回路は、

生成された2種類の正弦波の位相情報を直交形式に変換するsin算出処理部およびcos算出処理部と、

前記sin算出処理部および前記cos算出処理部から入力された各々の直交形式の位相情報をアナログ信号に変換するDA変換器と、

前記DA変換器から入力されたアナログ信号から折り返し成分を除去する第1のフィルタと、

前記第1のフィルタから入力されたアナログ信号から、ローカル信号を用いて正弦波を生成するアナログ直交変調器と、

前記アナログ直交変調器から入力された正弦波から所定の無線周波数およびその近傍の成分を通過させる第2のフィルタと、

基準電圧との比較により、前記第2のフィルタから入力された正弦波からスイッチング用パルス信号への変換を行うコンパレータと、

を有することを特徴とする電力増幅装置。

【請求項 2】

請求項 1 記載の電力増幅装置において、前記直交形式の位相情報は、所定の間隔で、送信する前記変調波に基づいて更新することを特徴とする電力増幅装置。

【請求項 3】

フルブリッジ型の D 級電力増幅器を有するアウトフェーシング方式の電力増幅装置において、

送信する変調波の振幅、位相に基づき、2 種類の搬送波周波数の正弦波を生成し、生成した正弦波から、前記 D 級電力増幅器をスイッチングするためのスイッチング用パルス信号を生成するスイッチング用信号生成回路を備え、

前記スイッチング用信号生成回路は、生成された 2 種類の正弦波の位相情報を基にして、所定の周波数で位相アキュムレータを更新し、位相アキュムレータの位相に対応する正弦波の振幅値を出力する D D S (Direct Digital Synthesizer) 処理部と、

前記 D D S 処理部から入力された正弦波の振幅値をアナログ信号に変換する D A 変換器と、

前記 D A 変換器から入力されたアナログ信号からクロック成分を除去する第 2 のフィルタと、

基準電圧との比較により、前記第 2 のフィルタから入力されたアナログ信号からスイッチング用パルス信号への変換を行うコンパレータと、

を有することを特徴とする電力増幅装置。

【請求項 4】

請求項 3 記載の電力増幅装置において、前記位相アキュムレータ出力に加える位相シフト値は、所定の間隔で、送信する前記変調波に基づいて更新することを特徴とする電力増幅装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線通信における電力増幅の方法、特に、D 級電力増幅器を用いた電力増幅装置に関する。

【背景技術】

【0002】

アウトフェーシング方式の電力増幅は、D 級電力増幅器の使用により、高効率な電力増幅が可能な方式である（例えば、特許文献 1 参照）。

そこで、アウトフェーシング方式の電力増幅の概要について、図 4 を用いて説明する。図 4 は、フルブリッジ型の D 級電力増幅器を使用したアウトフェーシング方式の電力増幅装置を示す図である。

【0003】

図 4 においては、4 つのゲート端子 (G1 ~ G4) に対して、送信する変調波信号に基づいて生成したスイッチング用信号を入力する。この結果、D 級電力増幅器 101 の出力として、矩形波状の信号が出力される。この出力信号には、所望の変調波信号と高調波成分とが含まれている。そこで、D 級電力増幅器 101 の後段で、フィルタ 102 を用いてフィルタリングを実施し、所望の変調波信号を取り出している。

【0004】

ここで、図 4 の 4 つのゲート端子 (G1 ~ G4) に入力するスイッチング用信号について、図 5 を用いて説明する。図 5 は、各ゲート端子 (G1 ~ G4) に対するスイッチング用信号の与え方の例を示す図である。図 5 (a) はゲート端子 G1 に入力するスイッチング用信号を示し、図 5 (b) はゲート端子 G3 に入力するスイッチング用信号を示し、図 5 (c) は図 4 の A 点における増幅器出力信号を示し、また、図 5 (d) は図 4 の B 点におけるフィルタ出力信号を示している。

なお、ここでは、説明を簡略化するため、A M 変調の場合を示しており、図中の T は搬

10

20

30

40

50

送波の周期である。

【 0 0 0 5 】

図 5 に示すように、図 4 の A 点では、「 G 1、 G 4 がオン」、かつ、「 G 3、 G 2 がオフ」で、正となり、逆に、「 G 1、 G 4 がオフ」、かつ、「 G 3、 G 2 がオン」で、負となる。これを利用し、 G 1 および G 2 ( = - G 1 ) の変化タイミング、 G 3 および G 4 ( = - G 3 ) の変化タイミングを制御することで、 A 点での矩形波状の信号の波形を変化させている。

【 0 0 0 6 】

次に、図 4 の 4 つのゲート端子 ( G 1 ~ G 4 ) に入力するスイッチング用信号の生成方法について、図 6 を用いて説明する。図 6 は、図 4 の 4 つのゲート端子 ( G 1 ~ G 4 ) に与えるスイッチング用信号生成回路の構成を示すブロック図である。

10

【 0 0 0 7 】

従来のスイッチング用信号生成回路は、図 6 に示すように、変調処理部 1 と、補間処理部 2 と、振幅算出処理部 3 と、振幅 - 位相変換処理部 4 と、乗算処理部 5 と、位相算出処理部 6 と、加算処理部 7 と、正規化処理部 1 8 と、 ON 区間算出処理部 1 9 と、量子化処理部 2 0 と、カウンタ 2 1 と、比較処理部 2 2 と、反転処理部 2 3 とから構成されている。

【 0 0 0 8 】

従来のスイッチング用信号生成回路では、まず、変調処理部 1 で送信する変調信号を生成し、補間処理部 2 により、搬送波周波数 ( または、それに準ずる周波数 ) のレートにアップサンプリングする。

20

補間処理部 2 でのアップサンプリングの後、サンプルごとに、振幅算出処理部 3 および位相算出処理部 6 で、極形式表現 ( 振幅値、位相値 ) に変換する。

【 0 0 0 9 】

極形式表現に変換した後、振幅 - 位相変換処理部 4 で、振幅値を角度値 に変換する。この角度値 で、 G 1、 G 3 への制御パルスの相対関係を調整する。なお、 G 1 側を / 2 進め、 G 3 側を / 2 遅らせることで、相対関係を調整している。このため、乗算処理部 5 で角度値 を半分になっている。

この後、加算処理部 7 では、乗算処理部 5 からの角度値 / 2 と、位相算出処理部 6 からの位相値 とにより、 G 1 用制御パルスの位相 ( + / 2 )、 G 3 用制御パルスの位相 ( - / 2 + ) を生成する。

30

【 0 0 1 0 】

さらに、正規化処理部 1 8、 ON 区間算出処理部 1 9、量子化処理部 2 0、カウンタ 2 1、比較処理部 2 2、反転処理部 2 3 により、 G 1 用、 G 3 用に生成した位相を、スイッチングのためのパルス信号に変換している。

カウンタ 2 1 は、搬送波周期より十分短い周期で値を更新し、搬送波周期で元の値に戻るよう動作させている。( 例えば、搬送波周期の 1 / 6 4 の周期で、 0 から 6 3 まで、 1 ずつカウントアップした後、 0 に戻る動作を繰り返す。 )

【 0 0 1 1 】

一方、カウント値の判定基準となる値は、正規化処理部 1 8、 ON 区間算出処理部 1 9、量子化処理部 2 0 で算出する。まず、正規化処理部 1 8 で、 0 ~ 2 の位相を、 0 ~ 1 の範囲に正規化する。その後、 ON 区間算出処理部 1 9 で、 ON の範囲を、 0 ~ 1 の範囲のどの範囲にするか、定める。( 例えば、 = 0、 / 2 = 0 であれば、

40

G 1、 G 2 ( = - G 1 ) 用 ON 区間は、 0 ~ 0 . 5 G 3、 G 4 ( = - G 3 ) 用 ON 区間は、 0 . 5 ~ 1 = 0、 / 2 = / 4 であれば、

G 1、 G 2 ( = - G 1 ) 用 ON 区間は、 0 ~ 0 . 3 7 5 および 0 . 8 7 5 ~ 1 G 3、 G 4 ( = - G 3 ) 用 ON 区間は、 0 ~ 0 . 1 2 5 および 0 . 6 2 5 ~ 1 など。 )

さらに、カウンタ値の語長に基づき、量子化処理部 2 0 で判定基準値を量子化する。( 例えば、前述の 6 ビットカウンタ ( 0 ~ 6 3 ) との比較であれば、 ON 区間算出処理部 1 9 の出力に 6 4 を乗じて、小数点第 1 位で四捨五入する。 ) 以上により、カウンタ 2

50

1の値に応じて、各スイッチング用信号のオン/オフが切り替わる。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2004-48703号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

従来方式の場合、スイッチング用信号のオン/オフのタイミングの精度が、搬送波周期Tの中をどこまでの分解能で処理するかに影響される。具体的には、実現できるタイミ  
10  
ングの数が、図6のカウンタ21で表せる状態数に制限されるということであり、制限する際に、時間軸方向の量子化が、別途、必要になっているということである。この量子化が、D級電力増幅器の出力波形と理想スイッチング時の出力波形との差異を生じさせる。この差異の影響は、最終的なフィルタリング後にも、変調波の帯域内/帯域外の雑音として観測され、帯域外領域のスプリアス特性やEVM(Error Vector Magnitude)等、各種特性が劣化する。

従って、図6のカウンタ21の更新と、比較処理部22における比較処理は、雑音の発生レベルが許容できる程度になる、十分に高い動作クロックで実施する必要があることになる。

【0014】

しかし、同時に、無線周波数の制約で、デジタル回路の動作クロックを無条件に高くできないことも考慮しなければならない。例えば、無線周波数(搬送波周波数)が100MHzであると、スイッチング信号を100MHzの周期の1/64の分解能で制御しようとしただけでも、ロジックの動作クロックは、6.4GHzとなる。このような高い動作クロックが必須になってしまうことは、ハードウェア実現を困難にする要因になる。

【0015】

本発明は、このような状況に鑑みて為されたものであり、スイッチング用信号生成処理において、パルス生成時のデジタル回路の動作クロックの制約を解決し、アウトフェー  
30  
ジング方式電力増幅を適用可能な無線周波数範囲を拡大することが可能な電力増幅装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

上記目的を達成するために、本発明に係る電力増幅装置は、フルブリッジ型のD級電力増幅器を有するアウトフェーディング方式の電力増幅装置において、送信する変調波の振幅、位相に基づき、2種類の搬送波周波数の正弦波を生成し、生成した正弦波から、前記D級電力増幅器をスイッチングするためのスイッチング用パルス信号を生成するスイッチング用信号生成回路を備え、前記スイッチング用信号生成回路は、生成された2種類の正弦波の位相情報を直交形式に変換するsin算出処理部およびcos算出処理部と、前記sin算出処理部および前記cos算出処理部から入力された各々の直交形式の位相情報をアナログ信号に変換するDA変換器と、前記DA変換器から入力されたアナログ信号から  
40  
折り返し成分を除去する第1のフィルタと、前記第1のフィルタから入力されたアナログ信号から、ローカル信号を用いて正弦波を生成するアナログ直交変調器と、前記アナログ直交変調器から入力された正弦波から所定の無線周波数およびその近傍の成分を通過させる第2のフィルタと、基準電圧との比較により、前記第2のフィルタから入力された正弦波からスイッチング用パルス信号への変換を行うコンパレータと、を有することを特徴とする。

【0017】

また、上記目的を達成するために、本発明に係る電力増幅装置は、上記した電力増幅装置において、前記直交形式の位相情報は、所定の間隔で、送信する前記変調波に基づいて更新することを特徴とする。

10

20

30

40

50

## 【 0 0 1 8 】

また、上記目的を達成するために、本発明に係る電力増幅装置は、フルブリッジ型のD級電力増幅器を有するアウトフェーシング方式の電力増幅装置において、送信する変調波の振幅、位相に基づき、2種類の搬送波周波数の正弦波を生成し、生成した正弦波から、前記D級電力増幅器をスイッチングするためのスイッチング用パルス信号を生成するスイッチング用信号生成回路を備え、前記スイッチング用信号生成回路は、生成された2種類の正弦波の位相情報を基にして、所定の周波数で位相アキュムレータを更新し、位相アキュムレータの位相に対応する正弦波の振幅値を出力するDDS(Direct Digital Synthesizer)処理部と、前記DDS処理部から入力された正弦波の振幅値をアナログ信号に変換するDA変換器と、前記DA変換器から入力されたアナログ信号からクロック成分を除去する第2のフィルタと、基準電圧との比較により、前記第2のフィルタから入力されたアナログ信号からスイッチング用パルス信号への変換を行うコンパレータと、を有することを特徴とする。

10

## 【 0 0 1 9 】

また、上記目的を達成するために、本発明に係る電力増幅装置は、上記した電力増幅装置において、前記位相アキュムレータ出力に加える位相シフト値は、所定の間隔で、送信する前記変調波に基づいて更新することを特徴とする。

## 【 発明の効果 】

## 【 0 0 2 0 】

本発明によれば、スイッチング用信号生成処理において、パルス生成時のデジタル回路の動作クロックの制約を解決し、アウトフェーシング方式電力増幅を適用可能な無線周波数範囲を拡大することができる。

20

## 【 図面の簡単な説明 】

## 【 0 0 2 1 】

【 図 1 】 本発明の実施形態1に係る電力増幅装置のスイッチング用信号生成回路の構成の一例を示すブロック図である。

【 図 2 】 本発明の実施形態2に係る電力増幅装置のスイッチング用信号生成回路の構成の一例を示すブロック図である。

【 図 3 】 DDSの基本的な構成を示すブロック図である。

【 図 4 】 フルブリッジ型のD級電力増幅器を使用したアウトフェーシング方式の電力増幅装置を示す図である。

30

【 図 5 】 各ゲート端子(G1~G4)に対するスイッチング用信号の与え方の例を示す図である。

【 図 6 】 図4の4つのゲート端子(G1~G4)に与えるスイッチング用信号生成回路の構成を示すブロック図である。

## 【 発明を実施するための形態 】

## 【 0 0 2 2 】

< 実施形態1 > 以下、本発明の実施形態1に係る電力増幅装置について、図面を参照して説明する。図1は、本発明の実施形態1に係る電力増幅装置のスイッチング用信号生成回路の構成の一例を示すブロック図である。なお、本実施形態1において、スイッチング用信号生成回路で生成されるスイッチング用信号は、図4に示すような、フルブリッジ型のD級電力増幅器に接続することを想定している。また、図1において、図6と同様の構成については、同様の部番を付してある。

40

## 【 0 0 2 3 】

本実施形態1のスイッチング用信号生成回路は、図1に示すように、変調処理部1と、補間処理部2と、振幅算出処理部3と、振幅-位相変換処理部4と、乗算処理部5と、位相算出処理部6と、加算処理部7と、cos算出処理部8と、sin算出処理部9と、DA変換器10と、フィルタ13と、ローカル信号発生器11と、アナログ直交変調器12と、フィルタ13'と、コンパレータ14と、反転処理部15とから構成されている。

## 【 0 0 2 4 】

50

本実施形態1のスイッチング用信号生成回路では、まず、変調処理部1で送信する変調信号を生成し、補間処理部2により、搬送波周波数（またはそれに準ずる周波数）のレートにアップサンプリングする。

補間処理部2でのアップサンプリングの後、サンプルごとに、振幅算出処理部3および位相算出処理部6で、極形式表現（振幅値、位相値）に変換する。

【0025】

極形式表現に変換した後、振幅-位相変換処理部4で、振幅値から角度値への変換を行う。この角度値により、G1用制御パルスとG3用制御パルスとの相対位相を調整する。なお、G1側を $\pi/2$ 進め、G3側を $\pi/2$ 遅らせることで、相対関係を調整している。このため、乗算処理部5で角度値を半分になっている。このとき、図4に示すフィルタ102でのフィルタリング後に、所望の振幅を再現できるように変換を行っている。

10

【0026】

さらに、加算処理部7において、乗算処理部5からの角度値 $\pi/2$ と、位相算出処理部6からの位相値とにより、G1用制御パルスの位相（ $\theta + \pi/2$ ）、G3用制御パルスの位相（ $\theta - \pi/2$ ）を生成する。なお、位相情報の更新レートは、補間処理部2でのアップサンプリング処理の結果による。

【0027】

各々の位相情報は、 $\cos$ 算出処理部8および $\sin$ 算出処理部9により、直交形式に変換し、その結果をDA変換器10でアナログ信号に変換する。なお、 $\cos$ 算出処理部8および $\sin$ 算出処理部9の具体的な処理方法は、既知の技術を使用し、本発明の本質ではないため、説明は省略する。

20

【0028】

各々の直交形式の位相情報は、フィルタ13で折り返し成分を除去した後、アナログ直交変調器12に入力される。ここで、各々のアナログ直交変調器12のローカル信号の信号源としては、所望の無線周波数を出力するローカル信号発生器11をともに使用する。

【0029】

アナログ直交変調器12の出力は、無線周波数及びその近傍の成分を通過させるフィルタ13'を経て、コンパレータ14に入力される。フィルタ13'は、上記無線周波数において群遅延（ $dd/d\omega$ ）が略0となることが望ましく、例えば、位相の変化が穏やかなベッセル特性のLPFとして設計される。

30

【0030】

コンパレータ14では、フィルタ13'の出力と基準電圧との比較により、正弦波からスイッチング用パルス信号への変換を行う。なお、フィルタ13'の出力のDC成分が完全に除去されていれば、基準電圧を0Vにすることで、生成したパルス信号のデューティ比を50%にすることができる。

【0031】

図4において、G1端子とG2端子、G3端子とG4端子に与える信号極性の関係は、基本的には、『一方が"オン"の場合、もう一方は"オフ"』という関係にしておく必要がある。そこで、反転処理部15において、 $G2 = -G1$ 、 $G4 = -G3$ に相当する反転処理を行っている。

40

【0032】

以上説明したように、本発明の実施形態1に係る電力増幅装置によれば、スイッチング用信号生成処理において、パルス生成時のデジタル回路の動作クロックの制約を解決し、アウトフェーディング方式電力増幅を適用可能な無線周波数範囲を拡大することができる。

【0033】

<実施形態2> 以下、本発明の実施形態2に係る電力増幅装置について、図面を参照して説明する。図2は、本発明の実施形態2に係る電力増幅装置のスイッチング用信号生成回路の構成の一例を示すブロック図である。なお、本実施形態2において、スイッチング用信号生成回路で生成されるスイッチング用信号は、図4に示すような、フルブリッジ

50

型のD級電力増幅器に接続することを想定している。また、図2において、図1、図6と同様の構成については、同様の部番を付してある。

【0034】

本実施形態2のスイッチング用信号生成回路は、図2に示すように、変調処理部1と、補間処理部2と、振幅算出処理部3と、振幅-位相変換処理部4と、乗算処理部5と、位相算出処理部6と、加算処理部7と、DDS(Direct Digital Synthesizer)処理部16と、DA変換器10と、フィルタ13' 'と、コンパレータ14と、反転処理部15とから構成されている。

【0035】

なお、本実施形態2のスイッチング用信号生成回路において、加算処理部7までの2種類の位相情報算出までの過程、並びにフィルタ13' '以降の処理過程は、実施形態1のスイッチング用信号生成回路と同様であるため、説明は省略する。

10

【0036】

各々の位相情報は、DDS処理部16に入力される。DDSとは、図3に示すような、設定した周波数(位相更新量)で位相アキュムレータを更新し、位相アキュムレータの内容(位相)に対応する正弦波の振幅値を出力する処理の一般的な名称である。

本実施形態2においては、図3のDACを含まない構成のDDSを用いている。本実施形態2は、正弦波の生成まではFPGA等で実施する構成であると言い換えることができる。

【0037】

また、2つのDDS処理部16は、同一タイミングで初期化し、位相アキュムレーション値を一致させた状態で処理を行う。また、加算処理部7で求めた位相値は、各々のDDS処理部16において、位相アキュムレーション値をオフセットさせる値として使用する。

20

【0038】

以上説明したように、本発明の実施形態2に係る電力増幅装置によれば、スイッチング用信号生成処理において、パルス生成時のデジタル回路の動作クロックの制約を解決し、アウトフェーシング方式電力増幅を適用可能な無線周波数範囲を拡大することができる。

【0039】

なお、本発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。

30

【産業上の利用可能性】

【0040】

本発明は、D級電力増幅器を用いた電力増幅装置を製造する産業で利用される。

【符号の説明】

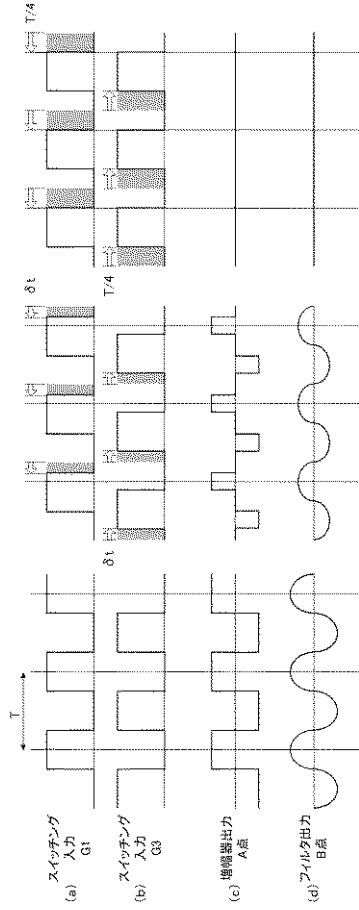
【0041】

1：変調処理部、2：補間処理部、3：振幅算出処理部、4：振幅-位相変換処理部、5：乗算処理部、6：位相算出処理部、7：加算処理部、8：cos算出処理部、9：sin算出処理部、10：DA変換器、11：ローカル信号発生器、12：アナログ直交変調器、13, 13', 13''：フィルタ、14：コンパレータ、15：反転処理部、16：DDS処理部、18：正規化処理部、19：ON区間算出処理部、20：量子化処理部、21：カウンタ、22：比較処理部、23：反転処理部、101：D級電力増幅器、102：フィルタ。

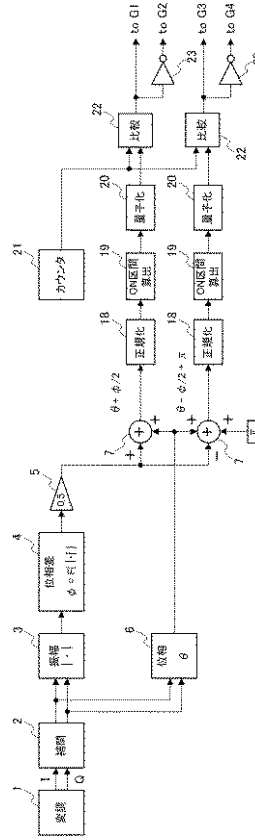
40



【 図 5 】



【 図 6 】



---

フロントページの続き

- (56)参考文献 特表2004-538701(JP,A)  
国際公開第2013/042754(WO,A1)  
米国特許出願公開第2004/0232978(US,A1)  
特開2003-229770(JP,A)  
特開2011-86983(JP,A)  
特表2002-510927(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/217  
H03F 3/24