

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2015-534673

(P2015-534673A)

(43) 公表日 平成27年12月3日 (2015. 12. 3)

(51) Int. Cl.		F I			テーマコード (参考)
G06F	7/58	(2006.01)	G06F	7/58	Z
G09C	1/00	(2006.01)	G09C	1/00	6 5 0 B
H03K	3/354	(2006.01)	H03K	3/354	B

審査請求 未請求 予備審査請求 未請求 (全 23 頁)

(21) 出願番号	特願2015-531099 (P2015-531099)	(71) 出願人	504441048
(86) (22) 出願日	平成25年8月15日 (2013. 8. 15)		シリコン イメージ, インコーポレイテッド
(85) 翻訳文提出日	平成27年4月22日 (2015. 4. 22)		アメリカ合衆国 カリフォルニア州 94
(86) 国際出願番号	PCT/US2013/055176		085 サニーベイル イースト アーク
(87) 国際公開番号	W02014/039226		ス アベニュー 1140
(87) 国際公開日	平成26年3月13日 (2014. 3. 13)	(74) 代理人	100110928
(31) 優先権主張番号	13/605, 708		弁理士 遠水 進治
(32) 優先日	平成24年9月6日 (2012. 9. 6)	(74) 代理人	100127236
(33) 優先権主張国	米国 (US)		弁理士 天城 聡
		(74) 代理人	100149696
			弁理士 田中 俊夫

最終頁に続く

(54) 【発明の名称】 リングオシレータのテストソリューション

(57) 【要約】

【解決手段】複数のリングオシレータのテストを行うための方法及び装置を開示する。一実施形態において、装置は、少なくとも1つのリングオシレータ構造を備え、リングオシレータ構造は、直列に接続された奇数個のインバータのインバータチェーンを有し、発振出力を生成するよう動作するリングオシレータと、リングオシレータに対して、観測可能なチェーン入力又はテスト入力のいずれかを与え、リングオシレータからのフィードバックとして発振出力を受信するように連結されたテスト構造と、を有する。

【選択図】 図4

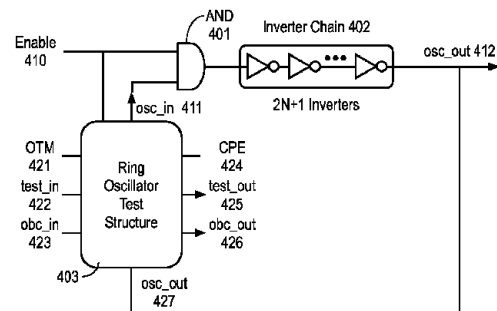


FIG. 4

【特許請求の範囲】**【請求項 1】**

少なくとも 1 つのリングオシレータ構造を備え、

前記リングオシレータ構造は、

直列に接続された奇数個のインバータのインバータチェーンを有し、発振出力を生成するよう動作するリングオシレータと、

前記リングオシレータに対して観測可能なチェーン入力又はテスト入力のいずれかを与え、前記リングオシレータからのフィードバックとして前記発振出力を受信するように連結されたテスト構造と、

を有する装置。

10

【請求項 2】

前記テスト構造は、前記リングオシレータの構造的縮退テスト及び機能テストのうちの 1 つ以上を可能にするため、前記リングオシレータをテスト可能な構造に再構成するように動作する、請求項 1 に記載の装置。

【請求項 3】

前記テスト構造は、前記リングオシレータが特定されたジッター制限内で目的の発振周波数を生成できるか否かを確認するように動作する、請求項 1 に記載の装置。

【請求項 4】

前記少なくとも 1 つのリングオシレータ構造は、直列チェーンに接続されたリングオシレータ構造グループを備え、

20

前記直列チェーンに接続された前記リングオシレータのテスト構造のうちの最後のテスト構造のテスト出力は、前記テスト入力と共に使用するために、前記チェーンの最初のリングオシレータ構造へフィードバックされる、請求項 1 に記載の装置。

【請求項 5】

フィードバック有効化信号に基づいて前記テスト出力をフィードバックするために、フィードバック経路を条件付きでアクティベートするゲートをさらに備える、請求項 4 に記載の装置。

【請求項 6】

前記テスト入力と、前記最後のテスト構造からフィードバックされた前記テスト出力との XOR をとる XOR ゲートをさらに備える、請求項 4 に記載の装置。

30

【請求項 7】

テストのため、1 つ又は複数のリングオシレータの各々の有効化信号をアサートすることによって前記 1 つ又は複数のリングオシレータを選択し、その 1 つ又は複数のリングオシレータは、当該装置内のすべてのリングオシレータよりも少ない、請求項 4 に記載の装置。

【請求項 8】

前記直列チェーンは奇数個のインバータを含む、請求項 4 に記載の装置。

【請求項 9】

一对の入力及び出力を有する AND ゲートをさらに備え、その出力は前記リングオシレータの入力に結合される、請求項 1 に記載の装置。

40

【請求項 10】

前記テスト構造は、複数の制御信号に応答可能である、請求項 1 に記載の装置。

【請求項 11】

前記制御信号のうちの少なくとも 1 つは、当該装置内部のレジスタからのテスト制御信号である、請求項 1 に記載の装置。

【請求項 12】

前記制御信号のうちの少なくとも 1 つは、テスト中の前記リングオシレータが機能モードであるか又はテストモードであることを示すリングオシレータのテストモード信号である、請求項 1 に記載の装置。

【請求項 13】

50

請求項 1 に記載の装置を備える、HDCP における秘密鍵の生成に用いられる乱数発生器

。

【請求項 1 4】

複数のリングオシレータ構造を備え、各リングオシレータ構造は、

直列に接続されたインバータのインバータチェーンを有し、第 1 発振出力を生成するよう動作するリングオシレータと、

前記リングオシレータに対して観測可能なチェーン入力又はテスト入力のいずれかを与え、フィードバックとして第 2 発振出力を受信するように連結された、リングオシレータのテスト構造とを有し、

前記リングオシレータのテスト構造は、前記リングオシレータの構造縮退テスト及び機能テストのうちの 1 つ以上によって、前記リングオシレータが目的の発振周波数を生成することができるか否かを確認するため、前記リングオシレータをテスト可能な構造に再構成するように動作し、

前記複数のリングオシレータ構造は、直列チェーンにおいて、その直列チェーン内の前記リングオシレータのテスト構造のうちの最後のテスト構造のテスト出力に接続され、

そのテスト出力は、テスト入力と共に使用するため、その直列チェーンの最初のリングオシレータ構造へフィードバックされる、装置。

【請求項 1 5】

フィードバック有効化信号に基づいて前記テスト出力をフィードバックするために、フィードバック経路を条件付きでアクティベートするゲートをさらに備える、請求項 1 4 に記載の装置。

【請求項 1 6】

前記テスト入力と、前記リングオシレータテスト構造のうちの前記最後のテスト構造からフィードバックされた前記テスト出力との XOR をとる XOR ゲートをさらに備える、請求項 1 4 に記載の装置。

【請求項 1 7】

テストのため、1 つ又は複数のリングオシレータの各々の有効化信号をアサートすることによって前記 1 つ又は複数のリングオシレータを選択し、その 1 つ又は複数のリングオシレータは、当該装置内のすべてのリングオシレータより少ない、請求項 1 4 に記載の装置。

【請求項 1 8】

前記直列チェーンは奇数個のインバータを含む、請求項 1 4 に記載の装置。

【請求項 1 9】

構造縮退テストのため、定常状態における前記複数のリングオシレータのうちの少なくとも 1 つのフィードバックを無効化するように結合されたゲート論理をさらに備える請求項 1 4 に記載の装置。

【請求項 2 0】

請求項 1 4 に記載の装置を備える、暗号生成において秘密鍵の生成に用いられる乱数発生器。

【請求項 2 1】

直列チェーン内に連結された、テスト可能な複数のリングオシレータを備え、

前記テスト可能な複数のリングオシレータは各々、テストモードである間、隣接するテスト可能なリングオシレータのインバータチェーンに直列に連結されるインバータチェーンを有し、

前記直列チェーン内の最初のテスト可能なリングオシレータは、前記テスト可能な複数のリングオシレータのうちの 2 つ以上において障害を発生させるテストパターンを受信する、装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

10

20

30

40

50

本発明の実施形態は、リングオシレータ分野に関する。特に、例えば High-Definition Content Protection (HDCP) における秘密鍵の生成のための乱数発生器において採用することができる複数リングを備えたオシレータのテストに関する。

【背景技術】

【0002】

データ送信のセキュリティを確保するため、暗号生成においてはランダム性が重要な役割を担っている。ハードウェアでランダム性を実現するために、フリップフロップのメタスタビリティ又はクロックジッターがランダム性のソースとして使用される。多くの実装には、リングオシレータがクロックとして使用されている。要求されるレベルのランダム性を維持するために、多数のリングオシレータが採用されることも多い。安全にデータ送信を行うため、秘密鍵の生成を行う HDCP2.0 では 256 個のリングオシレータが使用される。

10

【0003】

図 1 は、HDCP におけるデータ暗号化を簡略化した図である。図 1 を参照すると、秘密鍵 101 は、真性乱数発生器 (True Random Generator: TRNG) 102 から生成された乱数からなる。この乱数は、ソース及びシンクの双方にて秘密鍵を計算するのに使用される。まず、ソースから乱数を生成し、秘密鍵が計算される。同時に、シンクが自身の秘密鍵を計算できるように、その乱数をシンクへ送信してもよい。ソースは、XOR オペレーション 120 を通じて秘密鍵を使用することにより、ビデオストリーム、ビデオデータ 110 を暗号化し、暗号化ビデオストリーム 111 をシンクへと送信する。シンクは、受信した暗号化ビデオストリーム 111 を復号するため、シンク自身の秘密鍵を使用する。

20

【0004】

TRNG 102 は、乱数を生成するために多数のリングオシレータを用いる。図 2 は、TRNG の一例を示している。図 2 を参照すると、リングオシレータ (RO) 201_{1-N} は、図示の通り、組み合わせフィードバックを通じて直列に接続される奇数個のインバータ 210 である。リングオシレータ 201_{1-N} の出力は、XOR ロジック 202 を使用して組み合わせられ、XOR の出力は、フリップフロップ 203 へと接続される。乱数を得るため、XOR ロジック 202 の出力ストリームを得るために、サンプリングクロック F_S が提供される。

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

リングオシレータ 201_{1-N} における固有の組み合わせフィードバックのため、経済的な構造テスト (縮退テストなど) を用いた各リングオシレータ 201_{1-N} のテストは困難となり得る。リングオシレータ 201_{1-N} は、同時に、且つ、分離して機能的にテストされることが多い。このような従来のリングオシレータのテストは、テストで直接リングオシレータの出力を観測したり、オンチップカウンタを利用したりすることで、テスト対象のリングオシレータによる発振を検出することを含み得る。テストでリングオシレータの出力をテストすることは、リングオシレータが非同期的であること及びテストアクセスが非効率的であるために、コストがかかってしまうこともある。オンチップカウンタを利用する方法は、個々のリングオシレータのテストのセットアップのため、ハードウェア及びテスト時間のオーバーヘッドの影響を受けることもある。

40

【0006】

したがって、リングオシレータの数が多く、さらに増加していく場合、機能テストのコストは相当なものになり得る。特に、市販の IC の価格が継続して圧力下にあるが、そのテストコストは増えないにしても変わらないという場合に、問題のサイズ (すなわち採用されるリングオシレータの数) が増加してもコスト増を招くことのない低コストのテストソリューションを提供することが重要である。

【課題を解決するための手段】

【0007】

50

複数のリングオシレータのテストを行うための方法及び装置を開示する。一実施形態に係る装置は、少なくとも1つのリングオシレータ構造を備える。そのリングオシレータ構造は、直列に接続された奇数個のインバータのインバータチェーンを有し、発振出力を生成するように動作するリングオシレータと、リングオシレータに対して観測可能なチェーン入力又はテスト入力のいずれかを与え、リングオシレータによる発振出力をフィードバックとして受信するように連結されたテスト構造と、を有する。

【図面の簡単な説明】

【0008】

本発明は、その種々の実施形態についての以下の詳細な説明及び添付の図面からより深く理解されるであろうが、本発明を特定の実施形態に限定して理解してはならず、以下の詳細な説明及び添付の図面は、本発明の例示及びその理解のみを目的としている。

【0009】

【図1】HDCPにおけるデータ暗号化を示す。

【図2】真性乱数発生器(TRNG)の一例を示す。

【図3】従来のリングオシレータの機能図である。

【図4】リングオシレータのテスト構造(TS)を備えた、一実施形態に係るリングオシレータ装置を示す。

【図5】一実施形態に係るリングオシレータテスト構造の挙動を示す。

【図6A】リングオシレータ装置の一部として用いられる、一実施形態に係るテスト構造を示す。

【図6B】他の実施形態に係るテスト構造を示す。

【図7】一実施形態に係るテスト構造のセットアップ時間及び待機時間を示す。

【図8】一実施形態に係るテスト構造の非同期FSM記述テストシーケンスを示す。

【図9】一実施形態に係るリングオシレータテストのテストアクセスを示す。

【図10】一実施形態に係るリングオシレータの階層的テスト構造を示す。

【図11】テスト可能なリングオシレータ(TRO)の定常状態挙動モデルを示す。

【発明を実施するための形態】

【0010】

ビデオの暗号化及び復号のためにHDCP(High-Definition Content Protection)にて秘密鍵生成を行う真性乱数発生器において採用される、多数のリングオシレータのテスト方式を開示する。一実施形態では、本開示のオンチップリングオシレータのテストソリューションを使用することにより、縮退構造テスト又は提示の擬似機能テストで、すべてのリングオシレータの発振を即座にテストすることができる。一実施形態では、テスト構造はモジュラーであり、テスト構造の集合が接続されると、リングオシレータの並行テスト、特性評価、及びシリコンデバッグのためのテストアクセスを構築する。本明細書に記載のテストソリューションの利点は、詳細な性能仕様テストに先立って欠陥のある部分を迅速に判定することにより、全体的な製造テスト時間を短縮できることにある。

【0011】

一実施形態では、前述のリングオシレータのテスト方式により、構造テスト中に他のシステムロジックで多数のリングオシレータのテストを行うことで、そのテストコストをなくすることができるか、又は、多数のリングオシレータを分離してテストを行う場合には、そのテストコストをわずかなレベル(すなわち、リングオシレータ内のインバータチェーンの遅延)まで減らすことができる。一実施形態において、リングオシレータのテスト方式は、既存のリングオシレータを、本明細書中で「リングオシレータのテスト構造」と称される、よりテストに適した形態へと変形することで目的を達成する。リングオシレータのテスト構造により、リングオシレータを、リングオシレータの構造縮退テスト及び並行機能テストを可能にする、テスト可能な構造へと再構成することができる。本開示の方式により、リングオシレータの数の増加に対して、テスト時間の増加を僅かなレベルに低減することができる。

【0012】

以下の説明において、本発明をより詳細に説明するため、数多くの詳細を述べる。しかしながら当業者にとって、これらの特定の詳細を伴うことなく、本発明を実践してもよいことは明らかであろう。他の例においては、本発明をわかりにくくすることを避けるため、既知の構造及び装置を、詳細に示す代わりにブロック図の形態で示す。

【0013】

以下の詳細な説明の一部は、コンピュータメモリ内のデータビットにより、動作アルゴリズム及びシンボル表現として表される。これらのアルゴリズムの記述及び表現は、データ処理分野の当業者が、自らの仕事の内容を他の当業者に効果的に伝達する手段である。アルゴリズムはここでも、且つ、通常の場合でも、所望の結果を導く、自己矛盾のないステップのシーケンスと考えられる。これらのステップは、物理量の物理的操作を要求するものである。通常、必須ではないが、これらの物理量は、記憶、転送、結合、比較、又は操作の可能な電気信号又は磁気信号の形態を採る。主に一般的利用を行うという理由で、これらの信号をビット、値、要素、符号、文字、用語、数等として言及することが簡便であるということが分かっている。

【0014】

しかしながら、これらすべての用語及び類似の用語は、適切な物理量と関連付けられなければならない、単にこれらの量に適用するのに簡便なラベルであるということに思い至るはずである。以下の議論から明らかであるように、別段の指摘のない限り、説明全体に亘って、「処理する」「演算する」「計算する」「判定する」「表示する」等の用語を用いた議論は、コンピュータシステムのレジスタ及びメモリ内の物理（電子）量として表現されたデータを、コンピュータシステムのメモリ、レジスタ、又はその他の情報記憶装置、情報送信装置、又は情報表示装置内の物理量として同様に表現される他のデータへと操作及び変形するコンピュータシステム又は類似の電子演算装置のアクション及びプロセスを言及していると理解される。

【0015】

本発明はまた、本明細書に記載の動作を実施する装置にも係る。この装置は、要求される目的に合わせて特別に構築されてもよいし、コンピュータに記憶されたコンピュータプログラムによって選択的にアクティベート又は再構築される汎用コンピュータからなってもよい。このようなコンピュータプログラムは、フロッピー（登録商標）ディスク、光ディスク、CD-ROM、及び光磁気ディスクを含むあらゆるタイプのディスクや、リードオンリーメモリ（ROM）、ランダムアクセスメモリ（RAM）、EPROM、EEPROM、磁気カード、光カード、又は電子的指示を記憶するのに好適なあらゆるタイプの媒体等のコンピュータ読取可能な記憶媒体に記憶されてもよいが、これに限定されるものでなく、これらは各々、コンピュータシステムバスに連結される。

【0016】

本明細書に記載のアルゴリズム及び表示は、本質的に、いかなる特定のコンピュータ又はその他の装置に関するものでない。本明細書の教示に応じて、種々の汎用システムが使用されてもよく、要求される方法ステップの実施に特化された装置を構築することが簡便であることもある。これら種々のシステムに要求される構造を、以下の説明によって明らかにするものとする。また本発明は、特定のプログラム言語を参照して説明するものでない。本明細書に記載の本発明の教示を実施するために、種々のプログラム言語が使用されてもよいことが理解されるであろう。

【0017】

機械読取可能な媒体には、機械（例えば、コンピュータ）によって読み取り可能な形態の情報を記憶又は送信するあらゆる機構が含まれてもよい。例えば、機械読取可能な媒体には、リードオンリーメモリ（「ROM」）、ランダムアクセスメモリ（「RAM」）、磁気ディスク記憶媒体、光記憶媒体、フラッシュメモリ装置等が含まれる。

【0018】

一実施形態において、リングオシレータのアーキテクチャは少なくとも1つのリングオシレータ構造を有し、各リングオシレータ構造はリングオシレータとテスト構造とを有す

10

20

30

40

50

る。リングオシレータは、直列に接続された奇数個のインバータのインバータチェーンを有し、発振出力を生成するよう動作可能である。テスト構造は、リングオシレータと連結され、リングオシレータに観測可能な入力又はテスト入力のいずれかを提供し、リングオシレータからのフィードバックとして発振出力を受信する。一実施形態において、テスト構造は、リングオシレータの構造縮退テスト及び機能テストのうちの1つ以上によってリングオシレータが特定のジッター制限内で目的の発振周波数を生成することができるか否かを確認できるように、リングオシレータをテスト可能な構造に再構成するよう動作可能である。一実施形態において、リングオシレータのアーキテクチャはさらに、一対の入力及び出力を有する AND ゲートを備え、この出力はリングオシレータの入力に結合される。

10

【0019】

一実施形態において、テスト構造は、複数の制御信号に応答することができる。一実施形態において、制御信号のうちの1つには、リングオシレータのアーキテクチャ内のレジスタから送られるテスト制御信号が含まれる。一実施形態において、制御信号のうちの1つには、テスト対象のリングオシレータが機能モードであるか、又は、テストモードであることを示すリングオシレータテストモード信号が含まれる。

【0020】

一実施形態において、各リングオシレータ構造は、直列チェーンに接続されたリングオシレータ構造のグループを有する。直列チェーン内のリングオシレータのテスト構造のうちの最後のテスト構造のテスト出力は、テスト入力とともに使用されるべく、そのチェーン内の最初のリングオシレータ構造へフィードバックされる。一実施形態において、直列チェーンは、奇数個のインバータを含む。一実施形態において、各リングオシレータ構造はさらにゲートを備える。そのゲートは、テスト出力をフィードバックするためのフィードバック経路を、フィードバック有効化信号に基づき条件付きでアクティベートする。一実施形態において、各リングオシレータ構造はさらに、テスト入力により、テスト構造のうちの最後のテスト構造からフィードバックされたテスト出力の XOR をとるための XOR ゲートを備える。一実施形態において、テスト対象の各リングオシレータの有効化信号をアサートすることにより、テストのために1つ又は複数のリングオシレータ（リングオシレータの全数よりは少ない数のオシレータ）を選択する。

20

【0021】

図3は、一実施形態に係るリングオシレータを示す。図3を参照すると、リングオシレータの機能は、osc_out 3 1 1にて振動出力を生成することである。振動出力（osc_out 3 1 1）は、オンチップ回路にクロックを提供するのに使用され、暗号化及び復号のための乱数生成において利用することができる。図3のリングオシレータについては、リングオシレータの機能図を示している。一実施形態において、リングオシレータは、アナログ回路において実装される。他の実施形態において、リングオシレータは、デジタル回路を用いて実装される。リングオシレータは、機能的には、組み合わせループバックが AND ゲート 3 0 0 を介して有効化信号 3 1 0 によって有効化される、奇数個（ $2N+1$ ）のインバータとして見るることができる。有効化信号 3 1 0 が1である場合、リングオシレータは、osc_out 3 1 1にて振動出力を生成することができる。そうでなければ、その出力は、例えばosc_out 3 1 1が ~Enable である論理状態に固定されうる（~の符号は論理否定を表す）。図3に示すリングオシレータの挙動は、「持続的に osc_out = Enable が成り立つか？（~osc_out: 1）」とまとめることができる。有効化信号 3 1 0 が0である場合、反転の数が奇数であるため、osc_out 3 1 1は1となる。そうでなければ、osc_out 3 1 1にて振動出力を生成するため、osc_out 3 1 1を継続的に補完することができる。

30

40

【0022】

テストの制約及び要求は、適用ごとに異なり得るため、各適用毎にテストでの関心の対象は異なり得る。例えば、暗号生成において利用される多数のリングオシレータをテストするために、経済的な観点からは、振動出力を生成する能力を確認することが、詳細な性能解析を行うことよりも重要となりうる。リングオシレータが発振を行うことができる限

50

り、乱数を生成するためのランダム性のソースとして動作できる。したがって、例えば、乱数生成において使用されるリングオシレータをテストする際、詳細な性能仕様のテストよりも、発振機能が優先してターゲットになりうる。しかしながら、必要に応じて、基本的機能をテストした後に、詳細な性能仕様テストを行うこともできる。

【0023】

本開示のリングオシレータ方式により、性能テストを行うためのテストアクセスを提供することができる。性能仕様テストは、特定のジッター制限内に振動出力の目標周波数を生成することができるか否かを確認するものである。リングオシレータの基本機能テストは、テストのクオリティ及びコストの面で有利であることが分かれば、実用上の速度で実施される必要はなく、それよりも低速で実施されてもよい。性能仕様とは異なるレートで機能テストが実施される場合、このテストは擬似機能テストと称される。種々の周波数で擬似機能テストを達成するため、テスト技術者によってリングオシレータの期間を制御できなければならないこともある。

【0024】

一実施形態において、擬似機能テストは、リングオシレータに組み込まれたテスト制御機構によって実現される。テストが行われる間、テスト制御機構は、リングオシレータの周波数がメインの入力によって制御させるようにする。提供されるテスト制御を使用して、リングオシレータは、場合によってはその仕様周波数を下回る又は上回る任意の許容可能な周波数で動作させられる。この特徴は、リングオシレータの基本機能をテストする際に有用であり、かつリングオシレータの構造テストを実施する際にも有用でありうる。

【0025】

通常、機能テストには故障モデルが含まれない。故障モデルは、物理的欠陥の論理的表現と見ることができる。物理的欠陥の挙動をモデル化するために利用することができる、異なる複数の故障モデルがある。故障モデルは、基礎とするその故障モデルによって与えられるレベルの抽象度で欠陥挙動の理由を決定するために利用できる。想定される故障モデルの1つに縮退故障モデルがある。縮退故障モデルは、電力 VDD (縮退論理値 1 (SA-1) としてモデル化される) 及び接地 GND (SA-0 としてモデル化される) に短絡した結果による物理的欠陥を表すことができる。この故障モデルにおいて、SA-0 故障及びSA-1 故障はゲートの各ポートで想定される。

【0026】

以下、一実施形態に係るリングオシレータ (RO) のテスト構造を説明する。階層的リングオシレータのテスト構造の構築に加え、RO テスト構造からの構築テストアクセスも検討する。一実施形態において、RO テスト構造を直列に接続することにより、テストアクセスを形成する。一実施形態において、RO チェーンの入力からより大きな RO を形成する出力へと直列に接続を行うことによって、テストアクセスから階層的 RO を構築する。一実施形態において、階層的 RO には、RO チェーンに含まれるすべてのリングオシレータが含まれる。階層的 RO は、個々の RO をテストするのと同じの方法でテストすることができ、全遅延欠陥を検出するのに使用することができる。その後、以下の説明において、擬似機能テストを検討し、構造テストを説明する。双方のテストは、本開示のテストアクセスを通じて実施される。

一実施形態に係る提案するリングオシレータのテスト構造

【0027】

テスト中、リングオシレータの非同期な挙動を制御するため、リングオシレータの出力をテスト入力の制御下で変更できるよう、テスト点をリングオシレータ内に組み込むことができる。これにより、リングオシレータの周波数をテスト入力によって制御できる。

【0028】

図4は、一実施形態に係る RO テスト構造である。RO テスト構造は、リングオシレータの任意の場所に配置することができる。図4を参照すると、RO テスト構造は、AND ゲート401と、インバータチェーン402と、RO テスト構造403とを備える。有効化

10

20

30

40

50

信号 4 1 0 は、AND ゲート 4 0 1 の一方の入力と、RO テスト構造 4 0 3 の入力とに結合される。AND ゲート 4 0 1 の他方の入力、RO テスト構造 4 0 3 から出力された `osc_in 4 1 1` と結合される。AND ゲート 4 0 1 の出力は、インバータチェーン 4 0 2 の入力に結合される。一実施形態において、インバータチェーン 4 0 2 は、奇数個のインバータ（例えば、 $2N+1$ 個のインバータ）を含む。インバータチェーン 4 0 2 の出力（すなわち RO の出力）は `osc_out 4 1 2` であり、これも RO テスト構造 4 0 3 の `osc_out` 入力 4 2 7 に結合される。

【0029】

`osc_out 4 1 2` は、RO テスト構造 4 0 3 を介して、AND ゲート 4 0 1 の入力を通じて `osc_in 4 1 1` に結合することができる。一実施形態において、初期化時に、`osc_in 4 1 1` を論理値 1 に再設定し、さらに非制御論理値を AND ゲート 4 0 1 に提供することで、有効化信号 4 1 0 を `osc_out 4 1 2` で観測することができる。

【0030】

本開示のテスト可能なオシレータは、リングオシレータテストを構成するため、グローバルなテスト制御信号を組み込むことができる。一実施形態において、テスト制御信号は、広く知られている IO インタフェース（例えば、I2C や IEEE STD 1149.1 Boundary Scan など）を介してアクセス可能な内部レジスタから提供される。一実施形態において、構造縮退テストの場合、テスト入力信号が内部レジスタから提供され、テスト出力も同様に内部レジスタで得られる。

【0031】

リングオシレータのテストモード（OTM）信号 4 2 1 により、テスト中のリングオシレータが機能モードであるか、又は、テストモードであるかを判定する。機能モードでは、OTM 4 2 1 が 0 となり、テスト構造は休止し、リングオシレータの機能には何らの影響も及ばない。テストモードでは、制御点有効化（CPE）4 2 4 により、リングオシレータがフリーランニング又はテスト入力制御周波数で動作することができるか否かを判定する。例えば、制御点が有効化されると（すなわち CPE 4 2 4 が 1 であると）、リングオシレータの周波数は、テスト入力（`test_in 4 2 2`）の周波数に依存する。さもなければ、RO が有効化された場合、リングオシレータはフリーランニング又は実用時の速度で動作することができる。一実施形態において、CPE 4 2 4 は、OTM 4 2 1 が 0 であるときに無効化（すなわち、CPE 4 2 4 が 0 である）されるよう、OTM 4 2 1 により最高レベルでゲート制御されるものと想定する。

【0032】

一実施形態において、有効化信号 4 1 0 及び `osc_out 4 1 2` において故障を観測する際、観測可能なチェーン入力（`osc_in`）4 2 3 及び出力（`osc_out`）4 2 6 が使用される。`osc_in` 信号 4 1 1 及び `osc_out` 信号 4 1 2 は、各々、インバータチェーンの入力及び出力である。有効化信号 4 1 0 が 1 である場合、`osc_out 4 1 2` は $\sim\text{osc_in}$ となる。その他の場合、`osc_out 4 1 2` は $\sim\text{Enable}$ 又は論理値 1 となる。テスト出力（`test_out 4 2 5`）は、`osc_in 4 1 1` の複製である。`osc_out 4 1 2` は、`test_in 4 2 2` の制御の下、`osc_in 4 1 1` へと渡されうる。

【0033】

一実施形態において、OTM 4 2 1 が 1 であり、CPE 4 2 4 が 0 であり、有効化信号 4 1 0 が 0 である場合、テスト構造は初期化される。初期化時において、テスト入力（`test_in 4 2 2`）は `osc_in 4 1 1` と同一の信号状態に設定され（すなわち、`test_in 4 2 2` が 1 となる）、`osc_out 4 1 2` が $\sim\text{Enable}$ であると想定される。CPE 4 2 4 が 1 であり、有効化信号 4 1 0 が 1 である場合、`osc_in 4 1 1` は `test_in 4 2 2` の変化に追従することができる。オシレータ出力（`osc_out 4 1 2`）が `osc_in 4 1 1` の反転出力であるため、`osc_out 4 1 2` の変化は `test_in 4 2 2` によって直接制御される。

【0034】

テスト中におけるリングオシレータのテスト構造の挙動を図 5 に示す。OTM 4 2 1 が 1 であり、CPE 4 2 4 が 1 である場合、リングオシレータの周波数は、挿入されたテスト点

から制御することができる。有効化信号 4 1 0 が 1 である場合、リングオシレータは有効化され、その信号状態が変わるまで test_in 4 2 2 を待つ。リングオシレータの出力は、test_in 4 2 2 が変化するまで変化せずに維持される。一実施形態において、test_in 4 2 2 の各信号遷移 (low から high 又は high から low) に起因して、オシレータは osc_out 4 1 2 及び test_out 4 2 5 の双方にて同一の信号遷移を発生させる。よって、リングオシレータの出力は、test_in 4 2 2 の制御の下、確実に測定又は観測することができる。なおテスト中、リングオシレータは test_in 4 2 2 の周波数で作動される。

【 0 0 3 5 】

図 6 は、一実施形態に係るリングオシレータのテスト構造である。本明細書において、テスト構造を備えたリングオシレータは、テスト可能なリングオシレータ (TRO) と称する。OTM 4 2 1 は、テストを行う際にテスト構造を起動し、通常機能モードの際にテスト構造を停止する。OTM 4 2 1 が 1 であり、CPE 4 2 4 が 1 である場合、リングオシレータはテスト構造の制御下にある。さもなければ、リングオシレータはフリーランニングを行う。

【 0 0 3 6 】

制御点を実現するため、osc_out 4 2 7 と osc_in 4 1 1 との間にマルチプレクサ 6 0 6 が挿入される。マルチプレクサ 6 0 6 は、トラック 6 1 0 の信号状態に応じて、osc_out 4 2 7 又はラッチ出力を osc_in 4 1 1 に出力し、これがその選択入力に結合される。トラック 6 1 0 は、入力 NAND ゲート 6 0 5 (ここで、排他的 XOR ゲート 6 0 4 が NAND 6 0 5 の他方の入力に結合される) に結合される CPE 4 2 4 によって有効化される。CPE 4 2 4 が 1 である場合、トラック 6 1 0 は、test_in 4 2 2 及び osc_in 4 1 1 の信号状態によって決まる。これらの信号状態が同一である場合、トラック 6 1 0 は 0 となり、それ以外の場合はトラック 6 1 0 は 1 となる。トラック 6 1 0 が 1 である場合、機能経路は、osc_out 4 2 7 を osc_in 4 1 1 に接続することにより確立される。トラック 6 1 0 が 0 である場合、マルチプレクサ 6 0 6 を通じた組み合わせフィードバックにより、ラッチを形成することができる。3つの論理ゲートの遅延 (ゲート 1 から 3) の後、このラッチは、test_in 4 2 2 と同一の論理状態に非同期的に初期化することができる。OTM 4 2 1 が 0 であるか又は CPE 4 2 4 が 0 である場合、このラッチはトランスペアレントであり得る。

【 0 0 3 7 】

バイパスマルチプレクサ (MUX) 6 0 3 は、提案するテストアクセスを実現することができる。バイパスマルチプレクサは、非有効化された (disabled) リングオシレータをテストから除外することができる。バイパス MUX 6 0 3 は有効化信号 4 1 0 によって制御される。この有効化信号 4 1 0 は、MUX 6 0 3 の選択入力に結合された出力を有する AND ゲート 6 0 2 の一方の入力に結合されている。AND ゲート 6 0 2 の入力には OTM 4 2 1 に結合される。バイパス MUX 6 0 3 は、テスト中、テスト経路を構成する。Enable = 1 の場合、リングオシレータの出力は test_out 4 2 5 に結合されうる。それ以外の場合、test_in 4 2 2 は、test_out 4 2 5 に直接バイパスすることができる。なお、テスト可能性を増すため、バイパスマルチプレクサ 6 0 3 において、補完入力を用いられる。つまり、osc_in 4 1 1 は、定常状態において test_in 4 2 2 となる。定常状態は、「出力が有効な論理状態であり、入力が変わるまで変化しないで維持される信号状態」と定義されうる。

【 0 0 3 8 】

バイパス特徴はまた、特性評価及びシリコンデバッグの双方において有用でありうる。特性評価において、いかなるリングオシレータも、他のすべてのリングオシレータをバイパスすることにより、分離して特性評価することができる。同様に、疑わしいリングオシレータを分離してテストすることができるか、又はさらなる診断を行うため、故障している TRO をバイパスすることができる。

【 0 0 3 9 】

観測可能なチェーンの XOR ゲート 6 0 1 は、obc_in 4 2 3 及び osc_out 4 2 7 に結

10

20

30

40

50

合される入力を有し、obc_out 4 2 6 を出力する。一実施形態において、XOR ゲート 6 0 1 は、有効化信号 4 1 0 及び osc_out 4 2 7 において、SA 故障を検出するために使用される。有効化信号 4 1 0 は、CPE 4 2 4 が 1 である場合、定常状態でテストすることができる。有効化信号 4 1 0 は、SA-1 テストの際に無効化され、SA-0 テストの際に有効化されうる。有効化信号 4 1 0 が 0 である場合、osc_out 4 2 7 は 1 となり、obc_out 4 2 6 は \sim obc_in となる。それ以外の場合、obc_out 4 2 6 は obc_in 4 2 3 と等しくなる。したがって、obc チェーンの挙動を妨げる有効化信号 4 1 0 の SA 故障は、obc_out 4 2 6 にて検出することができる。一実施形態において、XOR ゲートを使用することは、ゲートの出力にて観測される、検出可能な SA 故障の数が奇数個でなければならないことを意味している。例えば、obc_in 4 2 3 及び有効化経路の双方が故障している場合、これらの奇数の故障は、XOR ゲート 6 0 1 の出力にてマスクされる。任意の数の SA 故障の検出が要求される場合、テスト範囲を広げるため、1 ビットに AND ロジックを採用し、もう 1 ビットに OR ロジックを採用した 2 ビットで、1 ビットの obc 構造を置き換えることができる。結果として、1 ビットの obc_in 及び obc_out は、2 ビットの obc_in[1:0] 及び obc_out[1:0] に拡張される。test_in = 1 である場合、すべてのリングオシレータが各々有効化されていれば、有効化信号のすべての縮退 0 は osc_out における縮退 1 の故障を通じて検出することができ、すべてのリングオシレータが各々無効化されていれば、有効化信号のすべての縮退 1 は osc_out における縮退 1 の故障を通じて検出することができる。これを図 6 B に示す。

10

20

【0040】

ラッチは、有効化テストに先立って、論理値 1 を保持するために初期化されうる。これによって確実に osc_in 4 1 1 を 1 とすることができ、AND ゲート 6 0 2 の出力が有効化信号 4 1 0 単独で決定されるように、非制御値を AND ゲート 6 0 2 の入力に与える。例えば、すべてのオシレータについて、OTM 4 2 1 が 1 であり、CPE 4 2 4 が 1 であり、test_in 4 2 2 が 1 である場合、有効化信号経路 (4 1 0) 上の SA 故障は、obc_out 4 2 6 を補完することができ、そのため検出されうる。

【0041】

トラック 6 1 0 が 0 である場合、テスト構造がラッチを形成することができるため、このラッチは、図 7 に示す通り、セットアップ時間及び保持時間の制約を受ける。セットアップ時間及び保持時間は、osc_out 4 2 7 (4 1 2) が安定していなければならない時間を表すものである。test_in 4 2 2 の遷移が osc_out 4 2 7 の遷移を起こしうるため、オシレータのインバータチェーンの遅延が保持時間を上回る場合、時間制約を簡単に満たすことができる。

30

40

【0042】

図 8 は、テスト中の TRO の挙動が、非同期有限状態機械 (Asynchronous Finite State Machine: AFSM) によって記述できることを示している。図 8 を参照すると、上向き矢印及び下向き矢印は、各々、論理値 0 から論理値 1 への信号遷移及び論理値 1 から論理値 0 への信号遷移を示している。論理値 0 から論理値 1 への信号遷移及び論理値 1 から論理値 0 への信号遷移を、各々、高遷移及び低遷移と称する。状態は、test_in 4 2 2、osc_in 4 1 1、及び test_out 4 2 5 という順で、入力信号及び出力信号の信号状態を用いて符号付けできる。テスト構造の入力と出力を区別するため、バックスラッシュ記号を使用する。例えば、初期化 (すなわち、OTM 4 2 1 が 1 となり、CPE 4 1 4 が 0 となり、有効化信号 4 1 0 が 0 となる) の後、test_in = 1、osc_in = 1、及び test_out = 1 (すなわち、1/11) となる。

【0043】

最初に、Enable 4 1 0 が無効化される (すなわち、Enable 4 1 0 が 0 となる) と想定する。CPE 4 2 4 が 1 となり、test_in 4 2 2 が 1 となる 1/11 状態において、テストは、Enable 4 1 0 が 1 となることによって初期化できる。有効化信号 4 1 0 が 1 である場合、テスト構造は 1/11 状態となり、test_in 4 2 2 の低遷移を待つ。1/11 状態において、トラック 6 1 0 が 0 となって osc_out 4 2 7 から osc_in 4 1 1 までの機能経路を

50

遮断するように、osc_in 4 1 1 及び test_in 4 2 2 は双方ともに同一の論理状態となる。osc_out 4 2 7 (及び test_out 4 2 5) は、インバータチェーンを介して、osc_in 4 2 1 の補完信号状態によって更新される。

【 0 0 4 4 】

test_in 4 2 2 が 0 である場合、状態は 0/11 状態へと変化する。入力信号状態により、トラック 6 1 0 の高遷移を引き起こす。トラック 6 1 0 が 1 である場合、osc_out 4 2 7 は、osc_in 4 1 1 を補完できるよう、osc_in 4 1 1 に結合される。テスト構造の状態は、0/01 状態へと進む。トラック 6 1 0 の状態が 0 となり、osc_in 4 1 1 の更新された信号状態をラッチすることができる。同時に、test_out 4 2 5 が osc_in 4 1 1 の後に続くことができ、状態は 0/00 状態へと変化する。トラック 6 1 0 が 0 である場合、osc_out 4 2 7 は、インバータチェーンの遅延後、1 へと変化する。osc_out 4 2 7 の変化は、マルチプレクサ 6 0 6 によって遮断され、osc_in 4 1 1 へと伝播されない。テスト構造は、test_in 4 2 2 が変化するまでそのままにしておくことができる。このプロセスは、入力信号及び出力信号の逆遷移を行うために繰り返すことができる。同様に、OTM 4 2 1 が 1 であり、CPE 4 2 4 が 1 であり、有効化信号 4 1 0 が 1 である場合、このテストプロセス全体を継続することができる。

【 0 0 4 5 】

一実施形態によると、テスト構造は、階層的テスト構造を形成するため、test_in 4 2 2 及び test_out 4 2 5 を介して直列に接続される。階層的テスト構造は、特性評価及びシリコンデバッグのためのテストアクセスとして機能する。図 9 は、一例として構築されたテストアクセスを示す。test_in 及び test_out は、テストアクセスポートとして機能することができる。本明細書において、TRO の各チェーンを、テスト可能なオシレータチェーン (TOC) と称する。図 9 を参照すると、各 TRO チェーンは 2 つの入力、つまり obc_in 入力及び test_in 入力を有する。TOC に関して、obc_in 入力及び test_in 入力は、チェーン内の最初の TRO を除外した、チェーン内の先行の TRO に由来する。TRO [1, N_1-1] など、チェーン内の最初の TRO に対する入力は、インバータ 9 0 1 の出力と、OR ゲート 9 0 2₁ 等の OR ゲートの出力に結合される。インバータ 9 0 1 の入力は、OTM 信号に連結され、これがさらに OR ゲート 9 0 1_{1-k} の一方の否定入力に結合される。OR ゲート 9 0 2_{1-k} の他方の入力は、test_in 信号に結合される。

【 0 0 4 6 】

一実施形態において、各リングオシレータに専用の有効化信号を提供することができる場合、階層的テスト構造内の任意の数のリングオシレータを分離してテスト及び特性評価することができる。各リングオシレータの有効化信号は、テスト用の TRO の関与及び非関与を決定又はプログラムするために使用することができる。図 6 に示すテスト構造のマルチプレクサ 6 0 3 は、テストから指定のリングオシレータを除外又はバイパスするように設定することができる。例えば、各リングオシレータの機能的挙動を電子スコープ及び ATE 等の機器を介して test_out で観測できるように有効化信号をプログラムすることにより、CPE 4 2 4 が特性評価に際して 0 となり、各リングオシレータを同時に有効化することができる。

【 0 0 4 7 】

図 10 に示すとおり、XOR ゲート (1 0 0 1, 1 0 0 2) を介して test_out[k] から test_in[k] へとフィードバック接続を確立させることにより、階層的 RO テスト構造 (すなわち、短絡用の階層的テスト構造) を、提案するテストアクセスによって構築することができる。フィードバック制御信号 fb_en[k] は、条件付きでフィードバックループを起動するため、AND ゲート (1 0 0 3, 1 0 0 4) を使用することによって組み込むことができる。フィードバックは、fb_en[k] 1 0 1 0 が 1 である場合に有効化することができる。そうでない場合に無効化することができる。フィードバックが有効化されると、階層的リングオシレータは、test_in[k, N_k-1] が test_in[k] XOR fb[k] となることで確立されるフィードバックループで構成することができる。test_in[k] は、fb[k] を補完するため、制御入力として機能することができる。

10

20

30

40

50

【 0 0 4 8 】

一実施形態において、階層的リングオシレータは、有効化されたリングオシレータのすべてのインバータチェーンからなる。リングオシレータとして機能するためには、階層的リングオシレータ内の反転の数は奇数個でなければならない。リングオシレータに求められる奇数個の反転は、図 10 に示す $\text{test_in}[k]$ の信号状態によって提供することができる。テストの間、与えられた階層的テスト構造のうちの有効化 TR0 の数が奇数個であれば、さらなる反転は必要ない。しかしながら、この数が偶数個であれば、要求される反転を提供するために、 $\text{test_in} = 1$ となる。 $\text{fb_en}[k] = 0$ である場合、階層的テスト構造は、期待通り、テストアクセス構造へと縮小することができる。

【 0 0 4 9 】

10

階層的テストは、テスト入力 ($\text{test_in}[k]$) の相互作用を伴うことなく、自立的に動作させられることができる。このテストでは、テスト決定のため、出力 $\text{test_out}[k]$ のみの測定を必要としてもよい。階層的テスト構造は任意のセットの有効化リングオシレータを含むことができるため、このテストでは、リングオシレータの機能を確認するだけでなく、それらの全体的遅延欠陥を検出してもよい。例えば、階層的リングオシレータの周波数がテスト限界値を下回る場合、遅延欠陥であると結論付けることができる。提案の階層的 RO はさらに、シリコンウエハプロセスの特性評価にも採用することができる。任意の数の TR0 を有効化することにより、遅延及びジッター特性から、動作するウエハと仕様を満たさないウエハを相互に関連付けるために、階層的 RO を使用することができる。

【 0 0 5 0 】

20

本開示のリングオシレータのテスト構造は、チップに搭載された著しい数のリングオシレータのテスト可能性を向上するため、構造テスト及び擬似機能テスト等の種々のテスト方法で採用することができる。構造テストはテスト手順又はステップの点で擬似機能テストと類似しているため、まず擬似機能テストについて検討し、構造テストについては擬似機能テストを参照して検討する。

【 0 0 5 1 】

擬似機能テストは、リングオシレータのテスト構造を使用して実施することができ、これについて以下に検討する。

リングオシレータの擬似機能テスト

30

【 0 0 5 2 】

開示のテスト構造及びテストアクセスの補助により、セットアップ時間及び保持時間の双方が満たされる場合、擬似機能テストを任意の速度で動作させることができる。一実施形態において、開示の方式は、任意のテストのために奇数個のリングオシレータを有効化することを想定している。奇数個のリングオシレータは、本開示のテストアクセスに内蔵された故障検出特徴を反映することができる。一実施形態において、本開示の方式では、2つのグローバルな有効化信号を使用し、各有効化信号（例えば、有効化信号 4 1 0）は奇数個のリングオシレータによって共有することができる。しかしながら、任意の数の有効化信号を採用することもでき、各有効化信号は任意の数のリングオシレータによって共有することもできる。一実施形態において、別個の有効化信号が各リングオシレータに対して利用可能である。あるいは、リングオシレータのすべてに対して単一の有効化信号を採用することができる。一実施形態に係る、テストアクセス構造を使用した擬似機能テストは、以下のようにまとめることができる。

40

擬似機能テスト手順

1. $\text{OTM} = 1$; $\text{CPE} = 0$; $\text{Enable}[1:0] = 00$;
2. for all k , $\text{test_in}[k] = 1$; $\text{CPE} = 1$;
3. for all k , $\text{fList}[k] =$;
4. for all k , $\text{polarity}[k] = \text{total_No_RO}(\text{TOC}[k]) \bmod 2$;
5. for($i = 0$; $i < 2$; $i++$){

50

```

1. for all k, test_in[k] = 1; Enable[i] = 1;
2. for all k, fault-detect(TOC[k], polarity[k], N, fList1[k] = );
3. if(fList1[k] ) {fList[k] = fList[k]^fList1[k];}
4. Enable[i] = 0;
6. for all k, report fList[k];
7. end

```

【 0 0 5 3 】

擬似機能テストは、ステップ 1 から 2 において初期化されることができる。TOC[k] の故障リストは、fList[k] と表され、各テストにおいて検出された故障リングオシレータのリストを保持することができる。fList[k] は、ステップ 3 において で示される空集合で再設定されるか、又は初期化されることができる。polarity[k] は、TOC[k] に含まれる TRO の数が奇数個であるか、又は偶数個であるかを示している。奇数個である場合、polarity[k] = 1 となる。そうでない場合、polarity[k] 0 となる。mod2 は、modulo-2 演算を表している。N が奇数である場合の N mod2 は 1 を返すことができ、N が偶数である場合の N mod2 は 0 を返すことができる。以下に検討を行うため、自明な場合は整数型からバイナリ型への型変換を明示しない。例えば、mod2 の演算の結果は整数型であるが、バイナリ型の polarity[k] への代入に先立ってバイナリ型に変換されてもよい。

【 0 0 5 4 】

ステップ 5 において、擬似機能テストが実施される。一実施形態において、機能経路及びバイパス経路の双方をテストするため、ステップ 5 . 1 から 5 . 3 までを 2 度繰り返す。TRO は、Enable[i] によって、ステップ 5 . 1 で有効化又は無効化され、ステップ 5 . 2 でテストが実施される。例えば、1 度目のテストを実行する際、Enable[0] によって有効化された TRO は、TOC[k] においてテストされる。したがって、テスト経路には、有効化された TRO の機能経路と、無効化された TRO のバイパスとが含まれる。同様に、2 度目のテストを実行する際、有効化信号は、有効化された TRO が無効化され、またその逆も同様となるように補完されうる。ステップ 5 . 2 における故障検出テストの手順では、与えられた TOC[k] に対して検出された故障リスト、テストで実施されるオシレータ (N) の極性及び数を判定する。一実施形態において、fList1[k] には、各テストの TOC[k] のテスト結果が含まれている。一実施形態において、fList[k] に含まれる故障リストは、テストの終わりに、fList[k] に結合される。検出された故障がステップ 5 . 3 において蓄積され、Enable[i] がステップ 5 . 4 において再設定される。

【 0 0 5 5 】

全ての TRO が有効化された機能経路及びバイパス並びに全ての TRO が無効化された機能経路及びバイパスの双方をテストすることは、誤ってバイパス又は有効化された奇数個のリングオシレータの検出を行う際の一助となる。これは、これらの故障が、テストアクセスによって形成された階層的リングオシレータの期間又は遅延を変更しうるためである。例えば、誤って有効化された TRO が奇数個存在する場合、test_in[k] から test_out[k] までの遅延は長くなる。階層的リングオシレータの期間は、同じ遅延量だけ長くなりうる。同様に、誤って無効化された TRO は、遅延及び期間を短縮しうる。

【 0 0 5 6 】

一実施形態に係る故障検出テストの手順は以下のとおりである。

```

fault-detect(TOC[k], polarity[k], N, fList);
1. inversion[k] = #disabled(TOC[k]) mod2;
2. acc_status[1:0] = 00;
3. for(n = 0; n < 2N; n++){ //擬似機能テスト
    //機能経路を介した故障検出について
    1. exp_test_out[k] = test_in[k] XOR inversion[k];
    2. 定常状態で test_out[k] を測定;
    3. if(test_out[k] XOR exp_test_out[k]){status[1:0] = 01;}
}

```

10

20

30

40

50

```

4. else{status[1:0] = 00}; //obc 経路を介した故障検出
5. if(test_in[k]){exp_obc_out[k] = inversion[k];}
6. else{exp_obc_out[k] = polarity[k];}
7. 定常状態で obc_out[k] を測定;
8. if(exp_obc_out[k] XOR obc_out[k]){status[1:0] = 10};
9. else{status[1:0] = 00};
10. acc_status = acc_status | status[1:0];
11. test_in[k] = test_in[k] XOR 1; } // end for
4. if(acc_status == 00){fList = fList^(k, acc_status);}
5. return fList;

```

10

【 0 0 5 7 】

故障検出テスト手順で、検出された故障をテストし、かつ記憶する。test_out[k] が test_in[k] の反転であるか否かをステップ 1 で判定する。TOC[k] 内の無効化された TRO の数により、反転を判定することができる。TOC[k] 内の無効化された TRO の数が奇数個の場合は反転を 1 とし、偶数の場合は反転を 0 とすることができる。acc_status は、ステップ 2 においてテスト結果を記憶し、再設定される。

【 0 0 5 8 】

ステップ 3 において、test_out[k] 及び obc_out[k] にて、遷移毎にオシレータの数 N を測定することができる。ステップ 3 . 2 において、test_in[k] の遷移毎に定常状態で test_out[k] を測定し、ステップ 3 . 1 にて期待される test_out[k] と比較する。期待される test_out[k] は、exp_test_out[k] と表され、exp_test_out[k] = test_in[k] XOR inversion[k] によって決定することができる。ここで記号 XOR は排他的論理和の関数を示す。測定された test_out[k] が期待されたものと同じでない場合、故障であると結論づけることができる。一実施形態において、故障が検出されると、ステータスが status = 01 に設定される。

20

【 0 0 5 9 】

同様に、インバータチェーンを含む有効化経路に関連する故障は、obc_out[k] にて検出することができる。一実施形態において、定常状態での各遷移後、有効化経路が継続的に観測される。期待される obc_out[k] は exp_obc_out[k] と表され、obc チェーン内に発生する反転の数によって判定される。一実施形態において、各 TRO における obc_out の反転は、osc_out = 1 によって引き起こされる。osc_out は、Enable、test_in、及び polarity[k] に依存している。Enable = 0 である場合、test_in に関わらず osc_out = 1 となる。それ以外の場合、定常状態で osc_out = ~test_in となる。したがって、test_in[k] = 1 である場合、有効化された全ての TRO の osc_out は論理値 0 とすることができ、よって exp_obc_out[k] = inversion[k] となる。それ以外の場合、全ての TRO osc_out は論理値 1 となり、exp_obc_out[k] = polarity[k] となる。obc_out[k] をステップ 3 . 7 で測定することができ、テスト決定のため、ステップ 3 . 5 及び 3 . 6 にて期待される obc_out[y] と比較する。

30

【 0 0 6 0 】

一実施形態において、ビット単位の OR 関数を使用して状態を結合することにより、状態を蓄積することができる。なお、ステップ 3 . 3 及びステップ 3 . 8 の双方で故障が検出された場合、acc_status = 11 である。故障が一旦検出されると、故障検出テスト手順が終了するまで、この故障は検出され続ける。ステップ 3 . 11 において、test_in[k] が補完され、N 個のオシレータについてテストを継続することができる。

40

【 0 0 6 1 】

テストが終了した後、故障が発見されないか又は status = 00 である場合、fList が未変更状態に戻る。それ以外の場合、故障 TOC[k] のインデックス及び蓄積された最終の状態 fList にアペンドされる。

【 0 0 6 2 】

構造テストによって、同一のテストを達成することができるが、それは以下に述べる通

50

りである。

構造テストによるリングオシレータのテスト

【 0 0 6 3 】

構造テストは、主にデジタルランダムロジックに適用される、低コストのテストである。構造テストにおいて、内部レジスタ（又はフリップフロップ）は、スキャンチェーンと称されるテストアクセスを形成するために直列に接続される。スキャンチェーンは、テストのために内部レジスタを初期化し、テスト結果を取得した後に観測するために使用される。内部レジスタはスキャンチェーンをロードすることによっていかなる状態にも初期化することができるため、構造テストにより、シーケンス回路のテストに係る問題を組み合わせに係る問題に置き換える。構造テストは通常、非同期フィードバックのため、リングオシレータのテストには直接適用することができない。

【 0 0 6 4 】

構造テストにおける本開示の TRO の利点には、非同期フィードバックの制御がある。定常状態の信号状態に関する限り、フィードバックは、壊れたものとして現れるか、又は存在しないものとして現れる。したがって TRO は、非同期フィードバックを伴わないランダムロジックとして扱うことができ、同一の構造テストを使用して他のランダムロジックとともにテストすることができる。他の利点として、TOC 内の TRO 数が増加しても、パターン数がほとんど増加しないことが挙げられる。提案するテストアクセスにより、TOC に含まれるインバータチェーンが直列に接続されるため、1つの TRO における故障を検出するテストパターンにより、同一の TOC に含まれる多数の TRO の故障を検出することができる。つまり、追加の労力を要することなく1つの故障の検出によって潜在する多くの同等の故障の検出まで行うことができるように、直列に接続された TRO は検出される同等の故障の数を増やすことができる。

【 0 0 6 5 】

図 1 1 は、一実施形態に係る、定常状態におけるリングオシレータのテスト構造を示す。なお、CPE = 1 である場合、非同期フィードバックが壊れる。一実施形態において、図 1 1 に示す定常状態挙動モデルが自動テストパターン生成（Automatic Test Pattern Generation: ATPG）において採用されるが、この自動テストパターン生成は、市販の ATPG ツールによって実施することができる。構造テストのパターンは、以下に示す構造テスト手順に従う場合が多い。検討のため、構造テスト手順には、リングオシレータのテストがいかに組み込まれるべきかについての注釈を加える。

構造テスト手順

1. STM = 1;
2. SE = 1; //CPE = 0;
3. load/unload のスキャン; //テストの初期化及びテスト結果確認
4. SE = 0; //CPE = 1;
5. PI の強制;
6. PO の測定; // プライマリ出力があれば {test_out, obc_out} の確認
7. 収集; //{test_out, obc_out} からテスト結果の収集
8. 完了するまでステップ 2 に遷移;
9. end

【 0 0 6 6 】

ステップ 1 において構造テストモード STM = 1 である場合、構造テストは有効化される。ステップ 2 においてスキャンチェーンが有効化され、SE = 1 である場合、TRO を含む組み合わせシステムロジックが無効化される。OTM は、テストを行うために内部レジスタから提供されるものとし、CPE は、構造テスト中、スキャン有効化（SE）によって制御されるものとする。ステップ 3 において、test_in 及び obc_in がテストのためにロードされる。テスト入力のロード後、SE は、リングオシレータロジックが有効化されるよう

に停止される (SE = 0)。必要なプライマリ入力 (PI) が強制され、プライマリ出力 (PO) がステップ 5 及びステップ 6 において各々測定される。テスト入力 (test_in 及び obc_in) とテスト出力 (test_out 及び obc_out) は、構造テストの間に PI 及び PO と各々結合される場合、強制され、かつ測定される。それ以外の場合、これらはステップ 7 において内部レジスタ内に収集され、ステップ 2 のテスト結果をアンロードするために SE をアクティベートする (SE = 1)。収集されたテスト結果は、ステップ 3 におけるテスト決定のため、ATE にて確認される。テスト入力のロードは、テスト結果のアンロードと並行して行うことができるため、これらはステップ 3 において併合される。

【0067】

擬似機能テストにおいて検討したテスト設定は、ステップ 4 及びステップ 5 において達成される。定常状態で Enable = 0 及び osc_in = ~test_in の場合、非同期フィードバックの制御により、osc_in が定常状態の test_in、又は osc_in = ~Enable と同一の論理状態となるように強制する。あるいは、追加で論理ゲートを設けることにより、同一のテスト設定がステップ 2 のスキャン有効化信号によっても達成される。例えば SE = 1 である場合、これを用いて CPE = 0、Enable[1:0] = 00、及び test_in = 1 となるよう強制する。それ以外の場合、システムロジックによってテスト制御信号が決定される。

10

【0068】

構造テストは強制的テストであることが多く、提案するリングオシレータテストに比してテスト時間が長くなり得る。リングオシレータテストは、その他のランダムロジックテストと並行して行われるため、リングオシレータのテストコストをなくすることができるか、又は僅かなものとするすることができる。さらに、あるテストアプリケーションにおいて、特に専用の有効化が利用可能である場合には、利用可能なテスト時間をリングオシレータの診断分解能を向上する目的で利用できる。

20

【0069】

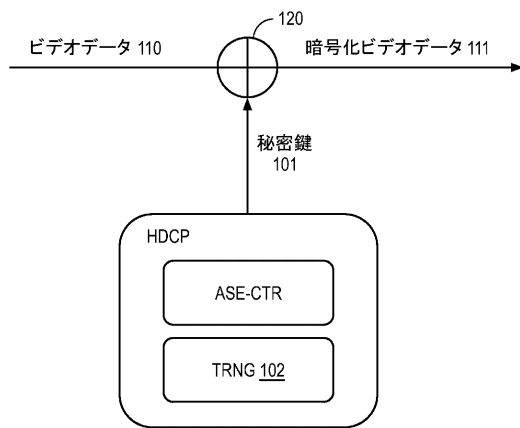
したがって、HDCP 及びその他の暗号生成チップにおけるセキュリティ鍵の生成のための真性乱数発生器において採用される多数のリングオシレータのテストの問題について、コスト効率のよいテストソリューションを説明してきた。開示の方式により、構造テストをリングオシレータのテストに組み込むことができる。開示の方式はまた、リングオシレータの数が増加してもテストコストを僅かなものに抑えることができ、問題サイズの拡大にもうまく対応することができる。本開示の方法論を IP 及びエンドプロダクトに適用したとしても、テストコストを削減し、テストクオリティを向上し、テスト開発における技術的努力を最適化することができる。

30

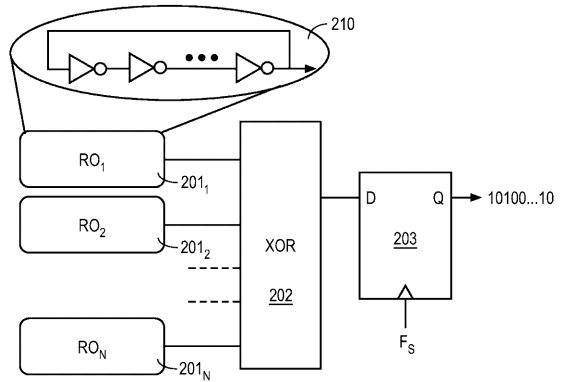
【0070】

当業者は、以上の説明を読むことで本発明の変更及び修正を多く想到しうるであろうが、説明及び図示した特定の実施形態はいかなる場合も限定を意図するものでないことが理解できる。したがって、種々の実施形態の詳細を参照したが、これは請求項の範囲を限定することを意図するものでなく、請求項自体には本発明に必須であると考えられる特徴のみを列挙している。

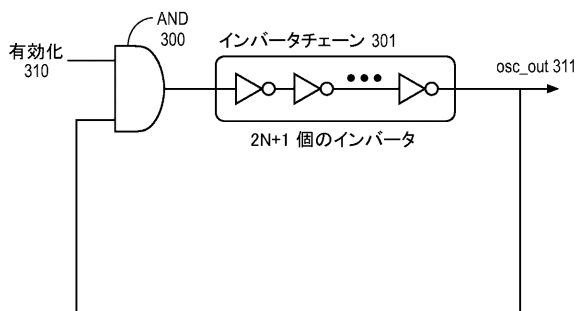
【図 1】



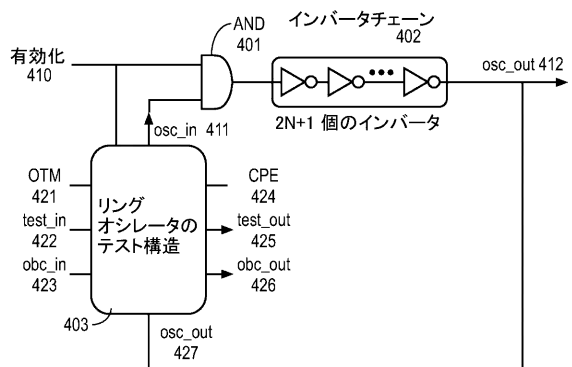
【図 2】



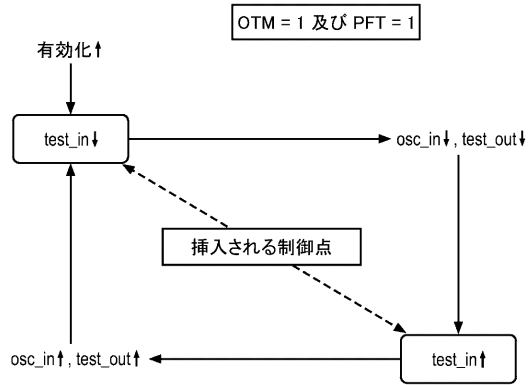
【図 3】



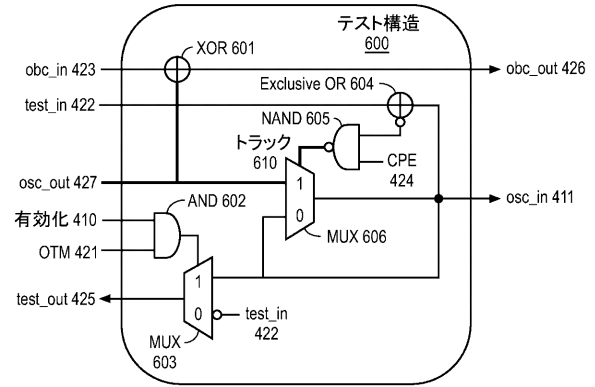
【図 4】



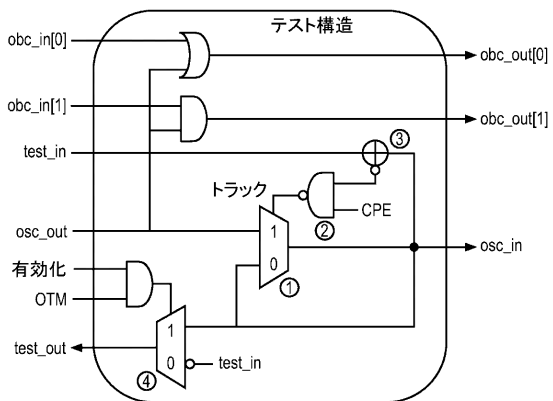
【図 5】



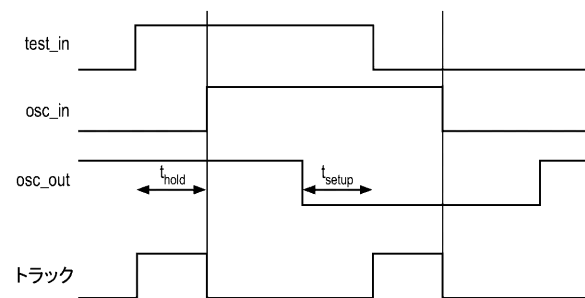
【図 6 A】



【図 6 B】

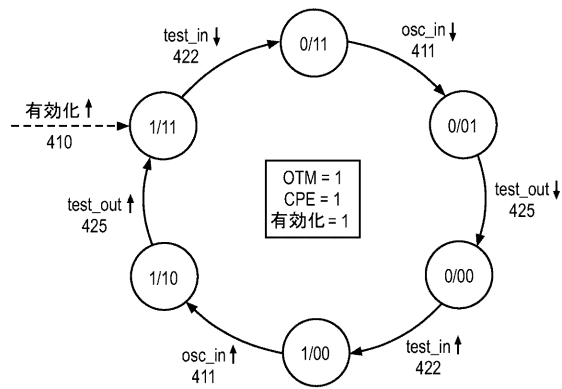


【図 7】

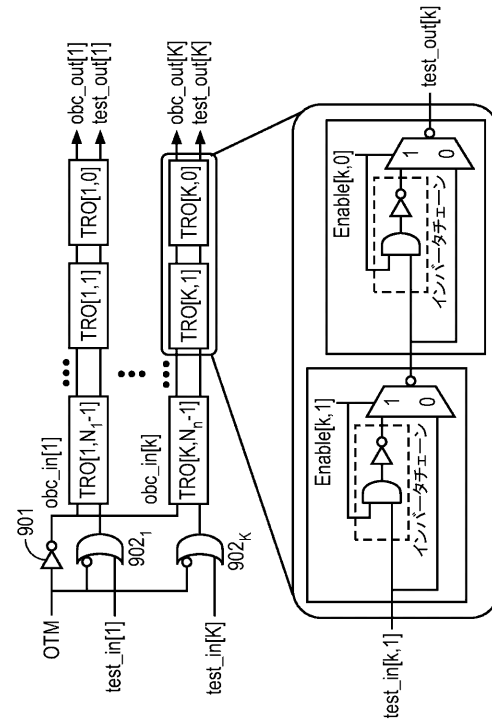


【 図 8 】

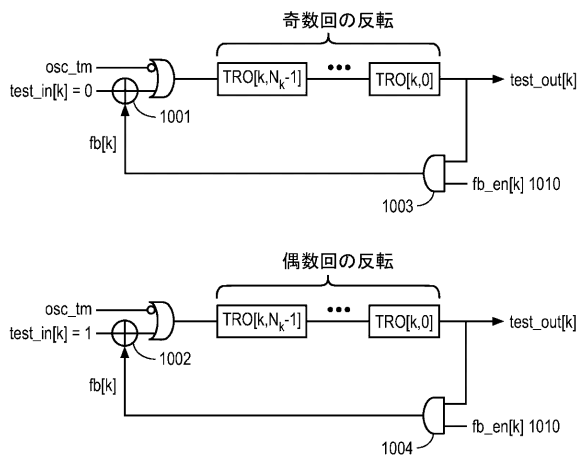
状態: test_in / osc_in, test_out



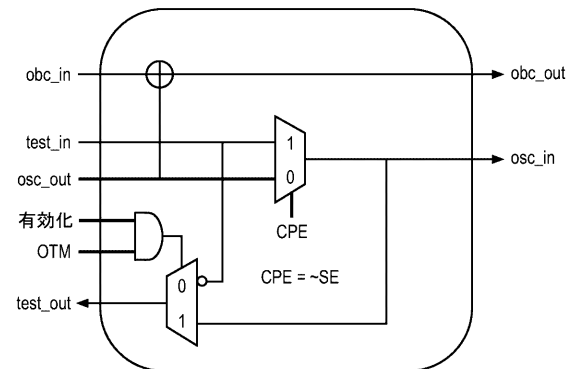
【 図 9 】




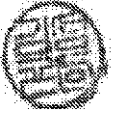
【 図 10 】



【 図 11 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2013/055176
A. CLASSIFICATION OF SUBJECT MATTER H03K 3/03(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K 3/03; G01R 31/3177; G06F 11/25; G09C 1/00; H03K 3/354; G06F 7/58		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: ring oscillator, test, jitter, inverter, chain, gate, feedback, secret, cryptography		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011-0163818 A1 (DICHTL et al.) 07 July 2011 See paragraphs [0043]-[0060], and figures 1-7.	1,9-13
A		2-8,14-21
A	US 2011-0090015 A1 (SUMITA et al.) 21 April 2011 See abstract, paragraphs [0034]-[0050], and figures 1-5.	1-21
A	US 2008-0048790 A1 (BANG et al.) 28 February 2008 See abstract, paragraphs [0016]-[0030], and figures 1-2.	1-21
A	US 2011-0219277 A1 (JEN et al.) 08 September 2011 See abstract, paragraphs [0017]-[0030], and figures 1-6.	1-21
A	JP 2009-163539 A (TOSHIBA CORPORATION) 23 July 2009 See pages 4-8, claim 1, and figures 1-10.	1-21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 December 2013 (13.12.2013)		Date of mailing of the international search report 17 December 2013 (17.12.2013)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. +82-42-472-7140		Authorized officer KIM, Sung Gon Telephone No. +82-42-481-8746 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2013/055176

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011-0163818 A1	07/07/2011	DE 102008048292 A1	08/04/2010
		DE 102008048292 B4	12/07/2012
		EP 2329356 A1	08/06/2011
		US 8410857 B2	02/04/2013
		WO 2010-031630 A1	25/03/2010
US 2011-0090015 A1	21/04/2011	JP 2010-087275 A	15/04/2010
		WO 2010-038330 A1	08/04/2010
US 2008-0048790 A1	28/02/2008	CN 101501691 A	05/08/2009
		CN 101501691 B	12/09/2012
		EP 2057566 A1	13/05/2009
		JP 2010-500823 A	07/01/2010
		KR 10-1149178 B1	29/05/2012
		KR 10-1267417 B1	30/05/2013
		KR 10-2009-0053902 A	28/05/2009
		KR 10-2011-0043777 A	27/04/2011
		KR 10-2013-0025950 A	12/03/2013
		TW 200826475 A	16/06/2008
		US 7675372 B2	09/03/2010
		WO 2008-021750 A1	21/02/2008
US 2011-0219277 A1	08/09/2011	US 2013-080848 A1	28/03/2013
		US 8381144 B2	19/02/2013
		WO 2011-109510 A1	09/09/2011
JP 2009-163539 A	23/07/2009	EP 2079163 A2	15/07/2009
		EP 2079163 A3	30/06/2010
		EP 2079163 B1	07/09/2011
		JP 04427581 B2	10/03/2010
		US 2009-0177725 A1	09/07/2009

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ

(72)発明者 スル チンソン

アメリカ合衆国 カリフォルニア州 9 4 0 8 5 サニーベイル イースト アークス アベニュー
ー 1 1 4 0

(72)発明者 クウォン ヒュキョン

アメリカ合衆国 カリフォルニア州 9 4 0 8 5 サニーベイル イースト アークス アベニュー
ー 1 1 4 0

(72)発明者 ンー アンディ

アメリカ合衆国 カリフォルニア州 9 4 0 8 5 サニーベイル イースト アークス アベニュー
ー 1 1 4 0

Fターム(参考) 5J104 FA00 NA04 NA23 NA25