

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月23日(23.04.2020)



(10) 国際公開番号

WO 2020/080353 A1

- (51) 国際特許分類:
H04R 3/00 (2006.01) *H04R 19/04* (2006.01)
H04R 19/02 (2006.01)
- (21) 国際出願番号: PCT/JP2019/040452
- (22) 国際出願日: 2019年10月15日(15.10.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-193978 2018年10月15日(15.10.2018) JP
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO.,LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP). 住友理工株式会社 (SUMITOMO RIKO COMPANY LIMITED) [JP/JP]; 〒4858550 愛知県小牧市東三丁目1番地 Aichi (JP).
- (72) 発明者: 林 正明 (HAYASHI, Masaaki); 〒3578585 埼玉県飯能市南町10番13号 新

電元工業株式会社工場内 Saitama (JP). 齊藤和彦(SAITO, Kazuhiko); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 原 裕樹(HARA, Hiroki); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 中野克彦(NAKANO, Katsuhiko); 〒4858550 愛知県小牧市東三丁目1番地 住友理工株式会社内 Aichi (JP). 村瀬 貴範(MURASE, Takanori); 〒4858550 愛知県小牧市東三丁目1番地 住友理工株式会社内 Aichi (JP).

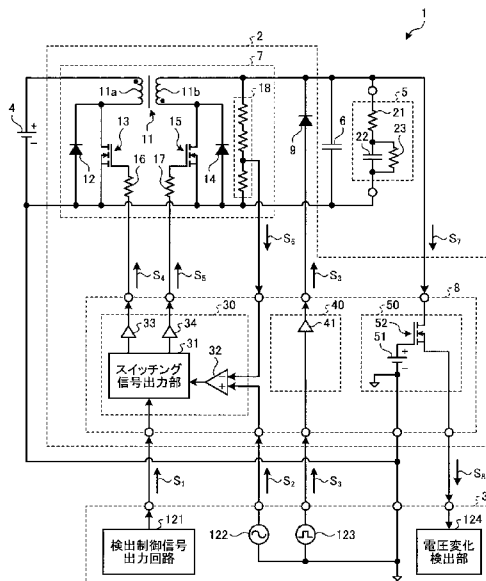
(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: CONTROL CIRCUIT, CONTROL DEVICE, AND SYSTEM

(54) 発明の名称: 制御回路、制御装置及びシステム

[図1]



- 31 Switching signal output unit
121 Detection control signal output circuit
124 Voltage change detection unit

(57) Abstract: This control circuit is provided with: a voltage output circuit control unit which, when a detection control signal is at a first level, controls a voltage output circuit such that voltage corresponding to an output control signal and designed to cause an electrostatic transducer to generate vibration, sound or pressure is applied between both ends of the electrostatic transducer, and when the detection control signal is at a second level, stops the voltage output circuit; a pulse signal output unit which outputs a pulse signal for causing the electrostatic transducer to detect the vibration, sound or pressure to a high potential side terminal of the electrostatic transducer via a diode; and a voltage clamp unit which outputs clamp voltage obtained by clamping voltage between terminals of the electrostatic transducer to a predetermined voltage or lower.

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 制御回路は、検出制御信号が第1レベルの場合に、出力制御信号に応じた電圧であって静電型トランスデューサに振動、音又は圧力を発生させるための電圧を、静電型トランスデューサの両端間に印加するように、電圧出力回路を制御し、検出制御信号が第2レベルの場合に、電圧出力回路を停止させる、電圧出力回路制御部と、静電型トランスデューサに振動、音又は圧力を検出させるためのパルス信号を、ダイオードを介して、静電型トランスデューサの高電位側の端子に出力する、パルス信号出力部と、静電型トランスデューサの端子間電圧を予め定められた電圧以下にクランプしたクランプ電圧を出力する、電圧クランプ部と、を備える。

明 細 書

発明の名称：制御回路、制御装置及びシステム

技術分野

[0001] 本発明は、制御回路、制御装置及びシステムに関する。

背景技術

[0002] 特許文献1には、振動、音又は圧力を発生することができ、振動、音又は圧力を検出することができる、静電型トランスデューサが記載されている。

[0003] この静電型トランスデューサに振動、音又は圧力を発生させると共に、振動、音又は圧力を検出させる場合には、振動、音又は圧力を発生させるための第1の静電型トランスデューサを第1の制御回路で制御し、振動、音又は圧力を検出させるための第2の静電型トランスデューサを第2の制御回路で制御する必要があった。

[0004] しかしながら、1個の制御回路が、1個の静電型トランスデューサを制御することで、振動、音又は圧力を発生させ、振動、音又は圧力を検出させることが、望まれる。

先行技術文献

特許文献

[0005] 特許文献1：特開2017-183814号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明は、1個の静電型トランスデューサに振動、音又は圧力を発生させ、振動、音又は圧力を検出させる、制御回路、制御装置及びシステムを提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一態様の制御回路は、

振動、音又は圧力を発生することができ、振動、音又は圧力を検出することができる静電型トランスデューサを制御する、制御回路であって、

検出制御信号が第1レベルの場合に、出力制御信号に応じた電圧であって前記静電型トランスデューサに振動、音又は圧力を発生させるための電圧を、前記静電型トランスデューサの両端間に印加するように、電圧出力回路を制御し、前記検出制御信号が第2レベルの場合に、前記電圧出力回路を停止させる、電圧出力回路制御部と、

前記静電型トランスデューサに振動、音又は圧力を検出させるためのパルス信号を、ダイオードを介して、前記静電型トランスデューサの高電位側の端子に出力する、パルス信号出力部と、

前記静電型トランスデューサの端子間電圧を予め定められた電圧以下にクランプしたクランプ電圧を出力する、電圧クランプ部と、

を備える、

ことを特徴とする。

[0008] 前記制御回路において、
前記パルス信号出力部は、
前記検出制御信号が前記第1レベルから前記第2レベルへ変化したときに、前記パルス信号を発生する、
ことを特徴とする。

[0009] 前記制御回路において、
前記出力制御信号が、前記予め定められた電圧以下の電圧を前記静電型トランスデューサの両端間に出力することを表しており、且つ、前記クランプ電圧が、前記予め定められた電圧以下である場合に、前記第2レベルの前記検出制御信号を出力し、前記出力制御信号が、前記予め定められた電圧より高い電圧を前記静電型トランスデューサの両端間に出力することを表しているか、又は、前記クランプ電圧が、前記予め定められた電圧より高い場合に、前記第1レベルの前記検出制御信号を出力する、第1信号出力部を更に備える、

ことを特徴とする。

[0010] 前記制御回路において、

前記第 1 信号出力部は、
前記クランプ電圧と第 1 閾値電圧とを比較する第 1 コンパレータと、
前記出力制御信号と第 2 閾値電圧とを比較する第 2 コンパレータと、
前記第 1 コンパレータの出力信号によってセットされ、前記第 2 コンパレータの出力信号によってリセットされ、前記検出制御信号を出力するフリップフロップと、を含む、
ことを特徴とする。

[0011] 前記制御回路において、
前記第 1 信号出力部は、
前記検出制御信号が変化してから予め定められた期間内は、前記第 1 コンパレータの出力信号をマスクするマスク回路を更に含む、
ことを特徴とする。

[0012] 前記制御回路において、
前記パルス信号出力部は、
前記クランプ電圧が第 3 閾値電圧以下の場合に、前記パルス信号を発生する、
ことを特徴とする。

[0013] 本発明の一態様の制御回路は、
振動、音又は圧力を発生することができ、振動、音又は圧力を検出することができる静電型トランスデューサを制御する、制御回路であって、
検出制御信号が第 1 レベルの場合に、入力信号に応じた電圧を前記静電型トランスデューサの両端間に印加するように、電圧出力回路を制御し、前記検出制御信号が第 2 レベルの場合に、前記電圧出力回路を停止させる、電圧出力回路制御部と、
前記静電型トランスデューサの端子間電圧を予め定められた電圧以下にクランプしたクランプ電圧を出力する、電圧クランプ部と、
出力制御信号が、前記予め定められた電圧以下の電圧を前記静電型トランスデューサの両端間に出力することを表しており、且つ、前記クランプ電圧

が、前記予め定められた電圧以下である場合に、前記第 2 レベルの信号を出力し、前記出力制御信号が、前記予め定められた電圧より高い電圧を前記静電型トランスデューサの両端間に出力することを表しているか、又は、前記クランプ電圧が、前記予め定められた電圧より高い場合に、前記第 1 レベルの信号を出力する、第 1 信号出力部と、

前記クランプ電圧が前記予め定められた電圧よりも高くまで上昇したら、前記第 2 レベルの信号を出力し、前記クランプ電圧が第 3 閾値電圧よりも低くまで下降したら、前記第 1 レベルの信号を出力する、第 2 信号出力部と、

前記第 1 信号出力部が出力する信号が前記第 2 レベルであり、且つ、前記第 2 信号出力部が出力する信号が前記第 2 レベルである場合に、前記第 2 レベルの前記検出制御信号を出力し、前記第 1 信号出力部が出力する信号が前記第 1 レベルであるか、又は、前記第 2 信号出力部が出力する信号が前記第 1 レベルである場合に、前記第 1 レベルの前記検出制御信号を出力する、第 3 信号出力部と、

前記第 1 信号出力部が出力する信号が前記第 1 レベルの場合に、前記出力制御信号を前記入力信号として前記電圧出力回路制御部に出力し、前記第 1 信号出力部が出力する信号が前記第 2 レベルの場合に、第 2 閾値電圧を前記入力信号として前記電圧出力回路制御部に出力する、第 4 信号出力部と、

を備える、

ことを特徴とする。

[0014] 前記制御回路において、

前記電圧クランプ部は、

ドレインが前記静電型トランスデューサの高電位側の端子に接続され、ゲートにバイアス電圧が供給され、ソースから前記クランプ電圧を出力するトランジスタと、

前記検出制御信号が前記第 1 レベルの場合に、前記ゲートへのバイアス電圧の供給を遮断する、バイアス遮断部と、

を含む、

ことを特徴とする。

[0015] 前記制御回路において、

前記静電型トランスデューサは、静電型アクチュエータ又は静電型圧力検出素子である、

ことを特徴とする。

[0016] 前記制御回路において、

半導体集積回路である、

ことを特徴とする。

[0017] 本発明の一態様の制御装置は、

前記制御回路と、

前記電圧出力回路と、

を含む、

ことを特徴とする。

[0018] 本発明の一態様のシステムは、

前記制御装置と、

前記クランプ電圧の変化に基づいて、前記静電型トランスデューサに印加された振動、音又は圧力を検出する、電圧変化検出部と、

を含む、

ことを特徴とする。

発明の効果

[0019] 本発明の一態様の制御回路、制御装置及びシステムは、1個の静電型トランスデューサに振動、音又は圧力を発生させ、振動、音又は圧力を検出させることができるという効果を奏する。

図面の簡単な説明

[0020] [図1]図1は、第1の実施の形態の制御装置を用いたシステムの構成を示す図である。

[図2]図2は、静電型トランスデューサの検出原理を説明する図である。

[図3]図3は、静電型トランスデューサの検出原理を説明する図である。

[図4]図4は、第2の実施の形態の制御装置を用いたシステムの構成を示す図である。

[図5]図5は、第3の実施の形態の制御装置を用いたシステムの構成を示す図である。

[図6]図6は、第4の実施の形態の制御装置を用いたシステムの構成を示す図である。

[図7]図7は、第5の実施の形態の制御装置を用いたシステムの構成を示す図である。

[図8]図8は、第5の実施の形態の静電型トランスデューサの電圧波形を示す図である。

[図9]図9は、第5の実施の形態の静電型トランスデューサの電圧波形を示す図である。

[図10]図10は、第5の実施の形態の静電型トランスデューサの電圧波形を示す図である。

[図11]図11は、第6の実施の形態の制御装置を用いたシステムの構成を示す図である。

発明を実施するための形態

[0021] 以下に、本発明の制御回路及び制御装置の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態により本発明が限定されるものではない。

[0022] (第1の実施の形態)

図1は、第1の実施の形態の制御装置を用いたシステムの構成を示す図である。システム1は、制御装置2と、マイクロコンピュータ3と、直流電源4と、静電型トランスデューサ5と、コンデンサ6と、を含む。

[0023] 静電型トランスデューサ5は、特許文献1記載の静電型トランスデューサが例示されるが、本開示はこれに限定されない。静電型トランスデューサ5は、静電型アクチュエータ又は静電型圧力検出素子と称してもよい。

[0024] 静電型トランスデューサ5は、直列接続された抵抗21及びコンデンサ2

2と、コンデンサ22に並列接続された抵抗23と、の等価回路で表される。

[0025] 静電型トランスデューサ5は、高電圧（例えば、410V）が印加されると、コンデンサ22の両電極間の間隔が変化することで、振動、音又は圧力を発生することができる。

[0026] また、静電型トランスデューサ5は、振動、音又は圧力が印加されると、コンデンサ22の両電極間の間隔が変化することで、時定数が変化し、振動、音又は圧力を検出することができる。

[0027] コンデンサ6は、静電型トランスデューサ5に電氣的に並列接続されている。コンデンサ6は、静電型トランスデューサ5に印加される電圧を平滑化する。

[0028] 図2及び図3は、静電型トランスデューサの検出原理を説明する図である。

[0029] スイッチ203は、パルス発生回路202が発生するパルス信号に応じて、オンオフする。

[0030] スイッチ203は、パルス信号がハイレベルの場合に、オン状態になる。スイッチ203がオン状態になると、直流電源201の電圧が、静電型トランスデューサ5に印加され、電荷が、コンデンサ22にチャージされる。直流電源201の電圧は、予め定められた電圧である5Vが例示されるが、本開示はこれに限定されない。

[0031] スイッチ203は、パルス信号がローレベルの場合に、オフ状態になる。スイッチ203がオフ状態になると、コンデンサ22にチャージされた電荷が、抵抗205を介して放電される。電圧検出回路204は、静電型トランスデューサ5の電圧を検出する。

[0032] 図3を参照すると、タイミング t_0 からタイミング t_1 までの間において、スイッチ203がオン状態になると、静電型トランスデューサ5の電圧は、直流電源201の電圧と同じになる。

[0033] タイミング t_1 からタイミング t_2 までの間において、スイッチ203がオ

フ状態になると、コンデンサ 22 にチャージされた電荷が放電されるので、静電型トランスデューサ 5 の電圧は、抵抗 21、コンデンサ 22、抵抗 23、及び、抵抗 205 の時定数に応じて、下降する。

[0034] タイミング t_3 からタイミング t_4 までの間において、スイッチ 203 がオン状態になる。このとき、静電型トランスデューサ 5 に振動、音又は圧力が印加されると、コンデンサ 22 の両電極間の間隔が短くなり、コンデンサ 22 の静電容量が大きくなる。つまり、抵抗 21、コンデンサ 22、抵抗 23、及び、抵抗 205 の時定数が、大きくなる。

[0035] タイミング t_4 からタイミング t_5 までの間において、スイッチ 203 がオフ状態になると、コンデンサ 22 にチャージされた電荷が放電される。このとき、抵抗 21、コンデンサ 22、抵抗 23、及び、抵抗 205 の時定数が大きくなっている。従って、静電型トランスデューサ 5 の電圧は、タイミング t_1 からタイミング t_2 までの間と比べて、緩やかに下降する。これにより、静電型トランスデューサ 5 は、振動、音又は圧力を検出することができる。

[0036] 再び図 1 を参照すると、制御装置 2 は、電圧出力回路 7 と、制御回路 8 と、を含む。

[0037] 電圧出力回路 7 は、フライバック型のコンバータとするが、本開示はこれに限定されない。電圧出力回路 7 は、フォワード型のコンバータであってもよいし、インバータであってもよい。

[0038] 制御回路 8 は、マイクロコンピュータ 3 の制御下で、電圧出力回路 7 を制御する。電圧出力回路 7 は、制御回路 8 の制御下で、直流電源 4 の電力を変換して、変換後の電力を静電型トランスデューサ 5 に印加する。

[0039] 直流電源 4 の電圧は、12V が例示されるが、本開示はこれに限定されない。電圧出力回路 7 が静電型トランスデューサ 5 に印加する電圧は、0V から 410V の間で正弦波状に変化する電圧とするが、本開示はこれに限定されない。

[0040] 制御回路 8 は、静電型トランスデューサ 5 に振動、音又は圧力を発生させ

る場合に、電圧出力回路 7 を動作させる。

[0041] 制御回路 8 は、静電型トランスデューサ 5 に振動、音又は圧力を検出させる場合に、電圧出力回路 7 を停止させる。

[0042] 制御回路 8 は、ドライバ IC (Integrated Circuit: 半導体集積回路) とするが、本開示はこれに限定されない。

[0043] 電圧出力回路 7 は、トランス 11 と、ダイオード 12 及び 14 と、Nチャネル型のトランジスタ 13 及び 15 と、抵抗 16 及び 17 と、分圧回路 18 と、を含む。

[0044] 分圧回路 18 は、静電型トランスデューサ 5 の電圧 S_7 を分圧した分圧電圧 S_6 を、制御回路 8 に出力する。分圧回路 18 は、静電型トランスデューサ 5 の電圧を 410 分の 1 に分圧することが例示されるが、本開示はこれに限定されない。

[0045] 第 1 の実施の形態では、電圧出力回路 7 がフライバック型のコンバータであるので、トランス 11 の 1 次巻線 11a と、2 次巻線 11b とは、逆極性に巻かれている。

[0046] 電圧出力回路 7 は、回生型であり、1 次側回路と 2 次側回路とが対称になっている。電圧出力回路 7 は、回生型としたが、本開示はこれに限定されない。

[0047] 電圧出力回路 7 は、回生型とすることで、静電型トランスデューサ 5 側の電力を直流電源 4 側に回生できるので、電力損失を抑制できる。

[0048] トランス 11 の 1 次巻線 11a の一端は、直流電源 4 の高電位側の端子に、電氣的に接続されている。ダイオード 12 のアノードは、直流電源 4 の低電位側の端子に、電氣的に接続されている。直流電源 4 の低電位側の端子は、基準電位に電氣的に接続されている。基準電位は、接地電位が例示されるが、本開示はこれに限定されない。

[0049] ダイオード 12 のカソードは、トランス 11 の 1 次巻線 11a の他端に、電氣的に接続されている。トランジスタ 13 のドレインソース経路は、ダイオード 12 に、電氣的に並列接続されている。トランジスタ 13 のゲート

には、抵抗16を介して、第1スイッチング信号 S_4 が制御回路8から入力される。

[0050] トランス11の2次巻線11bの一端は、静電型トランスデューサ5の一端に、電氣的に接続されている。ダイオード14のアノードは、静電型トランスデューサ5の他端に、電氣的に接続されている。静電型トランスデューサ5の他端は、基準電位に電氣的に接続されている。

[0051] ダイオード14のカソードは、トランス11の2次巻線11bの他端に、電氣的に接続されている。トランジスタ15のドレインソース経路は、ダイオード14に、電氣的に並列接続されている。トランジスタ15のゲートには、抵抗17を介して、第2スイッチング信号 S_5 が制御回路8から入力される。

[0052] 制御回路8は、静電型トランスデューサ5の電圧を上昇させる場合（例えば、0Vから410Vへと正弦波状に上昇させる場合）には、PWM（Pulse Width Modulation）の第1スイッチング信号 S_4 をトランジスタ13のゲートに出力し、トランジスタ13をスイッチング動作させる。

[0053] トランジスタ13がオン状態の期間に、トランス11の1次巻線11a側にエネルギーが蓄積される。トランジスタ13がオフ状態の期間に、トランス11の2次巻線11bから、エネルギーが放出される。2次巻線11bから放出されたエネルギーは、ダイオード14で整流され、静電型トランスデューサ5に入力される。

[0054] 制御回路8は、静電型トランスデューサ5の電圧を下降させる場合（例えば、410Vから0Vへと正弦波状に下降させる場合）には、PWMの第2スイッチング信号 S_5 をトランジスタ15のゲートに出力し、トランジスタ15をスイッチング動作させる。

[0055] トランジスタ15がオン状態の期間に、トランス11の2次巻線11b側にエネルギーが蓄積される。トランジスタ15がオフ状態の期間に、トランス11の1次巻線11aから、エネルギーが放出される。1次巻線11aから放出されたエネルギーは、ダイオード12で整流され、直流電源4に入力

される。

[0056] 制御回路 8 は、電圧出力回路制御部 30 と、パルス信号出力部 40 と、電圧クランプ部 50 と、を含む。

[0057] 電圧出力回路制御部 30 は、スイッチング信号出力部 31 と、エラーアンプ 32 と、バッファ 33 及び 34 と、を含む。

[0058] エラーアンプ 32 の非反転入力端子には、出力制御信号 S_2 が、マイクロコンピュータ 3 内の出力制御信号出力回路 122 から入力される。出力制御信号 S_2 は、0 V から 1 V の間で正弦波状に変化する電圧とするが、本開示はこれに限定されない。

[0059] エラーアンプ 32 の反転入力端子には、分圧電圧 S_6 が、分圧回路 18 から入力される。

[0060] エラーアンプ 32 は、出力制御信号 S_2 と分圧電圧 S_6 との差分に応じた信号を、スイッチング信号出力部 31 に出力する。例えば、エラーアンプ 32 は、出力制御信号 S_2 と分圧電圧 S_6 との差分を増幅して、スイッチング信号出力部 31 に出力する。

[0061] スwitchング信号出力部 31 には、検出制御信号 S_1 が、マイクロコンピュータ 3 内の検出制御信号出力回路 121 から入力される。

[0062] 検出制御信号出力回路 121 は、静電型トランスデューサ 5 に振動、音又は圧力を出力させる場合には、ローレベル（第 1 レベル）の検出制御信号 S_1 をスイッチング信号出力部 31 に出力する。

[0063] 検出制御信号出力回路 121 は、静電型トランスデューサ 5 に振動、音又は圧力を検出させる場合には、ハイレベル（第 2 レベル）の検出制御信号 S_1 をスイッチング信号出力部 31 に出力する。

[0064] スwitchング信号出力部 31 は、検出制御信号 S_1 がローレベルの場合には、エラーアンプ 32 の出力信号に基づき、第 1 スwitchング信号 S_4 又は第 2 スwitchング信号 S_5 を電圧出力回路 7 に出力して、電圧出力回路 7 を動作させる。

[0065] スwitchング信号出力部 31 は、PWM の第 1 スwitchング信号 S_4 を、バ

ッファ 33 及び抵抗 16 を介して、トランジスタ 13 のゲートに出力する。

スイッチング信号出力部 31 は、PWM の第 2 スwitching 信号 S_5 を、バッファ 34 及び抵抗 17 を介して、トランジスタ 15 のゲートに出力する。

[0066] スwitching 信号出力部 31 は、検出制御信号 S_1 がハイレベルの場合には、第 1 スwitching 信号 S_4 及び第 2 スwitching 信号 S_5 を電圧出力回路 7 に出力せず、電圧出力回路 7 を停止させる。

[0067] パルス信号出力部 40 は、バッファ 41 を含む。バッファ 41 には、マイクロコンピュータ 3 内のパルス信号発生回路 123 から、パルス信号 S_3 が入力される。パルス信号 S_3 は、ローレベルが 0 V であり、ハイレベルが 5 V であるとするが、本開示はこれに限定されない。バッファ 41 は、パルス信号 S_3 を、ダイオード 9 を介して、静電型トランスデューサ 5 の一端に出力する。

[0068] ダイオード 9 は、高耐圧型（例えば、410 V 以上の耐圧）である。静電型トランスデューサ 5 の電圧がバッファ 41 の出力電圧より高い場合は、ダイオード 9 はオフ状態となる。これにより、バッファ 41 に高電圧が印加されることを抑制でき、バッファ 41 が保護される。

[0069] ダイオード 9 は、制御回路 8（ドライバ IC）内に設けられてもよい。

[0070] 電圧クランプ部 50 は、直流電源 51 と、Nチャネル型のトランジスタ 52 と、を含む。直流電源 51 の低電位側の端子は、基準電位に電氣的に接続されている。直流電源 51 の高電位側の端子は、トランジスタ 52 のゲートに電氣的に接続されている。直流電源 51 の電圧は、8 V が例示されるが、本開示はこれに限定されない。

[0071] トランジスタ 52 は、高耐圧型（例えば、410 V 以上の耐圧）である。トランジスタ 52 のゲートーソース間の電圧閾値 V_{TH} は、3 V である。そして、トランジスタ 52 のゲートには、8 V のバイアス電圧が印加されている。従って、トランジスタ 52 のソース電圧は、最大で 5 V（ $= 8\text{ V} - 3\text{ V}$ ）である。

[0072] トランジスタ 52 のソース電圧は、ドレイン電圧が 5 V 以下の場合、ド

レイン電圧に等しくなる。トランジスタ 52 のソース電圧は、ドレイン電圧が 5 V より高い場合は、5 V になる。つまり、トランジスタ 52 は、静電型トランスデューサ 5 の一端の電圧 S_7 を 5 V 以下にクランプしたクランプ電圧 S_8 をマイクロコンピュータ 3 内の電圧変化検出部 124 に出力する。

[0073] 電圧変化検出部 124 は、図 2 及び図 3 で説明した検出原理に基づき、クランプ電圧 S_8 の変化に基づいて、静電型トランスデューサ 5 に印加された振動、音又は圧力を検出することができる。例えば、電圧変化検出部 124 は、クランプ電圧 S_8 が 5 V から予め定められた電圧まで下降する時間を計測することにより、静電型トランスデューサ 5 の時定数、即ち静電型トランスデューサ 5 に印加された振動、音又は圧力を検出することができる。

[0074] 制御装置 2 は、上記の構成により、以下の事柄を実現できる。

[0075] 例えば、出力制御信号出力回路 122 が、出力制御信号 S_2 として、12 mV ($= 5 \text{ V} / 410$) のパルス信号をエラーアンプ 32 に出力することとすれば、電圧出力回路 7 は、5 V のパルス信号を静電型トランスデューサ 5 に印加できる。しかしながら、出力制御信号出力回路 122 が、12 mV のパルス信号を出力することは、電圧の精度の観点から、容易ではない。

[0076] また、5 V のパルス信号を出力できる回路を、静電型トランスデューサ 5 に直接接続することとすると、当該回路が 410 V の耐圧を有さなければならないので、容易ではない。

[0077] しかし、制御回路 8 では、パルス信号出力部 40 が、高耐圧型（例えば、410 V 以上の耐圧）のダイオード 9 を介して、5 V のパルス信号 S_3 を、静電型トランスデューサ 5 に出力する。これにより、パルス信号出力部 40 は、高耐圧型でなくても、5 V のパルス信号 S_3 を、静電型トランスデューサ 5 に出力できる。

[0078] これにより、1 個の制御回路 8 は、1 個の静電型トランスデューサ 5 を制御し、振動、音又は圧力を発生させ、振動、音又は圧力を検出させることができる。

[0079] また、図 2 及び図 3 で説明した検出原理の通り、振動、音又は圧力を検出

するためには、パルス信号出力部40が、パルス信号 S_3 を静電型トランスデューサ5に印加し、電圧変化検出部124が、静電型トランスデューサ5の電圧 S_7 の下降を検出する必要がある。ところが、このとき、電圧出力回路7が動作していると、電圧出力回路7が静電型トランスデューサ5の電圧を出力制御信号 S_2 に対応した電圧に制御してしまうので、電圧変化検出部124は、静電型トランスデューサ5の電圧の下降を検出することができない。

[0080] しかし、システム1では、振動、音又は圧力を検出する場合には、検出制御信号出力回路121が、ハイレベルの検出制御信号 S_1 を電圧出力回路制御部30に出力する。これにより、電圧出力回路制御部30は、第1スイッチング信号 S_4 及び第2スイッチング信号 S_5 を電圧出力回路7に出力しない。従って、電圧出力回路7は、静電型トランスデューサ5の電圧を制御せず、影響を与えない。

[0081] これにより、制御回路8は、静電型トランスデューサ5の電圧 S_7 の下降の検出を実現できる。

[0082] また、振動、音又は圧力を検出する際に、電圧変化検出部124が、分圧回路18から出力される分圧電圧 S_6 を使用することも、考えられる。しかしながら、分圧回路18は、静電型トランスデューサ5の電圧 S_7 を410分の1に分圧する。従って、電圧変化検出部124は、12mV(=5V/410)の電圧を検出できなければならないので、電圧の精度の観点から、容易ではない。また、分圧回路18の分圧比を変えることにより、分圧電圧 S_6 の電圧を高くすることも、考えられる。しかしながら、そうすると、静電型トランスデューサ5に410Vが印加されたときに、分圧電圧 S_6 の電圧が高くなるので、電圧変化検出部124は、高耐圧回路が必要になる。

[0083] しかし、制御回路8では、電圧クランプ部50が、静電型トランスデューサ5の一端の電圧 S_7 を5V以下にクランプしたクランプ電圧 S_8 を電圧変化検出部124に出力する。

[0084] これにより、制御回路8は、振動、音又は圧力を検出する際に、クランプ電圧 S_8 の精度を確保し、静電型トランスデューサ5の電圧 S_7 の下降の検出

精度を確保することができる。

[0085] なお、第1の実施の形態では、電圧出力回路制御部30が、検出制御信号 S_1 がハイレベルの場合には、第1スイッチング信号 S_4 及び第2スイッチング信号 S_5 を電圧出力回路7に出力しないこととした。よって、検出制御信号出力回路121は、電圧出力回路7の動作を停止する事ができるので、検出制御信号出力回路121をスタンバイ状態への切替にも使用する事ができる。検出制御信号出力回路121は、スタンバイ状態に移行する場合は、検出制御信号 S_1 をハイレベルにし、通常動作状態に移行する場合は、検出制御信号 S_1 をローレベルにする。

[0086] これにより、制御回路8は、電力損失を抑制できる。また、制御回路8は、スタンバイ状態と通常動作状態との間の移行のための、マイクロコンピュータ3との間の端子及び信号線の必要をなくすることができる。

[0087] (第2の実施の形態)

図4は、第2の実施の形態の制御装置を用いたシステムの構成を示す図である。なお、第1の実施の形態と同様の構成要素については、同一の符号を付して、説明を省略する。

[0088] システム1Aは、制御装置2Aを含む。制御装置2Aは、制御回路8Aを含む。制御回路8Aは、電圧クランプ部50(図1参照)に代えて、電圧クランプ部50Aを含む。

[0089] 電圧クランプ部50Aは、直流電源51と、トランジスタ52と、に加えて、バイアス遮断部60を更に含む。バイアス遮断部60は、検出制御信号 S_1 がローレベルの場合に、トランジスタ52のゲートへのバイアス電圧の供給を遮断する。

[0090] バイアス遮断部60は、インバータ(反転回路)61と、Pチャネル型のトランジスタ62と、Nチャネル型のトランジスタ63と、を含む。

[0091] トランジスタ62のソースドレイン経路は、直流電源51の高電位側の端子と、トランジスタ52のゲートと、の間に接続されている。

[0092] トランジスタ63のドレインソース経路は、トランジスタ52のゲート

と、基準電位と、の間に接続されている。

[0093] インバータ 6 1 は、検出制御信号 S_1 を反転して、トランジスタ 6 2 及び 6 3 のゲートに出力する。トランジスタ 6 2 は、検出制御信号 S_1 がローレベルの場合にオフ状態になり、検出制御信号 S_1 がハイレベルの場合にオン状態になる。トランジスタ 6 3 は、検出制御信号 S_1 がローレベルの場合にオン状態になり、検出制御信号 S_1 がハイレベルの場合にオフ状態になる。

[0094] 従って、検出制御信号 S_1 がハイレベルの場合（振動、音又は圧力を検出する場合）には、トランジスタ 5 2 のゲートは、トランジスタ 6 2 のソースドレイン経路を介して、直流電源 5 1 の高電位側の端子に電氣的に接続される。これにより、トランジスタ 5 2 のゲートには、バイアス電圧が供給される。

[0095] 一方、検出制御信号 S_1 がローレベルの場合（振動、音又は圧力を発生する場合）には、トランジスタ 5 2 のゲートは、トランジスタ 6 3 のドレインソース経路を介して、基準電位に電氣的に接続される。これにより、トランジスタ 5 2 のゲートには、バイアス電圧が供給されない。従って、トランジスタ 5 2 は、オフ状態になる。

[0096] 制御回路 8 A は、上記の構成により、検出制御信号 S_1 がローレベルの場合（振動、音又は圧力を発生する場合）には、トランジスタ 5 2 をオフ状態にすることができる。これにより、制御回路 8 A は、検出制御信号 S_1 がローレベルの場合（振動、音又は圧力を発生する場合）には、トランジスタ 5 2 で電力損失を抑制することができる。

[0097] （第 3 の実施の形態）

図 5 は、第 3 の実施の形態の制御装置を用いたシステムの構成を示す図である。なお、第 1 又は第 2 の実施の形態と同様の構成要素については、同一の符号を付して、説明を省略する。

[0098] システム 1 B は、制御装置 2 B を含む。制御装置 2 B は、制御回路 8 B を含む。制御回路 8 B は、パルス信号出力部 4 0 （図 1 参照）に代えて、パルス信号出力部 4 0 B を含む。

[0099] パルス信号出力部40Bは、バッファ41に加えて、ワンショットパルス回路42を更に含む。ワンショットパルス回路42は、検出制御信号 S_1 がローレベル（振動、音又は圧力を発生する場合）からハイレベル（振動、音又は圧力を検出する場合）へ変化したときに、予め定められた時間幅のパルス信号をバッファ41に出力する。バッファ41は、ワンショットパルス回路42から出力されたパルス信号を、ダイオード9を介して、静電型トランスデューサ5に印加する。

[0100] なお、マイクロコンピュータ3Bは、マイクロコンピュータ3（図1参照）と比較して、パルス信号発生回路123を備えていない。パルス信号 S_3 を出力すべきタイミングで、検出制御信号出力回路121が検出制御信号 S_1 をローレベルからハイレベルに切替える事と、電圧変化検出部124がクランプ電圧 S_8 の下降電圧を検出している間は、検出制御信号出力回路121が検出制御信号 S_1 をハイレベルに維持する動作を繰り返す事と、制御回路8Bの構成と、により、パルス信号発生回路123の代わりとすることができる。

[0101] 制御回路8Bは、上記の構成により、検出制御信号 S_1 がローレベル（振動、音又は圧力を発生する場合）からハイレベル（振動、音又は圧力を検出する場合）へ変化したときに、パルス信号を静電型トランスデューサ5に印加することができる。従って、制御回路8Bは、パルス信号 S_3 （図1参照）がマイクロコンピュータ3Bから入力されなくても、振動、音又は圧力を検出することを可能にすることができる。これにより、制御回路8Bは、マイクロコンピュータ3Bとの間の信号線を減らすことができる。また、制御回路8Bは、マイクロコンピュータ3Bがパルス信号発生回路123を備えることを不要とすることができる。

[0102] なお、第3の実施の形態を第2の実施の形態と組み合わせてもよい。即ち、制御回路8Bは、電圧クランプ部50に代えて、電圧クランプ部50A（図4参照）を含んでもよい。

[0103] （第4の実施の形態）

第1から第3の実施の形態のシステム1、1A及び1Bでは、振動、音又

は圧力を発生する期間と、振動、音又は圧力を検出する期間と、が分離している場合には、振動、音又は圧力を好適に検出することが可能である。

[0104] しかしながら、システム 1、1 A 及び 1 B では、振動、音又は圧力を発生する期間（以下、発生期間と称する）と、振動、音又は圧力を検出する期間（以下、検出期間と称する）と、が混在している場合には、振動、音又は圧力を好適に検出することができない可能性がある。

[0105] 詳しくは、発生期間において、電圧出力回路 7 は、0 V から 410 V まで変化する正弦波状の電圧を静電型トランスデューサ 5 に印加する。ここで、静電型トランスデューサ 5 の電圧 S_7 が 5 V 以下の期間（正弦波状の電圧 S_7 の谷底の期間）に、システム 1、1 A 及び 1 B が、振動、音又は圧力の検出を行うことが考えられる。

[0106] このとき、システム 1、1 A 及び 1 B に回路遅延、位相遅れ等が無ければ、マイクロコンピュータ 3、3 A 及び 3 B は、静電型トランスデューサ 5 の電圧 S_7 が 5 V 以下の期間に、ハイレベルの検出制御信号 S_1 を出力することで、振動、音又は圧力を好適に検出することが可能である。

[0107] しかしながら、システム 1、1 A 及び 1 B に回路遅延、位相遅れ等有ると、マイクロコンピュータ 3、3 A 及び 3 B は、静電型トランスデューサ 5 の電圧 S_7 が 5 V 以下の期間に、ハイレベルの検出制御信号 S_1 を出力できず、振動、音又は圧力を好適に検出することができない。

[0108] 第 4 の実施の形態では、回路遅延、位相遅れ等にかかわらず、振動、音又は圧力を好適に検出することを可能とする。

[0109] 図 6 は、第 4 の実施の形態の制御装置を用いたシステムの構成を示す図である。なお、第 1 から第 3 の実施の形態と同様の構成要素については、同一の符号を付して、説明を省略する。

[0110] システム 1 C は、制御装置 2 C を含む。制御装置 2 C は、制御回路 8 C を含む。制御回路 8 C は、電圧出力回路制御部 30 と、パルス信号出力部 40 と、電圧クランプ部 50 と、に加えて、第 1 信号出力部 70 を更に含む。

[0111] 第 1 信号出力部 70 は、RS 型のフリップフロップ 71 と、コンパレータ

72と、直流電源73と、マスク回路74と、NANDゲート回路75と、コンパレータ76と、直流電源77と、を含む。

[0112] コンパレータ76が、本開示の第1コンパレータに対応する。コンパレータ72が、本開示の第2コンパレータに対応する。

[0113] フリップフロップ71は、NANDゲート回路75の出力信号がローレベルの場合にセットされ、ハイレベルの検出制御信号 S_1 を出力する。

[0114] フリップフロップ71は、コンパレータ72の出力信号がローレベルの場合にリセットされ、ローレベルの検出制御信号 S_1 を出力する。

[0115] NANDゲート回路75は、コンパレータ76の出力信号がハイレベル且つマスク回路74の出力信号がハイレベルの場合に、ローレベルの信号をフリップフロップ71の反転セット端子に出力する。NANDゲート回路75は、その他の場合に、ハイレベルの信号をフリップフロップ71の反転セット端子に出力する。

[0116] コンパレータ76の反転入力端子には、クランプ電圧 S_8 が入力される。先に説明した通り、クランプ電圧 S_8 は、0Vから5Vの範囲で変化する。

[0117] コンパレータ76の非反転入力端子には、直流電源77の電圧が入力される。直流電源77は、第1閾値電圧を出力する。第1閾値電圧は、予め定められた電圧である5Vであってもよいが、安定動作マージンを確保するために、5Vよりも低い電圧が好ましい。例えば、第1閾値電圧は、4.7V程度が例示されるが、本開示はこれに限定されない。第1閾値電圧を、5Vよりも低い電圧とすることにより、コンパレータ76は、クランプ電圧 S_8 が5V以下に低下していることを、確実に検出できる。

[0118] コンパレータ76は、クランプ電圧 S_8 が第1閾値電圧（例えば、4.7V）以下の場合、ハイレベルの信号をNANDゲート回路75の一方の入力端子に出力する。コンパレータ76は、クランプ電圧 S_8 が第1閾値電圧よりも高い場合は、ローレベルの信号をNANDゲート回路75の一方の入力端子に出力する。

[0119] マスク回路74は、フリップフロップ71の反転出力信号（検出制御信号

S_1 の反転信号)を、NANDゲート回路75の他方の入力端子に出力する。但し、マスク回路74は、フリップフロップ71の反転出力信号がハイレベルからローレベルに変化してから、予め定められた期間内は、コンパレータ76がハイレベルを出力したとしても、NANDゲート回路75の出力をハイレベルに維持し、ローレベルを出力しない。つまり、マスク回路74は、コンパレータ76の出力信号をマスクする。従って、マスク回路74は、チャタリングを抑制することができる。

[0120] コンパレータ72の反転入力端子には、出力制御信号 S_2 が入力される。先に説明した通り、出力制御信号 S_2 は、0Vから1Vの範囲で正弦波状に変化する。

[0121] コンパレータ72の非反転入力端子には、直流電源73の電圧が入力される。直流電源73は、第2閾値電圧を出力する。第2閾値電圧は、 12 mV ($=5\text{ V} / 410$) が例示されるが、本開示はこれに限定されない。なお、出力制御信号 S_2 が 12 mV の場合には、制御回路8Cは、予め定められた電圧である 5 V ($=12\text{ mV} \times 410$) を静電型トランスデューサ5に印加するように、電圧出力回路7を制御する。

[0122] コンパレータ72は、出力制御信号 S_2 が第2閾値電圧（例えば、 12 mV ）以下の場合には、ハイレベルの信号をフリップフロップ71の反転リセット端子に出力する。コンパレータ72は、出力制御信号 S_2 が第2閾値電圧よりも高い場合は、ローレベルの信号をフリップフロップ71の反転リセット端子に出力する。

[0123] 以上を総合すると、出力制御信号 S_2 が第2閾値電圧（例えば、 12 mV ）よりも高くなると、フリップフロップ71がリセットされるので、第1信号出力部70は、ローレベルの検出制御信号 S_1 を出力する。これにより、電圧出力回路制御部30は、出力制御信号 S_2 に応じた電圧を静電型トランスデューサ5に印加するように、電圧出力回路7を制御する。つまり、制御回路8Cは、振動、音又は圧力を出力させることを開始する。

[0124] 出力制御信号 S_2 が第2閾値電圧（例えば、 12 mV ）よりも高い間は、第

1 信号出力部 70 は、ローレベルの検出制御信号 S_1 を出力し続ける。これにより、電圧出力回路制御部 30 は、出力制御信号 S_2 に応じた電圧を静電型トランスデューサ 5 に印加するように、電圧出力回路 7 を制御し続ける。

[0125] その後、出力制御信号 S_2 が第 2 閾値電圧（例えば、12 mV）以下になり、クランプ電圧 S_8 （電圧 S_7 ）が第 1 閾値電圧（例えば、4.7 V）まで低下すると、フリップフロップ 71 がセットされるので、第 1 信号出力部 70 は、ハイレベルの検出制御信号 S_1 を出力する。これにより、電圧出力回路制御部 30 は、電圧出力回路 7 を停止させる。つまり、制御回路 8C は、振動、音又は圧力を検出させることを開始する。

[0126] なお、マイクロコンピュータ 3C は、マイクロコンピュータ 3（図 1 参照）と比較して、検出制御信号出力回路 121 を備えていない。

[0127] 制御回路 8C は、上記の構成により、静電型トランスデューサ 5 の電圧 S_7 が 5 V 以下の期間（正弦波状の電圧 S_7 の谷底の期間）に、ハイレベルの検出制御信号 S_1 を出力することができる。これにより、制御回路 8C は、静電型トランスデューサ 5 の電圧 S_7 が 5 V 以下の期間に、振動、音又は圧力を好適に検出することを可能にできる。

[0128] また、制御回路 8C は、マイクロコンピュータ 3C が検出制御信号出力回路 121 を備えることを不要とすることができる。また、制御回路 8C は、マイクロコンピュータ 3C との間の信号線を減らすことができる。

[0129] なお、マイクロコンピュータ 3C は、振動、音又は圧力を発生させずに、振動、音又は圧力を検出する場合には、出力制御信号 S_2 を第 2 閾値電圧（例えば、12 mV）以下（例えば、0 V）に維持すればよい。これにより、フリップフロップ 71 がセット状態に維持されるので、第 1 信号出力部 70 は、検出制御信号 S_1 をハイレベルに維持するからである。

[0130] なお、第 4 の実施の形態を第 2 の実施の形態と組み合わせてもよい。即ち、制御回路 8C は、電圧クランプ部 50 に代えて、電圧クランプ部 50A（図 4 参照）を含んでもよい。

[0131] また、第 4 の実施の形態を第 3 の実施の形態と組み合わせてもよい。即ち

、制御回路 8 C は、パルス信号出力部 4 O に代えて、パルス信号出力部 4 O B (図 5 参照) を含んでもよい。

[0132] (第 5 の実施の形態)

図 7 は、第 5 の実施の形態の制御装置を用いたシステムの構成を示す図である。なお、第 1 から第 4 の実施の形態と同様の構成要素については、同一の符号を付して、説明を省略する。

[0133] システム 1 D は、制御装置 2 D を含む。制御装置 2 D は、制御回路 8 D を含む。制御回路 8 D は、制御回路 8 B (図 5 参照) と比較して、パルス信号出力部 4 O B に代えて、パルス信号出力部 4 O D を含む。

[0134] パルス信号出力部 4 O D は、バッファ 4 1 及びワンショットパルス回路 4 2 に加えて、コンパレータ 4 3 と、直流電源 4 4 と、を更に含む。

[0135] コンパレータ 4 3 の反転入力端子には、クランプ電圧 S_8 が入力される。先に説明した通り、クランプ電圧 S_8 は、0 V から 5 V の範囲で変化する。

[0136] コンパレータ 4 3 の非反転入力端子には、直流電源 4 4 の電圧が入力される。直流電源 4 4 は、第 3 閾値電圧 V_1 を出力する。第 3 閾値電圧 V_1 は、静電型トランスデューサ 5 に振動、音又は圧力が印加されている場合 (静電型トランスデューサ 5 の時定数が長い場合) に、クランプ電圧 S_8 の変化 (下降) が略収束する電圧が例示されるが、本開示はこれに限定されない。一例として、第 3 閾値電圧 V_1 は、1 V とすることができる。

[0137] コンパレータ 4 3 は、クランプ電圧 S_8 が第 3 閾値電圧 V_1 (例えば、1 V) 以下の場合、ハイレベルの信号をワンショットパルス回路 4 2 に出力する。コンパレータ 4 3 は、クランプ電圧 S_8 が第 3 閾値電圧 V_1 よりも高い場合は、ローレベルの信号をワンショットパルス回路 4 2 に出力する。

[0138] 以上を総合すると、パルス信号出力部 4 O D は、クランプ電圧 S_8 が第 3 閾値電圧 V_1 (例えば、1 V) 以下の場合に、予め定められた時間幅のパルス信号 S_3 を、ダイオード 9 を介して、静電型トランスデューサ 5 に出力する。

[0139] 図 8 から図 10 は、第 5 の実施の形態の静電型トランスデューサの電圧波形を示す図である。

[0140] 図8を参照すると、タイミング t_{10} からタイミング t_{11} までは、静電型トランスデューサ5が、振動、音又は圧力を検出する期間である（後述する図9参照）。

[0141] タイミング t_{11} からタイミング t_{14} までは、静電型トランスデューサ5が、振動、音又は圧力を出力する期間である。但し、タイミング t_{11} からタイミング t_{14} までにおいて、静電型トランスデューサ5の電圧 S_7 が5V以下の期間（正弦波状の電圧 S_7 の谷底の期間）は、静電型トランスデューサ5が、振動、音又は圧力を検出する期間である（後述する図10参照）。

[0142] 図9は、図8中のタイミング t_{10} からタイミング t_{11} までの期間の一部拡大図である。

[0143] パルス信号出力部40Dが5Vのパルス信号 S_3 を静電型トランスデューサ5に出力すると、静電型トランスデューサ5の電圧は、5Vになる。その後、静電型トランスデューサ5の電圧が第3閾値電圧 V_1 に達すると、パルス信号出力部40Dは、再び、5Vのパルス信号 S_3 を静電型トランスデューサ5に出力する。パルス信号出力部40Dは、上記動作を繰り返す。

[0144] 図10は、図8中のタイミング t_{11} からタイミング t_{14} までの期間の一部拡大図である。タイミング t_{11} において、マイクロコンピュータ3D内の出力制御信号出力回路122は、12mVより高い出力制御信号 S_2 を、制御回路8Dに出力する。第1信号出力部70は、ローレベルの検出制御信号 S_1 を、電圧出力回路制御部30に出力する。電圧出力回路制御部30は、410Vまで正弦波状に変化する電圧を出力するように、電圧出力回路7を制御する。

[0145] タイミング t_{12} において、マイクロコンピュータ3D内の出力制御信号出力回路122は、12mV以下の出力制御信号 S_2 を、制御回路8Dに出力する。静電型トランスデューサ5の電圧 S_7 が5V（詳しくは、4.7V）まで低下すると、第1信号出力部70は、ハイレベルの検出制御信号 S_1 を、電圧出力回路制御部30に出力する。電圧出力回路制御部30は、電圧出力回路7を停止させる。クランプ電圧 S_8 が第3閾値電圧 V_1 （例えば、1V）以下

まで下がると、パルス信号出力部40Dは、5Vのパルス信号 S_3 を静電型トランスデューサ5に出力する。すると、静電型トランスデューサ5の電圧は、5Vになる。その後、再度、静電型トランスデューサ5の電圧 S_7 が第3閾値電圧 V_1 に達すると、パルス信号出力部40Dは、再び、5Vのパルス信号 S_3 を静電型トランスデューサ5に出力する。パルス信号出力部40Dは、上記動作を繰り返す。

[0146] タイミング t_{13} において、マイクロコンピュータ3D内の出力制御信号出力回路122は、12mVより高い出力制御信号 S_2 を、制御回路8Dに出力する。第1信号出力部70は、ローレベルの検出制御信号 S_1 を、電圧出力回路制御部30に出力する。電圧出力回路制御部30は、410Vまで正弦波状に変化する電圧を出力するように、電圧出力回路7を制御する。

[0147] なお、マイクロコンピュータ3Dは、マイクロコンピュータ3C（図6参照）と比較して、パルス信号発生回路123を備えていない。

[0148] 制御回路8Dは、上記の構成により、静電型トランスデューサ5の電圧 S_7 （クランプ電圧 S_8 ）が5V以下の期間（正弦波状の電圧 S_7 の谷底の期間）に、パルス信号 S_3 を出力することができる。これにより、制御回路8Dは、マイクロコンピュータ3Dがパルス信号発生回路123を備えることを不要とすることができる。また、制御回路8Dは、マイクロコンピュータ3Dとの間の信号線を減らすことができる。

[0149] なお、第5の実施の形態を第2の実施の形態と組み合わせてもよい。即ち、制御回路8Dは、電圧クランプ部50に代えて、電圧クランプ部50A（図4参照）を含んでもよい。

[0150] （第6の実施の形態）

図11は、第6の実施の形態の制御装置を用いたシステムの構成を示す図である。なお、第1から第5の実施の形態と同様の構成要素については、同一の符号を付して、説明を省略する。

[0151] システム1Eは、制御装置2Eを含む。制御装置2Eは、制御回路8Eを含む。制御回路8Eは、制御回路8（図1参照）と比較して、電圧出力回路

制御部 30 及び電圧クランプ部 50 に加えて、信号出力部 110 を含む。また、制御回路 8E は、パルス信号出力部 40 を含んでいない。

[0152] 信号出力部 110 は、第 1 信号出力部 70 と、第 2 信号出力部 80 と、第 3 信号出力部 90 と、第 4 信号出力部 100 と、を含む。

[0153] 第 2 信号出力部 80 は、RS 型のフリップフロップ 81 と、コンパレータ 82 と、直流電源 83 と、を含む。

[0154] フリップフロップ 81 は、コンパレータ 76 の出力信号がローレベルの場合にセットされ、ハイレベルの信号を出力する。

[0155] フリップフロップ 81 は、コンパレータ 82 の出力信号がローレベルの場合にリセットされ、ローレベルの信号を出力する。

[0156] コンパレータ 82 の非反転入力端子には、クランプ電圧 S_8 が入力される。先に説明した通り、クランプ電圧 S_8 は、0 V から 5 V の範囲で変化する。

[0157] コンパレータ 82 の反転入力端子には、直流電源 83 の電圧が入力される。直流電源 83 は、第 3 閾値電圧 V_1 を出力する。第 3 閾値電圧 V_1 は、静電型トランスデューサ 5 に振動、音又は圧力が印加されている場合（静電型トランスデューサ 5 の時定数が長い場合）に、クランプ電圧 S_8 の変化（下降）が略収束する電圧が例示されるが、本開示はこれに限定されない。一例として、第 3 閾値電圧 V_1 は、1 V とすることができる。

[0158] コンパレータ 82 は、クランプ電圧 S_8 が第 3 閾値電圧 V_1 以上の場合、ハイレベルの信号をフリップフロップ 81 の反転リセット端子に出力する。コンパレータ 82 は、クランプ電圧 S_8 が第 3 閾値電圧 V_1 より低い場合は、ローレベルの信号をフリップフロップ 81 の反転リセット端子に出力する。

[0159] 以上を総合すると、フリップフロップ 81 は、クランプ電圧 S_8 が 5 V（詳しくは、4.7 V）よりも高い場合に、セットされ、ハイレベルの信号を出力する。また、フリップフロップ 81 は、クランプ電圧 S_8 が第 3 閾値電圧 V_1 よりも低い場合に、リセットされ、ローレベルの信号を出力する。ここで、クランプ電圧 S_8 は、0 V から 5 V の範囲で、上下する。従って、第 2 信号出力部 80 は、クランプ電圧 S_8 が 5 V（詳しくは、4.7 V）よりも高くまで

上昇したら、ハイレベルの信号を出力し、クランプ電圧 S_8 が 1 V よりも低くまで下降したら、ローレベルの信号を出力する。

[0160] 第3信号出力部90は、ANDゲート回路である。第3信号出力部90は、フリップフロップ71の出力信号がハイレベル且つフリップフロップ81の出力信号がハイレベルの場合に、ハイレベルの検出制御信号 S_1 を出力する。第3信号出力部90は、それ以外の場合に、ローレベルの検出制御信号 S_1 を出力する。

[0161] 第4信号出力部100は、インバータ（反転回路）101と、スイッチ102及び103と、を含む。スイッチ102及び103は、トランスファergeートが例示されるが、本開示はこれに限定されない。

[0162] インバータ101は、フリップフロップ71の出力信号を反転して、スイッチ102の制御入力端子に出力する。スイッチ103の制御入力端子には、フリップフロップ71の出力信号が入力される。

[0163] 第4信号出力部100は、フリップフロップ71の出力信号がローレベルの場合には、出力制御信号 S_2 を、エラーアンプ32の非反転入力端子に出力する。第4信号出力部100は、フリップフロップ71の出力信号がハイレベルの場合には、直流電源73の第2閾値電圧（例えば、12 mV）を、エラーアンプ32の非反転入力端子に出力する。

[0164] 以上を総合すると、出力制御信号 S_2 が第2閾値電圧（例えば、12 mV）よりも高くなると、フリップフロップ71がリセットされるので、第3信号出力部90は、ローレベルの検出制御信号 S_1 を出力する。このとき、エラーアンプ32の非反転入力端子には、出力制御信号 S_2 が入力される。従って、電圧出力回路制御部30は、出力制御信号 S_2 に応じた電圧を静電型トランスデューサ5に印加するように、電圧出力回路7を制御する。つまり、制御回路8Eは、振動、音又は圧力を出力させることを開始する。そして、クランプ電圧 S_8 が5 V（詳しくは、4.7 V）よりも高くまで上昇すると、フリップフロップ81がセットされる。

[0165] 出力制御信号 S_2 が第2閾値電圧（例えば、12 mV）よりも高い間は、第

3 信号出力部 90 は、ローレベルの検出制御信号 S_1 を出力し続ける。これにより、電圧出力回路制御部 30 は、出力制御信号 S_2 に応じた電圧を静電型トランスデューサ 5 に印加するように、電圧出力回路 7 を制御し続ける。

[0166] その後、出力制御信号 S_2 が第 2 閾値電圧（例えば、12 mV）以下になり、クランプ電圧 S_8 が 5 V（詳しくは、4.7 V）以下まで低下すると、フリップフロップ 71 がセットされるので、第 3 信号出力部 90 は、ハイレベルの検出制御信号 S_1 を出力する。従って、電圧出力回路制御部 30 は、電圧出力回路 7 を停止させる。つまり、制御回路 8E は、振動、音又は圧力を検出させることを開始する。

[0167] 更にその後、クランプ電圧 S_8 が第 3 閾値電圧 V_1 （例えば、1 V）よりも低くまで下降すると、フリップフロップ 81 がリセットされるので、第 3 信号出力部 90 は、ローレベルの検出制御信号 S_1 を出力する。このとき、エラーアンプ 32 の非反転入力端子には、第 2 閾値電圧（例えば、12 mV）が入力されている。従って、電圧出力回路制御部 30 は、5 V を静電型トランスデューサ 5 に印加するように、電圧出力回路 7 を制御する。つまり、制御回路 8E は、振動、音又は圧力を検出させるための 5 V のパルス信号を静電型トランスデューサ 5 に印加するように、電圧出力回路 7 を制御する。

[0168] そして、クランプ電圧 S_8 が 5 V（詳しくは、4.7 V）よりも高くまで上昇すると、フリップフロップ 81 がセットされるので、第 3 信号出力部 90 は、ハイレベルの検出制御信号 S_1 を出力する。従って、電圧出力回路制御部 30 は、電圧出力回路 7 を停止させる。つまり、制御回路 8E は、振動、音又は圧力を検出させることを開始する。

[0169] その後、クランプ電圧 S_8 が第 3 閾値電圧 V_1 （例えば、1 V）よりも低くまで下降すると、フリップフロップ 81 がリセットされるので、第 3 信号出力部 90 は、ローレベルの検出制御信号 S_1 を出力する。このとき、エラーアンプ 32 の非反転入力端子には、第 2 閾値電圧（例えば、12 mV）が入力されている。従って、電圧出力回路制御部 30 は、5 V を静電型トランスデューサ 5 に印加するように、電圧出力回路 7 を制御する。つまり、制御回路

8 E は、振動、音又は圧力を検出させるための 5 V のパルス信号を静電型トランスデューサ 5 に印加するように、電圧出力回路 7 を制御する。

[0170] 制御回路 8 E は、上記の構成により、静電型トランスデューサ 5 の電圧 S_7 （クランプ電圧 S_8 ）が 5 V 以下の期間（正弦波状の電圧 S_7 の谷底の期間）に、振動、音又は圧力を検出させるためのパルス信号を静電型トランスデューサ 5 に印加するように、電圧出力回路 7 を制御することができる。これにより、制御回路 8 E は、パルス信号出力部 40 及びダイオード 9 を不要とすることができる。

[0171] なお、マイクロコンピュータ 3 D は、振動、音又は圧力を発生させずに、振動、音又は圧力を検出する場合には、出力制御信号 S_2 を第 2 閾値電圧（例えば、12 mV）以下（例えば、0 V）に維持すればよい。これにより、クランプ電圧 S_8 が第一閾値電圧まで下がり、フリップフロップ 71 がセットされる事で、出力制御信号 S_2 が第 2 閾値電圧以下の間は、フリップフロップ 71 がハイレベルを維持するからである。

[0172] なお、第 6 の実施の形態を第 2 の実施の形態と組み合わせてもよい。即ち、制御回路 8 E は、電圧クランプ部 50 に代えて、電圧クランプ部 50 A（図 4 参照）を含んでもよい。

[0173] 本発明のいくつかの実施の形態を説明したが、これらの実施の形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施の形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施の形態やその変形は、発明の範囲や要旨に含まれると同様に、請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

[0174] 1、1 A、1 B、1 C、1 D、1 E システム
2、2 A、2 B、2 C、2 D、2 E 制御装置
3、3 A、3 C、3 D マイクロコンピュータ

- 4、4 4、5 1、7 3、7 7、8 3 直流電源
- 5 静電型トランスデューサ
- 6 コンデンサ
- 7 電圧出力回路
- 8、8 A、8 B、8 C、8 D、8 E 制御回路
- 9 ダイオード
- 3 0 電圧出力回路制御部
- 3 1 スイッチング信号出力部
- 3 2 エラーアンプ
- 3 3、3 4、4 1 バッファ
- 4 0、4 0 B、4 0 D パルス信号出力部
- 4 2 ワンショットパルス回路
- 4 3、7 2、7 6、8 2 コンパレータ
- 5 0、5 0 A 電圧クランプ部
- 5 2、6 2、6 3 トランジスタ
- 6 0 バイアス遮断部
- 6 1、1 0 1 インバータ
- 7 0 第1信号出力部
- 7 1、8 1 フリップフロップ
- 7 4 マスク回路
- 7 5 N A N Dゲート回路
- 8 0 第2信号出力部
- 9 0 第3信号出力部
- 1 0 0 第4信号出力部
- 1 0 2、1 0 3 スイッチ
- 1 1 0 信号出力部
- 1 2 1 検出制御信号出力回路
- 1 2 2 出力制御信号出力回路

1 2 3 パルス信号発生回路

1 2 4 電圧変化検出部

請求の範囲

[請求項1] 振動、音又は圧力を発生することができ、振動、音又は圧力を検出することができる静電型トランスデューサを制御する、制御回路であって、

検出制御信号が第1レベルの場合に、出力制御信号に応じた電圧であって前記静電型トランスデューサに振動、音又は圧力を発生させるための電圧を、前記静電型トランスデューサの両端間に印加するように、電圧出力回路を制御し、前記検出制御信号が第2レベルの場合に、前記電圧出力回路を停止させる、電圧出力回路制御部と、

前記静電型トランスデューサに振動、音又は圧力を検出させるためのパルス信号を、ダイオードを介して、前記静電型トランスデューサの高電位側の端子に出力する、パルス信号出力部と、

前記静電型トランスデューサの端子間電圧を予め定められた電圧以下にクランプしたクランプ電圧を出力する、電圧クランプ部と、
を備える、

ことを特徴とする、制御回路。

[請求項2] 前記パルス信号出力部は、

前記検出制御信号が前記第1レベルから前記第2レベルへ変化したときに、前記パルス信号を発生する、

ことを特徴とする、請求項1に記載の制御回路。

[請求項3] 前記出力制御信号が、前記予め定められた電圧以下の電圧を前記静電型トランスデューサの両端間に出力することを表しており、且つ、前記クランプ電圧が、前記予め定められた電圧以下である場合に、前記第2レベルの前記検出制御信号を出力し、前記出力制御信号が、前記予め定められた電圧より高い電圧を前記静電型トランスデューサの両端間に出力することを表しているか、又は、前記クランプ電圧が、前記予め定められた電圧より高い場合に、前記第1レベルの前記検出制御信号を出力する、第1信号出力部を更に備える、

ことを特徴とする、請求項 1 に記載の制御回路。

[請求項4]

前記第 1 信号出力部は、

前記クランプ電圧と第 1 閾値電圧とを比較する第 1 コンパレータと

、

前記出力制御信号と第 2 閾値電圧とを比較する第 2 コンパレータと

、

前記第 1 コンパレータの出力信号によってセットされ、前記第 2 コンパレータの出力信号によってリセットされ、前記検出制御信号を出力するフリップフロップと、を含む、

ことを特徴とする、請求項 3 に記載の制御回路。

[請求項5]

前記第 1 信号出力部は、

前記検出制御信号が変化してから予め定められた期間内は、前記第 1 コンパレータの出力信号をマスクするマスク回路を更に含む、

ことを特徴とする、請求項 4 に記載の制御回路。

[請求項6]

前記パルス信号出力部は、

前記クランプ電圧が第 3 閾値電圧以下の場合に、前記パルス信号を発生する、

ことを特徴とする、請求項 3 に記載の制御回路。

[請求項7]

振動、音又は圧力を発生することができ、振動、音又は圧力を検出することができる静電型トランスデューサを制御する、制御回路であって、

検出制御信号が第 1 レベルの場合に、入力信号に応じた電圧を前記静電型トランスデューサの両端間に印加するように、電圧出力回路を制御し、前記検出制御信号が第 2 レベルの場合に、前記電圧出力回路を停止させる、電圧出力回路制御部と、

前記静電型トランスデューサの端子間電圧を予め定められた電圧以下にクランプしたクランプ電圧を出力する、電圧クランプ部と、

出力制御信号が、前記予め定められた電圧以下の電圧を前記静電型

トランスデューサの両端間に出力することを表しており、且つ、前記クランプ電圧が、前記予め定められた電圧以下である場合に、前記第2レベルの信号を出力し、前記出力制御信号が、前記予め定められた電圧より高い電圧を前記静電型トランスデューサの両端間に出力することを表しているか、又は、前記クランプ電圧が、前記予め定められた電圧より高い場合に、前記第1レベルの信号を出力する、第1信号出力部と、

前記クランプ電圧が前記予め定められた電圧よりも高くまで上昇したら、前記第2レベルの信号を出力し、前記クランプ電圧が第3閾値電圧よりも低くまで下降したら、前記第1レベルの信号を出力する、第2信号出力部と、

前記第1信号出力部が出力する信号が前記第2レベルであり、且つ、前記第2信号出力部が出力する信号が前記第2レベルである場合に、前記第2レベルの前記検出制御信号を出力し、前記第1信号出力部が出力する信号が前記第1レベルであるか、又は、前記第2信号出力部が出力する信号が前記第1レベルである場合に、前記第1レベルの前記検出制御信号を出力する、第3信号出力部と、

前記第1信号出力部が出力する信号が前記第1レベルの場合に、前記出力制御信号を前記入力信号として前記電圧出力回路制御部に出力し、前記第1信号出力部が出力する信号が前記第2レベルの場合に、第2閾値電圧を前記入力信号として前記電圧出力回路制御部に出力する、第4信号出力部と、

を備える、

ことを特徴とする、制御回路。

[請求項8]

前記電圧クランプ部は、

ドレインが前記静電型トランスデューサの高電位側の端子に接続され、ゲートにバイアス電圧が供給され、ソースから前記クランプ電圧を出力するトランジスタと、

前記検出制御信号が前記第 1 レベルの場合に、前記ゲートへのバイアス電圧の供給を遮断する、バイアス遮断部と、

を含む、

ことを特徴とする、請求項 1 に記載の制御回路。

[請求項9] 前記静電型トランスデューサは、静電型アクチュエータ又は静電型圧力検出素子である、

ことを特徴とする、請求項 1 に記載の制御回路。

[請求項10] 半導体集積回路である、

ことを特徴とする、請求項 1 に記載の制御回路。

[請求項11] 請求項 1 に記載の制御回路と、

前記電圧出力回路と、

を含む、

ことを特徴とする、制御装置。

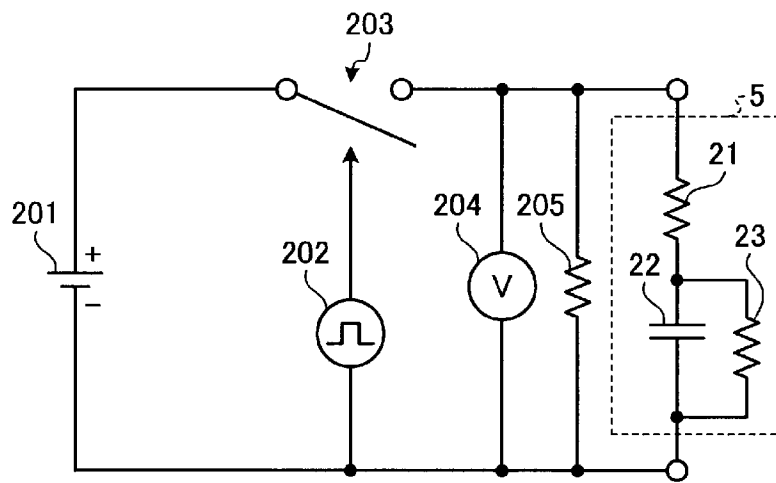
[請求項12] 請求項 1 に記載の制御装置と、

前記クランプ電圧の変化に基づいて、前記静電型トランスデューサに印加された振動、音又は圧力を検出する、電圧変化検出部と、

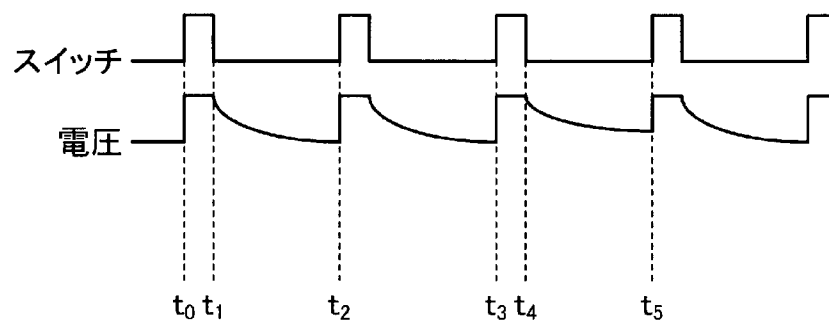
を含む、

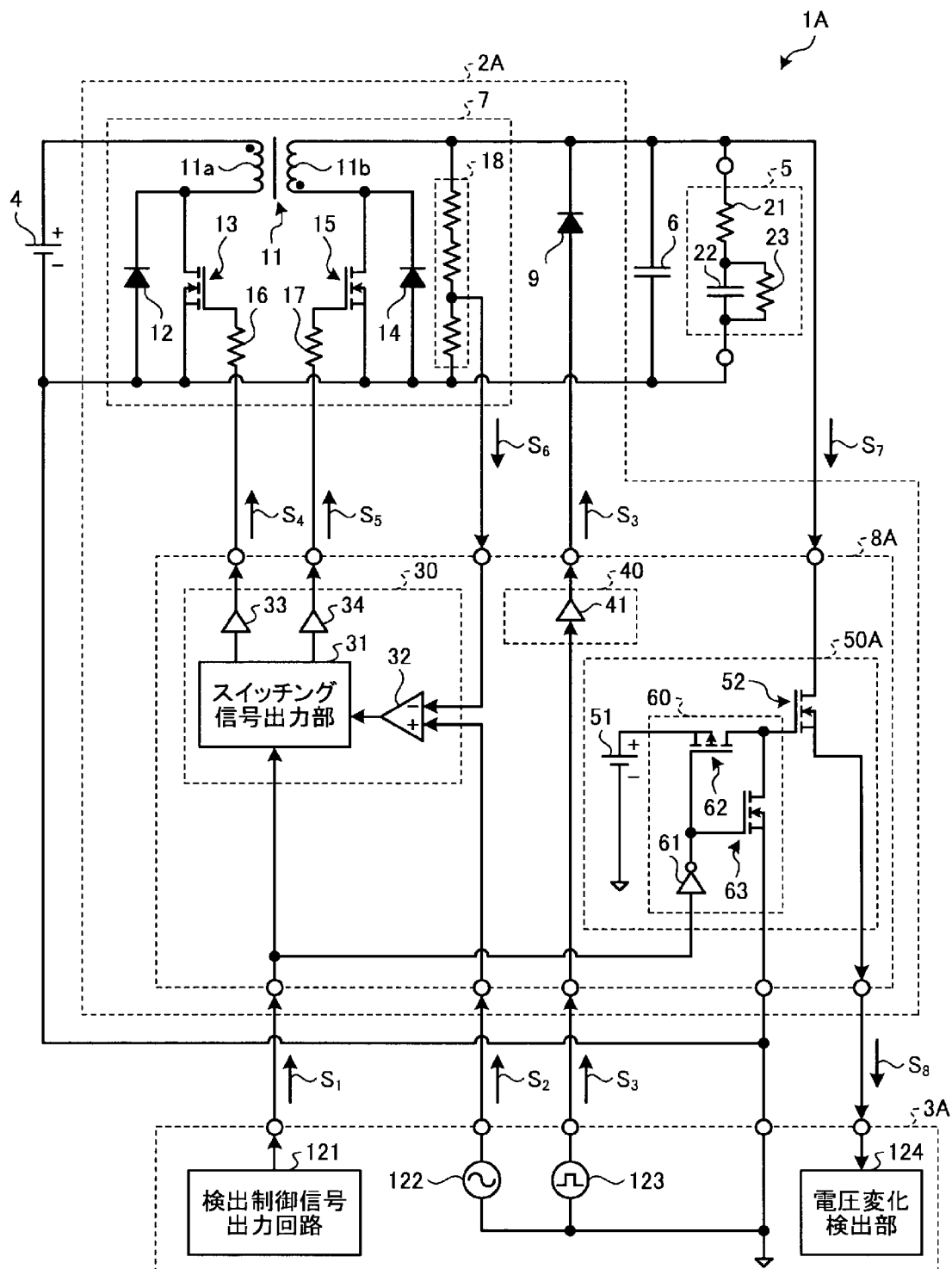
ことを特徴とする、システム。

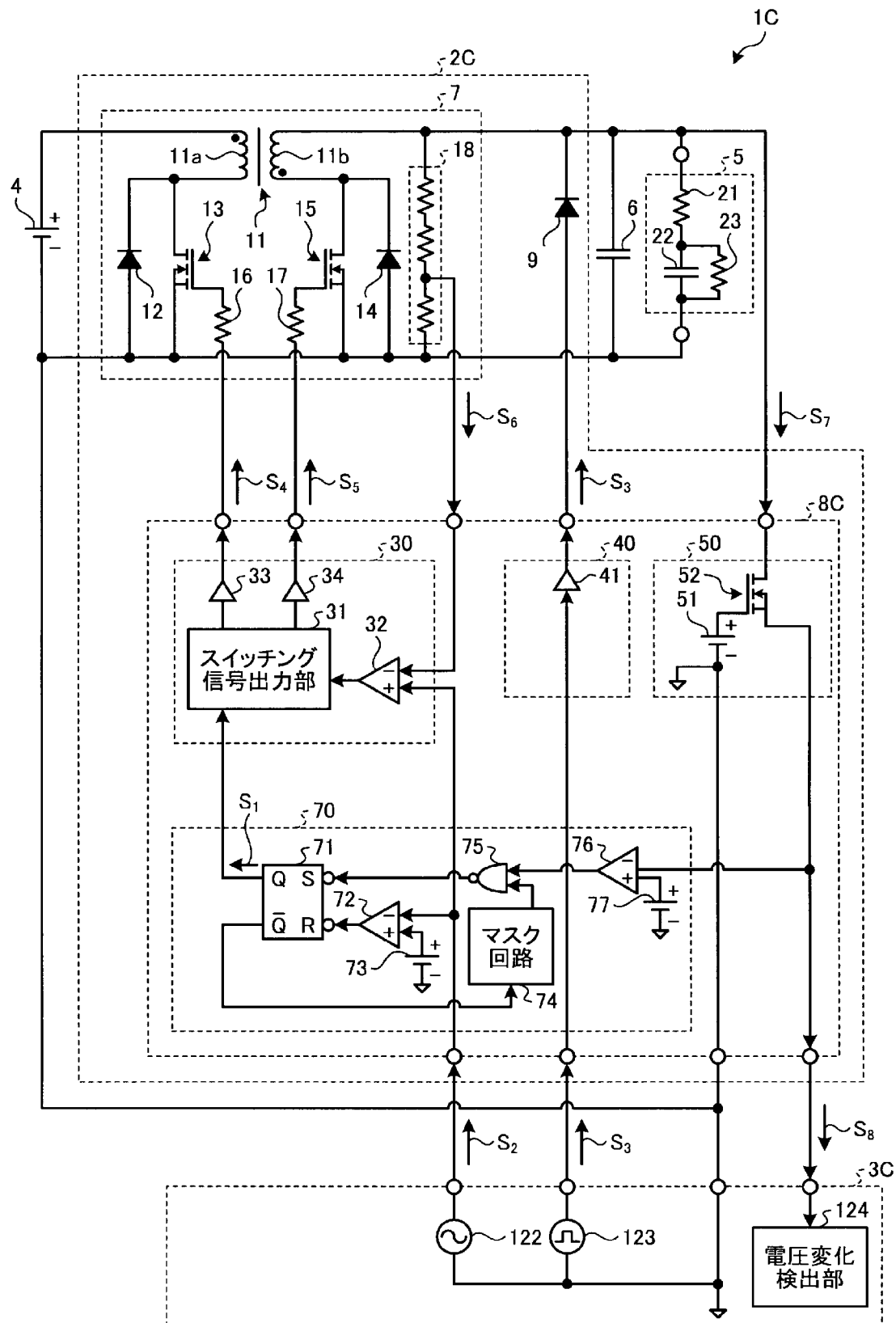
[図2]



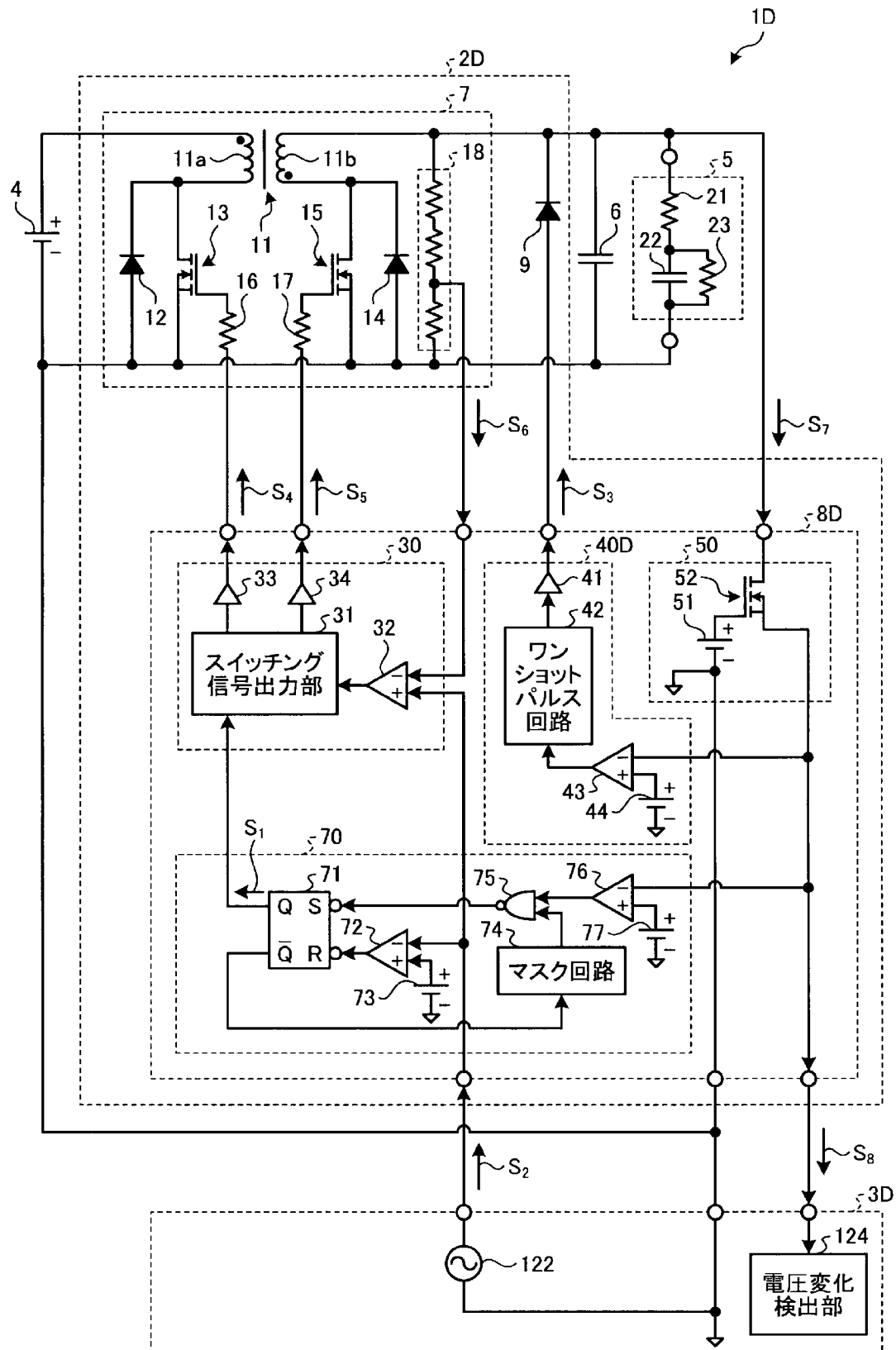
[図3]



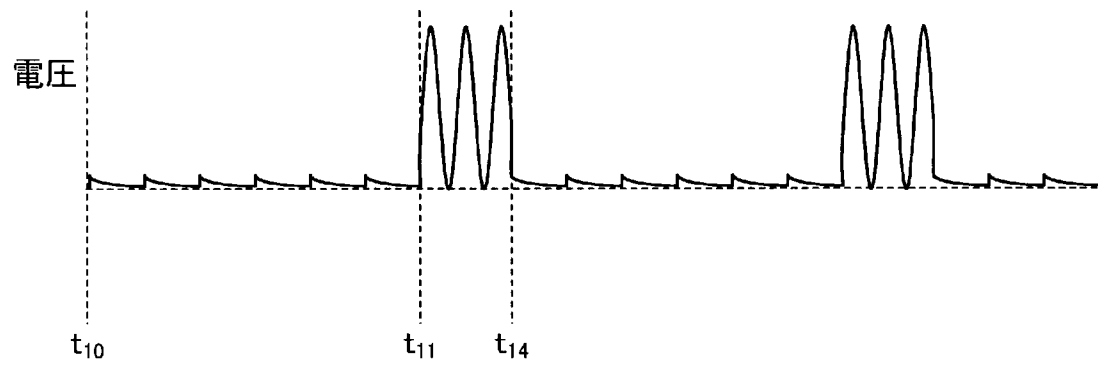




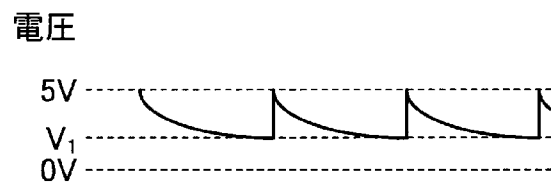
[図7]



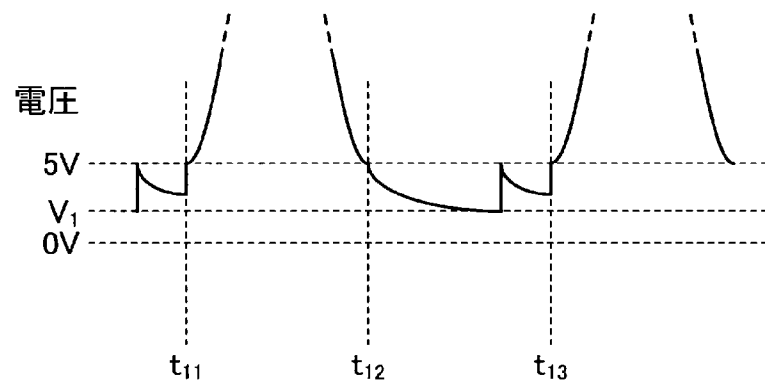
[図8]



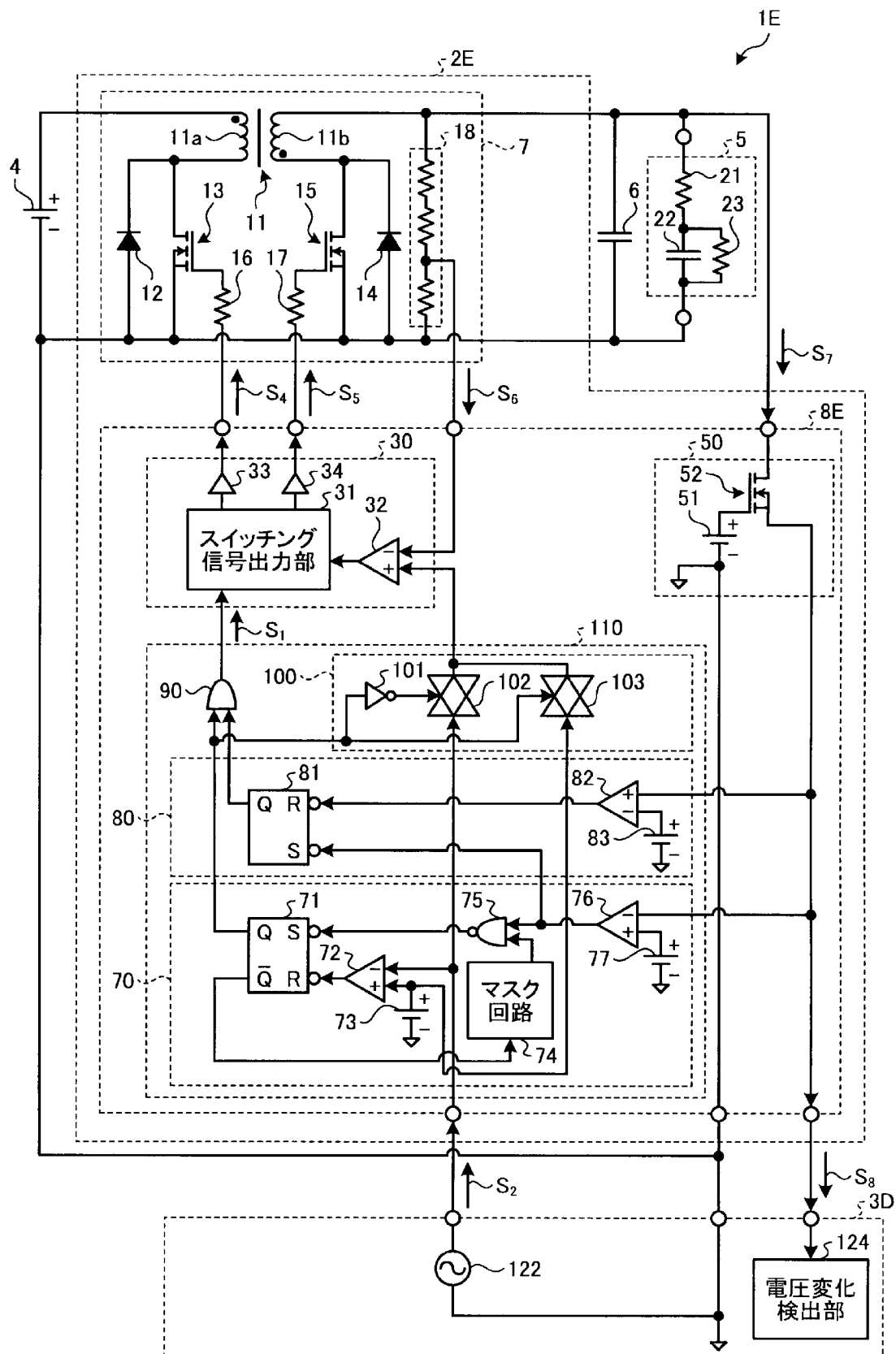
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/040452

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04R3/00 (2006.01) i, H04R19/02 (2006.01) i, H04R19/04 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04R3/00, H04R19/02, H04R19/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-121202 A (YAMAHA CORP.) 11 May 2006, paragraphs [0017]-[0060], fig. 1-8 (Family: none)	1, 2, 9-12 3-8
Y	JP 2013-46385 A (ASAHI KASEI ELECTRONICS CO., LTD.) 04 March 2013, paragraphs [0001]-[0036], fig. 1-3 (Family: none)	1, 2, 9-12
A	JP 2013-146021 A (YAMAHA CORP.) 25 July 2013, paragraphs [0019]-[0033], [0042], fig. 4, 8 (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 December 2019 (13.12.2019)	Date of mailing of the international search report 24 December 2019 (24.12.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04R3/00(2006.01)i, H04R19/02(2006.01)i, H04R19/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04R3/00, H04R19/02, H04R19/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2006-121202 A（ヤマハ株式会社）2006.05.11, 段落[0017]-[0060]及び[図1]-[図8]（ファミリーなし）	1, 2, 9-12 3-8
Y	JP 2013-46385 A（旭化成エレクトロニクス株式会社）2013.03.04, 段落[0001]-[0036]及び[図1]-[図3]（ファミリーなし）	1, 2, 9-12
A	JP 2013-146021 A（ヤマハ株式会社）2013.07.25, 段落[0019]-[0033]、[0042]及び[図4]、[図8]（ファミリーなし）	1-12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.12.2019

国際調査報告の発送日

24.12.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柴垣 俊男

5Z

4062

電話番号 03-3581-1101 内線 3591