



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

265 108

(11) (B1)

(13)

(51) Int. Cl.⁴

G 06 F 13/00

(22) Přihlášeno 04 08 86

(21) PV 5832-86.U

(40) Zveřejněno 12 01 89

(45) Vydáno 15 12 89

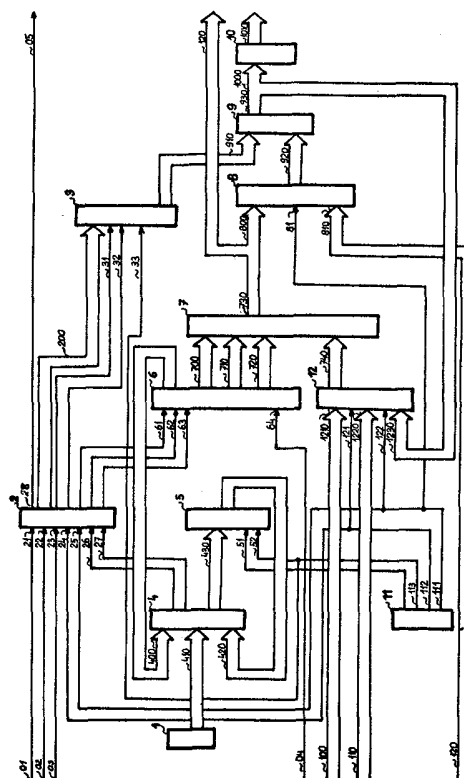
(75)

Autor vynálezu

LOUTOCKÝ DUŠAN ing., KUBÍN PAVEL ing. CSc.,
GOLAN PETR ing. CSc., SLADKÝ MILAN ing.,
KVASILOVÁ HELENA ing., PRAHA

(54) Zapojení paralelní datové cesty se skupinovým přenosem dat

(57) Řešení se týká oboru číslicové výpočetní techniky. Zapojení paralelní datové cesty řídicího modulu pro připojení vnějších zařízení s vysokou rychlostí přenosu dat umožňuje skupinový přenos informace mezi tímto modulem a hlavní pamětí počítače. Zapojení může být využito při konstrukci řídicích modulů pro připojení vnějších zařízení s vysokou rychlostí přenosu dat.



Vynález se týká zapojení paralelní datové cesty se skupinovým přenosem dat řídicích modulů pro připojení přidavných zařízení s vysokou rychlostí přenosu dat k číslicovému počítači.

Při řešení řídicích modulů a kanálových procesorů umožňujících připojení přidavných zařízení s vysokou rychlostí přenosu dat k číslicovému počítači je v tom případě, že hlavním řídicím členem takových modulů je mikroprogramově řízený řadič, nutné provádět přenos dat z nebo do přidavného zařízení zvláště k tomu účelu navrženými obvody. Jedním z možných řešení takovýchto obvodů je zapojení paralelní datové cesty podle vynálezu č. AO 217 512. Paralelní datová cesta podle tohoto vynálezu ale umožňuje provádět přenos dat pouze po dvojicích slabik, což v případě připojení přidavných zařízení s vysokou rychlostí přenosu dosti omezuje využití prostředků, jimiž je prováděna komunikace takového zapojení s hlavní pamětí počítače.

Výše uvedené nevýhody odstraňuje zapojení paralelní datové cesty se skupinovým přenosem dat, jehož podstata spočívá v tom, že přívod signálu čtení z vyrovnávací paměti je připojen na první vstupní svorku řadiče fází, přičemž přívod signálu vložení do vyrovnávací paměti je připojen na druhou vstupní svorku řadiče fází, přičemž přívod signálu konce styku je připojen na třetí vstupní svorku řadiče fází, přičemž přívod vzorkovacího signálu dat je připojen na vstupní svorku bloku řízení vyrovnávací paměti, přičemž přívodní vedení vkládaných dat je připojeno k první skupině vstupních svorek prvního multiplexoru, přičemž přívodní vedení čtených dat je připojeno na druhou skupinu vstupních svorek prvního multiplexoru, přičemž přívodní výstupní vedení hlavní paměti je připojeno ke skupině vstupních svorek druhého multiplexoru, k němuž je připojena skupina datových vstupů paměti dat styku, jejíž skupina výstupů je připojena na skupinu vstupů prvního multiplexoru a na skupinu datových vstupů synchronizačního registru, jehož skupina výstupů tvoří vstupní vedení hlavní paměti, které je první skupinou výstupů celého zapojení, přičemž skupina vstupů signálů stavu čítačů přenosu dekodéru délky přenosu je připojena k bloku čítačů přenosu, přičemž ke skupině vstupů signálů dekodace adresy vyrovnávací paměti dekodéru délky přenosu je připojen blok řízení vyrovnávací paměti, ke kterému je připojena skupina vstupů signálů adresy čtení vyrovnávací paměti, jejíž skupina vstupů signálů vkládací adresy je připojena k bloku řízení vyrovnávací paměti, přičemž skupina vstupů vkládacích signálů vyrovnávací paměti je připojena k bloku řízení vyrovnávací paměti, přičemž k prvnímu multiplexoru je připojena skupina datových vstupů vyrovnávací paměti, jejíž skupina výstupů je připojena ke skupině vstupů druhého multiplexoru a tvoří výstupní vedení vyrovnávací paměti, které je druhou skupinou výstupů celého zapojení, přičemž registr adresy styku je připojen ke skupině vstupů signálů dekodace adresy hlavní paměti dekodéru délky přenosu, jehož skupina výstupů signálů dekodace délky přenosu je připojena k registru adresy styku, k jehož vstupu signálu vpřed je připojen řídicí registr, jehož výstup signálu vzad je připojen ke vstupu registru adresy styku a ke vstupu bloku řízení paměti dat styku, přičemž skupina výstupů řídicích signálů řadiče fází je připojena k bloku řízení paměti dat, jenž je připojen ke skupině vstupů adresy paměti dat styku, přičemž dekodér délky přenosu je připojen ke vstupu signálu povolení žádosti řadiče fází, k jehož vstupu signálu konce přenosu je připojen dekodér délky přenosu, přičemž výstup řadiče fází tvoří výstup signálu požadavku žádosti celého zapojení, přičemž řadič fází je připojen ke vstupu signálu režimu přenosu bloku řízení paměti dat styku, jehož vstup signálu režimu přenosu dat je připojen k řadiči fází, přičemž řadič fází je připojen ke vstupu signálu požadavku vložení bloku řízení vyrovnávací paměti, jehož vstup signálu změny čtecí adresy je připojen k řadiči fází, přičemž řadič fází je připojen ke vstupu signálu změny vkládací adresy bloku řízení vyrovnávací paměti, přičemž výstup signálu režimu zápisu řídicího registru je připojen k prvnímu řídicímu vstupu prvního multiplexoru, k řídicímu vstupu druhého multiplexoru a ke vstupu signálu režimu zápisu řadiče fází, k jehož vstupu signálu režimu styku s hlavní pamětí je připojen výstup signálu režimu styku s hlavní pamětí řídicího registru a druhý řídicí vstup prvního multiplexoru.

Hlavní výhody zapojení paralelní datové cesty se skupinovým přenosem dat spočívají v tom, že při přenosu dlouhých bloků jsou části informace přenášeny mezi takovouto paralelní datovou cestou a hlavní pamětí vyšší rychlostí, což snižuje zatížení prostředků, jimiž je spojení paralelní datové cesty a hlavní paměti počítače realizováno a umožňuje při daných omezeních

rychlosti přenosu dat mezi řídicím modulem a hlavní pamětí připojovat k takovýmto modulům i zařízení s vyšší rychlostí přenosu dat.

Zapojení paralelní datové cesty se skupinovým přenosem dat je schematicky znázorněno na připojeném výkresu.

Přívod 01 signálu čtení z vyrovnávací paměti je připojen na první vstupní svorku 21 řadiče 2 fází, přičemž přívod 02 signálu vložení do vyrovnávací paměti je připojen na druhou vstupní svorku 22 řadiče 2 fází, přičemž přívod 03 signálu konce styku je připojen na třetí vstupní svorku 23 řadiče 2 fází, přičemž přívod 04 vzorkovacího signálu dat je připojen na vstupní svorku 64 bloku 6 řízení vyrovnávací paměti, přičemž přívodní vedení 100 vkládaných dat je připojeno k první skupině vstupních svorek 1 210 prvního multiplexoru 12, přičemž přívodní vedení 110 čtených dat je připojeno na druhou skupinu vstupních svorek 1 220 prvního multiplexoru 12, přičemž přívodní výstupní vedení 120 hlavní paměti je připojeno ke skupině vstupních svorek 810 druhého multiplexoru 8, k němuž je připojena skupina datových vstupů 920 paměti 9 dat styku, jejíž skupina výstupů 930 je připojena na skupinu vstupů 1 230 prvního multiplexoru 12 a na skupinu datových vstupů 1 000 synchronizačního registru 10, jehož skupina výstupů 1 010 tvoří vstupní vedení hlavní paměti, které je první skupinou výstupů celého zapojení, přičemž skupina vstupů 410 signálů stavu čítačů přenosu dekodéru 4 délky přenosu je připojena k bloku 1 čítačů přenosu, přičemž ke skupině vstupů 400 signálů dekodace adresy vyrovnávací paměti dekodéru 4 délky přenosu je připojen blok 6 řízení vyrovnávací paměti, ke kterému je připojena skupina vstupů 700 signálů adresy čtení vyrovnávací paměti 7, jejíž skupina vstupů 710 signálů vkládací adresy je připojena k bloku 6 řízení vyrovnávací paměti, přičemž skupina vstupů 720 vkládacích signálů vyrovnávací paměti 7 je připojena k bloku 6 řízení vyrovnávací paměti, přičemž k prvnímu multiplexoru 12 je připojena skupina datových vstupů 740 vyrovnávací paměti 7, jejíž skupina výstupů 730 je připojena ke skupině vstupů 800 druhého multiplexoru 8 a tvoří výstupní vedení vyrovnávací paměti, které je druhou skupinou výstupů 120 celého zapojení, přičemž registr 5 adresy styku je připojen ke skupině vstupů 420 signálů dekodace adresy hlavní paměti dekodéru 4 délky přenosu, jehož skupina výstupů 430 signálů dekodace délky přenosu je připojena k registru 5 adresy styku, k jehož vstupu 51 signálu vpřed je připojen řídicí registr 11, jehož výstup 113 signálu vzad je připojen ke vstupu 52 registru 5 adresy styku a ke vstupu 33 bloku 3 řízení paměti dat styku, přičemž skupina výstupů 200 řídicích signálů řadiče 2 fází je připojena k bloku 3 řízení paměti dat, jenž je připojen ke skupině vstupů 910 adresy paměti 9 dat styku, přičemž dekodér 4 délky přenosu je připojen ke vstupu 26 signálu povolení žádosti řadiče 2 fází, k jehož vstupu 27 signálu konce přenosu je připojen dekodér 4 délky přenosu, přičemž výstup 28 řadiče 2 fází je výstupem 05 signálu požadavku žádosti celého zapojení, přičemž řadič 2 fází je připojen ke vstupu 31 signálu režimu přenosu bloku 3 řízení paměti dat styku, jehož vstup 32 signálu režimu přenosu dat je připojen k řadiči 2 fází, přičemž řadič 2 fází je připojen ke vstupu 61 signálu požadavku vložení bloku 6 řízení vyrovnávací paměti, jehož vstup 62 signálu změny čtecí adresy je připojen k řadiči 2 fází, přičemž řadič 2 fází je připojen ke vstupu 63 signálu změny vkládací adresy bloku 6 řízení vyrovnávací paměti, přičemž výstup 111 signálu režimu zápisu řídicího registru 11 je připojen k prvnímu řídicímu vstupu 122 prvního multiplexoru 12, k řídicímu vstupu 81 druhého multiplexoru 8 a ke vstupu 25 signálu režimu zápisu řadiče 2 fází, k jehož vstupu 24 signálu režimu styku s hlavní pamětí je připojen výstup 112 signálu režimu styku s hlavní pamětí řídicího registru 11 a druhý řídicí vstup 121 prvního multiplexoru 12.

Funkce zapojení paralelní datové cesty se skupinovým přenosem dat je následující:

V režimu zápisu vpřed, kdy jsou na výstupu 111 řídicího registru 11 a na vstupu 51 registru 5 adresy styku signály s úrovní logické jedničky se vnější činností mikroprogramového řadiče připraví obsahy bloku 1 čítačů přenosu a registru 5 adresy styku. Na základě dekodace adresy vyrovnávací paměti, to jest signálů přivedených na skupinu vstupů 400 dekodéru 4 délky přenosu a na základě stavu čítačů přenosu, tj. signálů přivedených na skupinu vstupů 410 dekodéru 4 délky přenosu a na základě dekodace adresy hlavní paměti přivedené na skupinu vstupů 420 tohoto dekodéru 4 délky přenosu je z výstupu dekodéru 4 délky

přenosu přivezen na vstup 26 řadiče 2 fází signál povolení žádosti. Tímto signálem řadič 2 fází zahájí činnost a generuje na výstupu 28 požadavek žádosti, jímž je vyvolán styk s hlavní pamětí, kterým jsou z hlavní paměti přivezena po výstupním vedení 120 hlavní paměti data. Protože je na řídicím vstupu 81 druhého multiplexoru 8 v tomto režimu činnosti logická jednička je informace přivezená na jeho skupinu vstupů 810 přírodním výstupním vedením 120 hlavní paměti převedena na skupinu datových vstupů 920 paměti 9 dat styku. Adresa paměti 9 dat styku je odvozena z bloku 3 řízení paměti dat styku a je přivezena na skupinu vstupů 910 paměti 9 dat styku. Blok 3 řízení paměti dat styku je během přenosu dat ovládán skupinou řídicích signálů přivezených na jeho vstupy z výstupů 200 řadiče 2 fází. Řadič 2 fází je sekvenční automat, měnící posloupnost svých vnitřních stavů na základě signálu režimu styku s hlavní pamětí (přivezeného na vstup 24) a signálu režimu zápisu (přivezeného na vstup 25). Délka setrvání v jednotlivých vnitřních stavech je proměnná a závisí na stavu signálu konce přenosu, přivezeného na vstup 27 řadiče 2 fází a na stavu signálu konce styku, přivezeného na vstupní svorku 23 řadiče 2 fází. Po ukončení jednoho styku s hlavní pamětí se změní obsah registru 5 adresy styku o hodnotu přivezenou na jeho vstupy ze skupiny výstupů 430 dekodéru 4 délky přenosu v bloku 1 čítačů přenosu se zmenší o počet právě přenesených slabik a nahodí se signál konce styku přivezený na vstupní svorku 23 řadiče 2 fází. Tím přejde řadič 2 fází do režimu přesunu a generuje signál režimu přesunu, přivezený na vstup 31 bloku 3 řízení paměti dat styku. Tento blok 3 řízení paměti dat styku adresuje potom ty slabiky dat, uložené v paměti 9 dat styku, které byly do této paměti 9 dat styku vloženy z hlavní paměti. Tyto slabiky jsou ze skupiny výstupů 930 paměti 9 dat styku vedeny na skupinu vstupů 1230 prvního multiplexoru 12. Protože na řídicí vstup 122 tohoto prvního multiplexoru 12 je přivezen signál režimu zápisu, jsou data z paměti 9 dat styku vedena přes první multiplexor 12 na datové vstupy 740 vyrovnávací paměti 7. Současně s tím generuje řadič 2 fází signály požadavku vložení a signál změny vkládací adresy, které jsou vedeny na vstupy 61 a 63 bloku 6 řízení vyrovnávací paměti. Adresa vkládání je z tohoto bloku 6 řízení vyrovnávací paměti vedena na vstupy 710 vyrovnávací paměti 7 a vkládací signály jsou z bloku 6 řízení vyrovnávací paměti vedeny na vstupy 720 vyrovnávací paměti 7, tím je zajištěno vkládání informace z datových vstupů 740 vyrovnávací paměti 7 do odpovídajících paměťových míst této vyrovnávací paměti 7. Vkládání je taktováno vzorkovacím signálem dat přivezeným na vstup 64 bloku 6 řízení vyrovnávací paměti a je ukončeno po nahození signálu konce přesunu na vstupu 27 řadiče 2 fází. Nezávisle na této činnosti přichází na vstupní svorku 21 řadiče 2 fází signál čtení z vyrovnávací paměti, který je odvozen z požadavku přídatného zařízení na přenos dat. Řadič 2 fází generuje signál změny čtecí adresy vedený na vstup 62 bloku 6 řízení vyrovnávací paměti, který v tomto bloku 6 řízení vyrovnávací paměti vyvolá nastavení příslušné čtecí adresy přivezené na skupinu vstupů 700 vyrovnávací paměti 7. Na výstupech 730 vyrovnávací paměti 7 se potom objeví obsah paměťového místa s touto adresou a tato data se vysílají po výstupním vedení 120 vyrovnávací paměti do připojeného přídatného zařízení. Signály dekodace adresy vyrovnávací paměti přivezené na skupinu vstupů 400 dekodéru 4 délky přenosu, signály stavu čítačů, přivezené na skupinu vstupů 410 dekodéru 4 délky přenosu a signály dekodace adresy hlavní paměti přivezené na skupinu vstupů 420 dekodéru 4 délky přenosu způsobí, že dekodér 4 délky přenosu bude znovu generovat signál povolení žádosti, vedený na vstup 26 řadiče 2 fází a celý cyklus přenosu se bude opakovat.

Přenos dat mezi hlavní pamětí počítače, pamětí 9 dat styku, vyrovnávací pamětí 7 a vnějším zařízením probíhá v režimu zápisu tak dlouho, dokud nejsou vyčerpána všechna přenášená data, což je indikováno vynulováním alespoň jednoho s čítačů bloku 1 čítačů přenosu.

V režimu čtení, kdy je signál na výstupu 111 řídicího registru 11 nulový, probíhá celá činnost zapojení obdobně jako při zápisu s tím rozdílem, že směr přenosu dat je opačný. Vnější zařízení v tomto případě posílá po přírodním vedení 110 čtených dat čtená data, jejichž přítomnost je hlášena signálem na přívodu 22 signálu vložení do vyrovnávací paměti. Čtená data, posílaná z vnějšího zařízení, jsou přivezena na druhou skupinu 1220 vstupních svorek prvního multiplexoru 12 a protože signál režimu zápisu, přivezený na řídicí vstup 122 tohoto prvního multiplexoru 12 je nulový, jsou tato čtená data převedena prvním multiplexorem 12 na skupinu datových vstupů 740 vyrovnávací paměti 7. Jedním ze skupiny vkládacích

signálů, přivedených na skupinu vstupů 720 této vyrovnávací paměti 7 se čtená data vloží do paměťového místa vyrovnávací paměti 7 určeného vkládací adresou přivedenou na skupinu vstupů 710 vyrovnávací paměti 7 z bloku 6 řízení vyrovnávací paměti. Příslušný vkládací signál je odvozen ze signálů přivedených na vstupy 61, 62 a 63 bloku 6 vyrovnávací paměti z řadiče 2 fází. Vkládání dat do vyrovnávací paměti 7 pokračuje tak dlouho, dokud se tato vyrovnávací paměť 7 nezaplní takovým počtem slabik dat, jenž již umožňuje zahájit přenos informace mezi paralelní datovou cestou a hlavní pamětí počítače. Pokud to podmínky přivedené na vstupy dekodéru 4 délky přenosu povolují, zejména pokud je adresa hlavní paměti uložena v registru 5 adresy styku v rozmezí hranice slova, je přenos dat do hlavní paměti zahájen až v době, kdy je ve vyrovnávací paměti 7 načteno alespoň 8 slabik. Jsou-li splněny podmínky pro zahájení přenosu dat do hlavní paměti, vyšle dekodér 4 délky přenosu na vstup 26 řadiče 2 fází signál povolení žádosti. Tím řadič 2 fází opět zahájí činnost a generuje na výstupní svorku 05 signál požadavku žádosti. Současně generuje řadič 2 fází signál režimu přenosu, přivedený na vstup 31 bloku 3 řízení paměti dat styku. Řadič 2 fází generuje rovněž sérii signálů změny čtecí adresy, tyto signály jsou přivedeny na vstup 62 bloku 6 řízení vyrovnávací paměti a způsobí, že tento blok 6 řízení vyrovnávací paměti generuje odpovídající posloupnost čtecích adres, které jsou vedeny na skupinu vstupů 700 vyrovnávací paměti 7 a zajistí, že slabiky dat, které se mají vyslat do hlavní paměti v rámci právě prováděného styku jsou postupně čteny na skupinu výstupů 730 vyrovnávací paměti 7. Tato posloupnost slabik čtených dat je z výstupů 730 vyrovnávací paměti vedena přes druhý multiplexor 8 na skupinu datových vstupů 920 paměti 9 dat styku. Synchronně s tímto přesunem mění blok 3 řízení paměti dat styku adresy paměti dat styku přivedené na skupinu vstupů 910 paměti 9 dat styku a tím se data v výstupů 730 vyrovnávací paměti 7 vloží postupně do paměti 9 dat styku. Po ukončení přesunu se na vstup 27 řadiče 2 fází generuje z dekodéru 4 délky přenosu signál konce přesunu, který vyvolá přechod řadiče 2 fází do režimu přenosu dat a tím i nové vyslání signálu požadavku žádosti na výstupu 28 tohoto řadiče 2 fází. Blok 3 řízení paměti dat styku potom znovu adresuje a čte slabiky dat uložené v paměti 9 dat styku. Výstupní data z paměti 9 dat styku jsou vedena z výstupů 930 této paměti na vstupy 1 000 synchronizačního registru 10 a z jeho výstupů 1 010 na vstupní vedení hlavní paměti. Po ukončení přenosu se opět stejně jako při zápisu aktualizuje stav čítačů v bloku 1 čítačů přenosu a obsah registru 5 adresy styku. Jsou-li i potom splněny podmínky pro zahájení dalšího přenosu dat do hlavní paměti vyšle dekodér 4 délky přenosu na vstup 26 řadiče 2 fází opět signál povolení žádosti a celý cyklus se opakuje. Celý přenos se ukončí stejným způsobem jako při zápisu.

Některá vnější zařízení, například magnetické páskové paměti, umožňují provádět čtení dat také ve směru zpět. Pro obsluhu takového typu přenosu umožňuje zapojení podle vynálezu činnost i v režimu "čtení zpět", přičemž jsou data do hlavní paměti ukládána v sestupné posloupnosti adres. Režim vzad je určen jedničkovou hodnotou signálu na výstupu 113 řídícího registru 11. Je-li tento signál režimu vzad přivedený na vstup 52 registru 5 adresy styku aktivní, pak se obsah tohoto registru 5 adresy styku při přenosu dat zmenšuje o hodnotu přivedenou na jeho vstupy z výstupů 430 dekodéru 4 délky přenosu a blok 3 řízení paměti dat styku v době, kdy je na jeho vstup 31 přiveden aktivní signál režimu přesunu generuje adresy paměti 9 dat styku v opačném pořadí než při režimu vpřed.

Pokud není na výstupu 112 řídícího registru 11 generován signál režimu styku s hlavní pamětí, lze do vyrovnávací paměti 7 vkládat i informaci z přívodního vedení 100 vkládaných dat. Tato data jsou přivedena na první skupinu vstupních svorek 1 210 prvního multiplexoru 12 a z výstupů tohoto prvního multiplexoru 12 na skupinu datových vstupů 740 vyrovnávací paměti 7. Vkládání do vyrovnávací paměti 7 je řízeno mikroprogramově generovaným signálem vložení do vyrovnávací paměti přivedeným přívodem 02 na druhou vstupní svorku 22 řadiče 2 fází. Mikroprogramově lze obsah vyrovnávací paměti 7 i číst pomocí vstupního vedení vyrovnávací paměti 120 a ovládacího signálu čtení z vyrovnávací paměti přivedeného přívodem 01 na první vstupní svorku 21 řadiče 2 fází.

Zapojení paralelní datové cesty se skupinovým přenosem je použito v diskových modulech a dvoukanálovém modulu počítače EC 1027.

PŘEDMĚT VYNÁLEZU

Zapojení paralelní datové cesty se skupinovým přenosem dat, vyznačené tím, že přívod (01) signálu čtení z vyrovnávací paměti je připojen na první vstupní svorku (21) řadiče (2) fází, přičemž přívod (02) signálu vložení do vyrovnávací paměti je připojen na druhou vstupní svorku (22) řadiče (2) fází, přičemž přívod (03) signálu konce styku je připojen na třetí vstupní svorku (23) řadiče (2) fází, přičemž přívod (04) vzorkovacího signálu dat je připojen na vstupní svorku (64) bloku (6) řízení vyrovnávací paměti, přičemž přívodní vedení (100) vkládaných dat je připojeno k první skupině vstupních svorek (1 210) prvního multiplexoru (12), přičemž přívodní vedení (110) čtených dat je připojeno na druhou skupinu vstupních svorek (1 220) prvního multiplexoru (12), přičemž přívodní výstupní vedení (120) hlavní paměti je připojeno ke skupině vstupních svorek (810) druhého multiplexoru (8), k němuž je připojena skupina datových vstupů (920) paměti (9) dat styku, jejíž skupiny výstupů (930) je připojena ke skupině vstupů (1 230) prvního multiplexoru (12) a na skupinu datových vstupů (1000) synchronizačního registru (10), jehož skupina výstupů (1 010) tvoří vstupní vedení hlavní paměti, které je první skupinou výstupů celého zapojení, přičemž skupina vstupů (410) signálů stavu čítačů přenosu dekodéru (4) délky přenosu je připojena k bloku (1) čítačů přenosu, přičemž ke skupině vstupů (400) signálu dekodace adresy vyrovnávací paměti dekodéru (4) délky přenosu je připojen blok (6) řízení vyrovnávací paměti, ke kterému je připojena skupina vstupů (700) signálů adresy čtení vyrovnávací paměti (7), jejíž skupina vstupů (710) signálů vkládací adresy je připojena k bloku (6) řízení vyrovnávací paměti, přičemž skupina vstupů (720) vkládacích signálů vyrovnávací paměti (7) je připojena k bloku (6) řízení vyrovnávací paměti, přičemž k prvnímu multiplexoru (12) je připojena skupina datových vstupů (740) vyrovnávací paměti (7), jejíž skupina výstupů (730) je připojena ke skupině vstupů (800) druhého multiplexoru (8) a tvoří výstupní vedení vyrovnávací paměti, které je druhou skupinou výstupů (120) celého zapojení, přičemž registr (5) adresy styku je připojen ke skupině vstupů (420) signálů dekodace adresy hlavní paměti dekodéru (4) délky přenosu, jehož skupina výstupů (430) signálů dekodace délky přenosu je připojena k registru (5) adresy styku, k jehož vstupu (51) signálu vpřed je připojen řídicí registr (11), jehož výstup (113) signálu vzad je připojen ke vstupu (52) registru (5) adresy styku a ke vstupu (33) bloku (3) řízení paměti dat styku, přičemž skupina výstupů (200) řídicích signálů řadiče (2) fází je připojena k bloku (3) řízení paměti dat, jenž je připojen ke skupině vstupů (910) adresy paměti (9) dat styku, přičemž dekodér (4) délky přenosu je připojen ke vstupu (26) signálu povolení žádosti řadiče (2) fází, k jehož vstupu (27) signálu konce přenosu je připojen dekodér (4) délky přenosu, přičemž výstup (28) řadiče (2) fází je výstup (05) signálu požadavku žádosti celého zapojení, přičemž řadič (2) fází je připojen ke vstupu (31) signálu režimu přenosu bloku (3) řízení paměti dat styku, jehož vstup (32) signálu režimu přenosu dat je připojen k řadiči (2) fází, přičemž řadič (2) fází je připojen ke vstupu (61) signálu požadavku vložení bloku (6) řízení vyrovnávací paměti, jehož vstup (62) signálu změny čtecí adresy je připojen k řadiči (2) fází, přičemž řadič (2) fází je připojen ke vstupu (63) signálu změny vkládací adresy bloku (6) řízení vyrovnanosti paměti, přičemž výstup (111) signálu režimu zápisu řídicího registru (11) je připojen k prvnímu řídicímu vstupu (122) prvního multiplexoru (12), k řídicímu vstupu (81) druhého multiplexoru (8) a ke vstupu (25) signálu režimu zápisu řadiče (2) fází, k jehož vstupu (24) signálu režimu styku s hlavní pamětí je připojen výstup (112) signálu režimu styku s hlavní pamětí řídicího registru (11) a druhý řídicí vstup (121) prvního multiplexoru (12).

1 výkres

