



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년01월02일
(11) 등록번호 10-2748552
(24) 등록일자 2024년12월26일

(51) 국제특허분류(Int. Cl.)
H04L 27/233 (2006.01) H04L 25/06 (2006.01)
H04L 7/00 (2006.01)
(52) CPC특허분류
H04L 27/233 (2013.01)
H04L 25/061 (2013.01)
(21) 출원번호 10-2016-0165679
(22) 출원일자 2016년12월07일
심사청구일자 2021년12월07일
(65) 공개번호 10-2017-0088278
(43) 공개일자 2017년08월01일
(30) 우선권주장
201641002504 2016년01월22일 인도(IN)
(56) 선행기술조사문헌
US20140293808 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
고어 아슈토시 디팍
인도 560093- 방가로레 카이콘드라할리 사르자푸
어 로드 브렌 셀레스티아 디- 605
조스 수짓
인도 방가로레 560093 시브이 라만 나가르 바이라
산드라 초데쉬와리 템플 로드 2번 크로스 스리자
타니쉬크 피에이치- 4
(74) 대리인
특허법인 무한
(뒷면에 계속)

전체 청구항 수 : 총 14 항

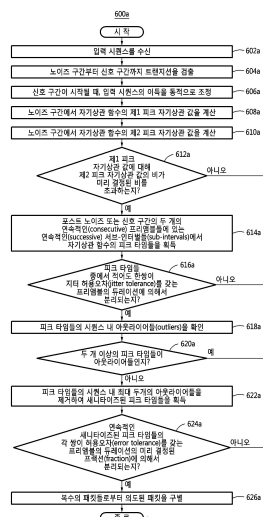
심사관 : 김수남

(54) 발명의 명칭 패킷 검출 방법 및 장치

(57) 요약

슬라이딩 IF 년-코히런트 ULP 무선 수신기에 의해 의도된 패킷 검출 방법 및 장치가 개시된다. 일 실시예에 따른 패킷 검출 방법은 입력 시퀀스를 수신하는 단계와, 상기 입력 시퀀스 내 노이즈 구간부터 신호 구간까지 트랜지션을 검출하는 단계와, 상기 신호 구간이 시작될 때, 입력 시퀀스의 이득을 동적으로 조정하는 단계와, 상기 입력 시퀀스에 포함된 복수의 프리앰블들 내에서 수신된 복수의 패킷들로부터 의도된 패킷을 구별하는 단계를 포함한다.

대표도 - 도6a



(52) CPC특허분류

H04L 7/007 (2013.01)

(72) 발명자

나이르 지네시 피.

인도 방가로레 560093 비라산드라시브이 라만 나가
르 초우데쉬와리 아만 코일 스트리트 2번 크로스
스리자 타니쉬크 비003

박창순

충청북도 충주시 봉현로 277-1 (교현동)

바이남 키란

인도 자라할리 560013 에이치엠티 팩토리 메인 로
드 브리가드 코트야드 제이- 438

홍영준

서울특별시 용산구 이촌로75길 6, 405호 (로얄맨션
아파트)

명세서

청구범위

청구항 1

초저전력 무선 수신기의 패킷 검출 방법에 있어서,

입력 시퀀스를 수신하는 단계;

상기 입력 시퀀스 내 노이즈 구간(noise period)에서 신호 구간(signal period)으로의 트랜지션(transition)을 검출하는 단계;

상기 신호 구간이 시작될 때, 상기 입력 시퀀스의 이득을 동적으로 조정하는 단계; 및

상기 입력 시퀀스에 포함된 복수의 프리앰블들 중 패킷 검출 시간 구간에 대응되는 연속적인 프리앰블들을 이용하여, 수신된 복수의 패킷들로부터 의도된 패킷(intended packet)을 구별하는 단계

를 포함하고,

상기 검출하는 단계는,

타임 윈도우들 각각에서의 상기 입력 시퀀스의 변화를 계산하는 단계;

상기 계산된 각 변화와 참조 값 사이의 차이를 계산하는 단계;

상기 계산된 각 차이가 임계 값을 초과하는지 결정하는 단계; 및

상기 계산된 각 차이가 상기 임계 값을 초과하는 경우 상기 트랜지션을 검출하는 단계

를 포함하는 패킷 검출 방법.

청구항 2

제1항에 있어서,

상기 입력 시퀀스의 언노운 오프셋 전압 값들(unknown offset voltage values)은 상기 복수의 패킷들로부터 상기 의도된 패킷을 구별하기 전에 상기 신호 구간에서 동적으로 보상되는 패킷 검출 방법.

청구항 3

제1항에 있어서,

상기 구별하는 단계는,

상기 노이즈 구간 내 자기상관 함수(autocorrelation function)의 제1 피크 자기상관 값을 계산하는 단계;

상기 신호 구간 내 상기 자기상관 함수의 제2 피크 자기상관 값을 계산하는 단계;

상기 제1 피크 자기상관 값에 대해 상기 제2 피크 자기상관 값의 비율이 미리 정해진 비율을 초과하는지 결정하는 단계; 및

상기 신호 구간의 두 개 이상의 연속적인(consecutive) 프리앰블들에 있는 연속적인(successive) 서브-인터벌들(sub-intervals)에서 상기 자기상관 함수의 피크 타임들을 획득하는 단계

를 포함하는 패킷 검출 방법.

청구항 4

제3항에 있어서,

상기 구별하는 단계는,

상기 피크 타임들 중에서 적어도 한 쌍이 지터 허용오차(jitter tolerance)를 갖는 상기 프리앰블의 듀레이션(duration)에 의해서 분리되는지 결정하는 단계;

상기 피크 타임들 내 아웃라이어들을 확인하는 단계; 및

상기 피크 타임들 내 최대 두 개의 아웃라이어들을 제거하여 세네티타이즈된 피크 타임들(sanitized peak times)을 획득하는 단계

를 더 포함하는 패킷 검출 방법.

청구항 5

제3항에 있어서,

상기 구별하는 단계는,

연속적인 세네티타이즈된 피크 타임들의 각 쌍이 허용오차(error tolerance)를 갖는 상기 프리앰블의 듀레이션의 미리 결정된 프랙션(fraction)에 의해서 분리되는지 여부를 결정하는 단계; 및

연속적인 세네티타이즈된 피크 타임들의 각 쌍이 허용오차(error tolerance)를 갖는 상기 프리앰블의 상기 듀레이션의 미리 결정된 프랙션(fraction)에 의해서 분리됐다는 결정에 응답하여 상기 복수의 패킷들로부터 상기 의도된 패킷을 구별하는 단계

를 더 포함하는 패킷 검출 방법.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 검출하는 단계는,

상기 노이즈 구간 내 상기 입력 시퀀스의 언노운(unknown) 오프셋 전압 값들을 동적으로 보상하는 단계; 및

상기 노이즈 구간 내 자기상관 함수의 제1 피크 자기상관 값을 계산하는 단계

를 포함하는 패킷 검출 방법.

청구항 8

제1항에 있어서,

상기 의도된 패킷은 IEEE 802.15.4q 물리 계층 패킷(physical layer packet)인 패킷 검출 방법.

청구항 9

초저전력 무선 수신기에 있어서,

입력 시퀀스를 수신하는 프로세서;

상기 입력 시퀀스 내 노이즈 구간(noise period)에서 신호 구간(signal period)으로의 트랜지션(transition)을

검출하는 에너지 검출기;

상기 신호 구간이 시작될 때, 상기 입력 시퀀스의 이득을 동적으로 조정하는 자동 이득 제어기; 및

상기 입력 시퀀스에 포함된 복수의 프리앰블들 중 패킷 검출 시간 구간에 대응되는 연속적인 프리앰블들을 이용하여, 수신된 복수의 패킷들로부터 의도된 패킷(intended packet)을 구별하는 패킷 검출기

를 포함하고,

상기 에너지 검출기는 타임 윈도우들 각각에서의 상기 입력 시퀀스의 변화를 계산하고, 상기 계산된 각 변화와 참조 값 사이의 차이를 계산하고, 상기 계산된 각 차이가 임계 값을 초과하는지 결정하고, 상기 계산된 각 차이가 상기 임계 값을 초과하는 경우 상기 트랜지션을 검출하는,

초저전력 무선 수신기.

청구항 10

제9항에 있어서,

상기 복수의 패킷들로부터 상기 의도된 패킷을 구별하기 전에 상기 신호 구간에서 상기 입력 시퀀스의 언노운 오프셋 전압 값들(unknown offset voltage values)을 동적으로 보상하는 직류 오프셋 보상기

를 더 포함하는 초저전력 무선 수신기.

청구항 11

제9항에 있어서,

상기 패킷 검출기는,

상기 노이즈 구간 내 자기상관 함수(autocorrelation function)의 제1 피크 자기상관 값을 계산하고,

상기 신호 구간 내 상기 자기상관 함수의 제2 피크 자기상관 값을 계산하고,

상기 제1 피크 자기상관 값에 대해 상기 제2 피크 자기상관 값의 비율이 미리 정해진 비율을 초과하는지 결정하고,

상기 신호 구간의 두 개 이상의 연속적인(consecutive) 프리앰블들에 있는 연속적인(successive) 서브-인터벌들(sub-intervals)에서 상기 자기상관 함수의 피크 타임들을 획득하는

초저전력 무선 수신기.

청구항 12

제11항에 있어서,

상기 패킷 검출기는,

상기 피크 타임들 중에서 적어도 한 쌍이 지터 허용오차(jitter tolerance)를 갖는 상기 프리앰블의 듀레이션(duration)에 의해서 분리되는지 결정하고,

상기 피크 타임들 내 아웃라이어들을 확인하고,

상기 피크 타임들 내 최대 두 개의 아웃라이어들을 제거하여 새니타이즈된 피크 타임들(sanitized peak times)을 획득하는

초저전력 무선 수신기.

청구항 13

제11항에 있어서,

상기 패킷 검출기는,

연속적인 세니타이즈된 피크 타임들의 각 쌍이 허용오차(error tolerance)를 갖는 상기 프리앰블의 듀레이션의 미리 결정된 프랙션(fraction)에 의해서 분리되는지 여부를 결정하고,

연속적인 세니타이즈된 피크 타임들의 각 쌍이 허용오차(error tolerance)를 갖는 상기 프리앰블의 상기 듀레이션의 미리 결정된 프랙션(fraction)에 의해서 분리됐다는 결정에 응답하여 상기 복수의 패킷들로부터 상기 의도된 패킷을 구별하는

초저전력 무선 수신기.

청구항 14

삭제

청구항 15

제9항에 있어서,

상기 에너지 검출기는,

상기 노이즈 구간 내 상기 입력 시퀀스의 언노운(unknown) 오프셋 전압 값들을 동적으로 보상하고,

상기 노이즈 구간 내 자기상관 함수의 제1 피크 자기상관 값을 계산하는

초저전력 무선 수신기.

청구항 16

제9항에 있어서,

상기 의도된 패킷은 IEEE 802.15.4q 물리 계층 패킷(physical layer packet)인 초저전력 무선 수신기.

발명의 설명

기술 분야

[0001] 아래 실시예들은 슬라이딩 IF 년-코히런트 ULP 무선 수신기에 의해 의도된 패킷 검출 방법 및 장치에 관한 것이다.

배경 기술

[0002] ULP(ultra low power) 무선 통신은 IoT(internet of Things), 웨어러블 및 e-헬스 애플리케이션의 출현과 함께 중요해지고 있다. 일반적으로, ULP 송수신기(transceiver)는 낮은 데이터 속도(예를 들어, 1 Mbps)를 갖고, 짧은 거리(서브 50m)에서 동작한다. 기존 ULP 송수신기들은 IEEE 802.15.4q 및 BLE(Bluetooth Low Energy)와 같은 표준의 발전을 주도하는 1 nJ/bit의 전력 소비를 달성한다.

[0003] RFIC(radio frequency integrated circuit)은 ULP 무선 통신 내 지배적인 전력 소비 블록이다. RFIC로부터 최대 전력 절감을 얻어내기 위해, OOK(On-Off keying)는 IEEE 802.15.4q 표준에서 BB(baseband) 모듈레이션 기술로서 발전되어 왔다. OOK BB 모듈레이션은 송신 전력 증폭기(transmitter power amplifier)에서 내재하는 모듈레이션 듀티 사이클링을 제공할 뿐만 아니라, 주파수 합성기(frequency synthesizer) 및 PLL(phase locked loop)와 같은 RFID 컴퍼넌트들에 대한 완화된 요건들로 이어진다. 또한, OOK는 년-코히런트 수신기 설계를 가능하고, 이에 위상 동기화를 위한 니즈(need)를 제거한다.

[0004] BB 스테이지들의 이득이 높을(high) 때, DCO(direct current offset)은 SIF(sliding intermediate frequency)

ULP 수신기들 내에서 문제다. DCO의 작은 크기들(small magnitudes)조차도 높은 이득 때문에 상당히 증폭될 수 있다. 이에, DCO의 추정 및 로버스트 DCOC(DCO compensation) 알고리즘 디자인은 중요하다.

[0005] AGC(automatic gain control)은 수신 전력 레벨의 WDR(wide dynamic range)를 제공하기 위한 ULP 수신기들의 중요한 특성(crucial feature)이다. AGC의 부재(absence)에서, 총 이득(total gain)은 고정된다. 이는 포화 효과(saturation effect) 또는 ADC(analog to digital converter) 출력에서 낮은 신호 대 잡음비(signal to noise ratio(SNR))로 이어진다. 어느 경우든, 신호는 적절하게 복조되지(demodulated) 않는다. 게다가, AGC의 성능(performance)은 DCO에 의해서 영향을 받을 수 있다.

[0006] IEEE 802.15.4q 준수(compliant) ULP 칩셋은 트래픽이 스parse(sparse)하고, 낮은 듀티 사이클을 갖는 곳에서, e-헬스 및 센서 애플리케이션에 사용될 것으로 예상된다. 이에, 선행하는(preceding) 802.15.4q PHY 패킷의 노이즈 인터벌(noise interval)의 듀레이션은 매우 길어질 수 있다. 높은 신뢰성을 갖고 노이즈 구간에서 신호 구간으로의 트랜지션(transition)을 선언하는 ED(energy detection) 알고리즘 설계는 중요하다. 또한, ULP 칩셋은 비허가(unlicensed) 2.4 GHz ISM(Industrial Scientific Medical) 밴드 내에서 동작하고, WLAN 장치들, BT(Bluetooth) 및 BLE(Bluetooth Low Energy) 장치들과 공존한다. 802.15.4q 물리 계층 패킷들과 ISM 밴드 내 다른 물리 계층 패킷들 사이를 확실하게 구별할 수 있는 PD(packet detection) 방법 설계가 필요하다.

발명의 내용

해결하려는 과제

[0007] 실시예들은 슬라이딩 IF 난-코히런트 ULP 무선 수신기에 의해서 의도된 패킷의 신뢰성 있는 검출을 위한 기술을 제공할 수 있다.

[0008] 실시예들은 노이즈 구간에서 신호 구간으로서 트랜지션을 검출하기 위한 기술을 제공할 수 있다.

[0009] 또한, 실시예들은 신호 구간이 시작되는 때, 입력 시퀀스의 이득을 동적으로 조정하기 위한 기술을 제공할 수 있다.

과제의 해결 수단

[0010] 일 실시예에 따른 패킷 검출 방법은 입력 시퀀스를 수신하는 단계와, 상기 입력 시퀀스 내 노이즈 구간(noise period)부터 신호 구간(signal period)까지 트랜지션(transition)을 검출하는 단계와, 상기 신호 구간이 시작될 때, 상기 입력 시퀀스의 이득을 동적으로 조정하는 단계와, 상기 입력 시퀀스에 포함된 복수의 프리앰블들 내에서 수신된 복수의 패킷들로부터 의도된 패킷(intended packet)을 구별하는 단계를 포함한다.

[0011] 상기 입력 시퀀스의 언노운 오프셋 전압 값들(unknown offset voltage values)은 상기 복수의 패킷들로부터 상기 의도된 패킷을 구별하기 전에 상기 신호 구간에서 동적으로 보상될 수 있다.

[0012] 상기 구별하는 단계는 상기 노이즈 구간 내 자기상관 함수(autocorrelation function)의 제1 피크 자기상관 값을 계산하는 단계와, 상기 신호 구간 내 상기 자기상관 함수의 제2 피크 자기상관 값을 계산하는 단계와, 상기 제1 피크 자기상관 값에 대해 상기 제2 피크 자기상관 값의 비율이 미리 정해진 비율을 초과하는지 결정하는 단계와, 상기 신호 구간의 두 개 이상의 연속적인(consecutive) 프리앰블들에 있는 연속적인(successive) 서브-인터벌들(sub-intervals)에서 상기 자기상관 함수의 피크 타임들을 획득하는 단계를 포함할 수 있다.

[0013] 상기 구별하는 단계는 상기 피크 타임들 중에서 적어도 한 쌍이 지터 허용오차(jitter tolerance)를 갖는 상기 프리앰블의 듀레이션(duration)에 의해서 분리되는지 결정하는 단계와, 상기 피크 타임들 내 아웃라이어들을 확인하는 단계와, 상기 피크 타임들 내 최대 두 개의 아웃라이어들을 제거하여 세네타이즈된 피크 타임들(sanitized peak times)을 획득하는 단계를 더 포함할 수 있다.

[0014] 상기 구별하는 단계는 연속적인 세네타이즈된 피크 타임들의 각 쌍이 허용오차(error tolerance)를 갖는 상기 프리앰블의 상기 듀레이션의 미리 결정된 프랙션(fraction)에 의해서 분리되는지 여부를 결정하는 단계와, 연속적인 세네타이즈된 피크 타임들의 각 쌍이 허용오차(erro tolerance)를 갖는 상기 프리앰블의 상기 듀레이션의 미리 결정된 프랙션(fraction)에 의해서 분리됐다는 결정에 응답하여 상기 복수의 패킷들로부터 상기 의도된 패킷을 구별하는 단계를 더 포함할 수 있다. 상기 검출하는 단계는 상기 노이즈 구간 및 상기 신호 구간 내 동일한 듀레이션(equal duration)의 타임 윈도우들(time windows)에 대해 상기 입력 시퀀스의 변화들(variances)을 계산하는 단계와, 각 타임 윈도우의 각 변화(variance)와 참조 값(reference value) 사이의 차이(difference)를

계산하여 상대 변화 값(relative variance value)을 계산하는 단계와, 상기 상대 변화 값이 연속적인 타임 윈도우들의 미리 결정된 수에 대한 미리 결정된 임계값을 초과하는지 결정하는 단계를 포함할 수 있다.

[0015] 상기 검출하는 단계는 상기 노이즈 구간 내 상기 입력 시퀀스의 언노운(unknown) 오프셋 전압 값들을 동적으로 보상하는 단계와, 상기 노이즈 구간 내 상기 자기상관 함수의 상기 제1 피크 자기상관 값을 계산하는 단계를 포함할 수 있다.

[0016] 상기 의도된 패킷은 IEEE 802.15.4q 물리 계층 패킷(physical layer packet)일 수 있다.

[0017] 일 실시예에 따른 초저전력 무선 수신기는, 입력 시퀀스를 수신하는 프로세서와, 상기 입력 시퀀스 내 노이즈 구간(noise period)부터 신호 구간(signal period)까지 트랜지션(transition)을 검출하는 에너지 검출기와, 상기 신호 구간이 시작될 때, 상기 입력 시퀀스의 이득을 동적으로 조정하는 자동 이득 제어기와, 상기 입력 시퀀스에 포함된 복수의 프리앰블들 내에서 수신된 복수의 패킷들로부터 의도된 패킷(intended packet)을 구별하는 패킷 검출기를 포함한다.

[0018] 상기 수신기는 상기 복수의 패킷들로부터 상기 의도된 패킷을 구별하기 전에 상기 신호 구간에서 상기 입력 시퀀스의 언노운 오프셋 전압 값들(unknown offset voltage values)을 동적으로 보상하는 직류 오프셋 보상을 더 포함할 수 있다.

[0019] 상기 패킷 검출기는 상기 노이즈 구간 내 자기상관 함수(autocorrelation function)의 제1 피크 자기상관 값을 계산하고, 상기 신호 구간 내 상기 자기상관 함수의 제2 피크 자기상관 값을 계산하고, 상기 제1 피크 자기상관 값에 대해 상기 제2 피크 자기상관 값의 비율이 미리 정해진 비율을 초과하는지 결정하고, 상기 신호 구간의 두 개 이상의 연속적인(consecutive) 프리앰블들에 있는 연속적인(successive) 서브-인터벌들(sub-intervals)에서 상기 자기상관 함수의 피크 타임들을 획득할 수 있다.

[0020] 상기 패킷 검출기는 상기 피크 타임들 중에서 적어도 한 쌍이 지터 허용오차(jitter tolerance)를 갖는 상기 프리앰블의 듀레이션(duration)에 의해서 분리되는지 결정하고, 상기 피크 타임들 내 아웃라이어들을 확인하고, 상기 피크 타임들 내 최대 두 개의 아웃라이어들을 제거하여 새니타이즈된 피크 타임들(sanitized peak times)을 획득할 수 있다.

[0021] 상기 패킷 검출기는 연속적인 세니타이즈된 피크 타임들의 각 쌍이 허용오차(error tolerance)를 갖는 상기 프리앰블의 상기 듀레이션의 미리 결정된 프랙션(fraction)에 의해서 분리되는지 여부를 결정하고, 연속적인 세니타이즈된 피크 타임들의 각 쌍이 허용오차(erro tolerance)를 갖는 상기 프리앰블의 상기 듀레이션의 미리 결정된 프랙션(fraction)에 의해서 분리됐다는 결정에 응답하여 상기 복수의 패킷들로부터 상기 의도된 패킷을 구별할 수 있다.

[0022] 상기 에너지 검출기는 상기 노이즈 구간 및 상기 신호 구간 내 동일한 듀레이션(equal duration)의 타임 윈도우들(time windows)에 대해 상기 입력 시퀀스의 변화들(variances)을 계산하고, 각 타임 윈도우의 각 변화(variance)와 참조 값(reference value) 사이의 차이(difference)를 계산하여 상대 변화 값(relative variance value)을 계산하고, 상기 상대 변화 값이 연속적인 타임 윈도우들의 미리 결정된 수에 대한 미리 결정된 임계값을 초과하는지 결정할 수 있다.

[0023] 상기 에너지 검출기는 상기 노이즈 구간 내 상기 입력 시퀀스의 언노운(unknown) 오프셋 전압 값들을 동적으로 보상하고, 상기 노이즈 구간 내 상기 자기상관 함수의 상기 제1 피크 자기상관 값을 계산할 수 있다.

[0024] 상기 의도된 패킷은 IEEE 802.15.4q 물리 계층 패킷(physical layer packet)일 수 있다.

도면의 간단한 설명

[0025] 도 1은 일 실시예에 따른 SIF 년-코히런트 ULP 무선 수신기의 개략적인 블록도를 나타낸다.

도 2a 내지 도 2d는 도 1에 도시된 컴퍼넌트들의 입력/출력 신호들을 나타낸다.

도 3a는 도 1에 도시된 다양한 컴퍼넌트들 사이에 상호 접속 시그널링(interconnection signaling)을 나타낸다.

도 3b는 도 1에 도시된 컴퍼넌트들의 FSM(finite state machine) 표현(representation)을 나타낸다.

도 4는 IEEE 802.15.4q 물리 계층 패킷 포맷(physical layer packet format)을 나타낸다.

도 5a 및 도 5b는 도 1에 도시된 컴퍼넌트들에 연관된 타이밍도(timing diagram) 및 제어 신호들을 나타낸다.

도 6a는 복수의 패킷들로부터 의도된 패킷을 구별하는 방법을 설명하기 위한 플로우 차트이다.

도 6b는 복수의 패킷들로부터 의도된 패킷을 구별하기 위한 다양한 컴퍼넌트들을 시퀀싱하는(sequencing) 방법의 일 예를 설명하기 위한 흐름도이다.

도 6c는 복수의 패킷들로부터 의도된 패킷을 구별하기 위한 다양한 유닛들을 시퀀싱하는 방법의 다른 예를 설명하기 위한 흐름도이다.

도 6d는 복수의 패킷들로부터 의도된 패킷을 구별하기 위한 다양한 유닛들을 시퀀싱하는 방법의 또 다른 예를 설명하기 위한 흐름도이다.

도 7은 년-코히런트 프리앰블 시퀀스의 부분 자기상관(partial autocorrelation)을 나타내는 그래프이다.

도 8a 내지 도 8c는 노이즈 구간 및 포스트 노이즈 구간 동안 에너지 검출을 나타내는 그래프이다.

도 8d 내지 도 8i는 노이즈 구간 및 포스트 노이즈 구간 동안 패킷 검출을 나타내는 그래프이다.

도 9는 년-코드된(non-coded) IEEE 802.15.4q 물리 계층 패킷을 갖는 슬라이딩 IF 년-코히런트 수신기의 베이스밴드 SNR 성능으로 패킷 에러율(packet error rate)의 변화(variation)을 나타내는 그래프이다.

도 10은 코드된(coded) IEEE 802.15.4q 물리 계층 패킷을 갖는 슬라이딩 IF 년-코히런트 수신기의 베이스밴드 SNR 성능으로 패킷 에러율(packet error rate)의 변화(variation)을 나타내는 그래프이다.

도 11은 방해와 설계된 신호들 사이에 다양한 주파수 분리(frequency separation)에 대한 신호 대 간섭 비(signal to interference ratio)로 패킷 에러율의 플롯(plot)의 변화를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 실시될 수 있다. 따라서, 실시예들은 특정한 개시형태로 한정되는 것이 아니며, 본 명세서의 범위는 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0027] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0028] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.
- [0029] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0030] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0032] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0034] 실시예들은 슬라이딩 IF 년-코히런트 ULP 무선 수신기에 의해서 의도된 패킷의 신뢰성 있는 검출을 위한 방법 및 시스템을 달성한다.
- [0035] 실시예들은 802.15.4q PHY 신호의 존재 동안에 베이스밴드 복조 및 BBIC(baseband integrated circuit) 내 디코딩 회로(decoding circuitry)를 턴-온함으로써 배터리 전력 소비(power consumption)을 줄이기 위한 ULP 수신기들 내에서 사용될 수 있다. 또한, 실시예들에서, 에너지 검출은 노이즈 구간에서 신호 구간으로의 트랜지션을 알아내기 위해 신뢰성있게 수행된다. 추가적으로, 제안된 방법에서, BBIC 내 패킷 검출기는 의도된 패킷(예를 들어, IEEE 802.15.4q 물리 계층 패킷) 및 비허가된(unlicensed) 2.4 GHz ISM 밴드 내 다른 물리 계층

패킷들 사이에서 구별하기 위해 검출된 에너지에 기초하여 트리거된다.

[0036] 실시예들은 RFIC 내 이득들이 BBIC 내 신호를 성공적으로 복조하기 위한 적절한 값으로 설정되는 AGC(automatic gain control) 기술을 이용한다.. 또한, 실시예들은 RFIC의 백-엔드(back-end)에서 동위상(in-phase) 및 쿼드러처 레일(quadrature rail)에 걸치는 다양하고 임의의 DC 오프셋들에 대해 보상하는 DCOC(direct current offset compensation) 기술을 사용한다. 효율적인 DCOC는 베이스밴드 복조에 에러가 없는 것을 보장한다.

[0037] 실시예들은 IEEE 802.125.4q 물리 계층 패킷들을 처리하는 슬라이딩 IF 년-코히런트 수신기 내 "외부 수신기 시스템"으로서 ED, PD, AGC, 및 DCOC 기술의 통합에 대한 매카니즘을 제공한다.

[0038] 실시예들은 IEEE 802.15.4q 물리 계층 패킷의 프리앰블 부분에 대해 년-코히런트 패킷 검출의 매커니즘을 제공한다. 패킷 검출 방법은 자기상관에 기초하여 8-칩 서브-프리앰블의 반복 특성들(repetition properties)을 활용하고, 평균 값(average value)에 대한 피크 값(peak value)의 비율이 매우 높다는 사실을 활용한다. 게다가, 패킷 검출 방법은 의도된 패킷을 802.15.4q 물리 계층 패킷으로서 선언하기 전에 다양한 결정들 또는 체크들(예를 들어, 코어스 체크(coarse check), 아웃라이어 체크(outlier check), 파인 체크(fine check) 등) 포함한다. 실시예들은 노이즈 구간 동안 및 노이즈-신호 경계에서 잘못된 검출(false detection) 횟수를 감소하기 위해 사용될 수 있다. 또한, 실시예들은 의도된 패킷(예를 들어, IEEE 802.15.4q 물리 계층 패킷) 및 다른 패킷들(예를 들어, WLAN/BT/BLE 물리 계층 패킷들 등) 사이를 구별하기 위해 사용될 수 있다.

[0039] "신호 구간" 및 "포스트 노이즈 구간"은 같은 의미를 포함할 수 있다.

[0041] 도 1은 일 실시예에 따른 SIF(sliding intermediate frequency) NC(non-coherent) ULP 무선 수신기(100)의 블록도를 나타낸다.

[0042] 도 1을 참조하면, SIF NC ULP 무선 수신기(100)는 RFIC(radio frequency integrated circuit; 102) 및 BBIC(baseband integrated circuit; 104)를 포함한다.

[0043] 도 1에 도시된 바와 같이, 들어오는(incoming) 진폭 A를 갖는 공기 신호(air signal)는 수신기(Rx) 안테나에 영

향을 준다. 진폭 A를 갖는 공기 신호는 $r(t) = A \cos(2\pi f_{RF}t) + w(t)$ 로 표현되고, 여기서 f_{RF} 는 신호 중심 주파수(signal center frequency)이고, $w(t)$ 는 PSD(power spectral density) -174 dBm/Hz를 갖는 WGN(white Gaussian noise)이다. 안테나 출력 신호는 LNA(low noise amplifier)에 의해 증폭된다.

[0044] LNA에 의해서 증폭된 후, 신호는 믹서-1(Mixer-1)에 영향을 주고, 여기서 신호는 톤(tone) $\cos(2\pi f_{MX1}t)$

과 곱해지고(multiplied), f_{MX1} 는 믹서-1의 비팅 주파수(beat frequency)이다. 이 동작은

$(f_{RF} + f_{MX1})$ 와 $f_{RF} - f_{MX1} = f_{IF1}$ 로 번역되는(translated) 주파수를 갖는 신호 에너지를 초래한다. 여

기서, f_{IF1} 는 제1 IF(first intermediate frequency)를 의미한다. 높은 주파수 컴퍼넌트는 CBPF(complex band pass filter)에 의해 거절된다. 믹서-1(Mixer-1) 이후에, 신호는 쿼드러처 방식(quadrature manner, 예를 들어, I 및 Q 레일을 따라)으로 QED(quadrature envelope detector)까지 처리된다.

[0045] 또한, 믹서-2(Mixer-2)는 "근접 베이스밴드(near baseband)" 필터링을 위해 믹서-1(Mixer-1)의 출력 신호를 제

2 IF(second intermediate frequency) f_{IF2} 로 다운-컨버트한다. 특히, 믹서-1(Mixer-1)의 출력 신호는 I-암

(I-arm)에서 $\cos(2\pi f_{MX2}t)$ 과 곱해지고(multiplied), Q-암(Q-arm)에서 $\sin(2\pi f_{MX2}t)$ 과 곱해진다. 여기

서, f_{MX2} 는 믹서-2(Mixer-2)의 비팅 주파수(beat frequency)이다. 근접 베이스밴드 필터링은 주파수

$f_{IF1} + f_{MX2}$ 및 $f_{IF1} - f_{MX2} = f_{IF2}$ 에서 크로스-변조 곱들(cross-modulation products)을 산출한다. 높은 주파수 성분(higher frequency component)는 수신기 신호 패스에서 CBPF에 의해 거부된다. MX2의 I 및 Q

출력은 MX2 이득의 동일 값(same value)에 의해 증폭된다.

[0046] 증폭된 믹서-2(Mixer-2)의 I 및 Q 출력은 CBPF의 I 및 Q 입력으로 공급된다. 여기서, 대역 외 신호 성분들(out of band signal components)은 $f_{RF} + f_{MX1}$ 및 $f_{IF1} + f_{MX2}$ 에서 거부된다. CBPF의 "중심 주파수"

f_{IF2} 는 1.3 MHz로 튜닝된다. CBPF는 자체 각 암(arm)에서 고정된 이득(fixed gain)을 갖는다. 포스트 필터링, 예를 들어 I 및 Q 입력은 PGA(programmable gain amplifier)에 의해서 스케일드된다. 이때, PGA 이득의 동일 값(same value)은 양 암(both arms)에 적용된다고 가정한다.

[0047] PGA들의 출력들은 DCO(direct current offset)들의 언노운 값들에 의해 변질된다(corrupted, 또는 변경된다). 특히, 랜덤 DCO 전압 d_I 은 I 암에서 PGA 아날로그 출력에 더해진다. 또한, 랜덤 DCO 전압 d_Q 은 Q 암에서 PGA 아날로그 출력에 더해진다. 대응 보상 전압들(corresponding compensation voltages) d_I^c 및 d_Q^c 은 QED

로 공급되기 전에 이 신호들에 더해진다. QED는 RMS(root mean square) 값 $\sqrt{s_I^2 + s_Q^2}$ 을 계산한다.

[0048] QED 출력은 샘플링 레이트(sampling rate) $F_{samp} = 3 \text{ Msps}$ 을 갖는 8-비트 난-코히런트 ADC(8-bit non-coherent analog to digital converter; 102a)로 공급된다. ADC(102a)의 출력은 BBIC(104) 내 디지털 로직 블록들(digital logic blocks)에 의해 처리된다.

표 1

Description	Symbol	Set of value(s) in dB
LNA gain	g_{LNA}	{-3, 9, 21}
Mixer-1 gain	g_{MX1}	21.5
Mixer-2 gain	g_{MX2}	{0, 12}
CBPF gain	g_{CBPF}	8
PGA gain	g_{PGA}	0 : 0.75 : 37.5
QED gain	g_{QED}	3

[0050] 표 1은 RFIC(102) 내 모든 컴퍼넌트의 허용 이득 값들(permissible gain values)을 나타낸다. PGA 이득은 0 dB로부터 37.5 dB까지 0.75 dB 만큼 임의의 값을 가진다. LNA, 믹서-2(Mixer-2), 및 PGA 이득들은 가변적, 예를 들어 AGC(104e)에 의해 제어 가능할 수 있다. 또한, 믹서-1(Mixer-1), CBPF, 및 QED 이득들은 전체 값

(total value) $g_{constant} = g_{MX1} + g_{CBPF} + g_{QED} = 32.5 \text{ dB}$ 으로 일정하다.

[0053] ADC(102a)는 들어오는 아날로그 신호(incoming analog signal)를 양자화할 뿐만 아니라 샘플링한다. 도 1의 RFIC(102)는 8-비트 연속 근사 레지스터(successive approximation register) ADC를 이용한다. ADC(102a)는 다음의 특성들(features)을 갖을 수 있다.

[0054] a. ADC(102a) 내에서, 신호는 범위 [0, 800] mv로 제한된다. 이에, 800mV를 초과하는 전압은 800mV로 클램프드 다운된다(clamped down).

[0055] b. ADC(102a)의 출력은 8-비트 무부호 정수(unsigned integer)이다. 동등하게, ADC의 해상도(resolution)는 8 비트다.

[0056] c. ADC(102a)의 입력은 출력에서 256 레벨들로 균등하게 양자화된다. AGC(104e), DCOC(102b), PD(104c), 및 ED(104b)는 ADC(102a)의 출력을 3.125 mV 진폭 해상도를 갖는 이산 전압(discrete voltage)으로 해석한다(interpret).

[0057] BBIC(104) 내에서, 노이즈 구간 동안 및 IEEE 802.15.4q 신호 구간의 프리앰블 부분 동안 동작하는 "외부 수신

기(outer receiver)" 유닛들이 간주된다. 이 유닛들은 프로세서 유닛(processor; 104a), ED 유닛(energy detector; 104b), PD(packet detector; 104c), DCOE(direct offset estimator; 104d), 및 AGC(automatic gain controller; 104e)이다. 이 블록들의 최적의 가능한 상호연결 및 스케줄링은 성공적인 BB 복조 및 ULP 전력 목표 달성을 위해 중요하다.

[0058] 외부 수신기 유닛들, 예를 들어 ED(104b), PD(104c), DCOE(104d), 및 AGC(104e)에 대한 공통 입력 데이터 신호는 ADC(102a) 샘플 $y(n)$ 의 출력 시퀀스이다. $y(n)$ 는 샘플링 시간 인덱스(sampling time index) n 에서 비음(non-negative), 실수(real), 및 양자화된 ADC 출력을 의미한다. $y(n) \in [0, 800] \text{ mV}$ 라는 것에 유의해야 한다. 예를 들어, $y(n)$ 의 해상도는 3.125 mV일 수 있다.

[0059] 프로세서(104a)는 SIF NC ULP 수신기 시스템(100)의 RFIC(102)로부터 ADC 샘플들을 포함하는 입력 시퀀스를 수신한다. 예를 들어, 입력 시퀀스는 복수의 프리앰블들 및 데이터를 포함한다. 프로세서(104a)는 다른 유닛들을 제어하거나 RFIC(102) 내 존재하는 다른 유닛들 사이에서 통신을 용이하게 할 수 있다.

[0060] ED(104b)은 입력 시퀀스 내 노이즈 구간부터 신호 구간까지 트랜지션을 검출한다.

[0061] ED(104b)는 노이즈 구간 내 동일한 지속시간(예를 들어, 8 micro seconds)의 타임 윈도우들에 대해 입력 시퀀스의 변화들(variances)을 계산한다. 또한, ED(104b)는 각 타임 윈도우의 각 변화와 참조 값(reference value) 사이의 차이(difference)를 계산하여 상대 변화 값(relative variance value)을 계산한다. 또한, ED(104b)은 상대 변화 값이 연속적인 타임 윈도우들의 미리 결정된 수에 대해 미리 결정된 임계값을 초과하는지 여부를 결정한다. ED(104b)에 의해 수행되는 계산들은 도 8a 내지 8c에 도시된 그래프에서 설명된다.

[0062] AGC(104e)은 신호 구간이 시작될 때 입력 시퀀스의 이득을 동적으로 조정한다. AGC(104e)은 ADC 출력 신호가 베이스밴드 복조에 대해 충분한 SNR을 갖는 것을 보장하기 위해, LNA, 믹서-2(Mixer-2) 및 PGA 이득들의 값들을 결정하고, 반복적으로 변화한다. 예를 들어, 노이즈는 열 가우시안 노이즈(thermal Gaussian noise), 비-선형 노이즈(non-linear noise), 및 양자화 노이즈(quantization noise, ADC(102a)의 유한 해상도(finite resolution)에 의한)의 누적 효과들(cumulative effects)을 포함한다.

[0063] 입력 시퀀스의 이득을 조정된 후에, 프로세서(104a)는 PD(104c)를 트리거한다.

[0064] PD(104c)은 복수의 프리앰블들 내에서 수신된 복수의 패킷들로부터 의도된 패킷(intended packet)을 구별한다. 예를 들어, 의도된 패킷은 IEEE 802. 15. 4q 물리 계층 패킷이다.

[0065] PD(104c)는 복수의 패킷들로부터 의도된 패킷을 검출하기 위해 신호 구간 동안 하나 이상의 체크(check) 또는 검증(validation)을 수행한다. PD(104c)에 의해 수행되는 다양한 체크 또는 검증은 도 6에서 설명된다.

[0066] DCOE(104d)는 두개의 출력, 예를 들어 I-암 DCO 추정에 대한 B_I 및 Q-암 DCO 추정에 대한 B_Q 을 제공한다. 타이밍 동기화 장치(timing synchronizer)은 프리앰블로부터 비트-레벨 타이밍 획득(bit-level timing acquisition)을 획득하기 위해 사용된다. 프레임 동기 장치(frame synchronizer)은 SFD 검출을 수행하고, 프레임-레벨 타이밍 획득(frame-level timing acquisition)을 획득한다. 복조기(demodulator)은 패킷의 PSDU 부분(portion)을 역확산하기(despread) 위해 사용된다. 디코더(decoder unit)는 송신기에서 FEC(forward error correction) 코드로 인코딩된 정보 비트들을(information bits)을 디코딩하기 위해 사용된다.

[0068] 도 2a 내지 도 2d는 도 1에 도시된 컴퍼넌트들의 입력/출력 신호들을 나타낸다.

[0069] 도 2a를 참조하면, 입력 제어 신호(EN_ED)가 하이(하이 레벨, 예를 들어 로직 "1")일 때, ED(104b)는 턴-온된다. 입력 제어 신호(EN_ED)가 로우(로우 레벨, 예를 들어 로직 "0")일 때, ED(104b)은 비활성화(예를 들어, 아이들(idle) 또는 저전력 상태(low power state))된다. ED(104b)이 신호 에너지를 검출할 때, 출력 제어 신호(ED_SUCCESS)는 프로세서(104a)가 AGC(104e)를 트리거함을 나타내기 위해 하이(하이 레벨)이다. 그 외에는(otherwise), 출력 제어 신호(ED_SUCCESS)의 디폴트 상태는 로우(로우 레벨)이다.

[0070] 도 2b를 참조하면, 프로세서 유닛(104a)로부터의 입력 제어 신호(EN_AGC)가 하이일 때, AGC(104e)은 트리거된다. 도 2b에 도시된 바와 같이, AGC(104e)로부터의 출력 데이터 신호들은 다음을 포함한다.

- [0071] a. LNA 이득 g_{LNA} 의 3개의 값들(3 values) 이외에(out of) 1(하나)를 선택하기 위한 2-비트 라인 O_1
- [0072] b. 믹서-2(Mixer-2) 이득 g_{MX2} 의 2개의 값들(2 values) 이외에 1(하나)를 선택하기 위한 1-비트 라인 O_2
- [0073] c. PGA 이득 g_{PGA} 의 51개의 값들(51 values) 이외에 1(하나)를 선택하기 위한 6-비트 라인 O_3
- [0074] 출력 데이터 신호들(O_1 , O_2 , 및 O_3)은 RFIC(102)에 접속된다. AGC(104e)로부터 출력 제어 신호들은 출력 제어 신호(AGC_DONE) 및 출력 제어 신호(PGA_UNCHANGED)이다. 출력 제어 신호(AGC_DONE)의 디폴트 값은 로우이다. 입력 시퀀스의 이득을 조정할 후에, 출력 제어 신호(AGC_DONE)는 하이이다. 이는 SIF NC ULP 수신기 시스템(100)의 초기 조건들(initial conditions, 예를 들어 BB 레지스터 세팅)에 따라 프로세서(104a)가 PD(104c) 또는 DCOE(104d)를 트리거하는 지시(indication)이다.
- [0075] 도 2c를 참조하면, 입력 제어 신호(EN_PD_NOI) 또는 입력 제어 신호(EN_PD_SIG)가 하이일 때, PD(104c)는 트리거된다. 입력 제어 신호들은 "노이즈 구간" 및 "포스트 노이즈 구간" 각각에서 의도된 패킷 검출의 스테이지들에 대응한다. PD(104c)의 출력 제어 신호들은 출력 제어 신호(PD_NOI_DONE), 출력 제어 신호(PD_SIG_DONE), 및 출력 제어 신호(PD_SUCCESS)이다. 의도된 패킷 검출의 스테이지 및 결과에 따라, 이 신호들(예를 들어, PD_NOI_DONE, PD_SIG_DONE, 및 PD_SUCCESS)의 하나 이상은 하이로 된다.
- [0076] 노이즈 구간 종료 후에, 출력 제어 신호(PD_NOI_DONE)는 항상 하이이다. 포스트-노이즈 구간 이후에, 출력 제어 신호(PD_SIG_DONE)는 항상 하이이다. PD(104c)가 포스트 노이즈 구간에서 IEEE 802.15.4q PHY 신호를 검출한 경우, 출력 제어 신호(PD_SUCCESS)는 하이로 된다. 출력 제어 신호들(PD_NOI_DONE, PD_SIG_DONE, 및 PD_SUCCESS)의 디폴트 값들은 로우(예를 들어, 로직 "0")이다.
- [0077] 도 2d를 참조하면, 입력 제어 신호들(EN_DCOE_NOI, EN_DCOE_SIG 또는 BYPASS_DCOE_SIG) 중 어느 하나가 하이일 때, DCOE(104d)는 트리거된다. 제1 제어 신호들(예를 들어, EN_DCOE_NOI, EN_DCOE_SIG)는 DCOE(104d)의 "노이즈 구간" 및 "신호 구간" 스테이지들에 대응한다. 제3 제어 신호(예를 들어, BYPASS_DCOE_SIG)는 DCOE(104d)가 신호 구간 내 요구되지 않음을 나타낸다. DCOE(104d)로부터의 출력 데이터 신호들은 아래를 포함한다.
- [0078] a. I-암 DCO 추정 $\hat{d}_I$ 의 256개의 값들(256 values) 이외에(out of) 1(하나)를 선택하기 위한 8-비트 라인 B_I
- [0079] b. Q-암 DCO 추정 $\hat{d}_Q$ 의 256의 값들(256 values) 이외에(out of) 1(하나)를 선택하기 위한 8-비트 라인 B_Q
- [0080] DCOE(104d)의 출력 제어 신호들은 출력 제어 신호(DCOE_NOI_DONE) 및 출력 제어 신호(DCOE_SIG_DONE)이다. DCOE 유닛(104d)의 스테이지에 따라, 이 신호들 중에서 하나는 하이로 튜닝된다. DCOE(104d)가 노이즈 구간에서 완료된 후, 출력 제어 신호(DCOE_NOI_DONE)는 하이로 된다. DCOE(104d)가 신호 구간에서 완료된 후, 출력 제어 신호(DCOE_SIG_DONE)는 하이로 된다. 출력 제어 신호들(DCOE_NOI_DONE 및 DCOE_SIG_DONE)의 디폴트 값들은 로우이다.
- [0082] 도 3a는 도 1에 도시된 다양한 컴퍼넌트들 사이에 상호 접속 시그널링(interconnection signaling)을 나타낸다.
- [0083] SIF NC ULP 수신기 시스템(100) 내 ED(104b), DCOE(104d), PD(104c), 및 AGC(104e)의 상호접속(interconnection)은 도 3a에 도시된 바와 같다. 도 3a로부터, 프로세서(104a)가 BB 레지스터들 내 저장된 값들에 기초하여 (제어 신호(EN_PD_NOI)를 통해) PD(104c) 또는 (제어 신호(EN_DCOE_NOI)를 통해) DCOE(104d)를 트리거한다는 것을 확인할 수 있다.

표 2

Outer receiver block	Stage	Time budget (microseconds)
ED	Noise	Indefinite
	Post noise / signal	24
PD	Noise	96
	Post noise / signal	96
AGC	Post noise / signal	32
DCOE	Noise	12
	Signal	24

[0085]

[0087]

표 2는 노이즈 구간 및 신호 구간 동안 SIF NC ULP 수신기 시스템(100) 내 외부 수신기 유닛들의 타이밍 예상들(timing budgets)을 나타낸다.

[0089]

도 3b는 도 1에 도시된 컴퍼넌트들의 FSM(finite state machine) 표현(representation)을 나타낸다.

[0090]

ED(104b)의 FSM 로직은 도 3b에 도시된 바와 같다. ED(104b)의 초기 상태(initial state)는 상태(ED_START)이다. 제어 신호(EN_ED)를 통해 프로세서(104a)에 의해서 트리거될 때, ED(104b)는 연속적인 타임 윈도우들(successive time windows)에 걸쳐 입력 시퀀스의 변화들(variances)을 계산하기 위해 상태(ED_COMPUTE_VAR)로

트랜지션한다. $V(k)$ 는 k^{th} 타임 윈도우에 대해 입력 시퀀스의 변화를 의미하는 것으로 한다. 이 상태에서, $(k+1)^{th}$ 및 k^{th} 타임 윈도우들 각각에 대해 ED(104b)은 값 $V(k+1)$ 을 계산하고, 값 $V_{ref}(k)$ 을 업데이트한다.

$V(k+1) - V_{ref}(k) < T$ (T는 에너지 검출 임계값)인 경우, ED 유닛(104b)은 동일 상태(ED_COMPUTE_VAR)로 리턴한다.

$V(k+1) - V_{ref}(k) \geq T$ 인 경우, 상태(ED_HIGH_1)로 트랜지션한다. 그 이외에,

$V(k+2)$ 을 계산한다. $V(k+2) - V_{ref}(k) \geq T$ 인 경우, ED(104b)는 상태(ED_HIGH_2)로 트랜지션한다. 그 이외에, ED(104b)은 상태(ED_COMPUTE_VAR)로 트랜지션한다.

$V(k+3) - V_{ref}(k) \geq T$ 인지 여부를 체크한다. 이 조건이 상태(ED_HIGH_2)에서 false인 경우, ED(104b)은 상태(ED_COMPUTE_VAR)로 리턴한다. 이 조건이 상태(ED_HIGH_2)에서 true인 경우, ED(104b)은 상태(ED_END)로 트랜지션한다. 이 상태(ED_END)에서, ED(104b)은 출력 제어 신호(ED_SUCCESS)를 하이로 설정한다. 이때, ED(104b)에 의해 각 스테이트에서의 체류 시간(sojourn time)이 8 μ s(예를 들어, 변화 측정 윈도우의 듀레이션)일 수 있다.

[0091]

PD(104c)의 FSM은 도 3b에 도시된 바와 같다. 초기 상태는 상태(PD_START)이다. 프로세서(104a)로부터 입력 제어 신호(EN_PD_NOI)에 의해 트리거될 때, PD(104c)은 상태(PD_NOISE)로 트랜지션한다. 이 상태(PD_NOISE)에

서, PD(104c)는 제1 피크 자기상관 값(first peak autocorrelation value) ρ 을 계산한다. 또한, PD(104c)는 상태(PD_WAIT)로 트랜지션한다. 프로세서(104a)로부터 입력 제어 신호(EN_PD_SIG)에 의해서 트리거될 때, PD(104c)은 상태(PD_SIG)로 트랜지션한다. 이 상태(PD_SIG)에서, PD(104c)는 포스트-노이즈 구간 동안 제2 피크 자기상관 값(second peak autocorrelation value) σ 를 계산한다. 또한, PD(104c)는 상태

(PD_BASIC_CHECK)로 트랜지션하고, $\sigma/\rho > 2$ 인지 여부를 결정한다. PD(104c)는 $\sigma/\rho \leq 2$ 을 결정하고, 그리고 나서 PD(104c)는 상태(PD_TRIG_ED)로 트랜지션한다. 이 상태(PD_TRIG_ED)에서, 도 3a에 도시된 바와 같이 출력 제어 신호(PD_SIG_DONE)는 하이이고, PD(104c)는 PD_WAIT 스테이지로 돌아온다. 게다가, 출력 제어 신호(PD_SUCCESS)는 로우이다. 반면에, 기본 체크(basic check)가 패스한 경우, 상태(PD_BASIC_CHECK)에서 상태(PD_COARSE_CHECK)로 트랜지션한다. 이 상태에서, PD(104c)은 코어스 체크(coarse check)를 실행한다(또는 수행한다). PD(104c)가 코어스 체크를 클리어한 경우, PD(104c)는 상태(PD_OUTLIER_CHECK)로 트랜지션하고, 8

피크 시간(eight peak times)의 시퀀스 내 아웃라이어들이 있는지 체크한다(check for). 아웃라이어 체크가 클리어된 경우, PD(104c)는 상태(PD_FINE_CHECK)로 트랜지션하고, 새니타이즈된 피크 시간(sanitized peak times)의 시퀀스를 면밀히 조사한다(scrutinize). 파인 체크(fine check)가 클리어된 경우, PD(104c)는 상태(PD_DECLARE_15_4Q)로 트랜지션한다. 이 상태(PD_DECLARE_15_4Q)에서, PD (104c)은 출력 제어 신호(PD_SUCCESS)를 하이로 활성화시킨다. 또한, PD(104c)는 마지막 상태(PD_END)로 트랜지션한다. 결론적으로, 3개의 이전 체크들(코어스 체크, 아웃라이어 체크 또는 파인 체크)이 클리어되지 않는 경우, PD(104c)은 상태(PD_TRIG_ED)로 리턴하고, 출력 제어 신호(PD_SIG_DONE)를 하이로 설정하고, 상태(PD_WAIT)로 트랜지션한다. 또한, 출력 제어 신호(PD_SUCCESS)는 로우를 유지한다.

[0092] AGC(104e)의 FSM은 도 3b에 도시된 바와 같다. AGC(104e)에 대한 초기 상태는 상태(AGC_START)이다. AGC(104e)이 프로세서(104a)에 의해 입력 제어 신호(EN_AGC)를 통해 트리거될 때, AGC(104e)은 상태(AGC_GAIN_RESET)로 트랜지션한다. 이 상태(AGC_GAIN_RESET)에서, AGC(104e)은 모든 가변 이득들(variable gains)을 그들의 최고 값들(highest values)로 설정한다. 또한, AGC(104e)은 AGC의 코스 동안에 가변 이득들이 변경될 수 있음을 나타내는 상태(AGC_GAIN_UNLOCK)로 트랜지션한다. 또한, AGC(104e)은 8 μ s 윈도우 동안 평균 전력 계산(average power computation)을 위해 상태(AGC_POW_MEAS)로 트랜지션한다. AGC(104e)이 가변 이득들이 변경되어야 한다고 결정한 경우, AGC(104e)은 상태(AGC_GAIN_CHANGE)로 트랜지션한다. 이 상태(AGC_GAIN_CHANGE)에서, AGC(104e)은 RFIC(102) 내 LNA, 믹서-2(Mixer-2), 및 PGA 이득들을 변경하기 위해 출력 데이터 신호들(O_1 , O_2 , 및 O_3)을 전송한다.

[0093] 전력 측정의 다른 반복이 필요한 경우, AGC(104e)은 상태(AGC_POW_MEAS)로 리턴한다. 반면에, AGC 로직이 모든 가변 이득들이 변경되지 않은 상태를 유지하고, 다른 전력 측정 반복을 받아야 한다고 결정한 경우, AGC(104e)은 상태(AGC_POW_MEAS)로 리턴한다. 최고의 AGC 반복(예를 들어, 4)이 완료된 경우, AGC(104e)은 상태(AGC_POW_MEAS) 또는 상태(AGC_GAIN_CHANGE)에서 상태(AGC_GAIN_LOCK)로 트랜지션한다. 이 상태(AGC_GAIN_LOCK)에서, 가변 이득들은 고정되고(locked), 이에 변경될 수 없다. 출력 제어 신호(AGC_DONE)는 하이(예를 들어, 로직 "1")로 설정된다. 또한, AGC(104e)은 AGC(104e)의 마지막 상태(AGC_END)로 트랜지션한다.

[0094] DCOE(104d)의 FSM은 도 3b에 도시된 바와 같다. DCOE(104d)의 초기 상태는 상태(DCOC_START)이다. DCOE(104d)은 프로세서(104a)로부터 입력 제어 신호(EN_DCOE_NOI)에 의해서 트리거될 때, 상태(DCOE_NOI)로 트랜지션한다. 이 상태(DCOE_NOI)에서, DCOE(104d)은 노이즈 구간 동안 I-암 및 Q-암 DCO들을 추정한다. 또한, DCOE(104d)은 상태(DCOC_NOI)로 트랜지션한다. 이 상태(DCOC_NOI)에서, DCOE(104d)은 RFIC(102) 내 DCO 보상 값들(compensation values) d_I^c 및 d_Q^c 을 적용하기 위해 출력 데이터 신호들 B_I 및 B_Q 을 전송한다.

[0095] DCOE(104d)이 프로세서(104a)에 의해서 입력 제어 신호(EN_DCOE_SIG)를 통해 트리거될 때, DCOE(104d)은 상태(DCOE_SIG)로 트랜지션한다. PGA 이득이 AGC(104e)에 의해서 가변할 때만, 제어 신호(EN_DCOE_SIG)는 하이일 수 있다. 이 상태(DCOE_SIG)에서, DCOE(104d)은 신호 구간 동안 I-암 및 Q-암 DCO들을 추정한다. 또한, DCOE(104d)은 (패킷의 마지막까지) RFIC(102) 내 새로운 DCO 보상 전압들 d_I^c 및 d_Q^c 을 적용하기 위해 상태(DCOC_SIG)로 트랜지션한다. 또한, DCOE(104d)은 출력 제어 신호(DCOE_SIG_DONE)를 하이로 설정하고, DCOE(104d)은 마지막 상태(DCOC_END)로 트랜지션한다.

[0096] 상태(DCOC_NOI)에서, PGA 이득이 AGC(104e)에 의해서 가변되지 않을 때, 입력 제어 신호(BYPASS_DCOE_SIG)는 하이로 된다. 이러한 시나리오에서, DCOE(104d)은 직접적으로 상태(DCOC_NOI)에서 상태(DCOE_END)로 트랜지션한다.

[0098] 도 4는 IEEE 802.15.4q 물리 계층 패킷 포맷(physical layer packet format)을 나타낸다.

[0099] IEEE 802.15.4q는 IEEE 802.15.4 WPAN 표준을 위한 ULP 물리 계층 패킷이다. 도 4에 도시된 바와 같이, 헤더 부분은 복수의 프리앰블들, SFD(start frame delimiter), 및 PHY 헤더(PHR)로 구성된다. PSDU(PHY service data unit)으로 지칭되는 페이로드 부분은 실제 데이터 비트들을 포함한다. 패킷 형식(format)의 프리앰블은 패킷 검출, AGC(automatic gain control), DCOC(direct current offset compensation) 및 타이밍 동기화(synchronization)을 위해 사용된다. SFD는 프레임 동기화를 위해 사용된다. PHR은 PSDU 길이 정보(length information)와 함께 사용되는 변조(modulation) 및 코딩 스킴(scheme)을 전달하기 위해 사용된다. 프리앰블

및 SFD는 총괄하여(collectively) 동기화 헤더(SHR)라고 한다.

- [0101] 도 5a 및 도 5b는 도 1에 도시된 컴퍼넌트들에 연관된 타이밍도(timing diagram) 및 제어 신호들을 나타낸다.
- [0102] 도 5b에 도시된 바와 같이, 노이즈 구간은 영(zero)과 1000 μs (micro seconds)사이이다. 1000 μs (micro seconds) 이후에, 신호 구간이 시작된다. 신호 구간은 "포스트 노이즈 구간"으로 간주될 수 있다. 노이즈 구간에서, DCOE(104d) 및 PD(104c)은 계산을 수행할 수 있다. DCOE(104d)은 0과 12 μs (micro seconds) 사이에서 동작 가능하고, PD(104c)은 12 μs (micro seconds)와 108 μs (micro seconds) 사이에서(예를 들어, 96 μs (micro seconds)의 듀레이션 동안) 동작 가능하다.
- [0103] DCOC(102b)은 12 및 1000 μs (micro seconds) 사이의 노이즈 구간에서 입력 시퀀스의 언노운 오프셋 전압 값들 B_I 및 B_Q 을 동적으로 보상할 수 있다.
- [0104] PD(104c)는 12 및 108 μs (micro seconds) 사이의 노이즈 구간에서 자기상관 함수의 제1 피크 자기상관 값 계산할 수 있다. 노이즈 구간에서 자기상관 함수의 계산된 제1 피크 자기상관 값은 (포스트 노이즈 구간 동안에) 미래에 사용하기 위해 PD(104c) 안에 저장된다.
- [0105] ED(104b)은 108 μs (micro seconds)로부터 1024 μs (micro seconds)까지 동작 가능하다. 도 5b에 도시된 바와 같이, ED(104b)는 노이즈 구간 및 신호 구간 내 동일한 지속시간(equal duration)의 타임 윈도우들에 대해 입력 시퀀스의 변화들(variances)을 계산할 수 있다. ED(104b)은 노이즈 구간과 신호 구간 내 각 타임 윈도우의 각 변화와 참조 값(reference value) 사이의 차이(difference)를 계산하여 상대 변화 값(relative variance value)을 계산할 수 있다. 또한, ED(104b)은 계산된 상대 변화 값이 연속적인 타임 윈도우들의 미리 결정된 수에 대한 미리 결정된 임계값을 초과하는지 여부를 결정할 수 있다. 도 5b로부터, ED 유닛(104b)는 신호 구간 내 3개의 연속적인 윈도우들(각 윈도우는 8 μs (micro seconds)의 듀레이션을 가짐)을 사용하는 것에 주목해야 한다.
- [0106] AGC(104e)은 1024 μs (micro seconds)에서 1056 μs (micro seconds)까지 동작 가능하다. AGC(104e)은 신호 구간이 시작될 때 입력 시퀀스의 이득을 동적으로 조정할 수 있다.
- [0107] 또한, DCOE(104d)은 1056 μs (micro seconds)에서 1080 μs (micro seconds)까지(예를 들어, 24 μs (micro seconds) 동안) 동작 가능하다. 신호 구간에서, DCOE(104d)은 언노운 오프셋 값들을 보상할 수 있다.
- [0108] 또한, PD(104c)은 1080 μs (micro seconds)에서 1176 μs (micro seconds)까지 패킷 검출을 위해 동작 가능하다. 신호 구간 동안, PD(104c)은 복수의 패킷들로부터 의도된 패킷(예를 들어, IEEE 802.15.4q 물리 계층 패킷)을 구별할 수 있다. 도 5b로부터, PD(104c)는 복수의 패킷들로부터 의도된 패킷을 구별하기 위해 3개의 프리앰블(예를 들어, 96 μs (micro seconds))을 이용할 수 있다.
- [0109] 또한, 타이밍 동기화 장치는 1176 μs (micro seconds)에서 1256 μs (micro seconds)까지 동작 가능하다.
- [0110] 도 5a에 도시된 바와 같이, 노이즈 구간은 영(zero)과 1000 μs (micro seconds)사이이다. 1000 μs (micro seconds) 이후에, 신호 구간이 시작된다. 도 5a에 도시된 바와 같이, 신호 구간뿐만 아니라 노이즈 구간에서, DCOE(104d)은 동작할 수 없다.
- [0111] 노이즈 구간에서, PD(104c)은 계산을 수행하기 위해 동작할 수 있다. PD(104c)은 0 μs (micro seconds)와 96 μs (micro seconds)사이에서(예를 들어, 96 μs (micro seconds)의 듀레이션 동안) 동작 가능하다. PD(104c)은 0 μs (micro seconds) 및 96 μs (micro seconds) 사이의 노이즈 구간에서 자기상관 함수의 제1 피크 자기상관 값을 계산할 수 있다. 노이즈 구간에서 자기상관 함수의 계산된 제1 피크 자기상관 값은 (포스트 노이즈 구간 동안에) 미래에 사용하기 위해 PD(104c) 안에 저장된다.
- [0112] ED(104b)은 96 μs (micro seconds)로부터 1024 μs (micro seconds)까지 동작 가능하다. 도 8a 내지 도 8c에 도시된 바와 같이, ED(104b)는 노이즈 구간 및 신호 구간 내 동일한 듀레이션(equal duration)의 타임 윈도우들에 대해 입력 시퀀스의 변화들(variances)을 계산할 수 있다. ED(104b)은 노이즈 구간과 신호 구간 내 각 타임 윈도우의 각 변화와 참조 값(reference value) 사이의 차이(difference)를 계산하여 상대 변화 값(relative variance value)을 계산할 수 있다. 또한, ED(104b)은 계산된 상대 변화 값이 연속적인 타임 윈도우들의 미리 결정된 수에 대한 미리 결정된 임계값을 초과하는지 여부를 결정할 수 있다. 도 8a 내지 8c로부터, ED(104b)는 신호 구간 내 3개의 연속적인 윈도우들(각 윈도우는 8 μs (micro seconds)의 듀레이션을 가짐)을 사용할 수 있다. AGC(104e)은 1024 μs (micro seconds)에서 1056 μs (micro seconds)까지 동작 가능하다. AGC(104e)은 신

호 구간이 시작될 때 입력 시퀀스의 이득을 동적으로 조정할 수 있다.

[0113] 또한, PD(104c)은 1056 μ s(micro seconds)에서 1152 μ s(micro seconds)까지 패킷 검출을 위해 동작 가능하다. 신호 구간 동안, PD(104c)은 복수의 패킷들로부터 의도된 패킷(예를 들어, IEEE 802.15.4q 물리 계층 패킷)을 구별할 수 있다. 도 5a로부터, PD(104c)은 복수의 패킷들로부터 의도된 패킷을 구별하기 위해 3개의 프리앰블(예를 들어, 96 μ s(micro seconds))을 이용할 수 있다. 또한, 타이밍 동기화 장치는 1152 μ s(micro seconds)에서 1256 μ s(micro seconds)까지 동작 가능하다.

[0115] 도 6a는 복수의 패킷들로부터 의도된 패킷을 구별하는 방법을 설명하기 위한 플로우 차트이다.

[0116] 단계(602a)에서, 방법(600a)은 RFIC(102)로부터 입력 시퀀스를 수신하는 단계를 포함한다. 프로세서(104a)는 RFIC(102)로부터 입력 시퀀스를 수신한다. 입력 시퀀스는 복수의 프리앰블들 및 데이터를 포함한다.

[0117] 단계(604a)에서, 방법(600a)은 노이즈 구간부터 신호 구간까지 트랜지션을 검출하는 단계를 포함한다. ED(104b)는 노이즈 구간부터 신호 구간까지 트랜지션을 검출한다.

[0118] ED(104b)은 false alarms의 수를 상당히 줄이기 위해, 에너지를 검출할 수 있다. ED(104b)은 노이즈 구간부터 신호 구간까지 트랜지션을 검출하기 위해 입력 시퀀스 내 조건들(아래에서 언급된 수학적 식 1, 2, 및 3에서)을 결정한다.

[0119] ED(104b)은 노이즈 구간 내 동일한 지속시간의 타임 윈도우들에 대해 입력 시퀀스의 변화들을 결정할 수 있다. 또한, ED(104b)은 각 타임 윈도우의 각 변화와 참조 값 사이의 차이를 계산하여 상대 변화 값을 계산한다. 상대 변화 값은 수학적 식 1, 2, 3을 이용하여 계산될 수 있다.

수학적 식 1

[0121]
$$V(k+1) - V_{ref}(k) > Th_{ED}$$

수학적 식 2

[0123]
$$V(k+2) - V_{ref}(k) > Th_{ED}$$

수학적 식 3

[0125]
$$V(k+3) - V_{ref}(k) > Th_{ED}$$

[0127] 위의 수학적 식에서, Th_{ED} 는 에너지 검출 임계값(energy detection threshold)를 의미하고, $V_{ref}(k)$ 는 k^{th} 에너지 검출 윈도우 내 변화에 대한 참조 값(reference value)을 의미한다.

[0128] 예를 들어, 연속적인 에너지 검출(sequential energy detection)에 대한 타임 버짓(time budget)은 (PHY 프리앰블 이내에서) 24 μ s(micro seconds)이다. Th_{ED} 의 적절한 값은 1.5 dB이다.

[0129] $V_{ref}(k)$ 는 자기 회귀 방식(auto-regressive manner)으로 계산될 수 있다.

[0130] 제1 타임 윈도우에서, $V_{ref}(1) = V(1)$ 이다. k^{th} 타임 윈도우에서,

$$V_{ref}(k) = 0.2 \times V(k) + 0.8 \times V_{ref}(k-1) \quad \text{이다. 여기서, } k > 1 \text{ 이다.}$$

[0131] 다만, PD(104c)이 프로세서(104a)에 의해 트리거되지 않는다면, 위에 상술된 (3개의 타임 윈도우들 동안) 연속적인 에너지 검출은 IEEE 802.15.4q 물리 계층 패킷에 의해 뒤따르는 노이즈와 BT/BLE/GFSK/WLAN 패킷에 의해 뒤따르는 노이즈 사이를 구별할 수 없다.

[0132] 단계(606a)에서, 방법(600a)는 신호 구간이 시작될 때, 입력 시퀀스의 이득을 동적으로 조정하는 단계를 포함한다. AGC(104e)는 신호 구간이 시작될 때 입력 시퀀스의 이득을 동적으로 조정한다.

[0133] 단계(608a)에서, 방법(600a)은 노이즈 구간에서 자기상관 함수의 제1 피크 자기상관 값을 계산하는 단계를 포함한다. PD(104c)이 노이즈 구간에서 자기상관 함수의 제1 피크 자기상관 값을 계산한다.

[0134] 예를 들어, 32 μs (예를 들어, $[t, t+32] \mu s$)에 걸쳐(spanning) ADC 출력 샘플들로 구성된 윈도우를 고려하자. $x(\tau)$ 은 시간 $\tau \mu s$ (micro seconds)에서 수신된 베이스밴드 신호를 의미한다고 하자. $x(\tau)$ 은 ADC로의 입력으로 주어지는 연속적인 시간 아날로그 신호(continuous time analog signal)일 수 있다. PD(104c)는 제1 부분 자기상관 함수(first partial autocorrelation function)를 계산할 수 있다.

수학식 4

$$\begin{aligned} R(t) = & \int_{\tau=t}^{t+1} x(\tau)x(\tau+2)d\tau + \int_{\tau=t+5}^{t+6} x(\tau)x(\tau+2)d\tau + \int_{\tau=t+8}^{t+9} x(\tau)x(\tau+2)d\tau \\ & + \int_{\tau=t+13}^{t+14} x(\tau)x(\tau+2)d\tau + \int_{\tau=t+16}^{t+17} x(\tau)x(\tau+2)d\tau \\ & + \int_{\tau=t+21}^{t+22} x(\tau)x(\tau+2)d\tau + \int_{\tau=t+24}^{t+25} x(\tau)x(\tau+2)d\tau \\ & + \int_{\tau=t+29}^{t+30} x(\tau)x(\tau+2)d\tau \end{aligned}$$

[0136]

[0138] ADC 샘플들 및 오버샘플링 비율(oversampling ratio(OSR)) 면에서, 수학식 4는 수학식 5와 같이 다시 쓰여질 수 있다.

수학식 5

$$R(nT_s) = \sum_{m \in S} \sum_{k=1}^{OSR} X[n+k+(m-1) \times OSR]X[n+k+(m+1) \times OSR]$$

[0140]

[0142] 수학식 5에서, T_s 는 ADC(102a)의 샘플링 구간을 의미하고, OSR은 오버샘플링 비율을 의미한다. 예를 들어, $T_s = 3 \mu s$ 및 OSR = 3이다.

[0143] $t \in [0, 64] \mu s$ 에 대한 함수 $R(t)$ 의 최고 값(maximum value)은 $(1/OSR) \mu s$ 마다 슬라이딩 타임 윈도우에 의해서 결정될 수 있다. 이에, 3개의 OSR 동안, 타임 윈도우는 $[0.33, 32] \mu s$ 에서 $[0.67, 32.33] \mu s$ 및 $[64.33, 96] \mu s$ 로 슬라이드된다. 슬라이드 듀레이션에 걸친 제1 피크 자기상관 함수 값은 참조 값 ρ 으로 저장된다. 이에, $\rho = \max_{t \in [0, 64] \mu s} R(t)$ 이다.

[0144] 단계(610a)에서, 방법(600a)은 포스트 노이즈 구간에서 자기상관 함수의 제2 피크 자기상관 값을 계산하는 단계를 포함한다. PD(104c)는 포스트 노이즈 구간에서 자기상관 함수의 제2 피크 자기상관 값을 계산한다. 예를 들어, 포스트 노이즈 구간은 신호 구간일 수 있다.

[0145] 예를 들어, t_r μs (micro seconds)는 프로세서(104a)가 PD(104c)를 트리거하는 시간으로 고려한다. ADC 출력 샘플들은 윈도우 $[t, t + 32] \mu s$ 에 걸쳐 버퍼되고, 샘플들은 대응하는 서브인터벌들로부터 추출된다. 부분 자기상관 함수 $R(t)$ 는 PD(104c)에 의해서 계산된다. 또한, 32 μs (micro seconds) 윈도우 $[t, t + 32] \mu s$ 는 $(1/OSR)\mu s = 0.33 \mu s$ 마다 64 μs (micro seconds)에 의해 오른쪽으로 슬라이드되고, 함수 $R(t)$ 의 제2 피크 자기상관 함수 값은 계산된다. 제2 피크 자기상관 값은 수학적 식 6을 이용하여 계산될 수 있다.

수학적 식 6

$$\sigma = \max_{t \in [t_r, t_r + 64] \mu s} R(t)$$

[0147]

[0149] 단계(612a)에서, 방법(600a)은 제1 피크 자기상관 값 ρ 에 대해 제2 피크 자기상관 값 σ 의 비가 미리 결정된 비를 초과하는지 여부를 결정하는 단계를 포함한다. PD(104c)는 제1 피크 자기상관 값 ρ 에 대해 제2 피크 자기상관 값 σ 의 비가 미리 결정된 비를 초과하는지 여부를 결정한다.

[0150] 단계(614a)에서, 방법(600a)은 포스트 노이즈 또는 신호 구간의 두 개의 연속적인(consecutive) 프리앰블들에 있는 연속적인(successive) 서브-인터벌들(sub-intervals)에서 자기상관 함수의 피크 타임들을 획득하는 단계를 포함한다. PD(104c)는 포스트 노이즈 또는 신호 구간의 두 개의 연속적인(consecutive) 프리앰블들에 있는 연속적인(successive) 서브-인터벌들(sub-intervals)에서 자기상관 함수의 피크 타임들을 획득한다.

[0151] 슬라이드 인터벌 $[t_r, t_r + 64] \mu s$ 은 각 8 μs (micro seconds)의 동일한 8 서브-인터벌들로 분할된다. 이에, 서브-인터벌들은 $[t_r, t_r + 8] \mu s$, $[t_r + 8, t_r + 16] \mu s$, $[t_r + 56, t_r + 64] \mu s$ 등이다. 또한, 모든 서브-인터벌에 대해, $R(t)$ 의 피크 및 대응하는 타임은 결정된다. 특히, 피크 타임들의 값들은 수학적 식 7, 8, 9를 이용하여 결정된다.

수학적 식 7

$$t_1^* = \operatorname{argmax}_{t \in (t_r, t_r + 8] \mu s} R(t)$$

[0153]

수학적 식 8

$$t_2^* = \operatorname{argmax}_{t \in (t_r + 8, t_r + 16] \mu s} R(t)$$

[0155]

수학식 9

$$t_8^* = \underset{t \in (t_r + 56, t_r + 64) \mu s}{\operatorname{argmax}} R(t)$$

[0157]

[0159] 단계(616a)에서, 방법(600a)은 피크 타임들 중에서 적어도 한쌍이 지터 허용오차(jitter tolerance)를 갖는 프리앰블의 듀레이션에 의해서 분리되는지 여부를 결정하는 단계를 포함한다. PD(104c)는 피크 타임들 중에서 적어도 한쌍이 지터 허용오차(jitter tolerance)를 갖는 프리앰블의 듀레이션에 의해서 분리되는지 여부를 결정한다.

다. 예를 들어, 결정은 모든 4번째 서브-인터벌에 대응하는 피크 타임들이 $(2 \times \text{OSR}/3)$ 샘플들($0.678 \mu s$ (micro seconds))의 지터 허용오차 이내 프리앰블 듀레이션($32 \mu s$ (micro seconds))에 의해서 분리되는지 여부를 확인하는 것으로 된다. 피크 타임들 면에서, 수학식 10, 11, 12, 13에서 주어지는 다음의 조건들은 검증된다.

수학식 10

$$(32 - 0.67) \mu s \leq t_5^* - t_1^* \leq (32 + 0.67) \mu s$$

[0161]

수학식 11

$$(32 - 0.67) \mu s \leq t_6^* - t_2^* \leq (32 + 0.67) \mu s$$

[0163]

수학식 12

$$(32 - 0.67) \mu s \leq t_7^* - t_3^* \leq (32 + 0.67) \mu s$$

[0165]

수학식 13

$$(32 - 0.67) \mu s \leq t_8^* - t_4^* \leq (32 + 0.67) \mu s$$

[0167]

[0169] 단계(618a)에서, 방법(600a)는 피크 타임들의 시퀀스 내 아웃라이어들(outliers)을 확인하는 단계를 포함한다. PD(104c)는 피크 타임들의 시퀀스 내 아웃라이어들을 확인한다. $8 \mu s$ (micro seconds) 슬라이드 윈도우의 레프트 에지(left edge)와 관련하여 모든 피크 타임 t_k^* 은 수학식 14, 15, 16으로 조정된다.

수학식 14

$$\tau_1^* = t_1^* - t_r$$

[0171]

수학식 15

[0173]
$$\tau_2^* = t_2^* - (t_r + 8)$$

수학식 16

[0175]
$$\tau_8^* = t_8^* - (t_r + 56)$$

[0177] 상대 피크 타임들의 언-새니타이즈된 시퀀스(un-sanitized sequence)는 수학식 17과 같을 수 있다.

수학식 17

[0179]
$$G_u = (\tau_1^*, \tau_2^*, \dots, \tau_8^*)$$

[0181] 단계(620a)에서, 방법(600a)은 두 개 이상의 피크 타임들이 아웃라이어들인지 여부를 결정하는 단계를 포함한다. PD(104c)는 두 개 이상의 피크 타임들이 아웃라이어들인지 여부를 결정한다.

[0182] 단계(622a)에서, 방법(600a)은 피크 타임들의 시퀀스 내 최대 두개의 아웃라이어들을 제거하여 새니타이즈된 피크 타임들을 획득하는 단계를 포함한다. PD(104c)는 피크 타임들의 시퀀스 내 최대 두개의 아웃라이어들을 제거하여 새니타이즈된 피크 타임들을 획득한다.

[0183] τ_m^* 을 시퀀스 G_u 의 중간 값(median value)을 의미한다고 간주하자. 상대 피크 타임 τ_k^* 이 2 μ s(micro seconds) 이상으로 중간 값 τ_m^* 과 다른 경우, 피크 타임은 아웃라이어로 정의되고 제거되어야 한다. 특히, 상대 피크 타임의 새니타이즈된 시퀀스는 아래의 수학식 18에 따라 구성된다.

수학식 18

[0185]
$$G_s = (\tau_k^* : \tau_k^* \in G_u \text{ and } |\tau_k^* - \tau_m^*| \leq 2 \mu s; k = 1, \dots, 8)$$

[0187] 단계(624a)에서, 방법(600a)은 연속적인 새니타이즈된 피크 타임들의 각 쌍이 허용오차(error tolerance)를 갖는 프리앰블의 듀레이션의 미리 결정된 프랙션(fraction)에 의해서 분리되는지 여부를 결정하는 단계를 포함한다. PD(104c)은 연속적인 새니타이즈된 피크 타임들의 각 쌍이 허용오차를 갖는 프리앰블의 듀레이션의 미리 결정된 프랙션에 의해서 분리되는지 여부를 결정한다.

[0188] 새니타이즈된 시퀀스 G_s 내 상대 피크 타임들의 값들은 상대 피크 타임들이 서로 상당히(reasonably) 가까운지 여부를 결정하기 위해 검사된다. 재인덱싱(re-indexing)은 상대 피크 타임들의 값들에 수행되고, G_s 은 수학식 19를 이용하여 나타낼 수 있다.

수학식 19

[0190]
$$G_s = (\tau_{k_1}^*, \tau_{k_2}^*, \dots, \tau_{k_N}^*) \text{ where } N \leq 8$$

[0192] 예를 들어, $G_s = (\tau_2^*, \tau_3^*, \tau_5^*, \tau_7^*)$ 인 경우, $k_1 = 2, k_2 = 3, k_3 = 5$ 및 $k_4 = 7$ 이다. 연속적인 타임들(successive times)이 $1 \mu s$ (micro seconds)의 error tolerance 내에 있는지 여부는 확인된다. 특히, 다음의 결정들은 수학적 20, 21, 및 22으로 수행된다.

수학적 20

[0194]
$$|\tau_{k_2}^* - \tau_{k_1}^*| \leq 1 \mu s$$

수학적 21

[0196]
$$|\tau_{k_3}^* - \tau_{k_2}^*| \leq 1 \mu s$$

수학적 22

[0198]
$$|\tau_{k_N}^* - \tau_{k_{N-1}}^*| \leq 1 \mu s$$

[0200] 단계(626a)에서, 방법(600a)은 복수의 패킷들로부터 의도된 패킷을 구별하는 단계를 포함한다. PD(104c)는 복수의 의도된 패킷들로부터 의도된 패킷을 구별한다. 위의 조건들 모두가 만족된 경우, 파인 체크는 패스하고, PD(104c)는 IEEE 802.15.4q 널-코히런트 프리앰블이 확실하게 검출되었다고 선언한다.

[0202] 도 6b는 복수의 패킷들로부터 의도된 패킷을 구별하기 위한 다양한 컴퍼넌트들을 시퀀싱하는(sequencing) 방법의 일 예를 설명하기 위한 흐름도이다.

[0203] 단계(602b)에서, 방법(600b)은 RFIC(102)로부터 입력 시퀀스를 수신하는 단계를 포함한다. 프로세서(104a)는 RFIC(102)로부터 입력 시퀀스를 수신한다. 입력 시퀀스는 복수의 프리앰블들 및 데이터를 포함한다.

[0204] 단계(604b)에서, 방법(600b)은 입력 시퀀스 내 노이즈 구간부터 신호 구간까지 트랜지션을 검출하는 단계를 포함한다. ED(104b)는 노이즈 구간부터 신호 구간까지 트랜지션을 검출한다.

[0205] 단계(606b)에서, 방법(600b)은 신호 구간이 시작될 때 입력 시퀀스의 이득을 동적으로 조정하는 단계를 포함한다. AGC(104e)는 신호 구간이 시작될 때 입력 시퀀스의 이득을 동적으로 조정한다.

[0206] 단계(608b)에서, 방법(600b)은 복수의 프리앰블 내에서 수신된 복수의 패킷들로부터 의도된 패킷을 구별하는 단계를 포함한다. PD(104c)는 복수의 프리앰블들 내에서 수신된 복수의 패킷들로부터 의도된 패킷을 구별한다.

[0208] 도 6c는 복수의 패킷들로부터 의도된 패킷을 구별하기 위한 다양한 유닛들을 시퀀싱하는 방법의 다른 예를 설명하기 위한 흐름도이다.

[0209] 다양한 컴퍼넌트들(또는 유닛들)이 복수의 패킷들로부터 의도된 패킷을 구별하기 위해 동작 가능하게 되는 시간 인스턴스들(time instances)은 도 5 a에 도시되고, 이하에서는 컴퍼넌트들의 시퀀싱(sequencing)이 설명된다.

[0210] 단계(602c)에서, 방법(600c)은 노이즈 구간에서 자기상관 함수의 제1 피크 자기상관 값을 계산하는 단계를 포함한다. PD(104c)는 노이즈 구간에서 자기상관 함수의 제1 피크 자기상관 값을 계산한다.

[0211] 단계(604c)에서, 방법(600c)은 노이즈 구간 및 신호 구간 내 동일한 듀레이션(equal duration)의 타임 윈도우들에 대해 입력 시퀀스의 변화들을 계산하는 단계를 포함한다. ED(104b)는 노이즈 구간 및 신호 구간 내 동일한 듀레이션(equal duration)의 타임 윈도우들에 대해 입력 시퀀스의 변화들을 계산한다.

[0212] 단계(606c)에서, 방법(600c)은 각 타임 윈도우의 각 변화와 참조 값 사이의 차이(difference)를 계산하여 상대 변화 값을 계산하는 단계를 포함한다. ED(104b)는 각 타임 윈도우의 각 변화와 참조 값 사이의 차이를 계산하

여 상대 변화 값을 계산한다.

- [0213] 단계(608c)에서, 방법(600c)은 상대 변화 값이 연속적인 타임 윈도우들의 미리 결정된 수에 대한 미리 결정된 임계값을 초과하는지 여부를 결정하는 단계를 포함한다. ED(104b)는 상대 변화 값이 연속적인 타임 윈도우들의 미리 결정된 수에 대한 미리 결정된 임계값을 초과하는지 여부를 결정한다.
- [0214] 단계(610c)에서, 방법(600c)은 신호 구간이 시작된 때 입력 시퀀스의 이득을 동적으로 조정하는 단계를 포함한다. AGC(104e)는 신호 구간이 시작된 때 입력 시퀀스의 이득을 동적으로 조정하도록 허용한다.
- [0215] 단계(612c)에서, 방법(600c)은 복수의 프리앰블들 내에서 수신된 복수의 패킷들로부터 의도된 패킷을 구별하는 단계를 포함한다. PD(104c)는 복수의 프리앰블들 내에서 수신된 복수의 패킷들로부터 의도된 패킷을 구별한다.
- [0217] 도 6d는 복수의 패킷들로부터 의도된 패킷을 구별하기 위한 다양한 유닛들을 시퀀싱하는 방법의 또 다른 예를 설명하기 위한 흐름도이다.
- [0218] 단계(602d)에서, 방법(600d)은 노이즈 구간에서 입력 시퀀스의 언노운 오프셋 전압 값들을 동적으로 추정하고, 보상하는 단계를 포함한다. DCOC(102b)는 노이즈 구간에서 입력 시퀀스의 언노운 오프셋 전압 값들을 동적으로 추정하고 보상한다. 노이즈 구간에서, DCOE(104d) 및 PD(104c)은 계산들을 수행하기 위해 동작 가능하게 된다. 도 5b에 도시된 바와 같이, DCOE(104d)은 0과 12 μ s(micro seconds) 사이에서 동작 가능하고, PD(104c)은 12 μ s(micro seconds)에서 108 μ s(micro seconds)까지(예를 들어, 96 μ s(micro seconds) 동안) 동작 가능하다.
- [0219] DCOC(102b)은 12 및 1000 μ s(micro seconds)사이의 노이즈 구간에서 입력 시퀀스의 언노운 오프셋 전압 값들 B_I 및 B_Q 을 동적으로 보상할 수 있다.
- [0220] 단계(604d)에서, 방법(600d)은 노이즈 구간 내 자기상관 함수의 제1 피크 자기상관 값을 계산하는 단계를 포함한다. PD(104c)는 노이즈 구간 내 자기상관 함수의 제1 피크 자기상관 값을 계산한다. PD(104c)는 12 μ s(micro seconds) 및 108 μ s(micro seconds) 사이의 노이즈 구간에서 자기상관 함수의 제1 피크 자기상관 값 계산할 수 있다. 노이즈 구간에서 자기상관 함수의 계산된 제1 피크 자기상관 값은 (포스트 노이즈 구간 동안 예) 미래에 사용하기 위해 PD(104c) 안에 저장된다.
- [0221] 단계(606d)에서, 방법(600d)은 노이즈 구간 및 신호 구간 내 동일한 지속시간의 타임 윈도우들에 대해 입력 시퀀스의 변화들을 계산하는 단계를 포함한다. ED(104b)는 노이즈 구간 및 신호 구간 내 동일한 지속시간의 타임 윈도우들에 대해 입력 시퀀스의 변화들을 계산한다. ED(104b)는 108 μ s(micro seconds)로부터 1024 μ s(micro seconds)까지 동작 가능하다. ED(104b)는 노이즈 구간 및 신호 구간 내 동일한 지속시간의 타임 윈도우들에 대해 입력 시퀀스의 변화들을 계산할 수 있다.
- [0222] 단계(608d)에서, 방법(600d)은 각 타임 윈도우의 각 변화와 참조 값(reference value) 사이의 차이(difference)를 계산하여 상대 변화 값(relative variance value)을 계산하는 단계를 포함한다. ED(104b)는 각 타임 윈도우의 각 변화와 참조 값(reference value) 사이의 차이(difference)를 계산하여 상대 변화 값(relative variance value)을 계산한다. ED(104b)는 노이즈 구간과 신호 구간 내 각 타임 윈도우의 각 변화와 참조 값(reference value) 사이의 차이(difference)를 계산하여 상대 변화 값(relative variance value)을 계산할 수 있다.
- [0223] 단계(610d)에서, 방법(600d)은 상대 변화 값이 연속적인 타임 윈도우들의 미리 결정된 수에 대한 미리 결정된 임계값을 초과하는지 여부를 결정하는 단계를 포함한다. ED(104b)는 상대 변화 값이 연속적인 타임 윈도우들의 미리 결정된 수에 대한 미리 결정된 임계값을 초과하는지 여부를 결정한다.
- [0224] 단계(612d)에서, 방법(600d)은 신호 구간이 시작된 때 입력 시퀀스의 이득을 동적으로 조정하는 단계를 포함한다. AGC(104e)는 신호 구간이 시작된 때 입력 시퀀스의 이득을 동적으로 조정한다. AGC(104e)는 1024 μ s(micro seconds)에서 1056 μ s(micro seconds)까지 동작 가능하다.
- [0225] 단계(614d)에서, 방법(600d)은 신호 구간 내 입력 시퀀스의 언노운 오프셋 전압 값들을 동적으로 추정하고, 보상하는 단계를 포함한다. DCOE(104d)는 신호 구간 내 입력 시퀀스의 언노운 오프셋 전압 값들을 동적으로 추정하고, 보상한다. DCOE(104d)은 1056 μ s(micro seconds)에서 1080 μ s(micro seconds)까지(예를 들어, 24 μ s(micro seconds) 동안) 동작 가능하다. 신호 구간에서, DCOC(102b)은 1080 micro seconds에서 패킷 끝까지 언노운 오프셋 값들을 보상한다.

[0226] 단계(616d)에서, 방법(600d)은 복수의 프리앰블들 내에서 수신된 복수의 패킷들로부터 의도된 패킷을 구별하는 단계를 포함한다. PD(104c)는 복수의 프리앰블들 내에서 수신된 복수의 패킷들로부터 의도된 패킷을 구별한다. PD(104c)은 1080 μ s(micro seconds)에서 1176 μ s(micro seconds)까지 패킷 검출을 위해 동작 가능하다. 신호 구간 동안, PD(104c)은 복수의 패킷들로부터 의도된 패킷(예를 들어, IEEE 802.15.4q 물리 계층 패킷)을 구별할 수 있다. 도 5b로부터, PD(104c)는 복수의 패킷들로부터 의도된 패킷을 구별하기 위해 3개의 프리앰블(예를 들어, 96 μ s(micro seconds))을 이용할 수 있다.

[0228] 도 7은 난-코히런트 프리앰블 시퀀스의 부분 자기상관(partial autocorrelation)을 나타내는 그래프이다.

[0229] 802.15.4q 물리 계층 패킷에 존재하는 기본 32-칩 터너리 프리앰블 시퀀스는 다음과 같다.

수학식 23

$$T_0 = [10-100-10-1, 10100-101, 10100-101, -10100101]$$

[0233] 다만, 난-코히런트 수신에 있어, 이진 프리앰블 시퀀스만이 고려된다. 이진 시퀀스만이 고려될 때, B_0 은 다음과 같다.

수학식 24

$$B_0 = [10100101, 10100101, 10100101, 10100101]$$

[0237] $B_0 = [A, A, A, A]$ 라고 하자. 여기서, $A = [10100101]$ 는 난-코히런트 프리앰블 B_0 을 구성하는 8 μ s(micro seconds) 서브-프리앰블이다. B_k 은 오른쪽으로 k 요소들 순환적 시프트된 시퀀스 B_0 를 나타낸다. 예를 들어, B_2 는 다음과 같다.

수학식 25

$$B_2 = [01101001, 01101001, 01101001, 01101001]$$

[0241] 이진 프리앰블 시퀀스 B_0 를 위해, "특수 용어(special terms)"는 오른쪽에 있는 두 개의 위치의 항(terms) 곱할 때, 단일 값을 산출하는 용어로 정의된다. 대응하는 "특수 인덱스 세트"는 다음과 같다.

수학식 26

$$S = \{1, 6, 9, 14, 17, 22, 25, 30\}$$

[0245] PD(104c)은 들어오는 물리 계층 패킷이 IEEE 802.15.4q 물리 계층 패킷인지 여부를 결정한다. PD(104c)이 들어오는 물리 계층 패킷이 IEEE 802.15.4q 물리 계층 패킷이라고 결정한 경우, PD(104c)은 난-코히런트 프리앰블 B_0 의 시작 인덱스(starting index)를 결정해야만 한다.

[0246] PD 유닛(104c)은 ADC(102a)로부터 수신된 입력 시퀀스의 자기상관 값을 계산한다(두 칩들의 오른쪽 쉬프트 크기를 갖는 "특별한 인덱스들(special indices)"에서). 시퀀스 B_k 에 대해, 승가산(sum of products, 또는 곱들의 합)은 수학식 27과 같이 계산된다.

수학식 27

$$\eta = B_k(1)B_k(3) + B_k(6)B_k(8) + B_k(9)B_k(11) + B_k(14)B_k(16) \\ + B_k(17)B_k(19) + B_k(22)B_k(24) + B_k(25)B_k(27) \\ + B_k(30)B_k(32)$$

[0248]

[0250] 여기서, $B_k(m) \in \{0,1\}$ 은 이진 프리앰블 시퀀스 B_k 의 m^{th} 항(term)을 의미한다. 수량(quantity) η 은 "부분 자기상관 함수(partial autocorrelation function)"로 지칭된다. 위의 η 의 계산은 8 칩들의 주기성(periodicity, 8 μs (micro seconds)와 동등함)으로 피크들을 보인다. 자기상관의 피크 값은 도 7에 도시된 B_1 , B_3 와 같은 순환 쉬프트들의 다른 값들이 아닌 B_0 , B_8 , B_{16} , B_{24} 에 대해 발생한다.

[0252] 도 8a 내지 도 8c는 노이즈 구간 및 포스트 노이즈 구간 동안 에너지 검출을 나타내는 그래프이다.

[0253] 노이즈 및 신호 구간 동안 ED(104b)의 제어 신호 출력은 도 8a에 도시된 바와 같다.

[0254] 도 8a에서, x축은 μs (micro seconds) 시간 't'에 대응하고, y축은 ED_SUCCESS의 값에 대응한다. 도 8a로부터, ED_SUCCESS는 인터벌 [0, 1200] μs (micro seconds) 동안 5 회(five times) 하이(로직 "1")임을 알아야 한다.

[0255] 시간에 대하여 대응하는 상대 변화(corresponding relative variance)는 도 8b에 도시된 바와 같다. 여기서, $V(k+m) - V_{ref}(k)$ 이다. k^{th} ED 윈도우는 시간 인터벌 $[(k-1)T, kT]$ 에 대응함을 알아야 한다. 여기서, $T = 8 \mu s$ 는 ED 윈도우의 듀레이션이다. 에너지 검출 임계값(energy detection threshold)은 $Th_{ED} = 1.5 \text{ dB}$ 이다.

[0256] 예를 들어, 888 μs (micro seconds)부터 920 μs (micro seconds)까지 ED(104b)의 동작이 설명된다. 이 시간 인터벌 동안 상대 변화는 도 8c로부터 명확하게 관찰될 수 있다. ED 윈도우 [888, 896] μs 동안, $V_{ref}(k)$ 의 값은 -12.97 dBm 이다. ED(104b)의 FSM은 상태(ED_COMPUTE_VAR)에 있다. 이에, 상대 변화는 2.00 dB 이고, 도 8c에 또한 도시된 바와 같다. 상대 변화가 1.5 dB 의 ED 임계값을 초과하기 때문에, ED(104b)의 FSM은 ED_HIGH_1로 트랜지션한다. 다음 ED 윈도우 [904, 912] μs 동안, $V(k+2) = -10.85 \text{ dBm}$ 이다. 상대 변화는 ED 임계값을 초과하는 2.12 dB 이다. 이에, ED(104b)의 FSM은 ED_HIGH_2로 트랜지션한다. 다음(subsequent) ED 윈도우 [912, 920] μs 동안, $V(k+3) = -11.07 \text{ dBm}$ 이다. 1.90 dB 의 상대 변화는 또 ED 임계 값을 초과한다. ED(104b)의 FSM은 ED_END로 트랜지션하고, 출력 제어 신호(ED_SUCCESS)는 하이(로직 "1")로 설정된다. 또한, 프로세서(104a)는 시간 $920 \mu s$ 에서 AGC(104e)를 트리거한다.

[0258] 도 8d 내지 도 8i는 노이즈 구간 및 포스트 노이즈 구간 동안 패킷 검출을 나타내는 그래프이다.

[0259] IEEE 802.15.4q 난-코히런트 프리앰블 검출의 효율(efficacy)의 예시가 제공된다. 802.15.4q PHY 수신된 신호에 의해 노이즈 인터벌의 1000 μs (micro seconds)이 따라오는 시나리오를 생각할 수 있다. BB 모듈레이션 스킴은 13 dB의 SNR을 갖는 1/ TASK (데이터 레이트 D1)이다.

- [0260] 초기 노이즈 구간 $[0, 96] \mu s$ 동안 PD(104c)의 출력은 도 8d에 도시된 바와 같다. x 축은 윈도우 왼쪽 엣지(window left edge) t에 대응되고, y축은 부분 자기상관 함수 R(t)의 값에 대응한다. $32 \mu s$ 윈도우 $64 \mu s$ 만큼 슬라이딩 후에, R(t)의 피크 값은 $\rho = 9.32 \times 10^{-7}$ 이다. 이것은 코어스 체크(coarse check)를 위한 참조 값(reference value)으로 저장된다. 출력 제어 신호들은 PD_NOI_DONE = 1 및 PD_SIG_DONE = 0이다.
- [0261] "포스트 노이즈 구간" 동안, PD(104c)은 프로세서(104a)에 의해 $tr=160 \mu s$ 에서 트리거된다. $t[160,224] \mu s$ 에 대한 R(t)의 플롯은 도 8e에 도시된 바와 같다. 그 피크 값은 $\sigma = 9.61 \times 10^{-7}$ 이다. $\mu \mu < 2$ 이기 때문에, 기본 체크(예를 들어, ratio condition)가 실패하고, IEEE 802.15.4q 패킷은 검출되지 않는다. μ 가 μ 보다 크기 때문에, 참조 값은 $\rho = 9.61 \times 10^{-7}$ 까지 증가된다. 출력 제어 신호들은 PD_SIG_DONE = 1 및 PD_SUCCESS = 0이다. 프로세서(104a)은 ED(104b)을 트리거한다.
- [0262] PD(104c)은 프로세서(104a)에 의해 $tr=320 \mu s$ 에서 트리거된다. $t[320,384] \mu s$ 에 대해 R(t)의 플롯은 도 8f에 도시된 바와 같다. 피크 값은 $\sigma = 1.35 \times 10^{-6}$ 이다. $\mu \mu < 2$ 이기 때문에, 기본 체크는 실패다. μ 가 μ 보다 크기 때문에, $\rho = 1.35 \times 10^{-6}$ 은 업데이트되고, IEEE 802.15.4q 패킷은 검출되지 않는다. 출력 제어 신호들은 PD_SIG_DONE = 1 및 PD_SUCCESS = 0이다. ED 유닛(104b)은 프로세서 유닛(104a)에 의해서 활성화된다.
- [0263] PD(104c)은 프로세서(104a)에 의해서 $tr=520 \mu s$ 에서 3회 트리거된다. 도 8g 내 자기 상관 vs 슬라이드 윈도우 왼쪽 엣지 t의 플롯에서, 피크 값은 $\sigma = 1.12 \times 10^{-6}$ 이다. $\mu \mu < 2$ 이기 때문에, 기본 체크는 실패다. μ 가 μ 보다 크기 때문에, μ 의 값을 업데이트할 필요는 없다. 출력 제어 신호들은 PD_SIG_DONE = 1 및 PD_SUCCESS = 0이다. 프로세서(104a)은 ED(104b)을 트리거한다.
- [0264] 이후에, PD(104b)은 프로세서(104a)에 의해서 $tr=952 \mu s$ 에서 트리거된다. 도 8h는 $t[952,1116] \mu s$ 에 대해 자기상관 R(t)의 플롯을 나타낸다. 피크 AC 값은 $\sigma = 1.65 \times 10^{-3}$ 이다. $\sigma/\rho > 2$ 이기 때문에, 기본 체크는 통과되고, 코어스 체크는 수행된다. 슬라이드 인터벌은 $8 \mu s$ 의 동일한 8개의 서브-인터벌들, 예를 들어, $[952,960] \mu s$, $[960,968] \mu s$, 등등, $[1108,1116] \mu s$ 까지 분할된다. 이 서브-인터벌들 동안, 각각의 피크 타임들은 $t_1^* = 953 \mu s$, $t_2^* = 961 \mu s$, $t_3^* = 974.67 \mu s$, $t_4^* = 980 \mu s$, $t_5^* = 988 \mu s$, $t_6^* = 996 \mu s$, $t_7^* = 1004 \mu s$, $t_8^* = 1012 \mu s$ 로 획득된다. $31.33 \mu s \leq t_8^* - t_4^* \leq 32.67 \mu s$ 이기 때문에, 코어스 체크는 통과되고, 방법은 아웃라이어 체크를 실행한다. 이를 위해, 상대 피크 타임들(relative peak times)의 초기 시퀀스는 $G_u = (\tau_1^*, \tau_2^*, \dots, \tau_8^*) = (1, 1, 6.67, 4, 4, 4, 4, 4) \mu s$ 로 획득된다. 중앙 값(median value)은 $\tau_m^* = 4 \mu s$ 이다. 잔존 세 개의 값들은 $2 \mu s$ 이상만큼 중앙 값으로부터 상이하기 때문에, 상대 피크 타임들의 새니타이즈된 시퀀스는 $G_s = (4, 4, 4, 4, 4) \mu s$ 이다. 두 개의 아웃라이어들이 이상이 발견되었기 때문에, 아웃라이어 체크는 실패다. IEEE 802.15.4q PHY 패킷은 아직 검출되지 않았다. 출력 제어 신호들은 PD_SIG_DONE = 1 및 PD_SUCCESS = 0이다. ED(104b)은 프로세서(104a)에 의해서 또한 트리거된다.
- [0265] PD(104c)은 프로세서(104a)에 의해서 $tr=1104 \mu s$ 에서 트리거된다. 도 8i는 $t[1104,1168] \mu s$ 에 대해 자기상관 R(t)의 플롯을 나타낸다. 피크 값은 $\sigma = 1.5 \times 10^{-3}$ 이다. $\sigma/\rho > 2$ 이기 때문에, 기본 체크는 클리어되고, 코어스 체크는 결정된다. $8 \mu s$ 의 8개의 서브-인터벌들로 분할한 후, 피크 타임들의 시퀀스는 $(t_1^*, t_2^*, \dots, t_8^*) = (1108, 1116, 1124, 1132, 1140, 1148, 1156, 1164) \mu s$ 이다.

- [0266] $t_5^* - t_1^* = 32 \mu s$ 이기 때문에, 코어스 체크는 통과하고, 아웃라이어 체크 스테이지가 실행된다. 상대 피크 타임들의 초기 시퀀스는 $G_u = (\tau_1^*, \tau_2^*, \dots, \tau_8^*) = (4, 4, 4, 4, 4, 4, 4, 4) \mu s$ 이다. 모든 값들이 동일하기 때문에, 아웃라이어는 없고, 새니타이즈된 시퀀스는 초기 시퀀스와 동일하다. 즉, $G_s = (4, 4, 4, 4, 4, 4, 4, 4) \mu s$ 이다. 아웃라이어 체크가 통과하고, 파인 체크가 수행된다. 사소하게, G_s 내 연속적인 상대 피크 타임들(successive relative peak times) 모두는 각각의 $1 \mu s$ 내이다. 이에, 파인 체크는 통과한다. 이에, IEEE 802.15.4q 난-코히런트 프리앰블(물리 계층 패킷)은 검출된다. 출력 제어 신호들은 PD_SIG_DONE = 1 및 PD_SUCCESS = 1이다.
- [0268] 도 9는 난-코드된(non-coded) IEEE 802.15.4q 물리 계층 패킷을 갖는 슬라이딩 IF 난-코히런트 수신기의 베이스밴드 SNR 성능으로 패킷 에러율(packet error rate)의 변화(variation)을 나타내는 그래프이다.
- [0269] 턴-온된 외부 수신기 방법들(ED, PD, AGC 및 DCOC)을 갖고 다양한 데이터 레이트들에 대해 SNR 성능을 가진 PER은 측정된다. 도 9의 그래프는 FEC 및 패킷의 PSDU 부분(portion)에 인터리빙 없이 성능을 나타낸다.
- [0271] 도 10은 코드된(coded) IEEE 802.15.4q 물리 계층 패킷을 갖는 슬라이딩 IF 난-코히런트 수신기의 베이스밴드 SNR 성능으로 패킷 에러율(packet error rate)의 변화(variation)을 나타내는 그래프이다.
- [0272] 1% PER에 대해 대응하는 감도 값들(sensitivity values)은 표 3에 리스트 되어 있다. 데이터 레이트 D1에 대한 수신기 감도는 기존 시스템들(existing systems) 내 결과에 일치하는 13.9 dB이다. 예상대로, PSDU 확산 계수(spreading factor)의 높은 값(higher value)은 수신기 감도의 낮은 값(lower value)을 유도한다(또는 초래한다). 또한, FEC 및 인터리빙은 5/32 TASK를 제외하고 대략 3 dB 정도 감도를 향상시킨다.

표 3

Baseband MCS	BB receiver sensitivity at 1% PER (dB)	
	Without FEC and Interleaving	With FEC and Interleaving
1/1 TASK	13.9	9.8
2/4 TASK	11.5	8.1
3/8 TASK	8.1	5.5
5/32 TASK	3.8	3.7

- [0274]
- [0276] 도 11은 방해와 설계된 신호들 사이에 다양한 주파수 분리(frequency separation)에 대한 신호 대 간섭 비(signal to interference ratio)로 패킷 에러율의 플롯(plot)의 변화를 나타내는 그래프이다.
- [0277] PER 및 SIR의 변화(variation)는 ACI(Adjacent channel interference) 및 ALCI(Alternate channel interference) 제거율(rejection ratios)을 결정하기 위해 스윙한다. ACI는 의도된 신호의 중심 주파수로부터 5 MHz 떨어진 간섭으로 정의된다. 이에, 80 MHz의 신호 중심 주파수에 대해, ACI는 75 MHz 또는 85 MHz의 중심 주파수를 갖을 수 있다. ALCI는 신호 중심 주파수로부터 10 MHz 떨어진 간섭으로 정의된다. 그래서, 80 MHz의 신호 중심 주파수에 대응할 때, ALCI는 70 MHz 또는 90 MHz 중심 주파수에서 일 수 있다.
- [0278] 주어진 데이터 레이트, 신호 전력의 고정된 값에 대해 최대 허용 간섭 전력(maximum tolerable interference power)을 정량화하기 위해, 신호 전력의 고정된 값은 (표 4에 나타난 바와 같이) 수신기 BB 감도 보다 3dB 높게 취해진다. 이에, ACI 또는 ALCI 제거율(rejection ratio)을 결정하기 위해, SNR은 고정되고, SIR은 PER이 1% 아래로 갈 때까지 증가한다. 제거율은 PER vs. SIR 스윙 내 PER이 1% 이하로 진행되는 SIR 값의 음수(negative)로 정의된다.

표 4

Baseband MCS	Receiver sensitivity at 1% PER (dB)	
	Without FEC and Interleaving	With FEC and Interleaving
1/1 TASK	13.9	9.8
2/4 TASK	11.5	8.1
3/8 TASK	8.1	5.5
5/32 TASK	3.8	3.7

[0280]

[0282]

도 11은 데이터 레이트 D2(2/4 TASK)에 대해 ACI 및 ALCI 성능을 나타낸다. 원하는 신호(desired signal)는 수신기 안테나에서 20dB의 SNR을 갖는다. 데이터 레이트 D6(5/32 TASK)를 갖는 원하지 않는 간섭 신호는 수신기 안테나에서 원하는 신호보다 높은 전력을 갖는다. 신호로부터 -5 MHz 떨어진 ACI에 대해, 간섭(interferer)의 중심 주파수는 75 MHz로 설정된다. 또한, SIR의 낮은 값(예를 들어, -100 dB)으로부터, PER이 1% 이하로 내려갈 때까지 SIR를 증가시킨다. 또한, SIR이 더욱 증가될 때에도, PER은 1% 아래로 유지해야 한다. 도 11로부터, ACI는 75 MHz에서일 때, PER은 SIR -28 dB에서 1% 아래로 간다. 이것은 75 MHz 간섭 중심 주파수(interferer center frequency)에 대해 제거 율은 28 dB라는 것을 의미한다. 유사하게, 85 MHz 간섭 중심 주파수(interferer center frequency)에 대해 제거 율은 57 dB이다. ACI 제거 율은 이 값들의 최소 값(minimum), 예를 들어 28 dB인 것으로 간주된다. 유사 인자에 기초하여, ALCI 제거 율은 최소 (76, 93)에 의해 주어진다. 76 dB이다.

[0284]

실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상술된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0286]

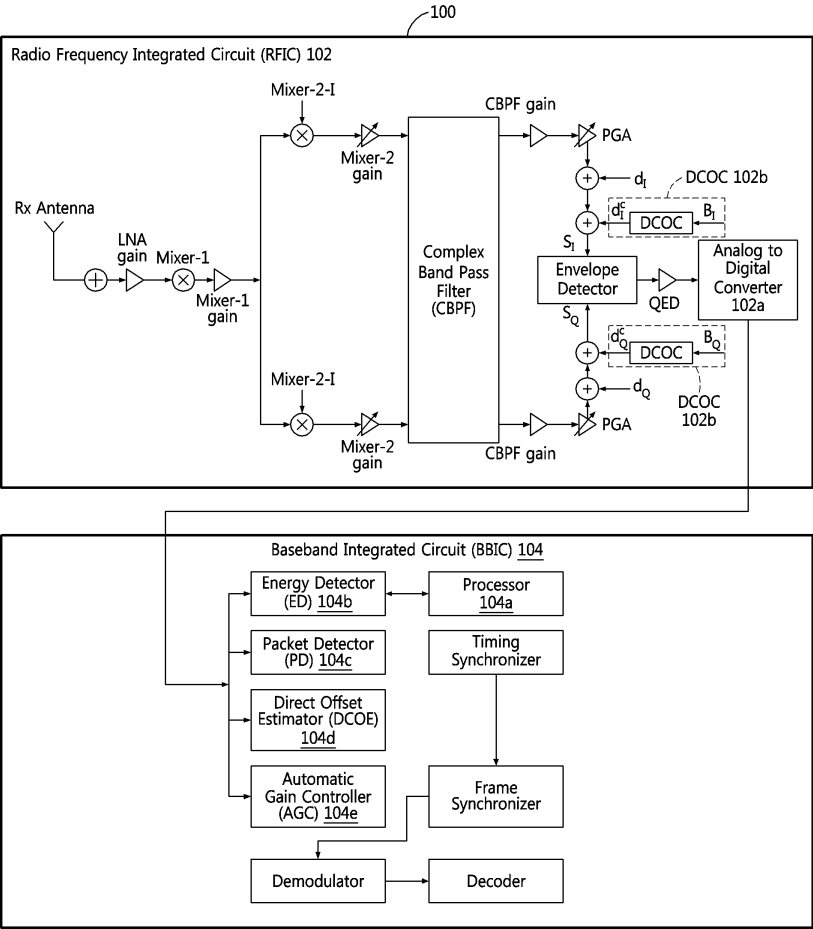
이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술 분야에서 통상의 지식을 가진 자라면 상기를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0288]

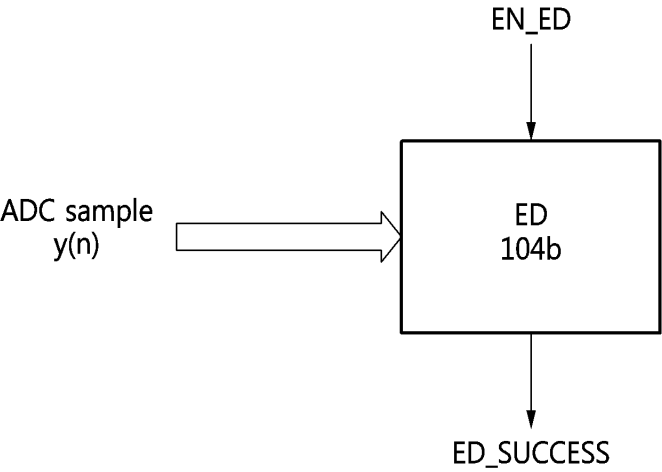
그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

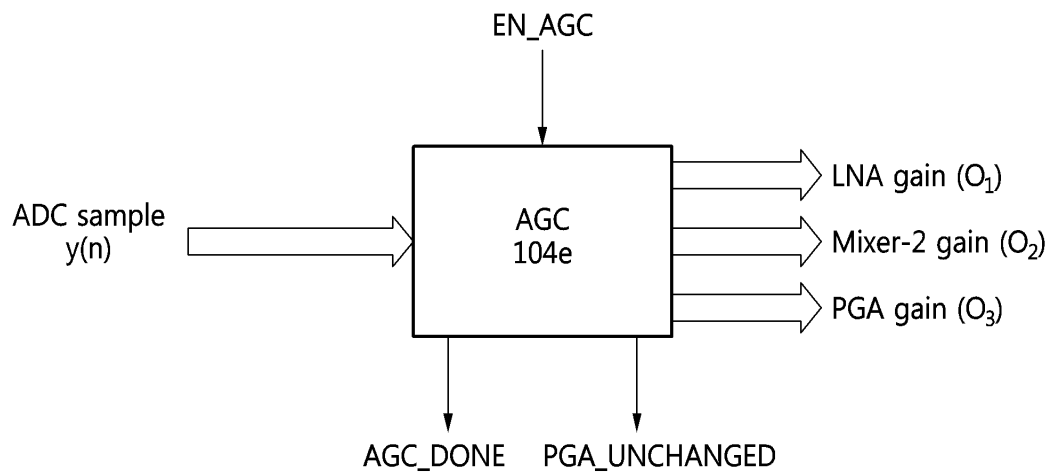
도면1



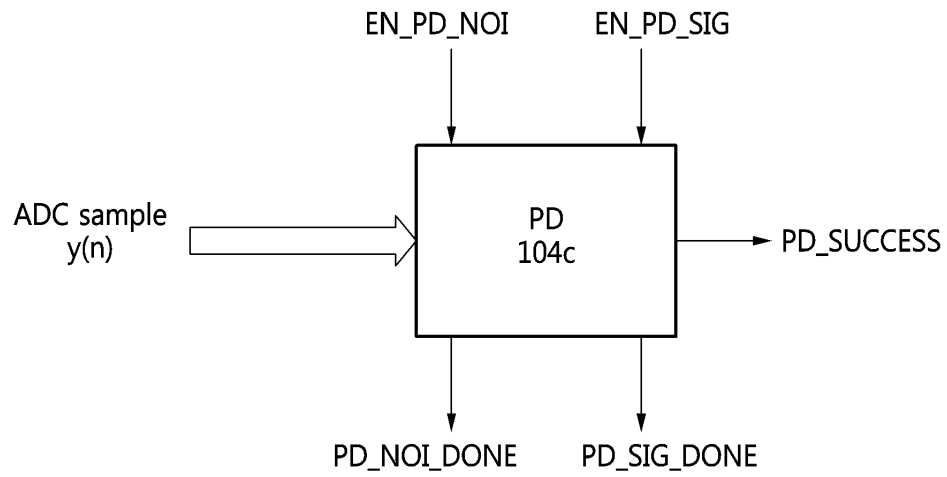
도면2a



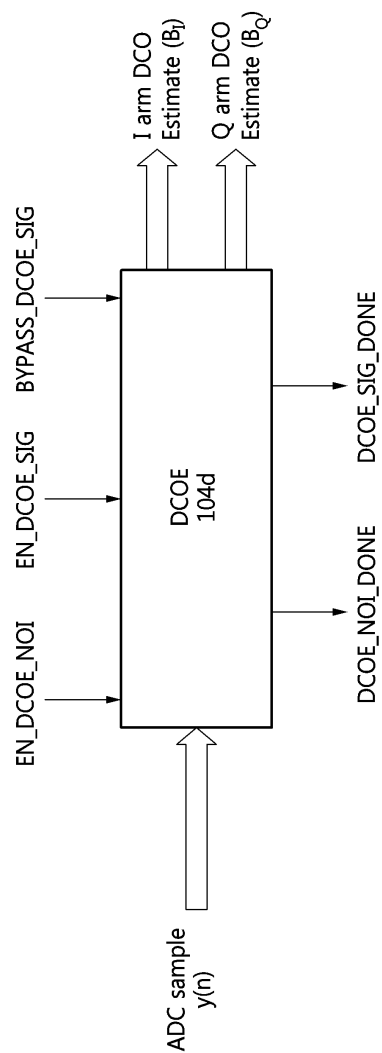
도면2b



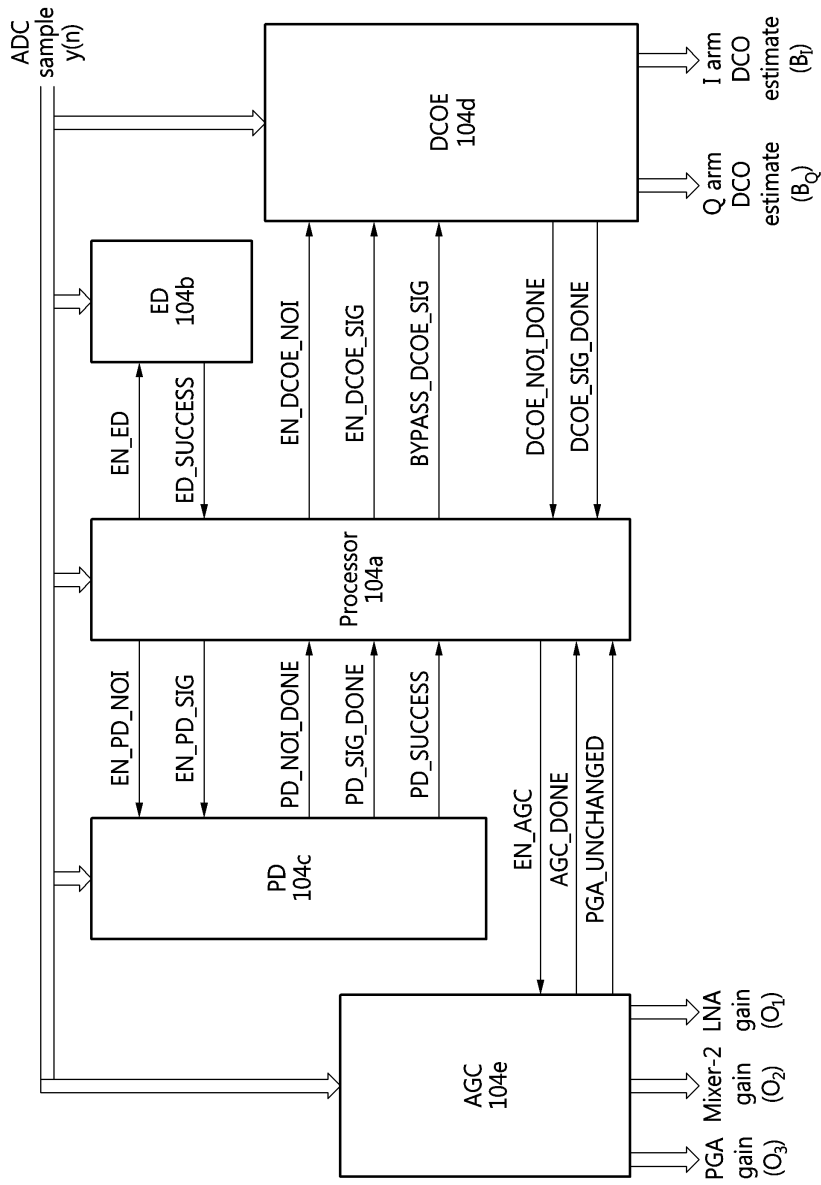
도면2c



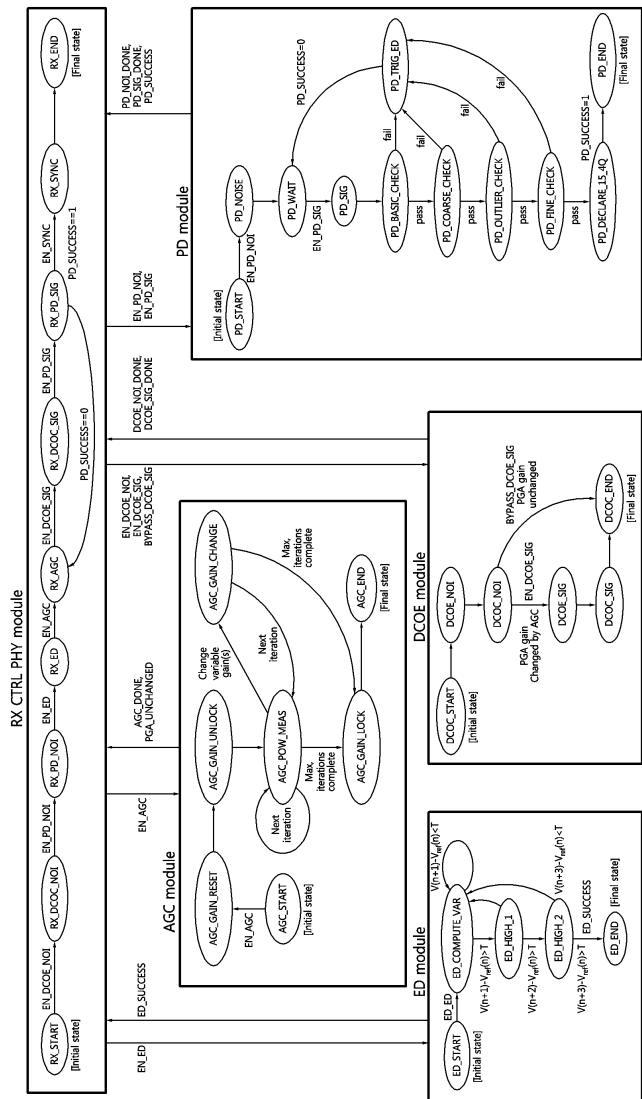
도면2d



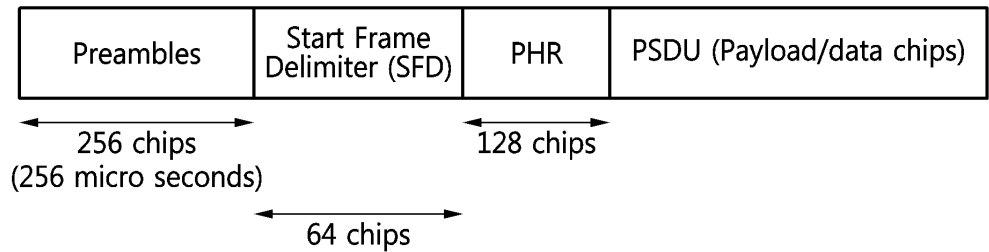
도면3a



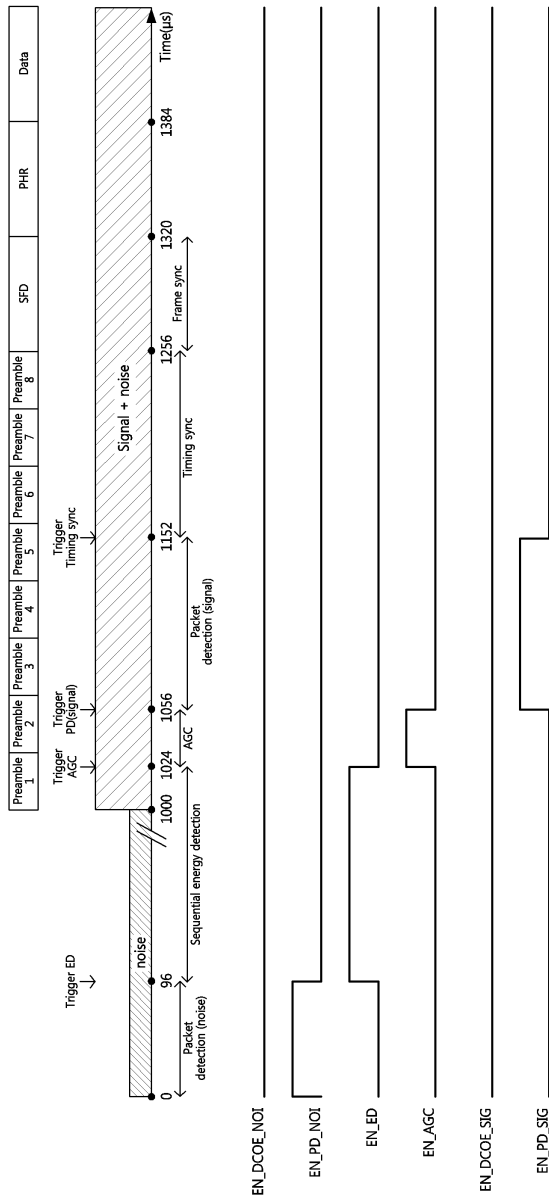
도면3b



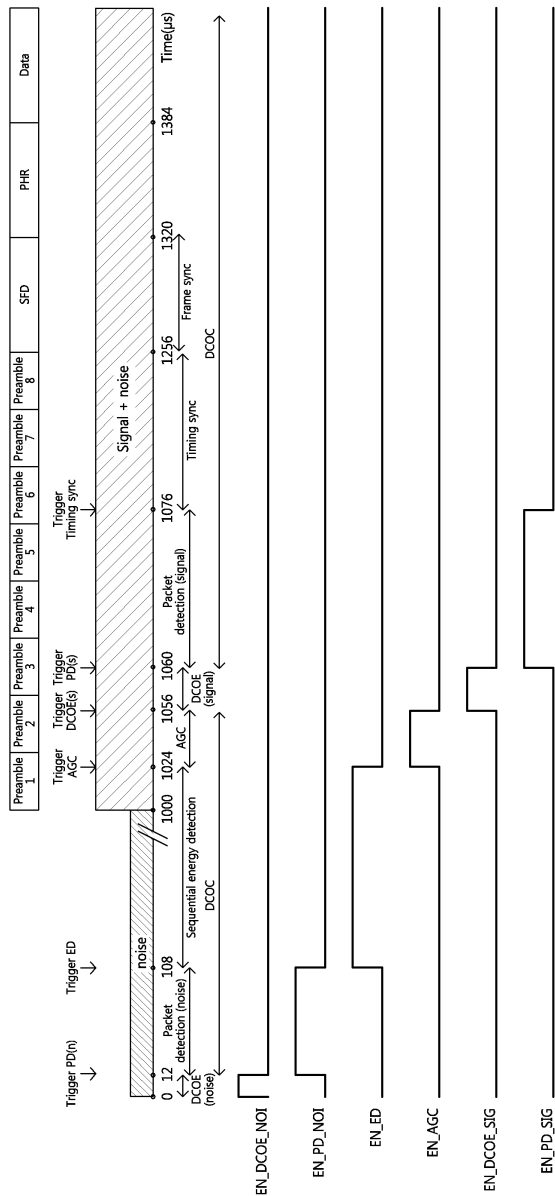
도면4



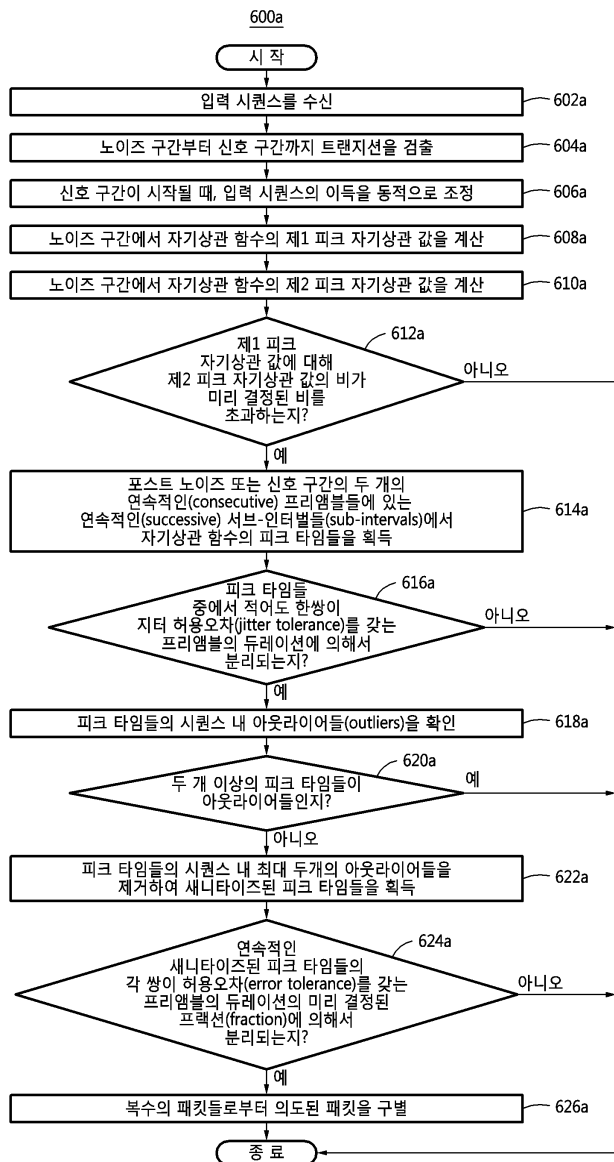
도면5a



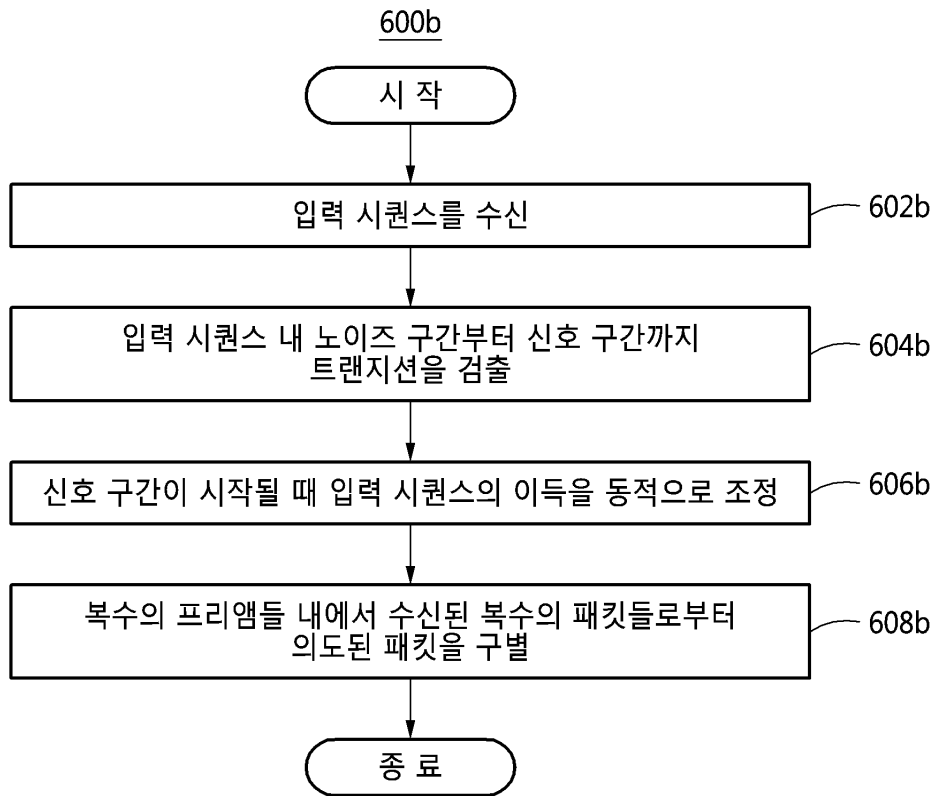
도면5b



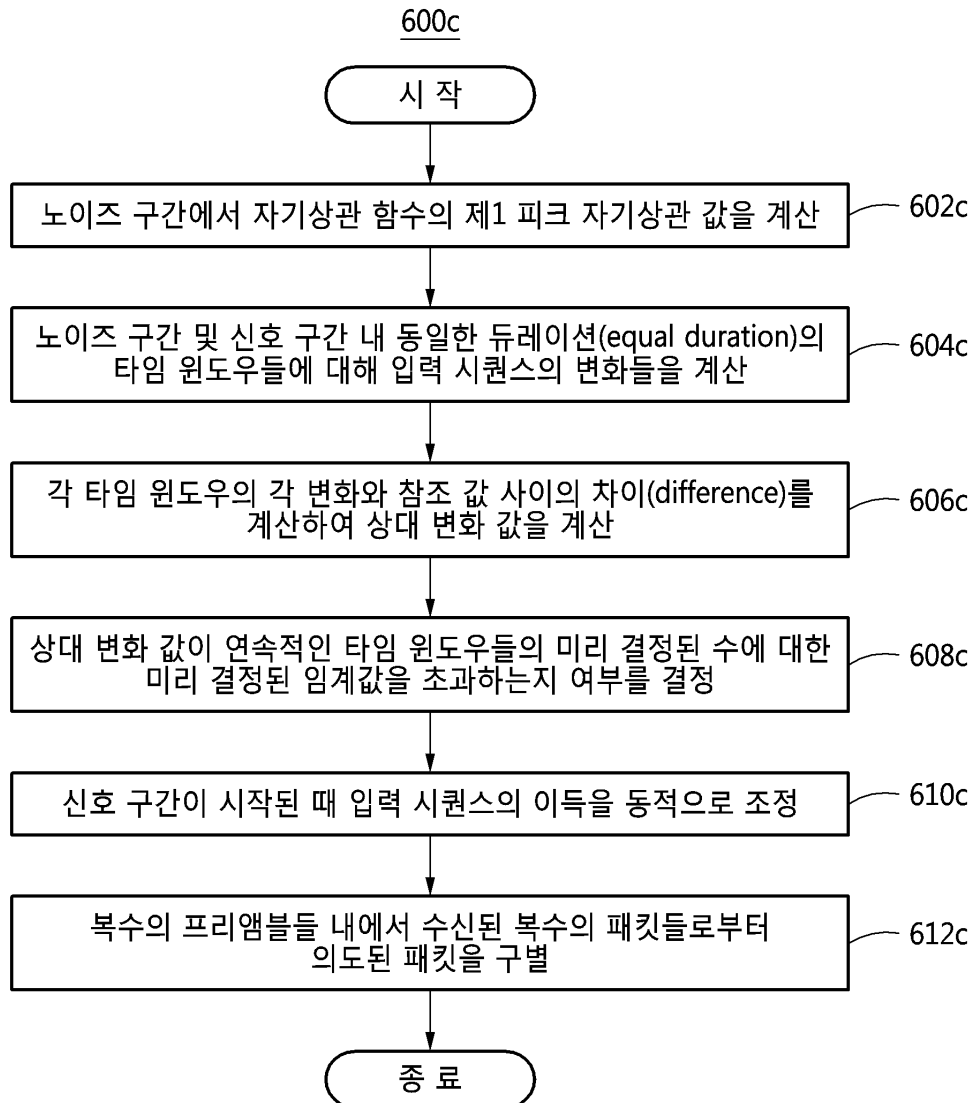
도면6a



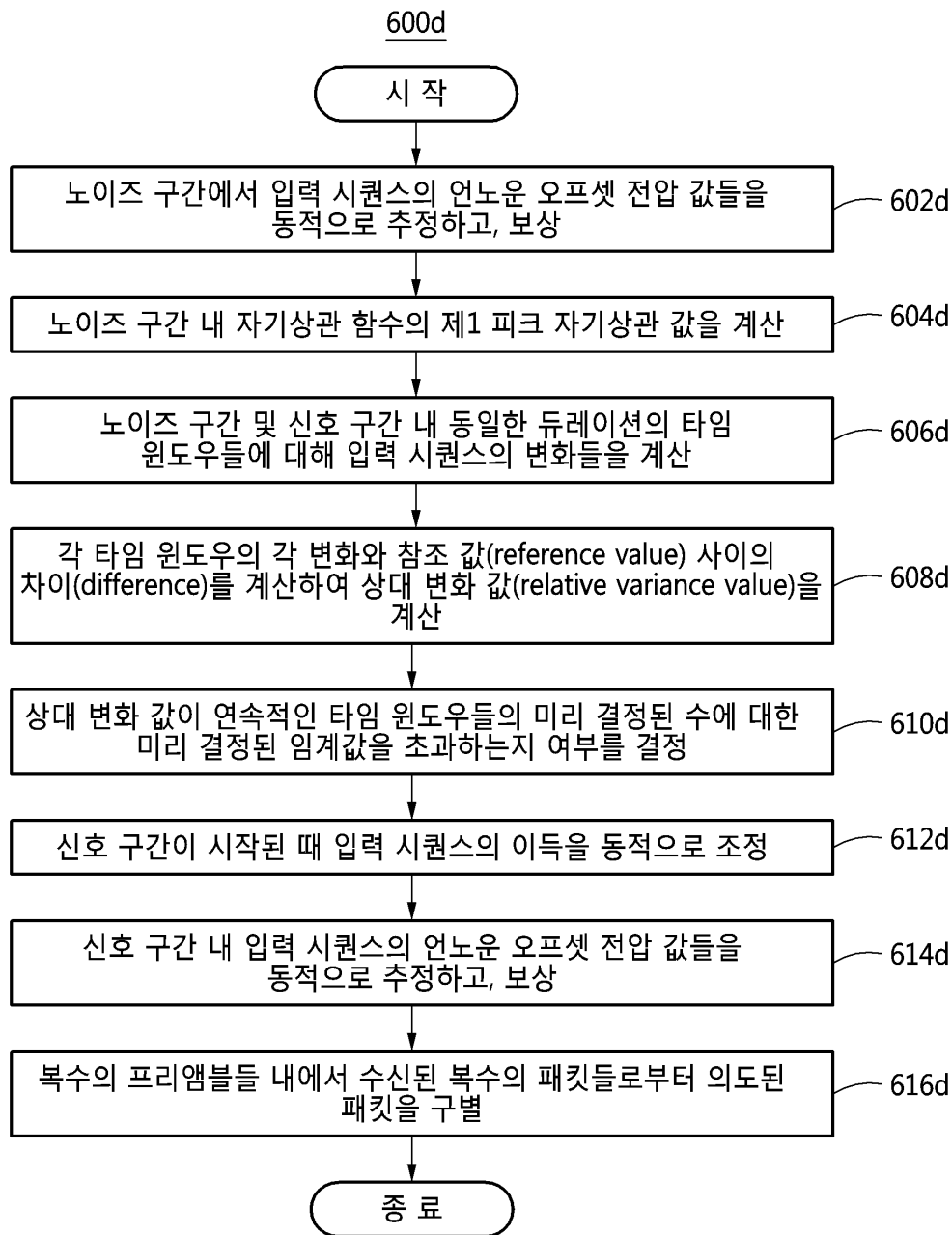
도면 6b



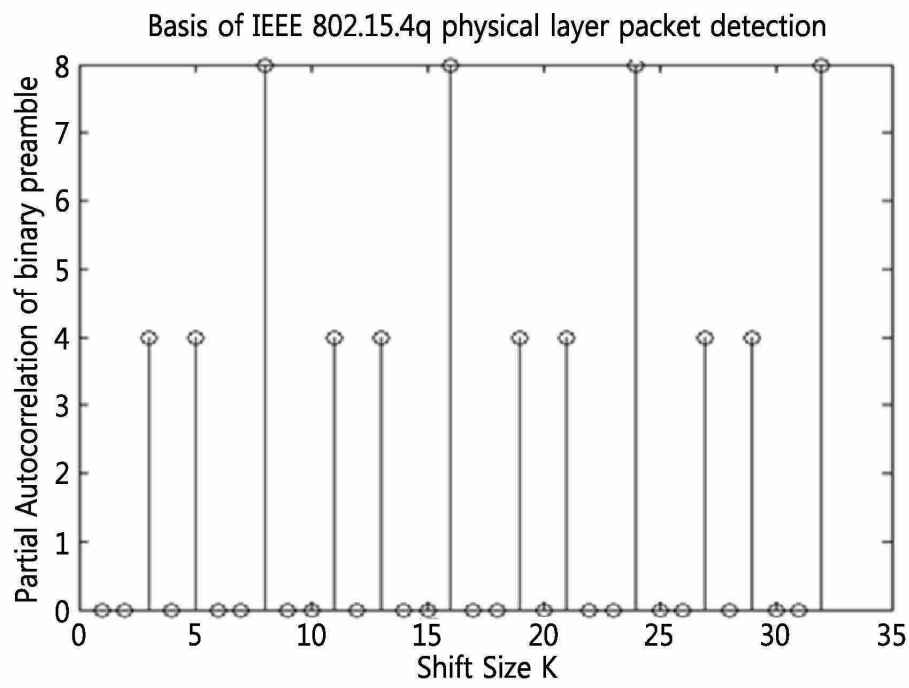
도면6c



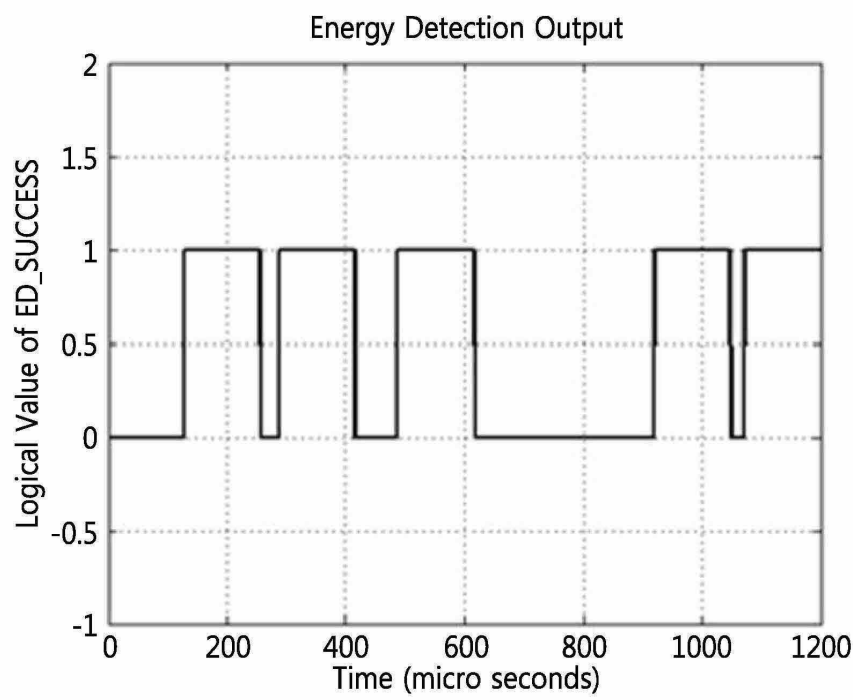
도면6d



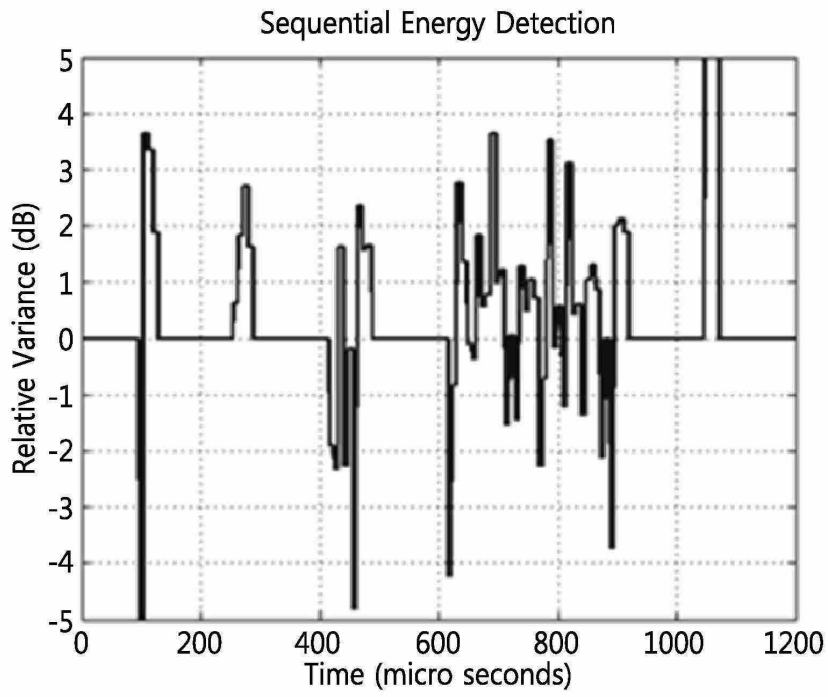
도면7



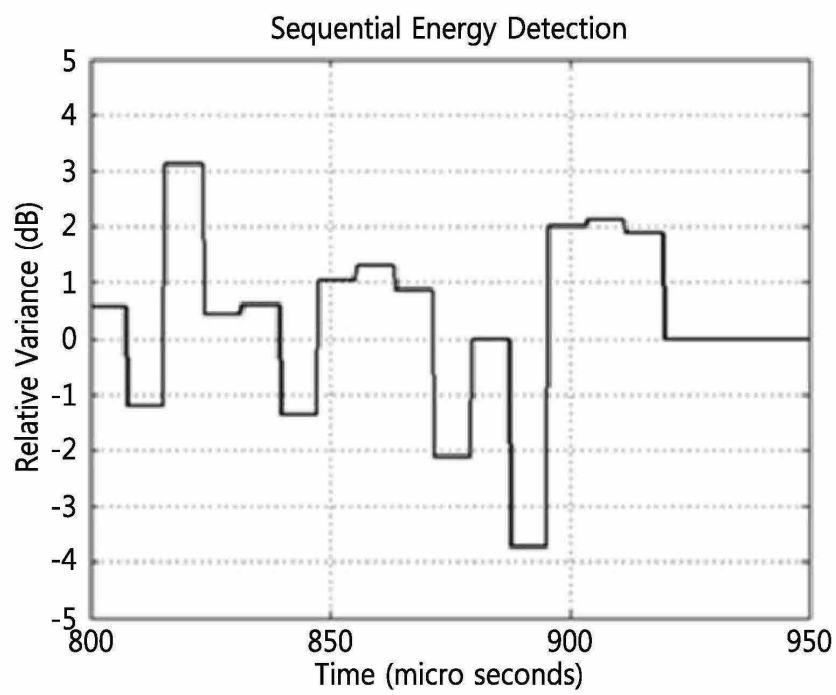
도면8a



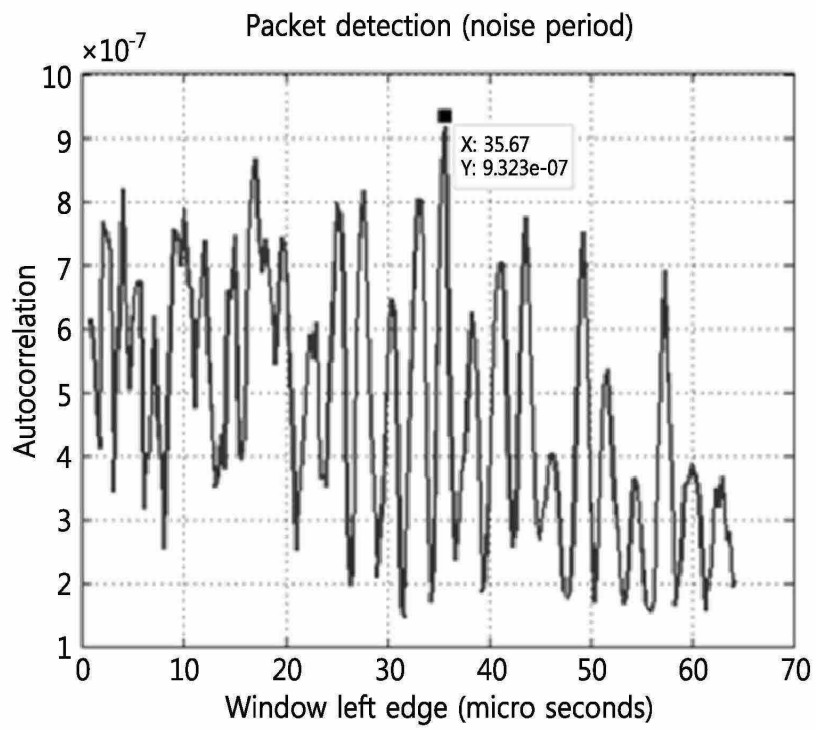
도면8b



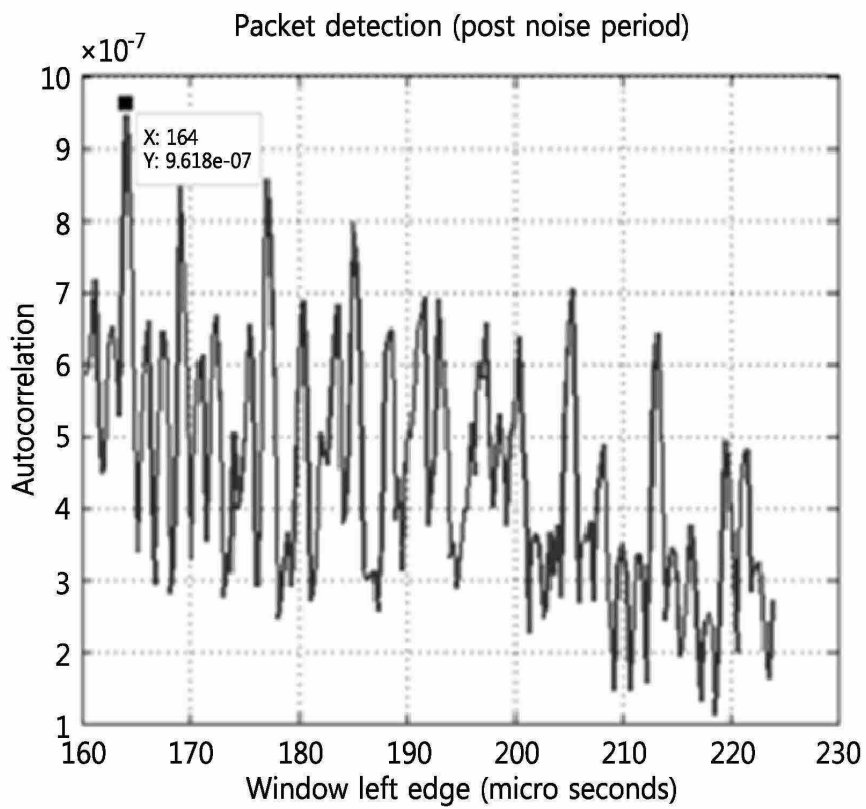
도면8c



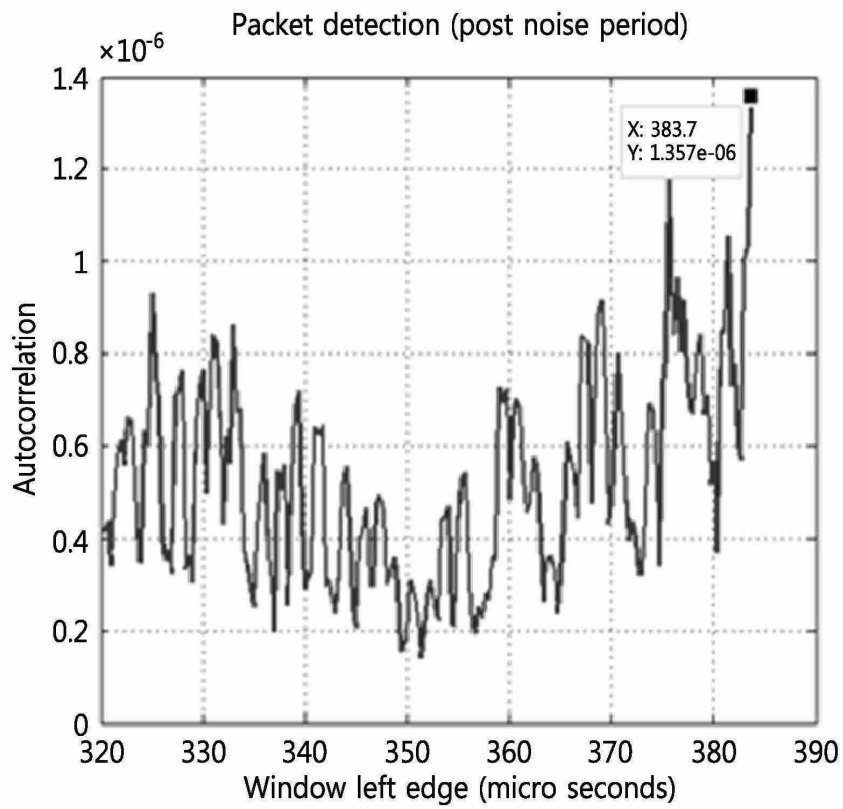
도면8d



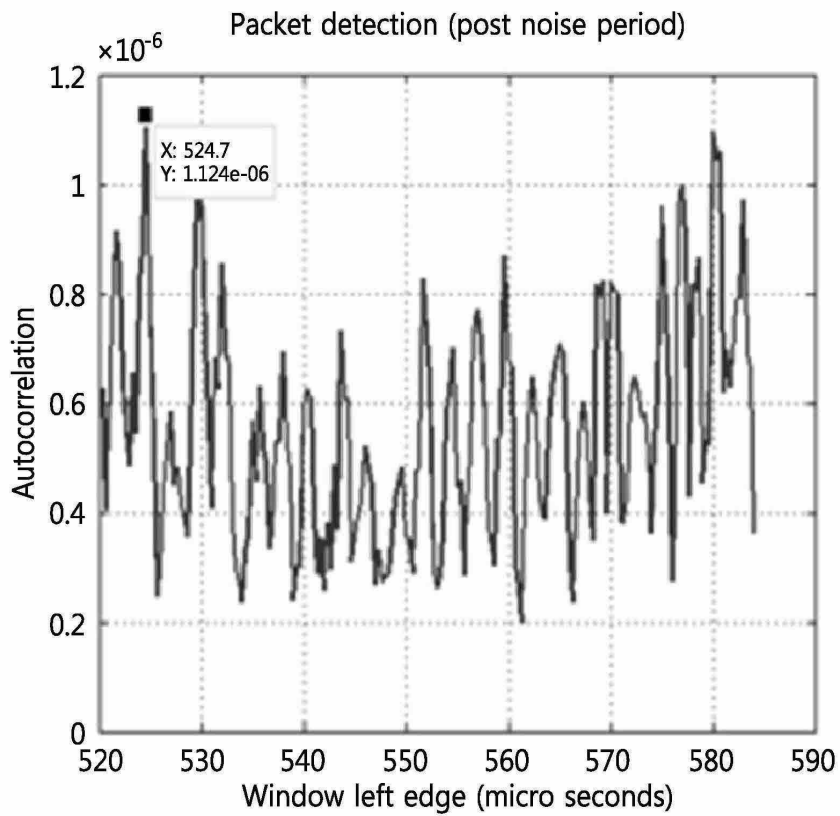
도면8e



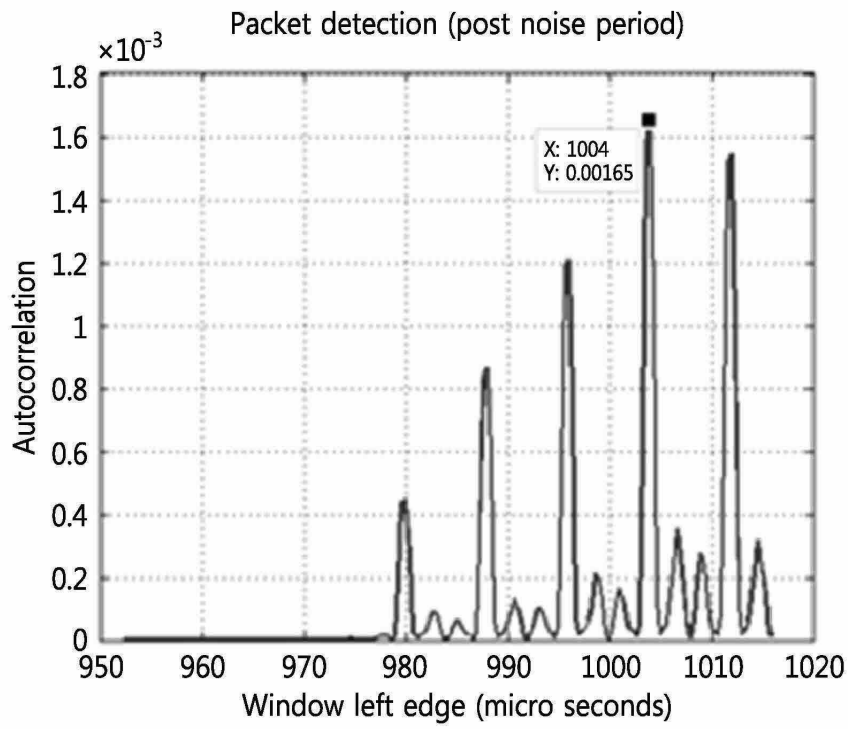
도면8f



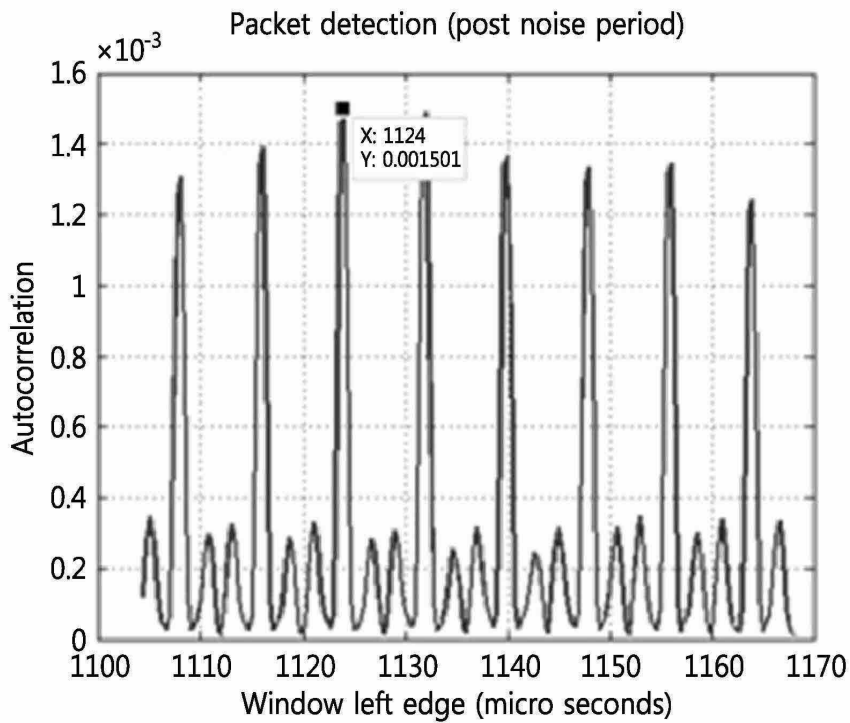
도면8g



도면8h

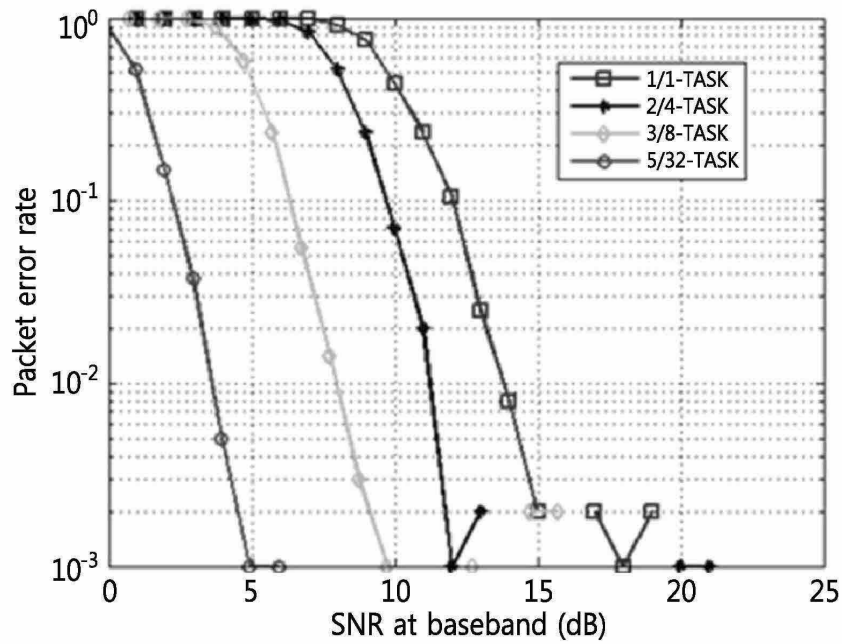


도면8i



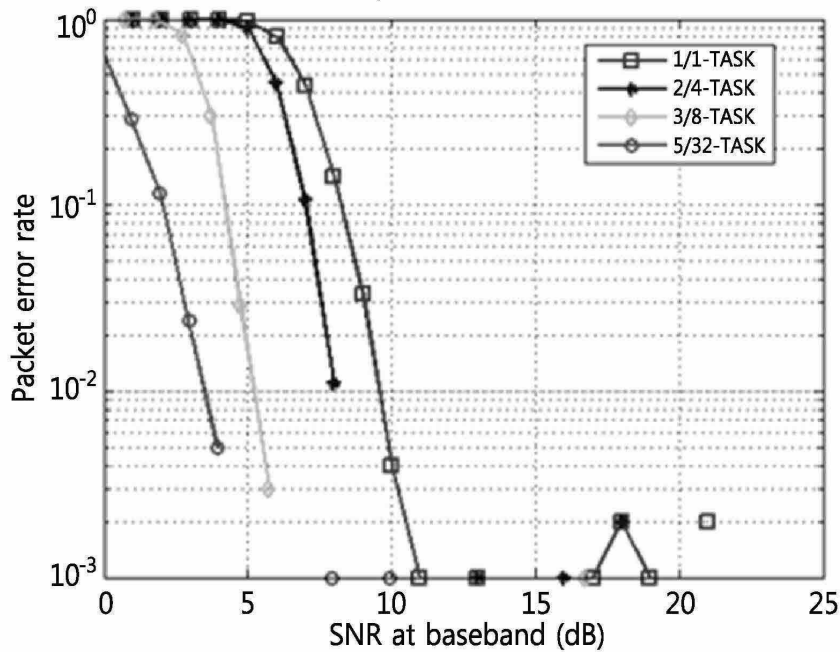
도면9

SIF Non-Coherent Sync : Practical, FEC : off, AGC : on, DCO : On
DCOC : on, PSDU bits = 256, packet = 1000, Noise = 1000 micro seconds



도면10

SIF Non-Coherent Sync : Practical, FEC : BCH, DCO : on AGC : on,
DCOC : on, PSDU bits = 256, packet = 1000, Noise = 1000 micro seconds



도면11

