



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월04일  
(11) 등록번호 10-2187117  
(24) 등록일자 2020년11월30일

(51) 국제특허분류(Int. Cl.)  
H01R 24/58 (2011.01) H04R 3/00 (2006.01)  
(21) 출원번호 10-2014-0100934  
(22) 출원일자 2014년08월06일  
심사청구일자 2019년05월07일  
(65) 공개번호 10-2015-0017314  
(43) 공개일자 2015년02월16일  
(30) 우선권주장  
61/862,569 2013년08월06일 미국(US)  
(56) 선행기술조사문헌  
US20070147640 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
페어차일드 세미컨덕터 코포레이션  
미국 85008 아리조나주 피닉스 이스트 맥도웰 로  
드 5005  
(72) 발명자  
프렌티스 세스 엠.  
미국 04210 메인주 어번 파우날 로드 337  
(74) 대리인  
유미특허법인

전체 청구항 수 : 총 14 항

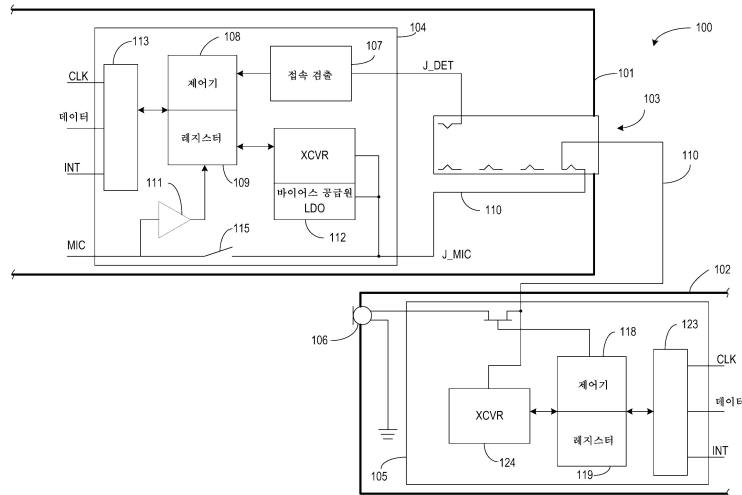
심사관 : 위재우

(54) 발명의 명칭 오디오 잭 시스템

(57) 요약

본 출원은 마스터 장치 및 오디오 잭 커넥터를 통해 마스터 장치에 결합된 슬레이브 장치를 포함할 수 있는 시스템에 대해 논의한다. 일례에서, 마스터 장치 및 슬레이브 장치는 디지털 통신 프로토콜을 이용하여 오디오 잭 커넥터의 단일 도전성 경로를 통해 정보를 교환하도록 구성될 수 있다. 단일 도전성 경로는 오디오 트랜스듀서의 오디오 신호들을 전달하도록 구성될 수 있으며, 슬레이브 장치는 제1 상태에서 오디오 트랜스듀서 및 단일 도전성 경로를 포함하는 회로를 완성하고 제2 상태에서 단일 도전성 경로로부터 오디오 트랜스듀서를 격리하기 위한 공핍 모드 트랜지스터를 포함할 수 있다.

대표도 - 도1



## 명세서

### 청구범위

#### 청구항 1

시스템으로서,

마스터 장치; 및

오디오 잭 커넥터를 통해 상기 마스터 장치에 결합된 슬레이브 장치를 포함하며,

상기 마스터 장치 및 상기 슬레이브 장치는 디지털 통신 프로토콜을 이용하여 상기 오디오 잭 커넥터의 단일 도전성 경로를 통해 정보를 교환하도록 구성되고,

상기 단일 도전성 경로는 오디오 트랜스듀서의 오디오 신호들을 전달하도록 구성되고,

상기 슬레이브 장치는, 비급전, 디폴트 상태인 제1 상태에서 상기 오디오 트랜스듀서 및 상기 단일 도전성 경로를 포함하는 회로를 완성하고 제2 상태에서 상기 단일 도전성 경로로부터 상기 오디오 트랜스듀서를 격리하도록 구성된 공핍 모드(depletion-mode) 트랜지스터를 포함하는, 시스템.

#### 청구항 2

제1항에 있어서, 상기 오디오 트랜스듀서는 마이크를 포함하고,

상기 단일 도전성 경로는 상기 마이크에 의해 제공되는 오디오 신호들을 전달하도록 구성되는, 시스템.

#### 청구항 3

제1항에 있어서, 상기 마스터 장치는 제1 상태 및 제2 상태를 갖는 마이크 트랜지스터를 포함하고, 상기 마이크 트랜지스터는 상기 제1 상태에서 상기 마스터 장치의 오디오 입력을 상기 단일 도전성 경로와 결합시키고 상기 제2 상태에서 상기 단일 도전성 경로로부터 상기 마스터 장치의 상기 오디오 입력을 격리하도록 구성되는, 시스템.

#### 청구항 4

제1항에 있어서, 상기 마스터 장치는,

바이어스 소스;

상기 바이어스 소스를 이용하여 상기 단일 도전성 경로에 바이어스 전압을 제공하도록 구성되는 바이어스 저항기; 및

바이패스 상태를 갖는 바이패스 트랜지스터를 포함하고,

상기 바이패스 트랜지스터는 상기 바이패스 상태에서 상기 바이어스 저항기를 바이패스하고, 상기 바이패스 상태에서 상기 바이어스 소스를 상기 단일 도전성 경로에 직접 결합하도록 구성되는, 시스템.

#### 청구항 5

제1항에 있어서, 상기 마스터 장치는 제1의 멀티-마스터 멀티-슬레이브 싱글-엔드형(single-ended) 직렬 컴퓨터 버스 인터페이스를 포함하고,

상기 슬레이브 장치는 제2의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스를 포함하고,

단일 도전체는 상기 제1의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스와 상기 제2의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스 사이에서 교환되는 정보를 브리징하도록 구성되는, 시스템.

#### 청구항 6

마스터 장치로서,

오디오 잭 커넥터의 정합 가능 부분;

상기 정합 가능 부분의 단자에 결합된 단일 도전성 경로로서, 상기 정합 가능 부분에 접속된 슬레이브 장치로부터 오디오 신호들을 수신하고, 상기 오디오 신호들을 상기 마스터 장치의 오디오 프로세서로 전달하고, 상기 슬레이브 장치와 디지털 통신 정보를 교환하도록 구성되는, 상기 단일 도전성 경로;

바이어스 소스;

상기 바이어스 소스의 출력과 상기 단일 도전성 경로 사이에 결합되고, 슬레이브 장치의 마이크에 바이어스를 제공하도록 구성되는 바이어스 저항기; 및

바이패스 상태를 갖는 바이패스 트랜지스터로서, 상기 바이어스 저항기에 병렬로 결합되고, 상기 바이패스 상태에서 상기 바이어스 소스의 출력을 상기 단일 도전성 경로에 직접 결합하도록 구성되는, 상기 바이패스 트랜지스터를 포함하는, 마스터 장치.

### 청구항 7

제6항에 있어서,

상기 단일 도전성 경로 및 상기 오디오 프로세서에 결합된 마이크 트랜지스터로서, 제1 상태에서 상기 단일 도전성 경로를 상기 오디오 프로세서에 결합시키고, 제2 상태에서 상기 오디오 프로세서로부터 상기 단일 도전성 경로를 격리하도록 구성되는, 상기 마이크 트랜지스터; 및

상기 단일 도전성 경로를 이용하여 상기 정합 가능 부분에 접속된 슬레이브 장치의 제2의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스와 정보를 교환하도록 구성되는 제1의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스를 포함하는, 마스터 장치.

### 청구항 8

제7항에 있어서, 상기 정합 가능 부분에 결합된 슬레이브 장치의 접속을 검출하도록 구성되는 제어기를 포함하고,

상기 제어기는 거짓 접속 표시들을 방지하기 위해 상기 슬레이브 장치의 접속을 디바운싱(de-bouncing)하도록 구성되는, 마스터 장치.

### 청구항 9

제7항에 있어서, 상기 정합 가능 부분에 결합된 슬레이브 장치의 접속을 검출하도록 구성되는 제어기를 포함하고,

상기 제어기는 상기 오디오 프로세서에서 수신되는 오디오 신호로부터 오디오 팝(pop)을 제거하기 위해 상기 마이크 트랜지스터 또는 상기 바이패스 트랜지스터 중 적어도 하나의 트랜지스터의 제어 노드를 변조하도록 구성되는, 마스터 장치.

### 청구항 10

마스터 장치의 기능을 확장하도록 구성되는 슬레이브 장치로서,

오디오 잭 커넥터의 정합 가능 부분;

상기 정합 가능 부분의 단자에 결합된 단일 도전성 경로로서, 상기 슬레이브 장치의 오디오 트랜스듀서와 상기 정합 가능 부분에 결합된 마스터 장치 사이에서 오디오 신호들을 전달하고, 상기 마스터 장치와 디지털 통신 정보를 교환하도록 구성되는, 상기 단일 도전성 경로; 및

제1 상태 및 제2 상태를 갖는 공핍 모드 트랜지스터로서, 상기 제1 상태에서 상기 오디오 트랜스듀서를 상기 단일 도전성 경로와 결합시키고 상기 제2 상태에서 상기 단일 도전성 경로로부터 상기 오디오 트랜스듀서를 격리하도록 구성되는, 상기 공핍 모드 트랜지스터를 포함하고,

상기 제1 상태는 상기 슬레이브 장치의 비급전 상태(unpowered state)를 포함할 수 있는, 슬레이브 장치.

**청구항 11**

제10항에 있어서, 상기 단일 도전성 경로를 이용하여 상기 정합 가능 부분에 접속된 마스터 장치의 제2의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스와 정보를 교환하도록 구성되는 제1의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스를 포함하는, 슬레이브 장치.

**청구항 12**

마스터 장치와 슬레이브 장치 사이의 디지털 통신 방법으로서,

제1 임계치 위로 상승하는 마이크 도전체 상의 전압을 검출하는 단계로서, 상기 전압은 상기 슬레이브 장치가 상기 마이크 도전체를 이용하여 디지털 통신을 할 수 있고 준비가 되어 있다는 것을 표시하는, 상기 검출하는 단계;

상기 마이크 도전체 및 제1 디지털 직렬 통신 신호를 이용하여 제1 코드를 상기 슬레이브 장치로 전송하는 단계;

상기 마이크 도전체 및 제2 디지털 통신 신호를 이용하여 상기 슬레이브 장치로부터 제2 코드를 수신하는 단계;

상기 마이크 도전체 및 제3 디지털 직렬 통신 신호를 이용하여 제3 코드를 상기 슬레이브 장치로 전송하는 단계; 및

바이어스 저항기가 바이어스 전압을 상기 마이크 도전체에 인가하게 하도록 상기 마스터 장치의 바이패스 트랜지스터를 디스에이블(disable)하는 단계를 포함하는, 마스터 장치와 슬레이브 장치 사이의 디지털 통신 방법.

**청구항 13**

제12항에 있어서, 상기 마스터 장치의 검출 회로를 이용하여 상기 마스터 장치에 대한 상기 슬레이브 장치의 결합을 검출하는 단계를 포함하고,

상기 결합을 검출하는 단계는 오디오 프로세서로부터 상기 마이크 도전체를 격리하기 위해 상기 마스터 장치의 마이크 트랜지스터를 디스에이블하는 단계를 포함하고,

상기 바이패스 트랜지스터를 디스에이블하는 단계는 상기 마이크 도전체를 상기 오디오 프로세서에 결합시키기 위해 상기 마스터 장치의 상기 마이크 트랜지스터를 인에이블(enable)하는 단계를 포함하는, 마스터 장치와 슬레이브 장치 사이의 디지털 통신 방법.

**청구항 14**

마스터 장치와 슬레이브 장치 사이의 디지털 통신 방법으로서,

상기 슬레이브 장치에서 제1 임계치 위로 상승하는 마이크 도전체 상의 전압을 검출하는 단계로서, 상기 전압은 상기 마스터 장치가 상기 마이크 도전체를 이용하여 디지털 통신을 할 수 있고 준비가 되어 있다는 것을 표시하는, 상기 검출하는 단계;

상기 슬레이브 장치의 공핍 모드 트랜지스터를 이용하여 상기 마이크 도전체로부터 상기 슬레이브 장치의 마이크를 격리하는 단계;

상기 마이크 도전체 및 제1 디지털 직렬 통신 신호를 이용하여 상기 슬레이브 장치에서 제1 코드를 수신하는 단계;

상기 마이크 도전체 및 제2 디지털 통신 신호를 이용하여 상기 슬레이브 장치로부터 제2 코드를 전송하는 단계;

상기 마이크 도전체 및 제3 디지털 직렬 통신 신호를 이용하여 상기 슬레이브 장치에서 제3 코드를 수신하는 단계; 및

상기 공핍 모드 트랜지스터를 이용하여 상기 마이크를 상기 마이크 도전체에 결합시키는 단계를 포함하는, 마스터 장치와 슬레이브 장치 사이의 디지털 통신 방법.

**발명의 설명**

**기술분야**

- [0001] 우선권 주장
- [0002] 본 출원은, 본 명세서에 전체적으로 참고로 포함된, 2013년 8월 6일자로 출원된 프렌티스(Prentice)의 미국 가 특허출원 제61/862,569호에 대해 우선권의 이익을 주장한다.
- [0003] 본 출원은, 특히, 오디오 커넥터에 의해 결합되는 마스터/슬레이브 시스템들에 관한 것으로, 더 구체적으로는 오디오 커넥터와 연관된 단일의 도전성 경로를 이용한 마스터 장치와 슬레이브 장치 사이의 디지털 통신에 관한 것이다.

**배경기술**

- [0004] 트랜지스터 라디오의 도입은 어떤 의미에서는 휴대용 전자 산업의 탄생일 수 있다. 그 시기 이후, 전자기기(electronics)의 진보는 더 진보된 휴대용 전자 장치들로 이어졌다. 트랜지스터 라디오를 포함한, 역사의 과정에 걸쳐 일정하였던 것으로 보이는 휴대용 전자기기의 일 태양은 오디오 잭 커넥터이다. 그러한 역사에 걸쳐, 오디오 잭 커넥터는, 예를 들어 오디오 잭을 통해 휴대용 전자 장치에 접속된 이어 버드(ear bud) 또는 헤드폰을 이용하는 것에 의해 다른 사람들을 방해하지 않고서 사용자가 장치로부터 오디오를 듣게 함으로써 트랜지스터 라디오 및 후속의 휴대용 전자 장치들의 기능을 확장하였다.

**발명의 내용**

- [0005] 본 출원은 마스터 장치 및 오디오 잭 커넥터를 통해 마스터 장치에 결합된 슬레이브 장치를 포함할 수 있는 시스템에 대해 논의한다. 일례에서, 마스터 장치 및 슬레이브 장치는 디지털 통신 프로토콜을 이용하여 오디오 잭 커넥터의 단일 도전성 경로를 통해 정보를 교환하도록 구성될 수 있다. 단일 도전성 경로는 오디오 트랜스듀서의 오디오 신호들을 전달하도록 구성될 수 있으며, 슬레이브 장치는 제1 상태에서 오디오 트랜스듀서 및 단일 도전성 경로를 포함하는 회로를 완성하고 제2 상태에서 단일 도전성 경로로부터 오디오 트랜스듀서를 격리하기 위한 공핍 모드(depletion-mode) 트랜지스터를 포함할 수 있다.
- [0006] 이러한 개요는 본 특허 출원의 요지의 개요를 제공하도록 의도된다. 이는 본 발명의 배타적인 또는 망라된 설명을 제공하도록 의도되지 않는다. 본 특허 출원에 대한 추가 정보를 제공하기 위해 상세한 설명이 포함된다.

**도면의 간단한 설명**

- [0007] 반드시 축척대로 그려진 것은 아닌 도면들에서, 유사한 도면부호들은 상이한 도면들 내의 유사한 구성요소들을 설명할 수 있다. 상이한 문자 첨자들을 갖는 유사한 도면부호들은 유사한 구성요소들의 상이한 사례들을 나타낼 수 있다. 도면들은 일반적으로, 본 문헌에서 논의되는 다양한 실시예들을 한정하지 아니라 예로서 도시한다.
  - <도 1>
  - 도 1은 마스터 장치 및 슬레이브 장치를 포함하는 예시적인 시스템을 전반적으로 도시하는 도면.
  - <도 2>
  - 도 2는 마스터 장치 및 예시적인 제2 슬레이브 장치를 포함하는 예시적인 시스템을 전반적으로 도시하는 도면.
  - <도 3>
  - 도 3은 도 1 및 도 2에 도시된 예시적인 마스터 장치들과 같은 마스터 장치를 위한 예시적인 마스터 송수신기를 전반적으로 도시하는 도면.
  - <도 4>
  - 도 4는 도 1 및 도 2에 도시된 예시적인 슬레이브 장치들과 같은 슬레이브 장치를 위한 예시적인 슬레이브 송수신기를 전반적으로 도시하는 도면.
  - <도 5 내지 도 7>
  - 도 5 내지 도 7은 예시적인 시스템의 디지털 통신 이벤트 주변에서의 도전성 경로의 전압 레벨들을 전반적으로 도시하는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0008] 본 발명자는 휴대용 전자 장치와 같은 마스터 장치와 한 세트의 이어 버드들과 같은 슬레이브 장치 사이에서의 오디오 신호들의 전달을 넘어 오디오 잭 커넥터의 기능 태양들을 확장함으로써 오디오 잭이 구비된 전자 장치들의 기능을 확장할 수 있는 시스템을 인식하였다.
- [0009] 도 1은 마스터 장치(101) 및 슬레이브 장치(102)를 포함하는 예시적인 시스템을 전반적으로 도시한다. 소정 예들에서, 마스터 장치는 오디오 잭 커넥터(103)의 정합 가능 부분(mate-able portion)과 같은 오디오 커넥터의 정합 가능 부분을 포함하는, 휴대용 미디어 플레이어, 셀폰, 스마트폰, PDA(personal digital assistant), 또는 이들의 조합과 같은 휴대용 전자 장치일 수 있다. 소정 예들에서, 각각의 장치(101, 102)는 오디오 커넥터 인터페이스 회로(104, 105)를 포함할 수 있다. 마스터 오디오 커넥터 인터페이스 회로(104)는 기저대역 프로세서(baseband processor), 오디오 프로세서, 또는 이들의 조합들과 같은, 마스터 장치(101)의 다른 구성요소들에 결합되어 이들과 통신할 수 있다. 슬레이브 오디오 커넥터 인터페이스 회로(105)는, 예를 들어 스피커(도시되지 않음) 또는 마이크(106)를 포함한 하나 이상의 오디오 트랜스듀서와 같은 슬레이브 장치(102)의 다른 구성요소들에 결합되어 이들과 통신할 수 있다. 명료화를 위해, 도시된 예들은 오디오 커넥터와 연관된 소정의 도전체들만을 도시한다. 오디오 잭 커넥터(103)와 같은 오디오 커넥터가 예를 들어 접지를 위한 그리고 마스터 장치(101)로부터 슬레이브 장치(102)의 오디오 출력 트랜스듀서들로 오디오 신호들을 전달하기 위한 추가 도전체들을 포함할 수 있다는 것이 이해된다.
- [0010] 소정 예들에서, 마스터 오디오 커넥터 인터페이스 회로(104)는 접속 검출 회로(107), 레지스터(109)들을 포함한 제어기 또는 제어 로직(108), 마이크 신호를 전달하기 위한 도전성 경로, 마이크 키-프레스 로직(111), 바이어스 소스(112), 멀티-마스터 멀티-슬레이브 싱글-엔드형(single-ended) 직렬 컴퓨터 버스 인터페이스(113), 및 마스터 송수신기(114)를 포함할 수 있다.
- [0011] 접속 검출 회로(107)는 오디오 잭 커넥터(103)의 전용 접속 핀(J\_DET)과 같은 오디오 커넥터의 하나 이상의 핀들로부터 접속 정보를 수신할 수 있다. 소정 예들에서, 접속 검출 회로(107)는 전용 접속 핀(J\_DET)에 더하여 오디오 커넥터의 다른 핀들로부터 접속 정보를 수신할 수 있다. 일부 예들에서, 접속 검출 회로(107)는 마스터 장치(101)의 오디오 잭 커넥터(103)의 부분과의 액세스리 또는 슬레이브 장치(102)의 결합 및 결합해제를 검출할 수 있으며, 마스터 오디오 커넥터 인터페이스 회로(104)의 제어기 또는 제어 로직(108)에게 각각의 접속 및 접속해제 이벤트의 표시를 제공할 수 있다. 일부 예들에서, 접속 검출 회로(107)는 접속 및 접속해제 이벤트들을 디바운싱(de-bouncing)하여, 슬레이브 장치(102)가 마스터 장치(101)와 완전히 접속되거나 마스터 장치(101)로부터 완전히 접속해제된 때에만 표시가 제공되는 것을 보증하여서, 거짓 표시를 제거할 수 있다. 일부 예들에서, 접속 검출 회로(107)는 접속부에 수분이 존재할 때와 같은, 오디오 잭 커넥터(103)에서의 비정상 검출할 수 있으며, 대응하는 표시를 마스터 오디오 커넥터 인터페이스 회로(104)의 제어기 또는 제어 로직(108)에 제공할 수 있다.
- [0012] 소정 예들에서, 제어기 또는 제어 로직(108)은 마스터 오디오 커넥터 인터페이스 회로(104)의 구성요소들 사이에서 또는 마스터 오디오 커넥터 인터페이스 회로(104)와 마스터 장치(101)의 다른 구성요소들 사이에서 동작 및 정보 교환을 제어할 수 있다. 소정 예들에서, 마스터 오디오 커넥터 인터페이스 회로(104)는 마스터 오디오 커넥터 인터페이스 회로(104)를 동작시키기 위한 그리고 접속된 액세스리들 또는 슬레이브 장치(102)들과 인터페이싱하기 위한 명령어들과 파라미터들을 저장하는 메모리 또는 레지스터(109)들을 포함할 수 있다. 일부 예들에서, 제어기 또는 제어 로직(108)은 단일 도전성 경로(110)의 하나 이상의 전압 레벨들을 모니터링할 수 있다. 소정 예들에서, 단일 도전성 경로(110)는 마스터 장치(101) 또는 슬레이브 장치(102)의 접지 전위로 언급될 수 있다. 제1 전압 레벨에 응답하여, 제어기 또는 제어 로직(108)은 단일 도전성 경로(110)를 이용하여 마이크 오디오를 마스터 장치(101)에 제공할 수 있다. 소정 예들에서, 제어기 또는 제어 로직(108)은 단일 도전성 경로(110)의 결합 및 결합해제를 제어하여, 마이크 오디오를 마스터 장치(101)에 제공할 수 있다. 일부 예들에서, 제2 전압 레벨에 응답하여, 마스터 장치(101)의 제어기 또는 제어 로직은 기저대역 프로세서의 오디오 입력으로부터의 단일 도전성 경로(110)의 결합해제를 제어하여, 단일 도전성 경로(110)를 이용하여 마스터 장치(101)와 슬레이브 장치(102) 사이에서 디지털 통신을 허용할 수 있다. 소정 예들에서, 제2 전압 레벨은 마스터 장치(101)가 바이패스 스위치를 이용하여, 단일 도전성 경로(110)에 결합된 바이어스 저항기를 바이패스한 결과일 수 있다.
- [0013] 소정 예들에서, 마스터 오디오 커넥터 인터페이스 회로(104)는 예를 들어 슬레이브 장치 마이크(106)로부터 오디오 정보를 수신하고 오디오 정보를 마스터 장치(101)의 기저대역 프로세서 또는 오디오 프로세서에 제공하기

위한 단일 도전성 경로(110)를 포함할 수 있다. 소정 예들에서, 키 프레스 로직(111)은 도전체를 슬레이브 마이크(106)와 공유하는 슬레이브 장치(102)의 키 또는 스위치로부터 키 프레스 작용을 검출하기 위해 단일 도전성 경로(110)에 선택적으로 결합될 수 있다. 일부 예들에서, 단일 도전성 경로(110)는 마스터 오디오 커넥터 인터페이스 회로(104)의 마스터 송수신기(114)와 접속된 슬레이브 장치(102) 사이에서 디지털 통신 신호들을 전달하는 데 또한 사용될 수 있다. 소정 예들에서, 마스터 오디오 커넥터 인터페이스 회로(104)는, 단일 도전성 경로(110)를 이용하여 마스터 장치(101)와 접속된 슬레이브 장치(102) 사이에서 디지털 통신 정보를 교환하기 위한 준비로서, 기저대역 프로세서 또는 오디오 프로세서로부터 단일 도전성 경로(110)를 격리하는 마이크 스위치(115) 또는 트랜지스터를 포함할 수 있다.

[0014] 바이어스 소스(112)는 슬레이브 장치(102)의 마이크(106)에 대한 전압 바이어스를 제공할 수 있다. 소정 예들에서, 바이어스 소스(112)는 낮은 드롭아웃(drop-out) 전원 또는 전압 조절기를 포함할 수 있다. 일부 예들에서, 바이어스 소스(112)는 마스터 오디오 커넥터 인터페이스 회로(104)의 마스터 송수신기(114)의 일부일 수 있다. 마스터 송수신기(114)는 단일 도전성 경로(110)를 이용하여, 마스터 장치(101)와 접속된 슬레이브 장치(102) 사이에서 디지털 통신 정보를 교환하게 할 수 있다. 소정 예들에서, 단일 도전성 경로(110)만이 디지털 통신을 위해 사용되므로, 오디오 커넥터의 다른 도전성 경로들은 마스터 장치(101)와 접속된 슬레이브 장치(102) 사이에서 다른 정보를 교환하기 위해 동시에 사용될 수 있다. 예를 들어, 단일 도전성 경로(110)가 마스터 장치(101)와 슬레이브 장치(102) 사이의 디지털 통신을 위해 사용되고 있는 동안에, 다른 도전성 경로들은 슬레이브 장치(102)의 스피커들로부터의 방송을 위해 마스터 장치(101)로부터 오디오 신호들을 전송하는 데 사용될 수 있다.

[0015] I2C 인터페이스와 같은 마스터 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스(113)는 마스터 오디오 커넥터 인터페이스 회로(104)와 마스터 장치(101)의 다른 칩 구성요소들 사이의 디지털 통신을 가능하게 할 수 있다. 소정 예들에서, 제어기 또는 제어 로직(108)은 마스터 오디오 커넥터 인터페이스 회로(104)를 마스터 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스(113)와 조화시켜, 접속된 슬레이브 장치(102)와의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 브리지를 형성할 수 있다.

[0016] 소정 예들에서, 슬레이브 오디오 커넥터 인터페이스 회로(105)는 단일 도전성 경로(110)의 제2 부분, 슬레이브 제어기 또는 슬레이브 제어 로직(118) 및 대응하는 레지스터(119)들, 슬레이브 송수신기(124), 및 슬레이브 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스(123)를 포함할 수 있다. 단일 도전성 경로(110)는 예를 들어 슬레이브 장치 마이크(106)로부터 오디오 정보를 수신하고, 오디오 정보를 마스터 장치(101)에 제공하는 데 사용될 수 있다.

[0017] 소정 예들에서, 슬레이브 제어기 또는 제어 로직(118)은 슬레이브 오디오 커넥터 인터페이스 회로(105)의 구성요소들 사이에서 그리고 슬레이브 오디오 커넥터 인터페이스 회로(105)와 슬레이브 장치(102)의 다른 구성요소들 사이에서 동작 및 정보 교환을 제어할 수 있다. 소정 예들에서, 슬레이브 오디오 커넥터 인터페이스 회로(105)는 슬레이브 오디오 커넥터 인터페이스 회로(105)를 동작시키기 위한 그리고 접속된 마스터 장치들과 인터페이싱하기 위한 명령어 및 파라미터들을 저장하는 메모리 또는 레지스터(119)들을 포함할 수 있다.

[0018] 슬레이브 송수신기(124)는 단일 도전성 경로(110)를 이용하여, 슬레이브 장치(102)와 마스터 장치(101) 사이에서 디지털 통신 정보를 교환하게 할 수 있다. 소정 예들에서, 단일 도전성 경로(110)만이 디지털 통신을 위해 사용되므로, 오디오 커넥터의 다른 도전성 경로들은 슬레이브 장치(102)와 마스터 장치(101) 사이에서 다른 정보를 교환하기 위해 동시에 사용될 수 있다. 예를 들어, 단일 도전성 경로(110)가 마스터 장치(101)와 슬레이브 장치(102) 사이의 디지털 통신을 위해 사용되고 있는 동안에, 다른 도전성 경로들은 슬레이브 장치(102)의 스피커들(도시되지 않음)로부터의 방송을 위해 마스터 장치(101)로부터 오디오 신호들을 전송하는 데 사용될 수 있다.

[0019] 소정 예들에서, 슬레이브 오디오 커넥터 인터페이스 회로(105)는 제1 상태에서 단일 도전성 경로(110)를 마이크(106)와 결합시키고, 단일 도전성 경로(110)를 이용하여 디지털 통신을 허용하기 위해 제2 상태에서 단일 도전성 경로(110)로부터 마이크(106)를 격리하기 위한 스위치(120)를 포함할 수 있다. 소정 예들에서, 스위치(120)는 트랜지스터를 포함할 수 있다. 일부 예들에서, 스위치(120)는 공핍 모드 트랜지스터를 포함할 수 있다. 공핍 모드 트랜지스터는 마이크(106)를 단일 도전성 경로(110)에 결합시켜서, 슬레이브 장치(102)가 전력을 갖지 않는 경우에 슬레이브 장치(102)가 적어도 마이크-소스된(microphone-sourced) 오디오 정보를 제공하게 할 수 있는 디폴트 비급전 저임피던스 상태의 이점을 제공할 수 있다. 이와 같이, 스위치는 마이크를 구비한 슬레이브 장치(102)의 매우 낮은 전력의 동작을 제공할 수 있다.

- [0020] I2C 인터페이스와 같은 슬레이브 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스(123)는 슬레이브 오디오 커넥터 인터페이스 회로(105)와 슬레이브 장치(102)의 다른 칩 구성요소들 사이의 디지털 통신을 가능하게 할 수 있다. 소정 예들에서, 슬레이브 제어기 또는 슬레이브 제어 로직(118)은 슬레이브 오디오 커넥터 인터페이스 회로(105)를 슬레이브 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스(123)와 조화시켜, 접속된 마스터 장치(101)와의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 브리지를 형성할 수 있다. 소정 예들에서, 마스터 장치는 팝(pop) 및 클릭 소리가 사용자에게 제공되는 것을 방지하기 위한 회로를 포함할 수 있다. 일부 예들에서, 마스터 제어기(108)는 마이크 트랜지스터(115) 또는 바이패스 트랜지스터(도시되지 않음) 중 적어도 하나의 제어 노드를 변조하여, 오디오 프로세서에서 수신되는 오디오 신호로부터 오디오 팝을 제거할 수 있다. 그러한 소리들은 액세스리 또는 슬레이브 장치가 마스터 장치에 부착되거나 분리될 때 생성될 수 있다. 팝 및 클릭 소리들은 마이크가 부착되거나 마이크 바이어스가 갑자기 마이크 도전체에 인가될 때에 또한 생성될 수 있다.
- [0021] 슬레이브 장치(102)는 진보된 슬레이브 장치로서 간주될 수 있다. 그러한 장치는 키 프레스 이벤트들과 정교한 액세스리 식별 및 파라미터 선택사항들의 직렬 통신을 포함할 수 있는 판독 및 기록 기능을 마스터 장치(101)에 제공할 수 있다. 소정 예들에서, 슬레이브 장치는 하이-레벨 프로그래밍 가능 액세스리 식별을 위한 다수의 퓨즈(fuse)들을 포함할 수 있다.
- [0022] 도 2는 마스터 장치(101) 및 예시적인 제2 슬레이브 장치(202)를 포함하는 예시적인 시스템을 전반적으로 도시한다. 소정 예들에서, 마스터 장치(101)는 오디오 잭 커넥터(103)의 정합 가능 부분과 같은 오디오 커넥터의 정합 가능 부분을 포함하는, 휴대용 미디어 플레이어, 셀폰, 스마트폰, PDA, 또는 이들의 조합과 같은 휴대용 전자 장치일 수 있다. 소정 예들에서, 각각의 장치(101, 202)는 오디오 커넥터 인터페이스 회로(104, 205)를 포함할 수 있다. 마스터 오디오 커넥터 인터페이스 회로(104)는 기저대역 프로세서, 오디오 프로세서, 또는 이들의 조합들과 같은, 마스터 장치(101)의 다른 구성요소들에 결합되어 이들과 통신할 수 있다. 슬레이브 오디오 커넥터 인터페이스 회로(205)는, 예를 들어 스피커(도시되지 않음) 또는 마이크(206)를 포함한 하나 이상의 오디오 트랜스듀서와 같은 슬레이브 장치(202)의 다른 구성요소들에 결합되어 이들과 통신할 수 있다. 명료화를 위해, 도시된 예들은 오디오 커넥터와 연관된 소정의 도전체들만을 도시한다. 오디오 잭 커넥터(103)와 같은 오디오 커넥터가 예를 들어 접지를 위한 그리고 마스터 장치(101)로부터 슬레이브 장치(202)의 오디오 출력 트랜스듀서들로 오디오 신호들을 전달하기 위한 추가 도전체들을 포함할 수 있다는 것이 이해된다.
- [0023] 예시적인 제2 슬레이브 장치(202)는 예시적인 제2 슬레이브 오디오 커넥터 인터페이스 회로(205)를 포함할 수 있다. 소정 예들에서, 슬레이브 오디오 커넥터 인터페이스 회로(205)는 단일 도전성 경로(110)의 제2 부분, 슬레이브 제어기 또는 슬레이브 제어 로직(218) 및 대응하는 레지스터(219)들, 슬레이브 송수신기(224) 및 전력 조절 회로(221)를 포함할 수 있다. 단일 도전성 경로(110)는 예를 들어 슬레이브 장치 마이크(206)로부터 오디오 정보를 수신하고, 오디오 정보를 마스터 장치(101)에 제공하는 데 사용될 수 있다.
- [0024] 소정 예들에서, 슬레이브 제어기 또는 제어 로직(218)은 슬레이브 오디오 커넥터 인터페이스 회로(205)의 구성요소들 사이에서 그리고 슬레이브 오디오 커넥터 인터페이스 회로(205)와 슬레이브 장치(202)의 다른 구성요소들 사이에서 동작 및 정보 교환을 제어할 수 있다. 소정 예들에서, 슬레이브 오디오 커넥터 인터페이스 회로(205)는 슬레이브 오디오 커넥터 인터페이스 회로(205)를 동작시키기 위한 그리고 접속된 마스터 장치들과 인터페이싱하기 위한 명령어들과 파라미터들을 저장하는 메모리 또는 레지스터(219)들을 포함할 수 있다.
- [0025] 슬레이브 송수신기(224)는 단일 도전성 경로(110)를 이용하여, 슬레이브 장치(202)와 마스터 장치(101) 사이에서 디지털 통신 정보를 교환하게 할 수 있다. 소정 예들에서, 단일 도전성 경로(110)만이 디지털 통신을 위해 사용되므로, 오디오 커넥터의 다른 도전성 경로들은 슬레이브 장치(202)와 마스터 장치(101) 사이에서 다른 정보를 교환하기 위해 동시에 사용될 수 있다. 예를 들어, 단일 도전성 경로(110)가 마스터 장치(101)와 슬레이브 장치(202) 사이의 디지털 통신을 위해 사용되고 있는 동안에, 다른 도전성 경로들은 슬레이브 장치(202)의 스피커들(도시되지 않음)로부터의 방송을 위해 마스터 장치(101)로부터 오디오 신호들을 전송하는 데 사용될 수 있다.
- [0026] 소정 예들에서, 슬레이브 오디오 커넥터 인터페이스 회로(205)는 제1 상태에서 단일 도전성 경로(110)를 마이크(206)와 결합시키고, 단일 도전성 경로(110)를 이용하여 디지털 통신을 허용하기 위해 제2 상태에서 단일 도전성 경로(110)로부터 마이크(206)를 격리하기 위한 스위치(220)를 포함할 수 있다. 소정 예들에서, 스위치(220)는 트랜지스터를 포함할 수 있다. 일부 예들에서, 스위치(220)는 공핍 모드 트랜지스터를 포함할 수 있다. 공핍 모드 트랜지스터는 마이크(206)를 단일 도전성 경로(110)에 결합시켜서, 슬레이브 장치(202)가 전력을 갖



지 않는 경우에 슬레이브 장치(202)가 적어도 마이크-소싱된 오디오 정보를 제공하게 할 수 있는 스위치(220)의 디폴트 비급전 저임피던스 상태의 이점을 제공할 수 있다. 이와 같이, 스위치는 마이크를 구비한 슬레이브 장치(202)의 매우 낮은 전력의 동작을 제공할 수 있다.

[0027] 소정 예들에서, 전력 조절 회로(221)는 마스터 장치(101)로부터 마이크 바이어스 또는 하이 로직 레벨 디지털 신호를 수신할 수 있으며, 슬레이브 장치(202)에 급전하기 위한 전기 전하를 획득할 수 있다. 소정 예들에서, 획득된 전하는 슬레이브 장치(202)의 커패시터(222)에 저장될 수 있다. 소정 예들에서, 전력 조절 회로(221)는 커패시터(222)를 가로지른 전압 또는 회로들에 급전하는 데 이용 가능한 전압이 사전 결정된 전압 임계치에 도달할 때만 소정의 슬레이브 회로를 인에이블(enable)시키기 위한 파워-온(power-on) 리셋 회로를 포함할 수 있다.

[0028] 슬레이브 장치(202)는 단순 슬레이브 장치로서 간주될 수 있다. 그러한 장치는 마스터 장치(101)에의 슬레이브 장치의 장치 식별의 기록을 제공할 수 있다. 단순 슬레이브는 마스터 장치(101)로부터 장치 전력을 받을 수 있다. 소정 예들에서, 슬레이브 장치는 하이 레벨 액세스리 식별을 위한 다수의 하드와이어드(hard wired) 입력(비트)들을 포함할 수 있다.

[0029] 도 3은 도 1 및 도 2에 도시된 예시적인 마스터 장치들과 같은 마스터 장치를 위한 예시적인 마스터 송수신기(314)를 전반적으로 도시한다. 소정 예들에서, 마스터 송수신기(314)는 제어기(330), 수신 버퍼(331), 송신 스위치(332), 바이어스 전압 검출기(333), 바이어스 소스(312), 바이어스 저항기(334), 바이패스 트랜지스터(335) 및 풀-다운 저항기(336)를 포함할 수 있다.

[0030] 소정 예들에서, 제어기(330)는 수 개의 입력들을 모니터링하고, 바이패스 트랜지스터(335) 및 송신 스위치(332)를 제어할 수 있다. 예를 들어, 디지털 통신이 교환 또는 요청되지 않는 경우, 제어기(330)는 바이패스 트랜지스터(335)를 고임피던스 상태로 유지하여 바이어스 소스(312) 및 바이어스 저항기(334)가 단일 도전성 경로(110)를 이용하여 슬레이브 장치 내의 마이크를 바이어싱하게 할 수 있다. 소정 예들에서, 제어기(330)는, 바이어스 저항기(334)를 바이패스하고 단일 도전성 경로(110)의 전압 레벨을 바이어스 소스(312)의 출력 전압을 향해 풀링(pulling)하는 저임피던스 상태로 바이패스 트랜지스터(335)를 배치함으로써 마스터-개시된 디지털 통신을 준비할 수 있다. 소정 예들에서, 바이패스 트랜지스터(335)는 바이어스 소스(312) 또는 다른 전압 소스와 같은 전압 공급 장치를 저임피던스 상태로 단일 도전성 경로(110)에 직접 결합시킬 수 있다. 일부 예들에서, 단일 도전성 경로(110)의 전압 레벨이 바이어스 전압 검출기(333)에 의해 검출되는 바와 같이 제1 사전 결정된 임계치에 도달한 후, 제어기는 송신 스위치(332) 및 풀-다운 저항기(336)를 이용하여 디지털 통신을 전송할 수 있으며, 수신 버퍼(331)를 이용하여 슬레이브 장치로부터 디지털 통신 정보를 수신할 수 있다. 일부 예들에서, 바이어스 전압 검출기(333)는, 예를 들어 제2 임계치에서 또는 그 부근에서 단일 도전성 경로(110)의 전압을 검출하는 것에 의해, 슬레이브 장치가 디지털 통신을 개시하는 것을 검출할 수 있다. 제2 임계 전압은 슬레이브 장치가 단일 도전성 경로(110)로부터 슬레이브 마이크를 접속해제하는 것을 나타낼 수 있다.

[0031] 도 4는 도 1 및 도 2에 도시된 예시적인 슬레이브 장치들과 같은 슬레이브 장치를 위한 예시적인 슬레이브 송수신기(424)를 전반적으로 도시한다. 소정 예들에서, 슬레이브 송수신기(424)는 제어기(440), 수신 버퍼(441), 송신 스위치(442), 선택적인 바이어스 전압 검출기(443), 격리 트랜지스터(420), 및 풀-다운 저항기(446)를 포함할 수 있다.

[0032] 소정 예들에서, 제어기(440)는 수 개의 입력들을 모니터링하고, 격리 트랜지스터(420) 및 송신 스위치(442)를 제어할 수 있다. 예를 들어, 디지털 통신이 교환 또는 요청되지 않는 경우, 제어기(440)는 격리 트랜지스터(420)를 저임피던스 상태로 유지하여, 슬레이브 마이크가 바이어스 전압을 수신하게 하고, 단일 도전성 경로(110)를 이용하여 오디오 신호들을 마스터 장치에 제공하게 할 수 있다. 소정 예들에서, 제어기(440)는 단일 도전성 경로(110)로부터 슬레이브 마이크를 격리하는 고임피던스 상태로 격리 트랜지스터(420)를 배치함으로써 슬레이브-개시된 디지털 통신을 준비할 수 있다. 일부 예들에서, 단일 도전성 경로(110)의 전압 레벨이 선택적인 바이어스 전압 검출기(443)에 의해 검출되는 바와 같이 제1 사전 결정된 임계치에 도달한 후, 슬레이브 제어기(440)는 송신 스위치(442) 및 풀-다운 저항기(446)를 이용하여 디지털 통신을 전송할 수 있으며, 수신 버퍼(441)를 이용하여 마스터 장치로부터 디지털 통신 정보를 수신할 수 있다. 일부 예들에서, 선택적인 바이어스 전압 검출기(443)는, 예를 들어 제2 임계치에서 또는 그 부근에서 단일 도전성 경로(110)의 전압을 검출하는 것에 의해, 마스터 장치가 디지털 통신을 개시하는 것을 검출할 수 있다. 제2 임계 전압은 마스터 장치가 바이어스 저항기를 바이패스하고, 단일 도전성 경로의 전압이 바이어스 소스의 출력 전압으로 풀링되게 하는 것을 나타낼 수 있다. 소정 예들에서, 격리 트랜지스터는 공핍 모드 트랜지스터를 포함할 수 있다. 공핍 모드 트랜지

스터는 마이크(406)를 단일 도전성 경로(110)에 결합시켜서, 슬레이브 장치가 전력을 갖지 않는 경우에 슬레이브 장치가 적어도 마이크-소싱된 오디오 정보를 제공하게 할 수 있는 격리 트랜지스터(420)의 디폴트 비급전 저임피던스 상태의 이점을 제공할 수 있다.

[0033] 도 5 내지 도 7은 예시적인 시스템의 디지털 통신 이벤트 주변에서의 도전성 경로의 전압 레벨들을 전반적으로 도시한다. 도 5는 전반적으로 인증 통신 이벤트를 도시한다. 501에서, 마스터 장치는 바이어스 저항기를 바이패스한다. 소정 예들에서, 마스터 장치는 또한, 예를 들어 마이크 스위치(도 1의 115 참조)를 이용함으로써, 기저대역 프로세서 또는 오디오 프로세서로부터 단일 도전성 경로를 격리시킬 수 있다. 502에서, 슬레이브는, 마이크가 아직 단일 도전성 경로로부터 격리되지 않은 경우에, 예를 들어 격리 스위치(도 1의 120, 도 2의 220 또는 도 4의 420 참조)를 이용함으로써 단일 도전성 경로로부터 슬레이브 마이크를 격리시킬 수 있다. 소정 예들에서, 슬레이브는 선택적인 바이어스 전압 검출 회로(도 4의 443 참조)를 이용하여 단일 도전성 경로 상의 전압 변화를 검출할 수 있다. 503에서, 마스터 장치는 단일 도전성 경로 상의 전압이 임계치에 도달한 것을 검출할 수 있고, 검증 코드를 단일 도전성 경로를 통해 슬레이브 장치로 전송할 수 있다. 504에서, 제1 사전 결정된 최소 지연 후에, 슬레이브 장치는 식별(ID) 코드를 단일 도전성 경로를 통해 마스터 장치로 전송할 수 있다. 505에서, 제2 사전 결정된 최소 지연 후에, 마스터 장치는 파워 다운(power down) 코드를 단일 도전성 경로를 통해 슬레이브 장치로 전송할 수 있다. 506에서, 제3 사전 결정된 최소 지연 후에, 슬레이브 장치는 마이크를 단일 도전성 경로에 결합할 수 있다. 507에서, 접속된 마이크를 단일 도전성 경로 상의 전압을 통해 검출한 후, 마스터 장치는 단일 도전성 경로를 기저대역 프로세서 또는 오디오 프로세서에 결합시킬 수 있으며, 바이패스 트랜지스터를 디스에이블(disable)하여 바이어스 저항기를 통해 바이어스 소스를 단일 도전성 경로에 결합시킬 수 있다.

[0034] 도 6은 단일 도전성 경로를 이용하는 슬레이브-개시된 통신을 일반적으로 도시한다. 그러한 통신은 마스터 내의 파라미터가 슬레이브 장치에 의해 업데이트될 때, 슬레이브 장치가 마스터 장치로부터 업데이트를 요청할 때, 슬레이브 장치가 키 프레스 이벤트와 같은 이벤트를 마스터 장치로 통신할 때, 또는 이들의 조합들에서 발생할 수 있다. 601에서, 슬레이브 장치는 단일 도전성 경로로부터 슬레이브 마이크를 격리할 수 있으며, 602에서 마스터 장치는 슬레이브 마이크의 격리로부터 발생하는 전압 레벨의 변화를 검출할 수 있고, 기저대역 프로세서 또는 오디오 프로세서로부터 단일 도전성 경로를 격리할 수 있으며, 바이패스 트랜지스터를 이용하여 마이크 바이어스 저항기를 바이패스할 수 있다. 603에서, 제1 도전성 경로 상의 전압이 사전 결정된 임계치를 충족시키는 것으로 검출한 후에, 마스터는 검증 코드를 전송할 수 있다. 604에서, 제1 최소 지연 후에, 슬레이브는 이벤트 정보를 마스터로 전송할 수 있다. 605에서, 제2 최소 지연 후에, 마스터는 파워 다운 코드를 전송할 수 있다. 606에서, 제3 사전 결정된 최소 지연 후에, 슬레이브 장치는 마이크를 단일 도전성 경로에 결합할 수 있다. 607에서, 접속된 마이크를 단일 도전성 경로 상의 전압을 통해 검출한 후, 마스터 장치는 단일 도전성 경로를 기저대역 프로세서 또는 오디오 프로세서에 결합시킬 수 있으며, 바이패스 트랜지스터를 디스에이블하여 바이어스 저항기를 통해 바이어스 소스를 단일 도전성 경로에 결합시킬 수 있다.

[0035] 도 7은 마스터-개시된 기록 통신 이벤트를 전반적으로 도시한다. 701에서, 마스터 장치는 바이패스 트랜지스터를 이용하여 바이어스 저항기를 바이패스할 수 있다. 소정 예들에서, 마스터 장치는 또한, 예를 들어 마이크 스위치를 이용함으로써 기저대역 프로세서 또는 오디오 프로세서로부터 단일 도전성 경로를 격리시킬 수 있다. 702에서, 슬레이브는 마이크가 아직 단일 도전성 경로로부터 격리되지 않은 경우에 예를 들어 격리 스위치를 이용함으로써 단일 도전성 경로로부터 슬레이브 마이크를 격리시킬 수 있다. 소정 예들에서, 슬레이브는 선택적인 바이어스 전압 검출 회로를 이용하여, 마스터 장치가 바이어스 저항기를 바이패스하는 것으로부터 발생하는 단일 도전성 경로 상의 전압 변화를 검출할 수 있다. 703에서, 마스터 장치는 단일 도전성 경로 상의 전압이 임계치에 도달한 것을 검출할 수 있고, 기록 코드를 단일 도전성 경로를 통해 슬레이브 장치로 전송할 수 있다. 704에서, 제1 사전 결정된 최소 지연 후에, 슬레이브 장치는 수신 확인 응답(acknowledgment)을 단일 도전성 경로를 통해 마스터 장치로 전송할 수 있다. 705에서, 제2 사전 결정된 최소 지연 후에, 마스터 장치는 기록 데이터를 단일 도전성 경로를 통해 슬레이브 장치로 전송할 수 있다. 706에서, 제3 사전 결정된 최소 지연 후에, 슬레이브 장치는 마이크를 단일 도전성 경로에 결합할 수 있다. 707에서, 접속된 마이크를 단일 도전성 경로 상의 전압을 통해 검출한 후, 마스터 장치는 단일 도전성 경로를 기저대역 프로세서 또는 오디오 프로세서에 결합시킬 수 있으며, 바이패스 트랜지스터를 디스에이블하여 바이어스 저항기를 통해 바이어스 소스를 단일 도전성 경로에 결합시킬 수 있다.

[0036] 소정 예들에서, 반이중(half-duplex) 통신 프로토콜은 200 킬로헤르쯔(kHz) 내지 약 400 kHz의 송신 주파수를 포함할 수 있다. 일부 예들에서, 각각의 비트는 하이 및 로우 로직 레벨들 둘 모두를 포함한다. 예를 들어, "1"

비트는 비트 사이클 동안에 긴 하이 로직 레벨 및 짧은 로우 로직 레벨을 포함할 수 있다. 마찬가지로, "0" 비트는 비트 사이클이 긴 로우 로직 레벨 및 짧은 하이 로직 레벨을 포함하는 상태로 수신될 수 있다. 소정 예들에서, 통신 정보는 패킷화될 수 있으며, 각각의 패킷은 주소, 데이터, 하나 이상의 패리티 비트, 및 하나 이상의 예약 비트를 포함할 수 있다.

- [0037] 추가적인 관련 내용 및 예
- [0038] 예 1에서, 시스템은 마스터 장치, 오디오 잭 커넥터를 통해 마스터 장치에 결합된 슬레이브 장치를 포함할 수 있으며, 마스터 장치 및 상기 슬레이브 장치는 디지털 통신 프로토콜을 이용하여 오디오 잭 커넥터의 단일 도전성 경로를 통해 정보를 교환하도록 구성되고, 단일 도전성 경로는 오디오 트랜스듀서의 오디오 신호들을 전달하도록 구성되고, 슬레이브 장치는 제1 상태에서 오디오 트랜스듀서 및 단일 도전성 경로를 포함하는 회로를 완성하고 제2 상태에서 단일 도전성 경로로부터 오디오 트랜스듀서를 격리하도록 구성된 공핍 모드 트랜지스터를 포함한다.
- [0039] 예 2에서, 예 1의 오디오 트랜스듀서는 선택적으로 마이크를 포함하고, 예 1의 단일 도전성 경로는 선택적으로 마이크에 의해 제공되는 오디오 신호들을 전달하도록 구성된다.
- [0040] 예 3에서, 예 1 및 예 2 중 임의의 하나 이상의 예의 마스터 장치는 선택적으로 제1 상태 및 제2 상태를 갖는 마이크 트랜지스터를 포함하고, 마이크 트랜지스터는 제1 상태에서 마스터 장치의 오디오 입력을 단일 도전성 경로와 결합시키고 제2 상태에서 단일 도전성 경로로부터 마스터 장치의 오디오 입력을 격리하도록 구성된다.
- [0041] 예 4에서, 예 1 내지 예 3 중 임의의 하나 이상의 예의 마스터 장치는 선택적으로 바이어스 소스, 바이어스 소스를 이용하여 단일 도전성 경로에 바이어스 전압을 제공하도록 구성되는 바이어스 저항기, 및 바이패스 상태를 갖는 바이패스 트랜지스터를 포함하고, 바이패스 트랜지스터는 바이패스 상태에서 바이어스 저항기를 바이패스하고, 바이패스 상태에서 바이어스 소스를 단일 도전성 경로에 직접 결합하도록 구성된다.
- [0042] 예 5에서, 예 1 내지 예 4 중 임의의 하나 이상의 예의 마스터 장치는 선택적으로 바이패스 트랜지스터의 제어 게이트 및 마이크 트랜지스터의 제어 게이트에 결합되는 제어기를 포함한다.
- [0043] 예 6에서, 예 1 내지 예 5 중 임의의 하나 이상의 예의 마스터 장치는 선택적으로 제1의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스를 포함하고, 예 1 내지 예 5 중 임의의 하나 이상의 슬레이브 장치는 선택적으로 제2의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스를 포함하고, 예 1 내지 예 5 중 임의의 하나 이상의 단일 도전체는 선택적으로 제1의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스와 제2의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스 사이에서 교환되는 정보를 브리징하도록 구성된다.
- [0044] 예 7에서, 마스터 장치는 오디오 잭 커넥터의 정합 가능 부분; 정합 가능 부분의 단자에 결합된 단일 도전성 경로로서, 정합 가능 부분에 접속된 슬레이브 장치로부터 오디오 신호들을 수신하고, 오디오 신호들을 마스터 장치의 오디오 프로세서로 전달하며, 슬레이브 장치와 디지털 통신 정보를 교환하도록 구성되는, 상기 단일 도전성 경로; 바이어스 소스; 바이어스 소스의 출력과 단일 도전성 경로 사이에 결합되고, 슬레이브 장치의 마이크에 바이어스를 제공하도록 구성되는 바이어스 저항기; 및 바이패스 상태를 갖는 바이패스 트랜지스터로서, 바이어스 저항기에 병렬로 결합되고, 바이패스 상태에서 바이어스 소스의 출력을 단일 도전성 경로에 직접 결합하도록 구성되는, 상기 바이패스 트랜지스터를 포함할 수 있다.
- [0045] 예 8에서, 예 1 내지 예 7 중 임의의 하나 이상의 예의 마스터 장치는 선택적으로 단일 도전성 경로 및 오디오 프로세서에 결합된 마이크 트랜지스터를 포함하고, 마이크 트랜지스터는 제1 상태에서 단일 도전성 경로를 오디오 프로세서에 결합시키고, 제2 상태에서 오디오 프로세서로부터 단일 도전성 경로를 격리하도록 구성된다.
- [0046] 예 9에서, 예 1 내지 예 8 중 임의의 하나 이상의 예의 마스터 장치는 선택적으로 단일 도전성 경로를 이용하여 정합 가능 부분에 접속된 슬레이브 장치의 제2의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스와 정보를 교환하도록 구성되는 제1의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스를 포함한다.
- [0047] 예 10에서, 예 1 및 예 2 중 임의의 하나 이상의 예의 마스터 장치는 선택적으로 단일 도전성 경로 및 오디오 프로세서에 결합된 마이크 트랜지스터로서, 제1 상태에서 단일 도전성 경로를 오디오 프로세서에 결합시키고 제2 상태에서 오디오 프로세서로부터 단일 도전성 경로를 격리하도록 구성되는, 상기 마이크 트랜지스터; 및 단일 도전성 경로를 이용하여 정합 가능 부분에 접속된 슬레이브 장치의 제2의 멀티-마스터 멀티-슬레이브 싱글-엔드

형 직렬 컴퓨터 버스 인터페이스와 정보를 교환하도록 구성되는 제1의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스를 포함한다.

- [0048] 예 11에서, 예 1 내지 예 10 중 임의의 하나 이상의 예의 마스터 장치는 선택적으로 정합 가능 부분에 결합된 슬레이브 장치의 접속을 검출하도록 구성되는 제어기를 포함하고, 제어기는 거짓 접속 표시들을 방지하기 위해 슬레이브 장치의 접속을 디바운싱하도록 구성된다.
- [0049] 예 12에서, 예 1 내지 예 11 중 임의의 하나 이상의 예의 마스터 장치는 선택적으로 정합 가능 부분에 결합된 슬레이브 장치의 접속을 검출하도록 구성되는 제어기를 포함하고, 제어기는 오디오 프로세서에서 수신되는 오디오 신호로부터 오디오 팝을 제거하기 위해 마이크 트랜지스터 또는 바이패스 트랜지스터 중 적어도 하나의 트랜지스터의 제어 노드를 변조하도록 구성된다.
- [0050] 예 13에서, 마스터 장치의 기능을 확장하도록 구성되는 슬레이브 장치는 오디오 잭 커넥터의 정합 가능 부분; 정합 가능 부분의 단자에 결합된 단일 도전성 경로로서, 슬레이브 장치의 오디오 트랜스듀서와 정합 가능 부분에 결합된 마스터 장치 사이에서 오디오 신호들을 전달하고, 마스터 장치와 디지털 통신 정보를 교환하도록 구성되는, 상기 단일 도전성 경로; 제1 상태 및 제2 상태를 갖는 공핍 모드 트랜지스터로서, 제1 상태에서 오디오 트랜스듀서를 단일 도전성 경로와 결합시키고, 제2 상태에서 단일 도전성 경로로부터 오디오 트랜스듀서를 격리하도록 구성되는, 상기 공핍 모드 트랜지스터를 포함하고, 제1 상태는 슬레이브 장치의 비급전 상태를 포함할 수 있다.
- [0051] 예 14에서, 예 1 내지 예 13 중 임의의 하나 이상의 예의 오디오 트랜스듀서는 선택적으로 아날로그 마이크를 포함한다.
- [0052] 예 15에서, 예 1 내지 예 14 중 임의의 하나 이상의 예의 슬레이브 장치는 선택적으로 단일 도전성 경로를 이용하여 정합 가능 부분에 접속된 마스터 장치의 제2의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스와 정보를 교환하도록 구성되는 제1의 멀티-마스터 멀티-슬레이브 싱글-엔드형 직렬 컴퓨터 버스 인터페이스를 포함한다.
- [0053] 예 16에서, 마스터 장치와 슬레이브 장치 사이의 디지털 통신 방법은 제1 임계치 위로 상승하는 마이크 도전체 상의 전압을 검출하는 단계로서, 전압은 슬레이브 장치가 마이크 도전체를 이용하여 디지털 통신을 할 수 있고 준비가 되어 있다는 것을 표시하는, 상기 검출하는 단계; 마이크 도전체 및 제1 디지털 직렬 통신 신호를 이용하여 제1 코드를 슬레이브 장치로 전송하는 단계; 마이크 도전체 및 제2 디지털 통신 신호를 이용하여 슬레이브 장치로부터 제2 코드를 수신하는 단계; 마이크 도전체 및 제3 디지털 직렬 통신 신호를 이용하여 제3 코드를 슬레이브 장치로 전송하는 단계; 및 바이어스 저항기가 바이어스 전압을 상기 마이크 도전체에 인가하는 것을 가능하게 하기 위해 상기 마스터 장치의 바이패스 트랜지스터를 디스에이블하는 단계를 포함할 수 있다.
- [0054] 예 17에서, 예 1 내지 예 16 중 임의의 하나 이상의 예의 방법은 선택적으로 마스터 장치의 검출 회로를 이용하여 마스터 장치에 대한 슬레이브 장치의 결합을 검출하는 단계를 포함한다.
- [0055] 예 18에서, 예 1 내지 예 17 중 임의의 하나 이상의 예의 상기 결합을 검출하는 단계는 선택적으로 오디오 프로세서로부터 마이크 도전체를 격리하기 위해 마스터 장치의 마이크 트랜지스터를 디스에이블하는 단계를 포함한다.
- [0056] 예 19에서, 예 1 및 예 2 중 임의의 하나 이상의 예의 상기 바이패스 트랜지스터를 디스에이블하는 단계는 선택적으로 마이크 도전체를 오디오 프로세서에 결합시키기 위해 마스터 장치의 마이크 트랜지스터를 인에이블하는 단계를 포함한다.
- [0057] 예 20에서, 예 1 내지 예 19 중 임의의 하나 이상의 예의 제1 코드는 선택적으로 검증 요청을 포함하고, 제2 코드는 식별 정보를 포함하고, 제3 코드는 파워 다운 코드를 포함한다.
- [0058] 예 21에서, 예 1 내지 예 19 중 임의의 하나 이상의 예의 제1 코드는 선택적으로 검증 코드를 포함하고, 제2 코드는 키 프레스 정보 코드를 포함하고, 제3 코드는 파워 다운 코드를 포함한다.
- [0059] 예 22에서, 예 1 내지 예 19 중 임의의 하나 이상의 예의 제1 코드는 선택적으로 기록 코드를 포함하고, 제2 코드는 수신 확인 응답을 포함하고, 제3 코드는 기록 정보를 포함한다.
- [0060] 예 23에서, 마스터 장치와 슬레이브 장치 사이의 디지털 통신 방법은 슬레이브 장치에서 제1 임계치 위로 상승하는 마이크 도전체 상의 전압을 검출하는 단계로서, 전압은 마스터 장치가 마이크 도전체를 이용하여 디지털

통신을 할 수 있고 준비가 되어 있다는 것을 표시하는, 상기 검출하는 단계; 슬레이브 장치의 공핍 모드 트랜지스터를 이용하여 마이크 도전체로부터 슬레이브 장치의 마이크를 격리하는 단계; 마이크 도전체 및 제1 디지털 직렬 통신 신호를 이용하여 슬레이브 장치에서 제1 코드를 수신하는 단계; 마이크 도전체 및 제2 디지털 통신 신호를 이용하여 슬레이브 장치로부터 제2 코드를 전송하는 단계; 마이크 도전체 및 제3 디지털 직렬 통신 신호를 이용하여 슬레이브 장치에서 제3 코드를 수신하는 단계; 및 공핍 모드 트랜지스터를 이용하여 마이크를 마이크 도전체에 결합시키는 단계를 포함할 수 있다.

[0061] 예 24에서, 예 1 내지 예 23 중 임의의 하나 이상의 예의 제1 코드는 선택적으로 검증 요청을 포함하고, 제2 코드는 식별 정보를 포함하고, 제3 코드는 파워 다운 코드를 포함한다.

[0062] 예 25에서, 예 1 내지 예 23 중 임의의 하나 이상의 예의 제1 코드는 선택적으로 검증 코드를 포함하고, 제2 코드는 키 프레스 정보 코드를 포함하고, 제3 코드는 파워 다운 코드를 포함한다.

[0063] 예 26에서, 예 1 내지 예 23 중 임의의 하나 이상의 예의 제1 코드는 선택적으로 기록 코드를 포함하고, 제2 코드는 수신 확인 응답을 포함하고, 제3 코드는 기록 정보를 포함한다.

[0064] 예 27은 예 1 내지 예 26 중 임의의 하나 이상의 예의 임의의 부분 또는 임의의 부분들의 조합을 포함할 수 있거나 선택적으로 이와 조합될 수 있어, 예 1 내지 예 26의 기능들 중 임의의 하나 이상의 기능을 수행하기 위한 수단을 포함할 수 있거나, 기계에 의해 수행될 때 기계로 하여금 예 1 내지 예 26의 기능들 중 임의의 하나 이상의 기능을 수행하게 하는 명령어들을 포함하는 기계-판독가능 매체를 포함할 수 있는 요지를 포함하도록 한다.

[0065] 위의 상세한 설명은 상세한 설명의 일부를 형성하는 첨부 도면들에 대한 참조를 포함한다. 도면들은 본 발명을 실시할 수 있는 특정 실시예들을 예시적으로 도시한다. 이러한 실시예들은 본 명세서에서 "예"로서 또한 지칭된다. 그러한 예들은 도시되거나 설명된 것들에 더하여 요소들을 포함할 수 있다. 그러나, 본 발명자들은 도시되거나 설명된 요소들만이 제공되는 예들을 또한 고려한다. 더욱이, 본 발명자들은 특정 예(또는 그의 하나 이상의 태양)와 관련하여 또는 본 명세서에서 도시되거나 설명된 다른 예들(또는 이들의 하나 이상의 태양)과 관련하여, 도시되거나 설명된 요소들(또는 이들의 하나 이상의 태양)의 임의의 조합 또는 치환을 이용하는 예들을 또한 고려한다.

[0066] 본 명세서에서 참조되는 모든 공보들, 특허들 및 특허 문헌들은, 마치 개별적으로 참고로 포함되는 것처럼, 전체적으로 본 명세서에 참고로 포함된다. 본 명세서와 그렇게 참고로 포함된 문헌들 사이에서의 일치하지 않는 사용의 경우, 포함된 참고 문헌(들)에서의 사용은 본 명세서에서의 사용을 보완하는 것으로 간주되어야 하며, 모순되는 불일치에 대해서는 본 명세서에서의 사용이 지배한다.

[0067] 본 명세서에서는, 특허 문헌들에서 일반적이듯이, 단수 용어("a" 또는 "an")는, "적어도 하나" 또는 "하나 이상"의 임의의 다른 사례들 또는 사용들과 관계없이, 하나 또는 하나보다 많은 것을 포함하도록 사용된다. 본 명세서에서, "또는"이라는 용어는 비배타적인 "또는"을 지칭하도록 사용되어, 달리 지시되지 않는 한은 "A 또는 B"가 "B가 아니라 A", "A가 아니라 B" 및 "A와 B"를 포함하도록 한다. 첨부된 특허청구범위에서, 용어 "포함하는(including)" 및 "여기서(in which)"는 각자의 용어들 "포함하는(comprising)" 및 "여기서(wherein)"의 평이한 영어에서의 등가물들로서 사용된다. 또한, 하기의 특허청구범위에서, 용어 "포함하는(including)" 및 "포함하는(comprising)"은 개방적인데, 즉 청구항에서 그러한 용어 뒤에 열거되는 것들 이외의 요소들을 포함하는 시스템, 장치, 물품 또는 프로세스는 여전히 그 청구항의 범주 내에 속하는 것으로 간주된다. 더욱이, 하기의 특허청구범위에서, 용어 "제1", "제2" 및 "제3" 등은 단지 라벨들로서 사용될 뿐이며, 그들의 객체들에 수치적 요건들을 부과하는 것으로 의도되지 않는다.

[0068] 본 명세서에서 설명되는 방법 예들은 기계 또는 컴퓨터에 의해 적어도 부분적으로 구현될 수 있다. 일부 예들은 위의 예들에서 설명된 바와 같은 방법들을 수행하도록 전자 장치를 구성하도록 동작할 수 있는 명령어들이 인코딩된 컴퓨터-판독가능 매체 또는 기계-판독가능 매체를 포함할 수 있다. 그러한 방법들의 구현에는 마이크로코드, 어셈블리 언어 코드, 하이 레벨 언어 코드 등과 같은 코드를 포함할 수 있다. 그러한 코드는 다양한 방법들을 수행하기 위한 컴퓨터-판독가능 명령어들을 포함할 수 있다. 코드는 컴퓨터 프로그램 제품들의 일부 분들을 형성할 수 있다. 또한, 코드는, 예를 들어 실행 동안 또는 다른 시각들에서, 하나 이상의 휘발성 또는 비휘발성 유형(tangible) 컴퓨터-판독가능 매체 상에 유형적으로 저장될 수 있다. 이러한 유형 컴퓨터 판독 가능 매체의 예들은 하드 디스크, 이동식 자기 디스크, 이동식 광 디스크(예컨대, 콤팩트 디스크 및 디지털 비디오 디스크), 자기 카세트, 메모리 카드 또는 스틱, 랜덤 액세스 메모리(RAM), 판독 전용 메모리(ROM) 등을 포함

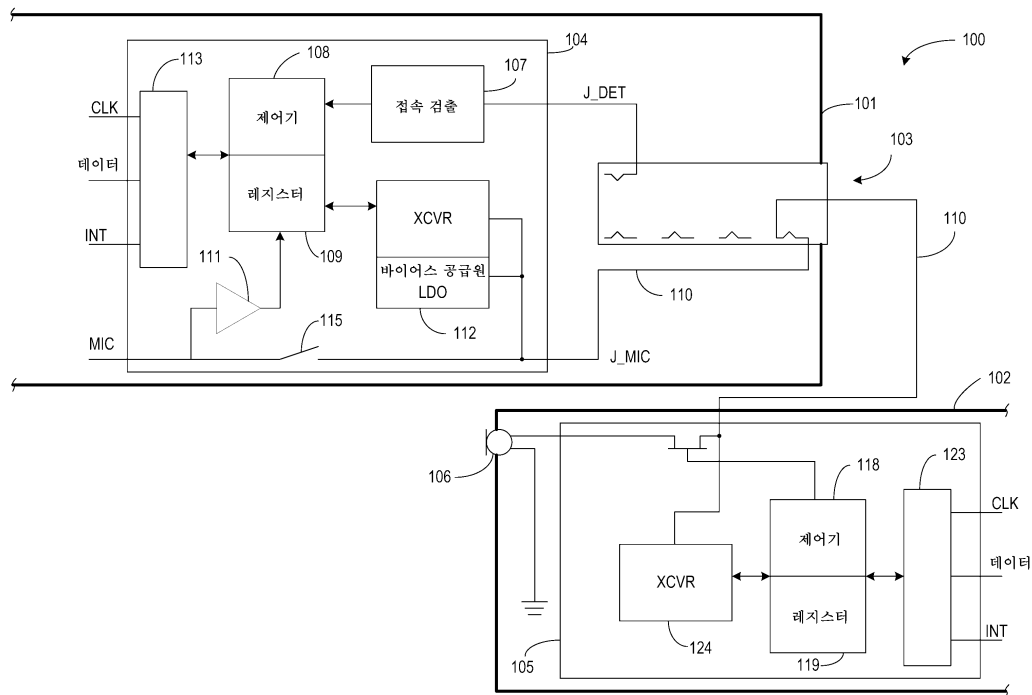
할 수 있지만, 이로 한정되지 않는다.

[0069]

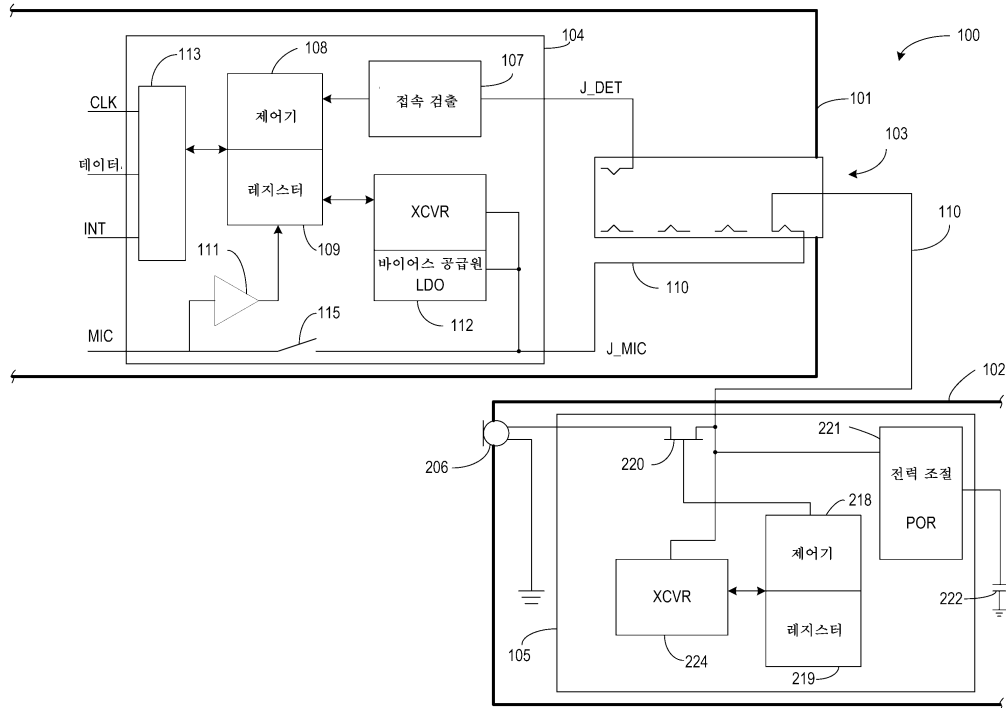
위의 설명은 한정하는 것이 아니라 예시적이도록 의도된다. 예를 들어, 전술된 예들(또는 이들의 하나 이상의 태양)은 서로 조합하여 사용될 수 있다. 위의 설명을 검토할 때, 예를 들어 당업자에 의해, 다른 실시예들이 이용될 수 있다. 요약서는 독자가 기술적 개시 내용의 본질을 빠르게 확인하게 하기 위하여 37 C.F.R. 1.72(b)를 준수하도록 제공된다. 요약서는 특허청구범위의 범주 또는 의미를 해석하거나 한정하는 데 사용되지 않을 것이라는 이해를 가지고 제출된다. 또한, 위의 상세한 설명에서, 다양한 특징부들은 개시를 간소화하기 위해 함께 그룹화될 수 있다. 이는 청구되지 않은 개시된 특징부가 임의의 청구항에 필수적이라는 것을 의도하는 것으로 해석되지 않아야 한다. 오히려, 본 발명의 요지는 개시된 특정 실시예의 모든 특징부들보다 더 적은 특징부에 존재할 수 있다. 따라서, 하기의 특허청구범위는 이에 의해 상세한 설명에 포함되며, 각각의 청구항은 개별 실시예로서 그 자신에 근거하고, 그러한 실시예들이 다양한 조합들 또는 치환들에서 서로 조합될 수 있다는 것이 고려된다. 본 발명의 범주는, 첨부된 특허청구범위를, 그러한 특허청구범위가 권리를 갖는 균등물들의 전체 범주와 함께, 참조하여 결정되어야 한다.

**도면**

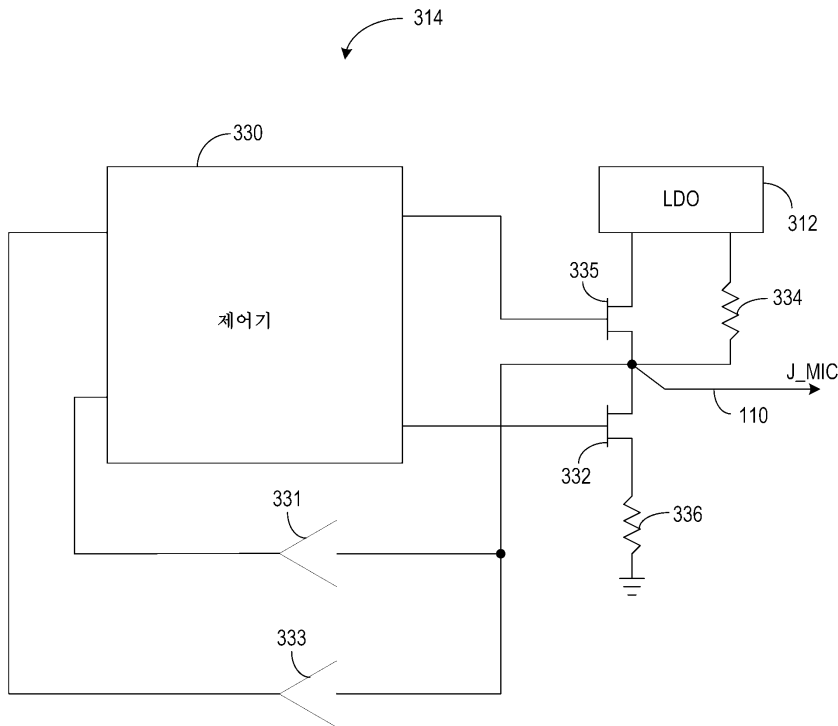
**도면1**



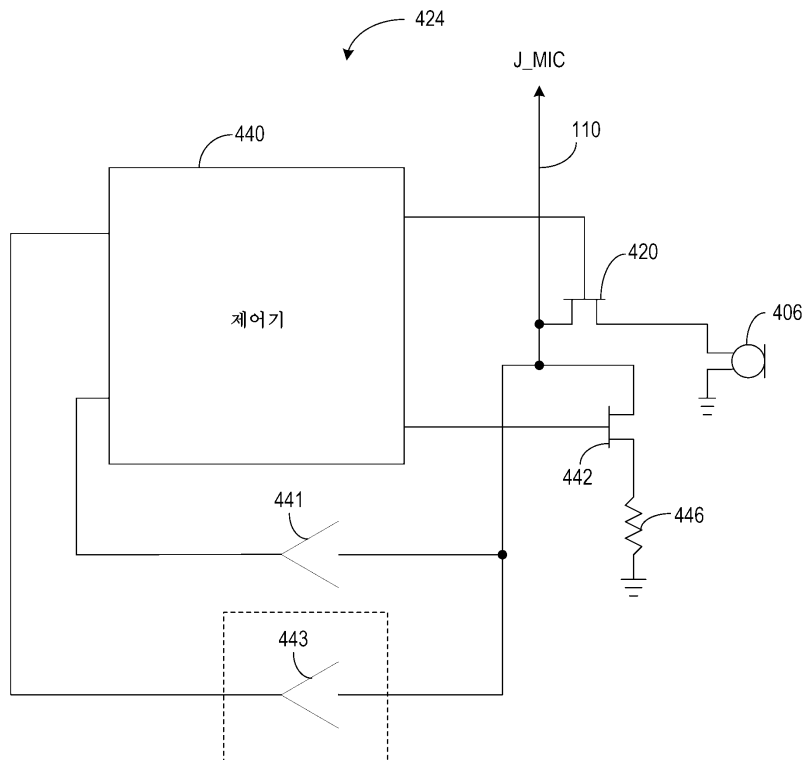
도면2



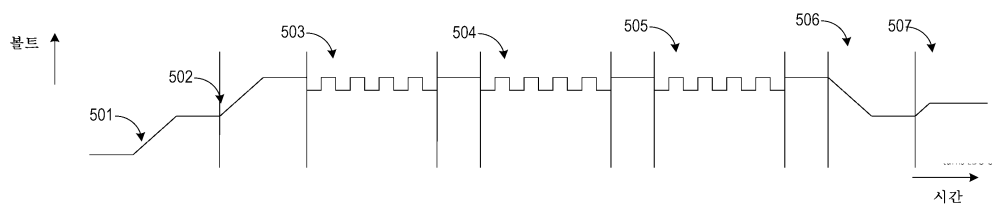
도면3



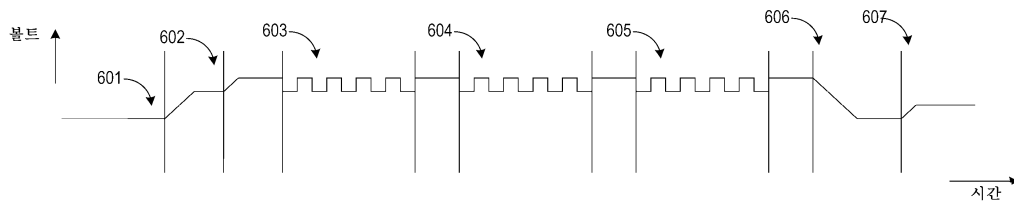
도면4



도면5



도면6



도면7

