



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0050004
(43) 공개일자 2020년05월11일

(51) 국제특허분류(Int. Cl.)
H01L 33/00 (2010.01) H01L 33/22 (2010.01)
H01L 33/44 (2010.01) H01L 33/50 (2010.01)
H01L 33/56 (2010.01)

(52) CPC특허분류
H01L 33/0095 (2013.01)
H01L 33/0008 (2013.01)

(21) 출원번호 10-2018-0131072
(22) 출원일자 2018년10월30일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
민정홍
경기도 평택시 팽성읍 두리길 96
김대현
경기도 화성시 동탄반석로 231, 예당마을롯데캐슬
아파트 146동 1603호 (석우동)
(뒷면에 계속)

(74) 대리인
특허법인가산

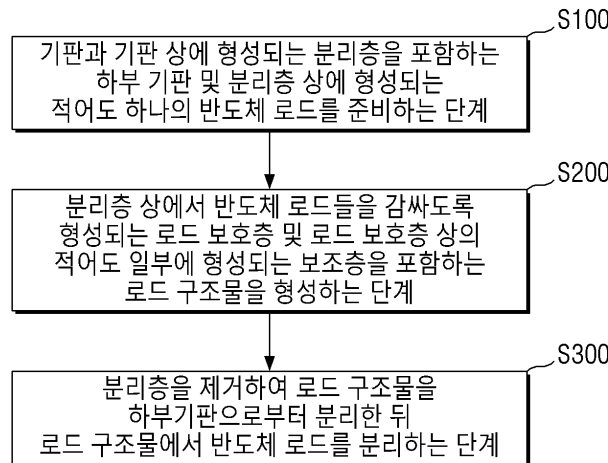
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 발광 소자 구조물 및 발광 소자의 제조방법

(57) 요약

발광 소자 구조물 및 발광 소자의 제조방법이 제공된다. 발광 소자의 제조 방법은 기판과 상기 기판 상에 형성되는 분리층을 포함하는 하부 기판 및 상기 분리층 상에 형성되는 적어도 하나의 반도체 로드를 준비하는 단계, 상기 분리층 상에서 상기 반도체 로드들을 감싸도록 형성되는 로드 보호층 및 상기 로드 보호층 상의 적어도 일부에 형성되는 보조층을 포함하는 로드 구조물을 형성하는 단계 및 상기 분리층을 제거하여 상기 로드 구조물을 상기 하부기판으로부터 분리한 뒤, 상기 로드 구조물에서 상기 반도체 로드를 분리하는 단계를 포함한다.

대표도 - 도2



(52) CPC특허분류

H01L 33/22 (2013.01)

H01L 33/44 (2013.01)

H01L 33/50 (2013.01)

H01L 33/56 (2013.01)

(72) 발명자

김동욱

경기도 화성시 동탄순환대로25길 21, 경남아너스빌
503동 2501호 (영천동)

정재훈

서울특별시 강남구 남부순환로351길 22-5, 캐슬빌
라 203B호 (도곡동)

조현민

서울특별시 서초구 사임당로19길 11-6, 롯데빌리지
711호 (서초동)

명세서

청구범위

청구항 1

기관과 상기 기관 상에 형성되는 분리층을 포함하는 하부 기관 및 상기 분리층 상에 형성되는 적어도 하나의 반도체 로드를 준비하는 단계;

상기 분리층 상에서 상기 반도체 로드들을 감싸도록 형성되는 로드 보호층 및 상기 로드 보호층 상의 적어도 일부에 형성되는 보조층을 포함하는 로드 구조물을 형성하는 단계; 및

상기 분리층을 제거하여 상기 로드 구조물을 상기 하부기관으로부터 분리한 뒤, 상기 로드 구조물에서 상기 반도체 로드를 분리하는 단계를 포함하는 발광 소자의 제조방법.

청구항 2

제1 항에 있어서,

상기 로드 구조물을 분리하는 단계에서,

상기 분리층은 분리용 식각액에 의해 식각되어 제거되며, 상기 로드 보호층은 상기 분리용 식각액과 반응하지 않는 발광 소자의 제조방법.

청구항 3

제2 항에 있어서,

상기 분리용 식각액은 불소(F)를 함유하는 물질을 포함하고,

상기 로드 보호층은 상기 분리용 식각액에 불용성인 유기물을 포함하는 발광 소자의 제조방법.

청구항 4

제3 항에 있어서,

상기 로드 구조물을 형성하는 단계에서,

상기 로드 보호층은 상기 반도체 로드 상에 상기 유기물을 코팅하여 형성되는 발광 소자의 제조방법.

청구항 5

제4 항에 있어서,

상기 로드 보호층의 상기 유기물은 폴리메틸메타크릴레이트(Poly methyl methacrylate, PMMA), 포토레지스트(Photoresist, PR), 폴리(3,4-에틸렌디옥시싸이오펜) 폴리스티렌 설퍼네이트(Poly-(3,4-ethylenedioxy thiophene) polystyrene sulfonate, PEDOT:PSS) 중 적어도 어느 하나를 포함하는 발광 소자의 제조방법.

청구항 6

제4 항에 있어서,

상기 반도체 로드를 분리하는 단계는,

상기 보조층을 상기 로드 보호층으로부터 제거하는 단계;

상기 로드 보호층의 상기 유기물을 용매에 용해시키는 단계 및

상기 용매에 용해된 상기 유기물을 제거하는 단계를 포함하는 발광 소자의 제조방법.

청구항 7

제6 항에 있어서,

상기 용매에 용해된 유기물을 제거하는 단계는 상기 유기물을 열처리하여 휘발시키는 단계를 포함하는 발광 소자의 제조방법.

청구항 8

제1 항에 있어서,

상기 반도체 로드를 준비하는 단계에서,

상기 분리층은 일부 영역이 함몰된 적어도 하나의 홈부 및

상기 홈부가 이격되어 형성되는 돌출부를 포함하는 요철패턴이 형성되는 발광 소자의 제조방법.

청구항 9

제8 항에 있어서,

상기 로드 구조물을 형성하는 단계에서,

상기 로드 보호층은 상기 분리층의 상기 돌출부를 감싸며 상기 홈부의 상면에 접촉하도록 형성되는 발광 소자의 제조방법.

청구항 10

제9 항에 있어서,

상기 반도체 로드는 상기 로드 보호층 내에서 일 단부는 상기 로드 보호층의 일 면을 향하고,

상기 일 단부의 반대편 타 단부는 상기 로드 보호층의 상기 일 면에 대항하는 타 면을 향하도록 배열되는 발광 소자의 제조방법.

청구항 11

제10 항에 있어서,

상기 반도체 로드의 상기 타 단부는 상기 분리층의 상기 돌출부와 접촉하는 발광 소자의 제조방법.

청구항 12

제11 항에 있어서,

상기 적어도 하나의 반도체 로드들은 상기 로드 보호층의 상기 일 면에 수직한 방향으로 배열되는 발광 소자의 제조방법.

청구항 13

제12 항에 있어서,

상기 반도체 로드는,

제1 도전형 반도체, 활성층 및 상기 제1 도전형 반도체와 다른 극성을 갖는 제2 도전형 반도체를 포함하는 반도체 결정 및

상기 반도체 결정의 외주면을 둘러싸는 절연막을 포함하는 발광 소자의 제조방법.

청구항 14

제11 항에 있어서,

상기 보조층은 상기 반도체 로드의 일 단부가 향하는 상기 일 면 상에 형성되는 발광 소자의 제조방법.

청구항 15

불소(F)를 함유하는 식각액에 불용성인 유기물을 포함하는 유기보호필름;

상기 유기보호필름 내에 배치되며 상기 유기보호필름의 일 면과 평행한 방향으로 서로 이격되어 배열되는 적어도 하나의 반도체 로드; 및

상기 유기보호필름 상의 적어도 일부에 형성되는 보조층을 포함하는 발광 소자 구조물.

청구항 16

제15 항에 있어서,

상기 유기보호필름의 상기 유기물은 폴리메틸메타크릴레이트(Poly methyl methacrylate, PMMA), 포토레지스트(Photoresist, PR), 폴리(3,4-에틸렌디옥시싸이오펜) 폴리스티렌 설프네이트(Poly-(3,4-ethylenedioxy thiophene) polystyrene sulfonate, PEDOT:PSS) 중 적어도 어느 하나를 포함하는 발광 소자 구조물.

청구항 17

제16 항에 있어서,

상기 유기보호필름의 상기 일 면은 실질적으로 평탄하고,

상기 일 면에 대항하며 상기 보조층이 형성되지 않는 타 면은 상기 반도체 로드와 중첩되는 영역이 함몰되어 형성된 적어도 하나의 함몰부를 포함하는 발광 소자 구조물.

청구항 18

제17 항에 있어서,

상기 반도체 로드는 장축이 상기 유기보호필름의 상기 일 면과 수직한 방향으로 연장된 형태를 갖는 발광 소자 구조물.

청구항 19

제18 항에 있어서,

상기 반도체 로드는 일 단부가 상기 유기보호필름의 상기 일 면을 향하고, 타 단부가 상기 유기보호필름의 상기 타 면을 향하도록 배향되며,

상기 타 단부는 상기 함몰부와 부분적으로 접촉하는 발광 소자 구조물.

청구항 20

제19 항에 있어서,

상기 반도체 로드는,

제1 도전형 반도체;

상기 제1 도전형 반도체와 다른 극성을 갖는 제2 도전형 반도체; 및

상기 제1 도전형 반도체와 상기 제2 도전형 반도체 사이에 배치되는 활성층을 포함하는 반도체 결정을 포함하고,

상기 반도체 결정은 상기 제1 도전형 반도체, 상기 활성층 및 상기 제2 도전형 반도체가 상기 장축이 연장된 방향으로 적층된 구조를 갖는 발광 소자 구조물.

발명의 설명

기술 분야

본 발명은 발광 소자의 제조방법에 관한 것으로, 더욱 상세하게는 발광 소자의 제조 시, 발광 소자가 식각액에 의해 손상되는 것을 방지하는 유기물 보호막을 포함하는 발광 소자 구조물 및 발광 소자의 제조방법에 관한 것이다.

[0001]

배경 기술

- [0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 유기발광 표시 장치(Organic Light Emitting Display, OLED), 액정 표시 장치(Liquid Crystal Display, LCD) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.
- [0003] 표시 장치의 화상을 표시하는 장치로서 유기 발광 표시 패널이나 액정 표시 패널과 같은 표시 패널을 포함한다. 그 중, 발광 표시 패널로써, 발광 소자를 포함할 수 있는데, 예를 들어 발광 다이오드(Light Emitting Diode, LED)의 경우, 유기물을 형광 물질로 이용하는 유기 발광 다이오드(OLED), 무기물을 형광물질로 이용하는 무기 발광 다이오드 등이 있다.
- [0004] 유기 발광 다이오드(OLED)의 경우, 발광 소자의 형광물질로 유기물을 이용하는 것으로, 제조공정이 간단하며 표시 소자가 플렉서블한 특성을 가질 수 있는 장점이 있다. 그러나, 유기물은 고온의 구동환경에 취약한 점, 청색 광의 효율이 상대적으로 낮은 것으로 알려져 있다.
- [0005] 반면에, 무기 발광 다이오드의 경우, 형광물질로 무기물 반도체를 이용하여, 고온의 환경에서도 내구성을 가지며, 유기 발광 다이오드에 비해 청색 광의 효율이 높은 장점이 있다. 또한, 기존의 무기 발광 다이오드 소자의 한계로 지적되었던 제조 공정에 있어서도, 유전영동(Dielectrophoresis, DEP)법을 이용한 전사방법이 개발되었다. 이에 유기 발광 다이오드에 비해 내구성 및 효율이 우수한 무기 발광 다이오드에 대한 연구가 지속되고 있다.

발명의 내용

해결하려는 과제

- [0006] 무기 발광 다이오드는 기판상에 n형 또는 p형으로 도핑(dopping)된 반도체층과 무기물 형광물질층을 성장시키고, 특정 형태를 가진 로드(rod)를 형성한 뒤 이를 분리하는 방법으로 제조될 수 있다. 다만, 로드를 분리할 때 화학적 분리방법(Chemical lift off, CLO)을 이용할 경우, 분리층을 제거하기 위한 식각액에 의해 로드의 외주면과 양 단의 전극이 손상되는 문제가 있었다.
- [0007] 따라서, 본 발명이 해결하고자 하는 과제는 반도체 로드의 외주면 또는 전극에 가해지는 손상을 최소화하는 발광 소자의 제조 방법을 제공하는 것이다.
- [0008] 또한, 본 발명은 복수의 발광 소자를 포함하고, 발광 소자들이 외부와 접촉하지 않도록 이들을 보호하는 로드 보호층을 포함하는 발광 소자 구조물을 제공하는 것이다.
- [0009] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0010] 상기 과제를 해결하기 위한 일 실시예에 따른 발광 소자의 제조 방법은 기판과 상기 기판 상에 형성되는 분리층을 포함하는 하부 기판 및 상기 분리층 상에 형성되는 적어도 하나의 반도체 로드를 준비하는 단계, 상기 분리층 상에서 상기 반도체 로드들을 감싸도록 형성되는 로드 보호층 및 상기 로드 보호층 상의 적어도 일부에 형성되는 보조층을 포함하는 로드 구조물을 형성하는 단계 및 상기 분리층을 제거하여 상기 로드 구조물을 상기 하부기판으로부터 분리한 뒤, 상기 로드 구조물에서 상기 반도체 로드를 분리하는 단계를 포함할 수 있다.
- [0011] 상기 로드 구조물을 분리하는 단계에서, 상기 분리층은 분리용 식각액에 의해 식각되어 제거되되, 상기 로드 보호층은 상기 분리용 식각액과 반응하지 않을 수 있다.
- [0012] 상기 분리용 식각액은 불소(F)를 함유하는 물질을 포함하고, 상기 로드 보호층은 상기 분리용 식각액에 불용성인 유기물을 포함할 수 있다.
- [0013] 상기 로드 구조물을 형성하는 단계에서, 상기 로드 보호층은 상기 반도체 로드 상에 상기 유기물을 코팅하여 형성될 수 있다.
- [0014] 상기 로드 보호층의 상기 유기물은 폴리메틸메타크릴레이트(Poly methyl methacrylate, PMMA), 포토레지스트(Photoresist, PR), 폴리(3,4-에틸렌디옥시싸이오펜) 폴리스티렌 설폰네이트(Poly-(3,4-ethylenedioxy

thiophene) polystyrene sulfonate, PEDOT:PSS) 중 적어도 어느 하나를 포함할 수 있다.

- [0015] 상기 반도체 로드를 분리하는 단계는, 상기 보조층을 상기 로드 보호층으로부터 제거하는 단계, 상기 로드 보호층의 상기 유기물을 용매에 용해시키는 단계 및 상기 용매에 용해된 상기 유기물을 제거하는 단계를 포함할 수 있다.
- [0016] 상기 용매에 용해된 유기물을 제거하는 단계는 상기 유기물을 열처리하여 휘발시키는 단계를 포함할 수 있다.
- [0017] 상기 반도체 로드를 준비하는 단계에서, 상기 분리층은 일부 영역이 함몰된 적어도 하나의 홈부 및 상기 홈부가 이격되어 형성되는 돌출부를 포함하는 요철패턴이 형성될 수 있다.
- [0018] 상기 로드 구조물을 형성하는 단계에서, 상기 로드 보호층은 상기 분리층의 상기 돌출부를 감싸며 상기 홈부의 상면에 접촉하도록 형성될 수 있다.
- [0019] 상기 반도체 로드는 상기 로드 보호층 내에서 일 단부는 상기 로드 보호층의 일 면을 향하고, 상기 일 단부의 반대편 타 단부는 상기 로드 보호층의 상기 일 면에 대향하는 타 면을 향하도록 배열될 수 있다.
- [0020] 상기 반도체 로드의 상기 타 단부는 상기 분리층의 상기 돌출부와 접촉할 수 있다.
- [0021] 상기 적어도 하나의 반도체 로드들은 상기 로드 보호층의 상기 일 면에 수직한 방향으로 배열될 수 있다.
- [0022] 상기 반도체 로드는, 제1 도전형 반도체, 활성층 및 상기 제1 도전형 반도체와 다른 극성을 갖는 제2 도전형 반도체를 포함하는 반도체 결정 및 상기 반도체 결정의 외주면을 둘러싸는 절연막을 포함할 수 있다.
- [0023] 상기 보조층은 상기 반도체 로드의 일 단부가 향하는 상기 일 면 상에 형성될 수 있다.
- [0024] 상기 과제를 해결하기 위한 다른 실시예에 따른 발광 소자 구조물은 불소(F)를 함유하는 식각액에 불용성인 유기물을 포함하는 유기보호필름, 상기 유기보호필름 내에 배치되며 상기 유기보호필름의 일 면과 평행한 방향으로 서로 이격되어 배열되는 적어도 하나의 반도체 로드 및 상기 유기보호필름 상의 적어도 일부에 형성되는 보조층을 포함할 수 있다.
- [0025] 상기 유기보호필름의 상기 유기물은 폴리메틸메타크릴레이트(Poly methyl methacrylate, PMMA), 포토레지스트(Photoresist, PR), 폴리(3,4-에틸렌디옥시싸이오펜) 폴리스티렌 설포네이트(Poly-(3,4-ethylenedioxy thiophene) polystyrene sulfonate, PEDOT:PSS) 중 적어도 어느 하나를 포함할 수 있다.
- [0026] 상기 유기보호필름의 상기 일 면은 실질적으로 평탄하고, 상기 일 면에 대향하며 상기 보조층이 형성되지 않는 타 면은 상기 반도체 로드와 중첩되는 영역이 함몰되어 형성된 적어도 하나의 함몰부를 포함할 수 있다.
- [0027] 상기 반도체 로드는 장축이 상기 유기보호필름의 상기 일 면과 수직한 방향으로 연장된 형태를 가질 수 있다.
- [0028] 상기 반도체 로드는 일 단부가 상기 유기보호필름의 상기 일 면을 향하고, 타 단부가 상기 유기보호필름의 상기 타 면을 향하도록 배향되며, 상기 타 단부는 상기 함몰부와 부분적으로 접촉할 수 있다.
- [0029] 상기 반도체 로드는, 제1 도전형 반도체, 상기 제1 도전형 반도체와 다른 극성을 갖는 제2 도전형 반도체 및 상기 제1 도전형 반도체와 상기 제2 도전형 반도체 사이에 배치되는 활성층을 포함하는 반도체 결정을 포함하고, 상기 반도체 결정은 상기 제1 도전형 반도체, 상기 활성층 및 상기 제2 도전형 반도체가 상기 장축이 연장된 방향으로 적층된 구조를 가질 수 있다.
- [0030] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0031] 일 실시예에 따른 발광 소자의 제조 방법에 의하면, 반도체 로드를 포함하는 로드 구조물을 형성하는 단계를 포함하여, 반도체 로드를 하부 기판에서 분리될 때, 분리층의 식각액에 의해 반도체 로드가 손상되는 것을 방지할 수 있다. 반도체 로드를 포함하는 로드 구조물은 상기 식각액에 반응하지 않는 로드 보호층과 로드 보호층 상에 형성되는 보조층을 포함하여 반도체 로드를 용이하게 보관하고 수송할 수 있다.
- [0032] 이에 따라 제조된 발광 소자는 전극층 또는 절연막의 손상없이 매끄러운 외면을 형성하고, 표시 장치의 접촉불량 또는 발광불량을 최소화할 수 있다.
- [0033] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0034] 도 1은 일 실시예에 따른 발광 소자의 개략도이다.
- 도 2는 일 실시예에 따른 발광 소자의 제조방법을 나타내는 순서도이다.
- 도 3 내지 도 9는 일 실시예에 따른 반도체 로드의 제조 방법을 나타내는 개략도들이다.
- 도 10은 일 비교예에 따른 발광 소자의 제조방법 중 일부를 도시하는 개략도이다.
- 도 11 내지 도 13은 일 실시예에 따른 로드 구조물을 형성하는 방법을 도시하는 개략도들이다.
- 도 14 및 도 15를 일 실시예에 따른 로드 구조물을 도시하는 개략도들이다.
- 도 16 내지 도 18은 일 실시예에 따른 로드 구조물로부터 반도체 로드를 분리하는 단계를 도시하는 개략도들이다.
- 도 19는 일 실시예에 따른 발광 소자를 포함하는 소자 잉크를 도시하는 개략도이다.
- 도 20은 일 실시예에 따른 표시 장치의 평면도이다.
- 도 21은 도 20의 I-I' 선, II-II' 선 및 III-III' 선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0036] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0037] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0038] 이하, 첨부된 도면을 참고로 하여 실시예들에 대해 설명한다.
- [0039] 도 1은 일 실시예에 따른 발광 소자의 개략도이다.
- [0040] 발광 소자(300)는 임의의 도전형(예컨대, p형 또는 n형) 불순물로 도핑된 반도체 결정을 포함할 수 있다. 반도체 결정은 외부의 전원으로부터 인가되는 전기 신호를 전달받고, 이를 특정 파장대의 광으로 방출할 수 있다. 후술하는 표시 장치(10, 도 20에 도시)는 각 화소(PX, 도 20에 도시)에 복수개의 발광 소자(300)들을 포함하여 발광 소자(300)가 방출하는 상기 광을 표시할 수 있다.
- [0041] 발광 소자(300)는 발광 다이오드(Light Emitting diode)일 수 있으며, 구체적으로 발광 소자(300)는 마이크로미터(micro-meter) 또는 나노미터(nano-meter) 단위의 크기를 가지고, 무기물로 이루어진 무기 발광 다이오드일 수 있다. 발광 소자(300)가 무기 발광 다이오드일 경우, 서로 대향하는 두 전극들 사이에 무기 결정 구조를 갖는 발광 물질을 배치하고 발광 물질에 특정 방향으로 전계를 형성하면, 무기 발광 다이오드가 특정 극성이 형성되는 상기 두 전극 사이에 정렬될 수 있다. 미세한 크기를 갖는 발광 소자(300)는 전계를 형성함으로써 표시 장치(10)의 전극 상에 정렬될 수 있다. 표시 장치(10)의 전극 상에 정렬된 발광 소자(300)는 상기 전극으로부터 전기 신호를 인가받아 특정 파장대의 광을 방출할 수 있다.
- [0042] 도 1을 참조하면, 일 실시예에 따른 발광 소자(300)는 복수의 도전형 반도체(310, 320), 소자 활성층(330), 전극 물질층(370) 및 절연막(380)을 포함할 수 있다. 복수의 도전형 반도체(310, 320)는 발광 소자(300)로 전달되는 전기 신호를 소자 활성층(330)으로 전달하고, 소자 활성층(330)은 특정 파장대의 광을 방출할 수 있다.

- [0043] 구체적으로, 발광 소자(300)는 제1 도전형 반도체(310), 제2 도전형 반도체(320), 제1 도전형 반도체(310)와 제2 도전형 반도체(320) 사이에 배치되는 소자 활성층(330), 제2 도전형 반도체(320) 상에 배치되는 전극 물질층(370)과, 이들의 외주면을 둘러싸도록 배치되는 절연막(380)을 포함할 수 있다. 절연막(380)은 제1 도전형 반도체(310), 제2 도전형 반도체(320), 소자 활성층(330) 및 전극 물질층(370)과 접촉하며 이들의 외주면을 감싸도록 형성될 수 있다. 도 3의 발광 소자(300)는 제1 도전형 반도체(310), 소자 활성층(330), 제2 도전형 반도체(320) 및 전극 물질층(370)이 길이방향으로 순차적으로 형성된 구조를 도시하고 있으나, 이에 제한되지 않는다. 전극 물질층(370)은 생략될 수 있고, 몇몇 실시예에서는 제1 도전형 반도체(310) 및 제2 도전형 반도체(320)의 양 측면 중 적어도 어느 하나에 배치될 수도 있다. 이하에서는, 도 1의 발광 소자(300)를 예시하여 설명하기로 하며, 후술되는 발광 소자(300)에 관한 설명은 발광 소자(300)가 다른 구조를 더 포함하더라도 동일하게 적용될 수 있다.
- [0044] 제1 도전형 반도체(310)는 n형 반도체층일 수 있다. 일 예로, 발광 소자(300)가 청색 파장대의 광을 방출하는 경우, 제1 도전형 반도체(310)는 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 화학식을 갖는 반도체 재료일 수 있다. 예를 들어, n형으로 도핑된 InAlGaN, GaN, AlGaN, InGaN, AlN 및 InN 중에서 어느 하나 이상일 수 있다. 제1 도전형 반도체(310)는 제1 도전성 도펀트가 도핑될 수 있으며, 일 예로 제1 도전성 도펀트는 Si, Ge, Sn 등일 수 있다. 제1 도전형 반도체(310)의 길이는 $1.5\mu m$ 내지 $5\mu m$ 의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0045] 제2 도전형 반도체(320)는 p형 반도체층일 수 있다. 일 예로, 발광 소자(300)가 청색 파장대의 광을 방출하는 경우, 제2 도전형 반도체(320)는 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 화학식을 갖는 반도체 재료일 수 있다. 예를 들어, p형으로 도핑된 InAlGaN, GaN, AlGaN, InGaN, AlN 및 InN 중에서 어느 하나 이상일 수 있다. 제2 도전형 반도체(320)는 제2 도전성 도펀트가 도핑될 수 있으며, 일 예로 제2 도전성 도펀트는 Mg, Zn, Ca, Se, Ba 등일 수 있다. 제2 도전형 반도체(320)의 길이는 $0.08\mu m$ 내지 $0.25\mu m$ 의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0046] 한편, 도면에서는 제1 도전형 반도체(310)와 제2 도전형 반도체(320)가 하나의 층으로 구성된 것을 도시하고 있으나, 이에 제한되는 것은 아니다. 경우에 따라서는 후술하는 소자 활성층(330)의 물질에 따라 제1 도전형 반도체(310)와 제2 도전형 반도체(320)는 더 많은 수의 층을 포함할 수도 있다.
- [0047] 소자 활성층(330)은 제1 도전형 반도체(310) 및 제2 도전형 반도체(320) 사이에 배치되며, 단일 또는 다중 양자 우물 구조의 물질을 포함할 수 있다. 소자 활성층(330)이 다중 양자 우물 구조의 물질을 포함하는 경우, 양자층(Quantum layer)와 우물층(Well layer)가 서로 교번적으로 복수개 적층된 구조일 수도 있다. 소자 활성층(330)은 제1 도전형 반도체(310) 및 제2 도전형 반도체(320)를 통해 인가되는 전기 신호에 따라 전자-정공 쌍의 결합에 의해 광을 발광할 수 있다. 일 예로, 소자 활성층(330)이 청색 파장대의 광을 방출하는 경우, AlGaN, AlInGaN 등의 물질을 포함할 수 있다. 특히, 소자 활성층(330)이 다중 양자 우물 구조로 양자층과 우물층이 교번적으로 적층된 구조인 경우, 양자층은 AlGaN 또는 AlInGaN, 우물층은 GaN 또는 AlGaN 등과 같은 물질을 포함할 수 있다.
- [0048] 다만, 이에 제한되는 것은 아니며, 소자 활성층(330)은 밴드갭(Band gap) 에너지가 큰 종류 반도체 물질과 밴드갭 에너지가 작은 반도체 물질들이 서로 교번적으로 적층된 구조일 수도 있고, 발광하는 광의 파장대에 따라 다른 3족 내지 5족 반도체 물질들을 포함할 수도 있다. 이에 따라, 소자 활성층(330)이 방출하는 광은 청색 파장대의 광으로 제한되지 않고, 경우에 따라 적색, 녹색 파장대의 광을 방출할 수도 있다. 소자 활성층(330)의 길이는 $0.05\mu m$ 내지 $0.25\mu m$ 의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0049] 소자 활성층(330)에서 방출되는 광은 발광 소자(300)의 길이방향 외부면 뿐만 아니라, 양 측면으로 방출될 수 있다. 소자 활성층(330)에서 방출되는 광은 일 방향으로 방향성이 제한되지 않는다.
- [0050] 전극 물질층(370)은 옴릭(ohmic) 접촉 전극일 수 있다. 다만, 이에 제한되지 않고, 쇼트키(Schottky) 접촉 전극일 수도 있다. 전극 물질층(370)은 전도성이 있는 금속을 포함할 수 있다. 예를 들어, 전극 물질층(370)은 알루미늄(Al), 티타늄(Ti), 인듐(In), 금(Au), 은(Ag), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin-Zinc Oxide) 중에서 적어도 어느 하나를 포함할 수 있다. 전극 물질층(370)은 동일한 물질을 포함할 수 있고, 서로 다른 물질을 포함할 수도 있다. 다만, 이에 제한되는 것은 아니다.
- [0051] 절연막(380)은 제1 도전형 반도체(310), 제2 도전형 반도체(320), 소자 활성층(330) 및 전극 물질층(370)의 외부에 형성되고, 이들을 보호하는 기능을 수행할 수 있다. 일 예로, 절연막(380)은 상기 부재들의 측면부를 둘러

싸도록 형성되어, 발광 소자(300)의 길이방향의 양 단부, 예를 들어 제1 도전형 반도체(310) 및 전극 물질층(370)이 배치된 양 단부에는 형성되지 않을 수 있다. 다만, 이에 제한되지는 않는다.

[0052] 절연막(380)은 절연특성을 가진 물질들, 예를 들어, 실리콘 산화물(Silicon oxide, SiO_x), 실리콘 질화물(Silicon nitride, SiN_x), 산질화 실리콘(SiO_xN_y), 질화알루미늄(Aluminum nitride, AlN), 산화알루미늄(Aluminum oxide, Al₂O₃) 등을 포함할 수 있다. 이에 따라 소자 활성층(330)이 발광 소자(300)가 전기 신호가 전달되는 전극과 직접 접촉하는 경우 발생할 수 있는 전기적 단락을 방지할 수 있다. 또한, 절연막(380)은 소자 활성층(330)을 포함하여 발광 소자(300)의 외주면을 보호하기 때문에, 발광 효율의 저하를 방지할 수 있다.

[0053] 도면에서는 절연막(380)이 발광 소자(300)의 길이방향으로 연장되어 제1 도전형 반도체(310)부터 전극 물질층(370)까지 커버할 수 있도록 형성된 것을 도시하고 있으나, 이에 제한되지 않는다. 절연막(380)은 제1 도전형 반도체(310), 소자 활성층(330) 및 제2 도전형 반도체(320)만 커버하거나, 전극 물질층(370) 외면의 일부만 커버하여 전극 물질층(370)의 일부 외면이 노출될 수도 있다.

[0054] 절연막(380)의 두께는 0.5 μm 내지 1.5 μm의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.

[0055] 또한, 몇몇 실시예에서, 절연막(380)은 외주면이 표면처리될 수 있다. 발광 소자(300)는 후술하는 표시 장치(도 20에 도시)의 복수의 전극 사이에 정렬되어, 전극으로부터 전기신호를 인가받아 광을 방출할 수 있다. 발광 소자(300)는 소정의 잉크 내에서 분산된 상태로 전극 상에 분사되어 정렬될 수 있다. 여기서, 발광 소자(300)가 잉크 내에서 인접한 다른 발광 소자(300)와 응집되지 않고 분산된 상태를 유지하기 위해, 절연막(380)은 표면이 소수성 또는 친수성 처리될 수 있다.

[0056] 발광 소자(300)는 일 방향으로 연장된 형상을 가질 수 있다. 발광 소자(300)는 나노 로드, 나노 와이어, 나노 튜브 등의 형상을 가질 수 있다. 예시적인 실시예에서, 발광 소자(300)는 원통형 또는 로드형(rod)일 수 있다. 다만, 발광 소자(300)의 형태가 이에 제한되는 것은 아니며, 정육면체, 직육면체, 육각기둥형 등 다양한 형태를 가질 수 있다.

[0057] 발광 소자(300)는 길이(1)가 1 μm 내지 10 μm 또는 2 μm 내지 5 μm의 범위를 가질 수 있으며, 바람직하게는 4 μm 내외의 길이를 가질 수 있다. 또한, 발광 소자(300)의 직경은 300nm 내지 700nm의 범위를 가질 수 있으며, 표시 장치(10)에 포함되는 복수의 발광 소자(300)들은 소자 활성층(330)의 조성 차이에 따라 서로 다른 직경을 가질 수도 있다. 바람직하게는 발광 소자(300)의 직경은 500nm 내외의 범위를 가질 수 있다.

[0058] 한편, 발광 소자(300)는 기판상에서 에피택셜(Epitaxial) 성장법에 의해 제조될 수 있다. 기판상에 반도체층을 형성하기 위한 시드 결정(Seed crystal)층을 형성하고, 원하는 반도체 재료를 증착시켜 성장시킬 수 있다. 다만, 기판 상에서 성장된 반도체 결정을 포함하는 발광 소자(300)는 기판 상에서 분리할 때, 분리면이 매끄러운 형상을 갖도록 제조될 필요가 있다. 후술할 바와 같이, 발광 소자(300)의 양 단부는 표시 장치(10)의 전극과 접촉하여 전기 신호를 인가받을 수 있다. 발광 소자(300)의 양 단부를 매끄럽게 형성하기 위해, 발광 소자(300)는 화학적 분리방법(Chemical Lift Off, CLO)을 이용하여 제조할 수 있다.

[0059] 화학적 분리방법을 이용하는 경우, 기판 상에 분리층을 형성하고, 그 상에 반도체 결정을 증착시킨다. 다만, 분리층을 제거하는데 사용되는 식각액은 경우에 따라서 발광 소자(300)의 재료들과 반응할 수도 있다. 즉, 분리층을 식각액으로 제거하여 발광 소자(300)를 기판 상에서 분리할 때, 상기 식각액에 의해 발광 소자(300)의 절연막(380) 또는 전극 물질층(370)이 손상될 수 있다.

[0060] 다만, 일 실시예에 따른 발광 소자(300)의 제조 방법은 상기 식각액에 의한 발광 소자(300)의 손상을 방지하여, 발광 소자(300)의 외면 및 단부면이 매끄러운 형상을 유지할 수 있다. 이에 따라, 표시 장치(10)는 전극 상에 정렬되는 발광 소자(300)에 의한 접촉 불량 또는 발광 불량을 최소화할 수 있다.

[0061] 도 2는 일 실시예에 따른 발광 소자의 제조 방법을 나타내는 순서도이다.

[0062] 도 2를 참조하면, 일 실시예에 따른 발광 소자(300)의 제조 방법은 베이스 기판(2100), 베이스 기판(2100) 상에 형성되는 분리층(2300)을 포함하는 하부 기판(2000) 및 분리층(2300) 상에 형성되는 적어도 하나의 반도체 로드(ROD)를 준비하는 단계(S100), 분리층(2300) 상에 형성되고 반도체 로드(ROD)들을 감싸는 로드 보호층(1100) 및 로드 보호층(1100) 상에 형성되는 보조층(1200)을 포함하는 로드 구조물(1000)을 형성하는 단계(S200) 및 분리층(2300)을 제거하여 로드 구조물(1000)을 하부 기판(2000)으로부터 분리하고, 로드 구조물(1000)으로부터 반도체 로드(ROD)를 분리하는 단계를 포함할 수 있다.

- [0063] 일 실시예에 따른 발광 소자(300)의 제조 방법은, 분리층(2300)을 제거하는데 사용되는 식각액과 반응하지 않는 로드 보호층(1100)을 포함하는 로드 구조물(1000)을 형성하는 단계를 포함한다. 이에 따라, 반도체 로드(ROD), 즉 발광 소자(300)를 분리할 때, 발광 소자(300)의 일부 재료가 상기 식각액과 반응하여 손상되는 것을 방지할 수 있다. 이하에서는 다른 도면들을 참조하여 발광 소자(300)의 제조 방법에 대하여 자세하게 설명한다.
- [0064] 도 3 내지 도 9는 일 실시예에 따른 반도체 로드의 제조 방법을 나타내는 개략도들이다.
- [0065] 먼저, 도 3을 참조하면, 베이스 기판(2100), 베이스 기판(2100) 상에 형성된 버퍼 물질층(2200) 및 버퍼 물질층(2200) 상에 형성된 분리층(2300)을 포함하는 하부 기판(2000)을 준비한다. 도 3에 도시된 바와 같이, 하부 기판(2000)은 베이스 기판(2100), 버퍼물질층(2200) 및 분리층(2300)이 순차적으로 적층된 구조를 가질 수 있다.
- [0066] 베이스 기판(2100)은 사파이어 기판(Al_2O_3) 및 유리와 같은 투명성 기판을 포함할 수 있다. 다만, 이에 제한되는 것은 아니며, GaN, SiC, ZnO, Si, GaP 및 GaAs 등과 같은 도전성 기판으로 이루어질 수도 있다. 이하에서는, 베이스 기판(2100)이 사파이어 기판(Al_2O_3)인 경우를 예시하여 설명한다. 베이스 기판(2100)의 두께는 특별히 제한되지 않으나, 일 예로 베이스 기판(2100)은 두께가 400 μ m 내지 1500 μ m의 범위를 가질 수 있다.
- [0067] 후술하는 단계에서, 베이스 기판(2100) 상에는 복수의 도전형 반도체층이 형성된다. 에피택셜법에 의해 성장되는 복수의 도전형 반도체층은 시드 결정을 형성하고, 그 위에 결정 재료를 증착하여 성장될 수 있다. 여기서, 도전형 반도체층은 전자빔 증착법, 물리적 기상 증착법(Physical vapor deposition, PVD), 화학적 기상 증착법(Cheical vapor deposition, CVD), 플라즈마 레이저 증착법(Plasma laser deposition, PLD), 이중형 열증착법(Dual-type thermal evaporation), 스퍼터링(Sputtering), 금속-유기물 화학기상 증착법(Metal organic chemical vapor deposition, MOCVD) 등일 수 있으며, 바람직하게는, 금속-유기물 화학기상 증착법(MOCVD)에 의해 형성될 수 있다. 다만, 이에 제한되지 않는다.
- [0068] 복수의 도전형 반도체층을 형성하기 위한 전구체 물질은 대상 물질을 형성하기 위해 통상적으로 선택될 수 있는 범위 내에서 특별히 제한되지 않는다. 일 예로, 전구체 물질은 메틸기 또는 에틸기와 같은 알킬기를 포함하는 금속 전구체일 수 있다. 예를 들어, 트리메틸 갈륨($Ga(CH_3)_3$), 트리메틸 알루미늄($Al(CH_3)_3$), 트리에틸 인산염($(C_2H_5)_3PO_4$)과 같은 화합물일 수 있으나, 이에 제한되지 않는다. 이하에서는, 복수의 도전형 반도체층을 형성하는 방법이나 공정 조건 등에 대하여는 생략하여 설명하며, 발광 소자(300)의 제조방법의 순서나 적층 구조에 대하여 상세히 설명하기로 한다.
- [0069] 베이스 기판(2100) 상에는 버퍼 물질층(2200)이 형성된다. 도면에서는 버퍼 물질층(2200)이 한층 적층된 것을 도시하고 있으나, 이에 제한되지 않으며, 복수의 층을 형성할 수도 있다. 버퍼 물질층(2200)은 제1 도전형 반도체층(3100)과 베이스 기판(2100)의 격자 상수 차이를 줄이기 위해 배치될 수 있다. 후술하는 단계에서, 버퍼 물질층(2200)은 그 위에 형성되는 제1 도전형 반도체층(3100)의 결정이 원활하게 성장할 수 있도록 베이스 기판(2100)과의 격자 상수를 줄여주거나 시드 결정을 제공할 수도 있다.
- [0070] 일 예로, 버퍼 물질층(2200)은 언도프드(Undoped) 반도체를 포함할 수 있으며, 실질적으로 제1 도전형 반도체층(3100)과 동일한 물질을 포함하되, n형 또는 p형으로 도핑되지 않은 물질일 수 있다. 예시적인 실시예에서, 버퍼 물질층(2200)은 도핑되지 않은 InAlGaN, GaN, AlGaIn, InGaIn, AlN 및 InN 중 적어도 어느 하나일 수 있으나, 이에 제한되지 않는다.
- [0071] 한편, 몇몇 실시예에서 버퍼 물질층(2200) 상에는 복수의 층이 형성되고, 그 위에 분리층(2300)이 배치될 수 있다. 또한, 버퍼 물질층(2200)은 베이스 기판(2100)에 따라 생략될 수도 있다. 이하에서는, 베이스 기판(2100) 상에 언도프드 반도체 물질을 포함하는 버퍼 물질층(2200)이 형성된 경우를 예시하여 설명하기로 한다.
- [0072] 분리층(2300)은 그 위에 제1 도전형 반도체층(3100)이 형성될 수 있다. 분리층(2300)은 제1 도전형 반도체층(3100)의 결정이 원활하게 성장하는 재료를 포함할 수 있다. 분리층(2300)은 절연물질 및 전도성 물질 중 적어도 어느 하나를 포함할 수 있다. 일 예로, 분리층(2300)은 절연물질로써 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y) 등을 포함할 수 있으며, 전도성 물질로써 ITO, IZO, IGO, ZnO, 그래핀, 그래핀 산화물(Graphene oxide) 등을 포함할 수도 있다. 다만, 이에 제한되는 것은 아니다.
- [0073] 분리층(2300)은 후술하는 단계에서 식각되어 제거됨으로써, 발광 소자(300)를 하부기판(1000)으로부터 분리하는 기능을 수행할 수도 있다. 분리층(2300)이 제거되는 단계는 상술한 바와 같이 화학적 분리방법(CLO)에 의해 수행될 수 있고, 이에 따라 발광 소자(300)의 단부면은 분리층(2300)의 표면과 실질적으로 동일한 형성을 가질 수

있다. 즉, 발광 소자(300)의 단부면은 평탄한 면을 가질 수 있다.

- [0074] 또한, 분리층(2300)은 반도체 구조물(3000)을 식각하는 공정에서, 반도체 구조물(3000)과 버퍼 물질층(2200) 사이에서 에칭스토퍼(etching stopper)의 기능을 수행할 수도 있다. 즉, 반도체 구조물(3000)을 식각할 때, 하나의 공정에서 분리층(2300)을 동시에 패터닝할 수 있고, 서로 다른 공정에서 각각 패터닝할 수도 있다.
- [0075] 다만, 이에 제한되는 것은 아니며, 분리층(2300)은 반도체 구조물(3000) 또는 하부기관(1000) 내에서 더 많은 수가 배치될 수도 있고, 버퍼 물질층(2200)과 제1 도전형 반도체층(3100) 사이의 계면 이외의 영역에도 배치될 수 있다.
- [0076] 다음으로, 도 4를 참조하면, 하부 기관(2000)의 분리층(2300) 상에 제1 도전형 반도체층(3100), 활성물질층(3300), 제2 도전형 반도체층(3200) 및 도전성 전극물질층(3700)을 포함하는 반도체 구조물(3000)을 형성한다.
- [0077] 반도체 구조물(3000)은 후술하는 단계에서 일부 식각되어 반도체 로드(ROD, 도 12에 도시)를 형성할 수 있다. 반도체 구조물(3000)에 포함되는 복수의 물질층들은 상술한 바와 같이 통상적인 공정을 수행하여 형성될 수 있다. 분리층(2300) 상에는 제1 도전형 반도체층(3100), 활성물질층(3300), 제2 도전형 반도체층(3200) 및 도전성 전극물질층(3700)을 순차적으로 형성될 수 있으며, 이들은 각각 발광 소자(300)의 제1 도전형 반도체(310) 소자 활성층(330), 제2 도전형 반도체(320) 및 전극 물질층(370)과 동일한 물질들을 포함할 수 있다. 즉, 반도체 구조물(3000)에 적층된 층들은 발광 소자(300)의 각 물질들에 대응될 수 있다.
- [0078] 한편, 도면에서는 도시하지 않았으나, 반도체 구조물(3000)은 도전성 전극물질층(3700)이 생략되거나, 제1 도전형 반도체층(3100) 하부에 다른 도전성 전극물질층이 형성될 수도 있다. 상술한 바와 같이, 발광 소자(300)는 전극 물질층(370)이 생략되거나 제1 도전형 반도체(310)의 하부에 다른 전극 물질층(370)을 더 포함할 수도 있다. 즉, 반도체 구조물(3000)도 도 4와 다른 부재들을 더 포함할 수 있다. 다만, 이하에서는 반도체 구조물(3000)이 도전성 전극물질층(3700)을 포함하는 경우를 예시하여 설명하기로 한다.
- [0079] 다음으로, 반도체 구조물(3000)의 적어도 일부를 하부 기관(2000)에 수직인 방향으로 식각하여 반도체 결정(3000')을 형성한다.
- [0080] 반도체 구조물(3000)을 수직으로 식각하여 반도체 결정(3000')을 형성하는 단계는 통상적으로 수행될 수 있는 패터닝 공정을 포함할 수 있다. 일 예로, 반도체 구조물(3000)을 식각하여 반도체 결정(3000')을 형성하는 단계는, 반도체 구조물(3000) 상에 식각 마스크층(1600) 및 식각 패터층(1700)을 형성하는 단계, 식각 패터층(1700)의 패터에 따라 반도체 구조물(3000)을 식각하는 단계 및 식각 마스크층(1600)과 식각 패터층(1700)을 제거하는 단계를 포함할 수 있다.
- [0081] 먼저, 도 5를 참조하면, 식각 마스크층(1600)은 반도체 구조물(3000)의 제1 도전형 반도체층(3100), 활성물질층(3300), 제2 도전형 반도체층(3200) 및 도전성 전극물질층(3700)의 연속적인 에칭을 위한 마스크의 역할을 수행할 수 있다. 식각 마스크층(1600)은 절연성 물질을 포함하는 제1 식각 마스크층(1610)과 금속을 포함하는 제2 식각 마스크층(1620)을 포함할 수도 있다.
- [0082] 식각 마스크층(1600)의 제1 식각 마스크층(1610)에 포함되는 절연성 물질은 산화물 또는 질화물을 이용할 수 있다. 예를 들어, 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y) 등일 수 있다. 제1 식각 마스크층(1610)의 두께는 0.5 μ m 내지 1.5 μ m의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0083] 제2 식각 마스크층(1620)의 경우, 반도체 구조물(3000)의 연속적인 식각을 위해 마스크의 역할을 수행할 수 있는 통상적인 재료이면 특별히 제한되는 것은 아니다. 예를 들어, 제2 식각 마스크층(1620)은 크롬(Cr) 등을 포함할 수도 있다. 제2 식각 마스크층(1620)의 두께는 30nm 내지 150nm의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0084] 식각 마스크층(1600) 상에는 형성되는 식각 패터층(1700)은 적어도 하나의 나노 패터가 서로 이격되어 배치될 수 있다. 식각 패터층(1700)은 반도체 구조물(3000)의 연속적인 식각을 위해 마스크의 역할을 수행할 수 있다. 식각 패터층(1700)은 폴리머, 폴리스티렌 스피어, 실리카 스피어 등을 포함하여 패터를 형성할 수 있는 방법이면 특별히 제한되지 않는다.
- [0085] 일 예로, 식각 패터층(1700)이 폴리머를 포함하는 경우, 폴리머를 이용하여 패터를 형성할 수 있는 통상적인 방법이 채용될 수 있다. 예를 들어, 포토리소그래피, e-빔 리소그래피, 나노 임프린트 리소그래피 등의 방법으로 폴리머를 포함하는 식각 패터층(1700)을 형성할 수 있다.

- [0086] 특히, 식각 패턴층(1700)의 구조, 형태 및 이격된 간격은 최종적으로 제조되는 발광 소자(300)의 형태와 연관될 수 있다. 다만, 상술한 바와 같이, 발광 소자(300)의 형상이 다양할 수 있으므로, 식각 패턴층(1700)의 구조는 특별히 제한되지 않는다. 일 예로, 식각 패턴층(1700)이 서로 이격된 원형의 패턴을 가질 경우, 반도체 구조물(3000)을 수직으로 식각하여 제조되는 발광 소자(300)는 원통형을 가질 수 있다.
- [0087] 일 예로, 식각 패턴층(1700)은 하나의 나노 패턴을 중심으로 이를 감싸도록 다른 나노 패턴들이 배치될 수 있다. 여기서 하나의 나노 패턴은 이를 중심으로 외면을 감싸도록 6개의 다른 나노 패턴들이 배치되며, 6개의 나노 패턴들은 등 간격으로 나뉘어 배치될 수 있다. 즉, 복수의 나노 패턴들이 이루는 영역은 정육각형의 형상을 가질 수 있다. 다만, 이에 제한되지 않으며, 복수의 나노 패턴들이 이루는 영역은 원형, 다각형 등 다양할 수 있다.
- [0088] 또한, 복수의 나노 패턴들이 이격된 간격은 특별히 제한되지 않는다. 복수의 나노 패턴들이 이격된 간격은 각 나노 패턴의 직경보다 클 수 있다. 일 예로, 복수의 나노 패턴들이 이격된 간격은 각 나노 패턴의 직경의 2배 내지 4배, 또는 3배 내외의 범위를 가질 수 있다. 또한, 복수의 나노 패턴들은 서로 다른 크기의 직경을 가질 수도 있다.
- [0089] 예시적인 실시예에서, 식각 패턴층(1700)은 나노 임프린트 리소그래피로 형성될 수 있으며, 식각 패턴층(1700)의 나노 패턴은 나노 임프린트 수지를 포함할 수 있다. 상기 수지는 불화 단량체(Fluorinated monomer), 아크릴레이트 단량체(Acrylate monomer), 디펜타에리트리톨 헥사아크릴레이트(Dipentaerythritol hexaacrylate), 디프로필렌글리콜 디아크릴레이트(Dipropylene glycol diacrylate), 폴리에틸렌글리콜 페닐에터아크릴레이트(poly(ethylene glycol) phenyletheracrylate), 부틸레이트하이드록시톨루엔(Butylated hydroxy toluene, BHT), 1-하이드록시-사이클로헥실페닐케톤(1-hydroxy-cyclohexylphenylketone, Irgacure 184) 등을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0090] 다음으로 도 6 및 도 7을 참조하면, 식각 패턴층(1700)의 나노 패턴을 따라 반도체 구조물(3000)을 식각하여 반도체 결정(3000')을 형성한다. 반도체 결정(3000')을 형성하는 단계는 식각 패턴층(1700)의 나노 패턴들이 이격된 영역을 수직으로 식각하여 식각 마스크층(1600) 및 도전성 전극 물질층(3700)을 패터닝하여 제1 홀(h1)을 형성하는 제1 식각 단계, 식각 패턴층(1700)을 제거하는 단계, 제1 홀(h1)을 따라 제2 도전형 반도체층(3200), 활성물질층(3300) 및 제1 도전형 반도체층(3100)을 식각하여 제2 홀(h2)을 형성하는 제2 식각 단계 및 식각 마스크층(1600)을 제거하는 단계를 포함할 수 있다.
- [0091] 제1 홀(h1) 및 제2 홀(h2)을 형성하는 방법은 통상적인 방법으로 수행될 수 있다. 예를 들어, 식각공정은 건식 식각법, 습식식각법, 반응성 이온 에칭법(Reactive ion etching, RIE), 유도 결합 플라즈마 반응성 이온 에칭법(Inductively coupled plasma reactive ion etching, ICP-RIE) 등일 수 있다. 건식 식각법의 경우 이방성 식각이 가능하여 수직 식각에 의한 홀(h)을 형성하기에 적합할 수 있다. 상술한 방법의 식각법을 이용할 경우, 식각 에천트(Etchant)는 Cl₂ 또는 O₂ 등일 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0092] 몇몇 실시예에서, 반도체 구조물(3000)의 식각은 건식 식각법과 습식 식각법을 혼용하여 이루어질 수 있다. 예를 들어, 먼저 건식 식각법에 의해 깊이 방향의 식각을 한 후, 등방성 식각인 습식 식각법을 통해 식각된 측벽이 표면과 수직한 평면에 놓이도록 할 수 있다.
- [0093] 도 6에 도시된 바와 같이, 제1 식각 단계를 수행하여, 식각 마스크층(1600) 및 도전성 전극 물질층(3700)을 식각하여 제1 홀(h1)을 형성한다. 그리고, 제1 홀(h1)을 따라 제2 도전형 반도체층(3200), 활성물질층(3300) 및 제1 도전형 반도체층(3100)을 식각하여 제2 홀(h2)을 형성하는 제2 식각 단계를 수행한다. 마지막으로 도 7에 도시된 바와 같이 식각된 반도체 구조물(3000)의 상부에 남아있는 식각 마스크층(1600) 또는 식각 패턴층(1700)을 제거하여 반도체 결정(3000')을 형성할 수 있다. 식각 마스크층(1600) 또는 식각 패턴층(1700)은 통상적인 방법, 예를 들어, 건식식각법, 습식식각법을 통해 제거될 수 있다.
- [0094] 한편, 반도체 구조물(3000)을 식각하여 반도체 결정(3000')을 형성하는 단계는, 제1 식각 단계와 제2 식각 단계를 포함하여 서로 다른 패터닝 공정을 수행할 수 있고, 하나의 패터닝 공정을 수행하여 식각 패턴층(1700)을 따라 제1 도전형 반도체층(3100)까지 패터닝할 수도 있다.
- [0095] 또한, 반도체 구조물(3000)을 식각할 때, 분리층(2300)의 적어도 일부를 함께 식각할 수 있고, 별도의 식각공정에서 분리층(2300)을 일부 식각할 수도 있다. 즉, 분리층(2300)은 반도체 구조물(3000)이 식각될 때, 동일한 식각 공정에서 함께 패터닝될 수 있고, 반도체 구조물(3000)이 식각될 때 에칭 스톱퍼(etching stopper)의 기능을

수행하여 별개의 공정에서 패터닝될 수도 있다.

- [0096] 예를 들어, 도면에 도시된 바와 같이, 반도체 구조물(3000)을 패터닝할 때, 식각 에천트가 분리층(2300)을 제거하는 에천트를 포함하지 않는 경우, 반도체 구조물(3000)만이 식각되고, 분리층(2300)은 식각되지 않고 에칭 스톱퍼의 기능을 수행할 수도 있다. 이에 따라, 반도체 결정(3000')은 형성되되, 분리층(2300)은 식각되지 않은 상태로 존재할 수 있다. 반면에, 도면에서는 도시하지 않았으나, 식각 에천트가 분리층(2300)을 제거하는 에천트를 포함하는 경우, 반도체 구조물(3000)과 분리층(2300)이 함께 식각될 수도 있다.
- [0097] 다음으로, 반도체 결정(3000')의 외측면을 부분적으로 둘러싸는 절연피막(3800)을 형성하여 반도체 로드(ROD)를 형성한다.
- [0098] 절연피막(3800)은 반도체 로드(ROD)의 외면에 형성되는 절연물질로서, 수직으로 식각된 반도체 결정(3000')의 외면에 절연물질을 도포하거나 침지시키는 방법 등을 이용하여 형성될 수 있다. 다만, 이에 제한되는 것은 아니다. 일 예로, 절연피막(3800)은 원자층 증착법(Atomic layer depositions, ALD)으로 형성될 수 있다. 절연피막(3800)은 발광 소자(300)의 절연막(380)을 형성할 수 있다. 상술한 바와 같이 절연피막(3800)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y), 산화 알루미늄(Al_2O_3), 질화 알루미늄(AlN) 등일 수 있다.
- [0099] 도 8을 참조하면, 절연피막(3800)은 반도체 결정(3000')의 측면, 상면 및 반도체 결정(3000')이 이격되어 식각됨으로써 외부로 노출된 분리층(2300) 또는 버퍼 물질층(2200) 상에도 형성될 수 있다. 반도체 결정(3000')의 양 단부 측면을 노출시키기 위해, 반도체 결정(3000')의 상부 면에 형성된 절연피막(3800)은 제거될 필요가 있다. 따라서, 반도체 결정(3000')의 길이 방향과 수직인 방향, 다시 말해 하부 기판(2000)과 평행한 방향으로 형성된 절연피막(3800)은 일부 제거될 수 있다. 즉, 도 9에 도시된 바와 같이, 적어도 반도체 결정(3000')의 상면과, 분리층(2300) 상에 배치된 절연피막(3800)을 제거하여 반도체 결정(3000')의 상면을 노출할 수 있다. 이를 위해 이방성 식각인 건식 식각이나 에치백 등의 공정이 수행될 수 있다. 이에 따라, 반도체 결정(3000')의 외주면을 둘러싸는 절연피막(3800)이 부분적으로 제거되고, 반도체 결정(3000') 및 절연피막(3800)을 포함하는 반도체 로드(ROD)를 형성할 수 있다. 반도체 로드(ROD)는 후술하는 단계에서 하부 기판(2000)에서 분리됨으로써 발광 소자(300)를 형성할 수 있다.
- [0100] 한편, 일 실시예에 따르면, 절연피막(3800)을 제거하는 단계에서, 분리층(2300)은 일부 영역이 함몰된 적어도 하나의 홈부(2300a)와 홈부(2300a)가 이격되어 형성되는 돌출부(2300b)를 포함하는 요철패턴(2300P)이 형성될 수 있다.
- [0101] 절연피막(3800)과 분리층(2300)은 서로 다른 식각 선택비를 가지므로, 절연피막(3800)을 제거할 때 분리층(2300)도 부분적으로 제거될 수 있다. 절연피막(3800)을 부분적으로 제거하는 과정에서 분리층(2300)은 일부 영역이 함몰되어 홈부(2300a)가 형성될 수 있다.
- [0102] 도면에 도시된 바와 같이, 분리층(2300)은 반도체 로드(ROD)들이 이격된 제2 홀(h2)을 따라 부분적으로 식각될 수 있다. 상기 식각된 영역은 함몰되어 홈부(2300a)를 형성할 수 있다. 즉, 홈부(2300a)는 제2 홀(h2)이 분리층(2300)의 일부 영역까지 연장되어 형성된 것일 수 있다. 분리층(2300)은 복수의 홈부(2300a)가 형성되고, 홈부(2300a)가 서로 이격된 영역은 상대적으로 돌출되어 돌출부(2300b)가 형성될 수 있다. 돌출부(2300b)는 실질적으로 반도체 로드(ROD)에 의해 식각되지 않은 영역일 수 있다. 다시 말해, 반도체 로드(ROD)는 각 돌출부(2300b)상에 형성될 수 있다.
- [0103] 상술한 바와 같이, 분리층(2300)의 요철패턴(2300P)은 반도체 구조물(3000)을 하부 기판(2000)에 수직인 방향으로 식각하는 단계에서 형성되는 제2 홀(h2)을 따라 형성될 수 있다. 제2 홀(h2)은 식각 패턴층(1700)의 구조에 따라 형성될 수 있으므로, 분리층(2300)의 요철패턴(2300P)의 구조는 식각 패턴층(1700)에 따라 달라질 수 있다. 도면에서는 분리층(2300)의 요철패턴(2300P)이 복수의 홈부(2300a)가 동일한 직경을 갖고, 등 간격으로 이격된 것을 도시하고 있으나, 이에 제한되는 것은 아니다. 경우에 따라서는 서로 다른 직경을 갖는 발광 소자(300)들을 제조하기 위해, 식각 패턴층(1700)의 나노 패턴이 서로 다른 직경을 갖거나, 이격된 간격이 서로 다를 수 있다.
- [0104] 이에 따라, 분리층(2300)의 요철패턴(2300P)은 홈부(2300a)가 서로 다른 직경을 갖거나 서로 다른 간격으로 이격될 수 있다. 즉, 요철패턴(2300P)의 복수의 홈부(2300a)와 돌출부(2300b)는 각각 서로 직경을 가질 수도 있다.

- [0105] 한편, 경우에 따라서는 분리층(2300)은 요철패턴(2300P)을 포함하지 않고, 상면이 실질적으로 평탄한 형상을 가질 수도 있다.
- [0106] 반도체 로드(ROD)는 하부 기판(2000)으로부터 분리되어 발광 소자(300)를 형성할 수 있다. 반도체 로드(ROD)를 분리하는 단계는 화학적 분리방법(CLO)에 의해 분리층(2300)을 제거하는 단계를 포함할 수 있다. 분리층(2300)을 제거하기 위해, 불산(HF) 또는 버퍼 산화 에칭(Buffered oxide etch, BOE) 등의 분리용 식각액을 이용하여 습식 식각공정을 수행할 수 있으나, 이에 제한되는 것은 아니다.
- [0107] 여기서, 분리층(2300)을 제거하기 위한 분리용 식각액은 반도체 로드(ROD)의 도전성 전극 물질층(3700) 또는 절연막(3800)과 반응할 수도 있다. 이에 따라 제조되는 발광 소자(300)는 외주면이 거친 표면을 가지거나, 발광 소자(300)의 전극 물질층(370)이 일부 제거될 수 있다.
- [0108] 도 10은 일 비교예에 따른 발광 소자의 제조방법 중 일부를 도시하는 개략도이다.
- [0109] 도 10을 참조하면, 하부 기판(2000) 상의 반도체 로드(ROD)를 직접 분리하는 경우, 분리층(2300)을 제거할 때 절연피막(3800)과 도전성 전극 물질층(3700)에 포함된 재료의 일부가 손상될 수 있다. 이에 따라 제조된 발광 소자(300')의 절연층(380')은 표면이 거친 형태를 갖고, 전극 물질층(370')이 부분적으로 제거된 것을 알 수 있다. 이 경우, 발광 소자(300')의 도전형 반도체(310, 320) 또는 소자 활성층(330)의 일부가 노출되어 손상될 수 있고, 거친 표면을 가지는 절연층(381')에 의해 발광 소자(300')와 표시 장치(10)의 전극과의 접촉불량이 발생할 수도 있다.
- [0110] 일 실시예에 따른 발광 소자(300)의 제조 방법은 반도체 로드(ROD)들을 감싸는 로드 보호층(1100)을 포함하는 로드 구조물(1000)을 형성하는 단계(S200)를 포함한다. 로드 보호층(1100)은 분리층(2300)을 제거하기 위한 분리용 식각액과 반응하지 않는 유기물을 포함할 수 있다. 로드 보호층(1100)은 반도체 로드(ROD)가 분리용 식각액과 접촉하지 않도록 형성되고, 분리층(2300)을 제거할 때 반도체 로드(ROD)가 분리용 식각액에 의해 손상되는 것을 방지할 수 있다.
- [0111] 도 11 내지 도 13은 일 실시예에 따른 로드 구조물을 형성하는 방법을 도시하는 개략도들이다.
- [0112] 일 실시예에 따른 로드 구조물(1000)을 형성하는 단계는 반도체 로드(ROD)들을 감싸는 로드 보호층(1100)을 형성하는 단계, 로드 보호층(1100) 상에 보조층(1200)을 형성하는 단계 및 로드 구조물(1000)을 하부 기판(2000)에서 분리하는 단계를 포함한다.
- [0113] 먼저, 도 11을 참조하면, 분리층(2300) 상에서 반도체 로드(ROD)들을 감싸는 로드 보호층(1100)을 형성한다.
- [0114] 로드 보호층(1100)은 분리층(2300) 상에서 반도체 로드(ROD)를 감싸도록 형성될 수 있다. 로드 보호층(1100)의 두께(dd)는 반도체 로드(ROD)의 상부면, 예컨대 도전성 전극 물질층(3700)의 상면을 덮을 수 있도록 반도체 로드(ROD)의 장축의 길이(L)보다 두꺼울 수 있다. 즉, 로드 보호층(1100)은 반도체 로드(ROD)가 로드 보호층(1100) 내에 배치되도록 형성될 수 있다. 일 예로, 반도체 로드(ROD)의 장축의 길이가 4 내지 7 μ m인 경우, 로드 보호층(1100)의 두께는 6 μ m 내지 10 μ m일 수 있다. 다만 이에 제한되지 않는다. 로드 보호층(1100)은 일종의 필름형(film), 테이프(tape), 기판(substrate)의 형태를 가질 수도 있다.
- [0115] 로드 보호층(1100)의 상면(1110)은 실질적으로 평탄하게 형성되어, 하부 기판(2000)과 평행한 면을 이룰 수 있다. 로드 보호층(1100)의 상면(1110)에는 후술할 바와 같이, 보조층(1200)이 형성될 수 있다. 보조층(1200)이 형성된 로드 보호층(1100)은 로드 구조물(1000)을 형성할 수 있다.
- [0116] 로드 보호층(1100)의 하면(1120)은 분리층(2300)과 접촉하도록 형성될 수 있다. 상술한 바와 같이, 분리층(2300) 상에는 홈부(2300a)와 돌출부(2300b)를 포함하는 요철패턴(2300P)이 형성될 수 있으며, 분리층(2300)의 상면은 평탄하지 않을 수 있다. 로드 보호층(1100)의 하면(1120)은 분리층(2300)의 요철패턴(2300P)을 따라 형성될 수 있다.
- [0117] 일 실시예에서, 로드 보호층(1100)은 하면(1120)이 분리층(2300)의 홈부(2300a) 상면과 접촉하고, 돌출부(2300b)의 측면을 둘러싸도록 형성될 수 있다.
- [0118] 로드 보호층(1100)은 돌출부(2300b) 상에 형성되는 반도체 로드(ROD)를 보호하기 위해 반도체 로드(ROD)의 상면과 측면을 둘러싸도록 형성된다. 여기서, 반도체 로드(ROD)의 측면과 하면 사이에 틈이 형성되는 경우, 분리층(2300)이 제거되면서 반도체 로드(ROD)의 하면이 분리용 식각액에 의해 손상될 수 있다. 이를 방지하기 위해, 로드 보호층(1100)은 반도체 로드(ROD)의 측면을 둘러싸되, 하면이 접촉하는 분리층(2300)의 돌출부(2300b)의

측면까지 둘러싸도록 배치될 수 있다. 따라서, 분리층(2300)의 요철패턴(2300P)을 따라 형성되는 로드 보호층(1100)의 하면(1120)은 적어도 일부 영역이 함몰되는 함몰부(1120P)가 형성될 수 있다. 이에 대한 보다 자세한 구조는 후술하기로 한다.

- [0119] 한편, 로드 보호층(1100)은 반도체 로드(ROD) 상에 로드 보호층(1100)을 구성하는 재료를 도포 또는 분사하여 형성될 수 있다. 일 실시예에서, 로드 보호층(1100)은 분리층(2300) 상에서 잉크젯 프린팅법, 스핀 코팅법, 다이-슬롯 코팅법, 슬릿 코팅법 등을 통해 형성될 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0120] 또한, 일 실시예에 따른 로드 보호층(1100)은 분리층(2300)을 제거하는 분리용 식각액에 불용성인 유기물을 포함할 수 있다. 로드 보호층(1100)은 일종의 유기보호필름일 수 있다. 후술하는 바와 같이, 로드 구조물(1000)을 하부 기판(2000)에서 분리할 때, 분리층(2300)을 분리용 식각액과 반응시켜 화학적으로 제거할 수 있다. 반면에 로드 보호층(1100)은 분리용 식각액과 반응하지 않는 재료를 포함하여 반도체 로드(ROD)들이 분리용 식각액에 손상되는 것을 방지할 수 있다.
- [0121] 일 예로, 분리층(2300)은 불소(F)를 함유하는 분리용 식각액에 제거될 수 있고, 로드 보호층(1100)은 상기 분리용 식각액에 불용성인 유기물을 포함할 수 있다. 분리층(2300)을 제거하는 과정에서, 로드 보호층(1100)은 불소(F)를 함유하는 상기 분리용 식각액과 반응하지 않을 수 있다. 이에 따라, 로드 보호층(1100)은 반도체 로드(ROD)가 분리용 식각액과 접촉하는 것을 방지하고, 반도체 로드(ROD)를 보호할 수 있다.
- [0122] 로드 보호층(1100)의 상기 유기물은 분리용 식각액 이외의 다른 용매에 용해될 수 있다. 즉, 상기 유기물은 불소(F)를 함유하는 분리용 식각액에는 불용성이나, 다른 용매들, 예컨대 물, 아세톤(Acetone), 이소프로필알콜(Isopropyl alcohol, IPA) 등에 의해 용해될 수 있다. 따라서, 로드 보호층(1100)은 분리용 식각액에 녹지 않으나, 다른 용매에 의해 용해되어 반도체 로드(ROD)를 용이하게 분리할 수 있다.
- [0123] 예시적인 실시예에서, 로드 보호층(1100)의 상기 유기물은 폴리메틸메타크릴레이트(Poly methyl methacrylate, PMMA), 포토레지스트(Photoresist, PR), 폴리(3,4-에틸렌디옥시싸이오펜) 폴리스티렌 설포네이트(Poly-(3,4-ethylenedioxy thiophene) polystyrene sulfonate, PEDOT:PSS) 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 분리층(2300)은 불소(F)를 함유하는 식각액에 의해 제거되는 물질, 예컨대 실리콘산화물(SiO_x)을 포함하고, 로드 보호층(1100)은 폴리(3,4-에틸렌디옥시싸이오펜) 폴리스티렌 설포네이트(Poly-(3,4-ethylenedioxy thiophene) polystyrene sulfonate, PEDOT:PSS)를 포함할 수 있다. 로드 구조물(1000)을 하부 기판(2000)에서 분리하는 단계에서, 불소(F)를 함유하는 식각액에 의해 분리층(2300)은 식각 또는 용해되어 제거되나, 로드 보호층(1100)의 PEDOT:PSS는 불소(F)에 의해 용해되지 않는다. 로드 보호층(1100)의 PEDOT:PSS는 물에 의해 용해되어 후술하는 단계에서 쉽게 제거될 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0124] 다음으로, 도 12를 참조하면, 로드 보호층(1100) 상에 보조층(1200)을 형성하여 로드 구조물(1000)을 형성한다.
- [0125] 보조층(1200)은 로드 보호층(1100) 상에 형성될 수 있으며, 도면에 도시된 바와 같이, 로드 보호층(1100)의 상면(1110)에 형성될 수 있다. 다만, 이에 제한되지 않으며 경우에 따라서는 로드 보호층(1100)의 측면에 형성될 수도 있다.
- [0126] 보조층(1200)은 로드 보호층(1100)에 비해 경도가 높은 물질을 포함할 수 있다. 예시적인 실시예에서, 보조층(1200)은 열적분리테이프(Thermal release tape, TRT), 폴리에틸렌테레프탈레이트(Polyethylene terephthalate, PET), 플라스틱 필름(plastic film) 등일 수 있다. 다만 이에 제한되는 것은 아니다.
- [0127] 로드 보호층(1100)은 보조층(1200)에 비해 유연한 유기물을 포함한다. 이에 따라, 슬릿 코팅법 등과 같은 방법을 통해 반도체 로드(ROD) 상에 형성될 수 있다. 이러한 로드 보호층(1100) 상에 비교적 단단한 물질을 포함하는 보조층(1200)을 형성함으로써 로드 구조물(1000)은 하부 기판(2000)에서 분리된 후에도 일정한 형태를 유지할 수 있다. 이에 따라, 로드 구조물(1000)은 복수의 반도체 로드(ROD)들을 용이하게 보관 및 수송할 수 있다.
- [0128] 마지막으로, 도 13을 참조하면, 로드 구조물(1000)을 하부 기판(2000)에서 분리한다. 로드 구조물(1000)을 하부 기판(2000)에서 분리하는 단계는 상술한 바와 같이, 분리층(2300)을 분리용 식각액으로 용해 또는 식각함으로써 수행될 수 있다.
- [0129] 일 실시예에 따른 로드 구조물(1000)은 로드 보호층(1100) 및 보조층(1200)을 포함하고, 로드 보호층(1100)은 복수의 반도체 로드(ROD)들이 배치될 수 있다. 로드 구조물(1000)은 분리층(2300)이 반응하는 분리용 식각액과 반응하지 않는 로드 보호층(1100)을 포함하여, 반도체 로드(ROD)들을 보호할 수 있다. 또한, 로드 보호층(1100) 상에 비교적 경도가 큰 재료를 포함하는 보조층(1200)을 형성함으로써, 복수의 반도체 로드(ROD)들을 용이하게

보관 및 수송할 수 있다.

- [0130] 도 14 및 도 15를 일 실시예에 따른 로드 구조물을 도시하는 개략도들이다. 도 14는 로드 구조물(1000)을 상부에서 내려다본 사시도이고, 도 15는 로드 구조물(1000)을 하부에서 내려다본 사시도이다.
- [0131] 도 14 및 도 15를 참조하면, 로드 구조물(1000)은 원기둥의 형태를 가질 수 있다. 하부 기관(2000)이 원형의 베이스 기관(2100)을 포함하는 경우, 로드 구조물(1000)은 원기둥의 형상을 가질 수 있으나, 이에 제한되는 것은 아니다. 도면에 도시된 로드 구조물(1000)은 하나의 예시에 불과하며, 로드 구조물(1000)의 형태는 다양할 수 있다.
- [0132] 로드 구조물(1000)의 로드 보호층(1100)은 적어도 하나의 반도체 로드(ROD)들이 배치될 수 있다.
- [0133] 분리층(2300) 상에서 서로 이격되어 성장된 반도체 로드(ROD)들은 로드 보호층(1100) 내에서 배열될 수 있다. 도면에서는 하나의 반도체 로드(ROD)를 중심으로 이를 둘러싸며 6개의 반도체 로드(ROD)들이 서로 배열된 것을 도시하고 있다. 다만, 로드 보호층(1100)은 더 많은 수의 반도체 로드(ROD)들이 배열될 수 있다. 또한, 반도체 로드(ROD)들이 이격된 간격, 배열된 구조 등은 하부 기관(2000) 상에 반도체 로드(ROD)들이 형성되는 구조에 따라 달라질 수 있음은 자명하다.
- [0134] 예시적인 실시예에서, 복수의 반도체 로드(ROD)들은 로드 보호층(1100)의 상면(1110)과 평행한 방향으로 서로 이격되어 배열될 수 있다. 또한, 로드 구조물(1000)에 배치된 반도체 로드(ROD)들은 장축이 로드 보호층(1100)의 상면(1110)과 수직인 방향으로 연장된 형태를 가질 수 있다.
- [0135] 상술한 바와 같이, 반도체 로드(ROD)들은 하부 기관(2000) 상에서 성장되고, 이들을 감싸도록 로드 보호층(1100)이 형성될 수 있다. 반도체 로드(ROD)들이 성장된 방향, 즉 제1 도전형 반도체층(3100), 활성물질층(3300), 제2 도전형 반도체층(3200)이 적층된 방향은 하부 기관(2000)에 수직인 방향과 평행하다. 이에 따라, 로드 보호층(1100)에 배치되는 반도체 로드(ROD)들은 장축(예컨대, 성장된 방향)이 로드 보호층(1100)의 상면(1110)과 수직인 방향으로 배향될 수 있다.
- [0136] 또한, 반도체 로드(ROD)들은 장축(예컨대, 성장된 방향)과 수직인 방향, 예컨대 하부 기관(2000)과 평행한 방향으로 이격되어 배치된다. 이에 따라 도면에 도시된 바와 같이, 반도체 로드(ROD)들은 로드 보호층(1100)의 상면(1110)과 평행한 방향으로 배열될 수 있다.
- [0137] 한편, 일 실시예에서, 로드 구조물(1000)의 로드 보호층(1100)은 일 면은 실질적으로 평탄한 면을 가지고, 상기 일 면과 대향하는 타 면은 반도체 로드(ROD)와 중첩되는 영역이 함몰되어 형성된 적어도 하나의 함몰부(1120P)를 포함할 수 있다.
- [0138] 로드 보호층(1100)은 하부 기관(2000) 상에 성장된 반도체 로드(ROD)들을 감싸도록 하면(1120)이 분리층(2300)의 요철패턴(2300P)을 따라 형성될 수 있다. 분리층(2300)이 제거되어 하부 기관(2000)에서 분리된 로드 구조물(1000)은 하면(1120)이 부분적으로 함몰된 함몰부(1120P)가 형성된 로드 보호층(1100)을 포함한다. 반도체 로드(ROD)의 일 단부는 로드 보호층(1100)의 상면(1110)을 향해 배향되고, 타 단부는 로드 보호층(1100)의 하면(1120)에 형성된 함몰부(1120P)와 접촉할 수 있다. 이에 따라, 반도체 로드(ROD)는 로드 구조물(1000) 내에서 로드 보호층(1100)의 하면(1120)을 향하는 상기 타 단부가 부분적으로 노출될 수 있다. 다만, 분리층(2300)이 제거될 때, 로드 보호층(1100)에 의해 반도체 로드(ROD)가 보호되므로, 재료의 손상은 최소화할 수 있다.
- [0139] 한편, 로드 구조물(1000)은 로드 보호층(1100) 상의 적어도 일부에 형성되는 보조층(1200)을 포함할 수 있다. 도면에서는 보조층(1200)이 로드 보호층(1100)의 상부면에 형성된 것을 도시하고 있으나, 이에 제한되는 것은 아니다. 다만, 보조층(1200)은 로드 보호층(1100)의 함몰부(1120P)가 형성된 상기 타 면에는 형성되지 않을 수 있다.
- [0140] 일 실시예에 따른 발광 소자(300)의 제조 방법은 로드 구조물(1000)을 형성하는 단계를 포함하여, 제조된 반도체 로드(ROD)들을 용이하게 보관하고 수송할 수 있다. 또한, 로드 구조물(1000)의 로드 보호층(1100)이 반도체 로드(ROD)의 손상을 방지할 수도 있다.
- [0141] 반도체 로드(ROD), 일 예로 발광 소자(300)는 표시 장치(10)에 포함되어 특정 파장대의 광을 방출할 수 있다. 후술하는 바와 같이 발광 소자(300)는 소자 잉크(S, 도 18에 도시)에 분산된 상태로 표시 장치(10)의 전극 상에 분사될 수 있다. 다만, 반도체 물질을 포함하여 비중이 큰 발광 소자(300)들은 소자 잉크(S) 상에서 긴 시간동안 분산된 상태를 유지하지 못하고 침전될 수도 있다.

- [0142] 반면에, 일 실시예에 따른 발광 소자(300)의 제조 방법은 로드 구조물(1000)을 형성하여 발광 소자(300)를 소자 잉크(S) 상에 분산하기 전 용이하게 보관이 가능하다. 즉, 에픽택설법에 의해 제조된 발광 소자(300)들을 표시 장치(10)의 제조 전 장시간동안 보관이 가능하며, 필요에 따라 용이하게 수송이 가능하다.
- [0143] 다음으로, 일 실시예에 따른 발광 소자(300)의 제조방법은 로드 구조물(1000)로부터 반도체 로드(ROD)를 분리하는 단계(S300)를 포함할 수 있다. 로드 구조물(1000)의 로드 보호층(1100)과 보조층(1200)을 제거하여, 반도체 로드(ROD), 즉 발광 소자(300)를 제조할 수 있다.
- [0144] 도 16 내지 도 18은 일 실시예에 따른 로드 구조물로부터 반도체 로드를 분리하는 단계를 도시하는 개략도들이다.
- [0145] 먼저, 도 16을 참조하면, 로드 구조물(1000)의 보조층(1200)을 제거한다. 보조층(1200)은 상술한 재료들을 포함하여 로드 보호층(1100)로부터 분리될 수 있다. 일 예로, 보조층(1200)은 열적분리테이프를 포함하여, 로드 구조물(1000)을 일정 온도로 가열하는 공정을 수행하여 분리할 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0146] 다음으로 도 17을 참조하면, 보조층(1200)이 분리된 로드 보호층(1100)을 소정의 용매에 용해시킨다. 로드 보호층(1100)은 분리층(2300)을 제거하기 위해 사용되는 분리용 식각액과 반응하지 않으나, 소정의 용매, 예컨대 물, 아세톤, 이소프로필알콜에 용해될 수 있다. 도면에 도시된 바와 같이, 반도체 로드(ROD) 상에서 용매에 용해된 로드 보호층(1100')이 잔존하게 되고 반도체 로드(ROD)들은 분리될 수 있다.
- [0147] 마지막으로 도 18을 참조하면, 상기 용매에 용해된 로드 보호층(1100')을 휘발시켜 제거한다. 로드 보호층(1100)은 유기물을 포함할 수 있으므로, 용매에 용해된 로드 보호층(1100')은 반도체 로드(ROD)가 손상되지 않는 수준의 온도에서 휘발되어 제거될 수 있다. 이에 따라, 로드 구조물(1000)에서 반도체 로드(ROD)를 분리할 수 있으며, 분리된 반도체 로드(ROD)는 발광 소자(300)를 형성할 수 있다.
- [0148] 이에 따라 화학적 분리방법(CLO)에 의해 제조된 발광 소자(300)는 절연막(380) 또는 전극 물질층(370)의 재료가 제거되지 않고 매끄러운 형상을 가질 수 있고, 동시에 복수의 발광 소자(300)들은 단부면의 균일성(uniformity)을 확보할 수도 있다. 또한, 발광 소자(300)는 후술하는 표시 장치(10) 상에서 전극과의 접촉 불량 및 발광 불량을 최소화하여 표시 장치(10)의 발광 신뢰도를 향상시킬 수 있다.
- [0149] 한편, 상술한 방법을 통해 제조된 발광 소자(300)는 소정의 잉크에 분산된 상태로 제조될 수도 있다.
- [0150] 도 19는 일 실시예에 따른 발광 소자를 포함하는 소자 잉크를 도시하는 개략도이다.
- [0151] 도 19를 참조하면, 발광 소자(300)는 소자 잉크(S) 상에 분산된 것을 알 수 있다. 소자 잉크(S)는 발광 소자(300)와 반응하지 않으며, 표시 장치(10)의 제조 과정에서 휘발될 수 있는 용매를 포함할 수 있다. 일 예로 프로필렌글리콜모노메틸에테르(Propyleneglycol monomethylether, PGME), 프로필렌글리콜모노메틸에테르 아세테이트(Propyleneglycol monomethylether acetate, PGMEA), 프로필렌글리콜(Propylene glycol, PG) 등일 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0152] 또한, 도면에서는 도시하지 않았으나, 소자 잉크(S)는 반도체 물질을 포함하여 비중이 큰 발광 소자(300)를 분산시키기 위해 소자 분산제를 더 포함할 수도 있다.
- [0153] 이에 따라, 발광 소자(300)는 소자 잉크(S) 상에 분산된 상태로 후술하는 표시 장치(10)를 제조할 때 전극 상에 분사될 수 있다. 이하에서는 발광 소자(300)를 포함하는 표시 장치(10)에 대하여 서술한다.
- [0154] 한편, 일 실시예에 따른 표시 장치(10)는 상술한 방법을 통해 제조된 발광 소자(300)를 포함하여 다양한 색을 표시할 수 있다.
- [0155] 도 20은 일 실시예에 따른 표시 장치의 평면도이다.
- [0156] 도 20을 참조하면, 표시 장치(10)는 화소(PX)로 정의되는 영역을 적어도 하나 포함할 수 있다. 복수의 화소(PX)들은 각각 특정 과장대의 광을 표시 장치(10)의 외부로 방출할 수 있다. 도 20에서는 3개의 화소(PX1, PX2, PX3)들을 예시적으로 도시하였으나, 표시 장치(10)는 더 많은 수의 화소(PX)를 포함할 수 있음은 자명하다. 도면에서는 평면상 일 방향, 예컨대 제1 방향(D1)으로만 배치되는 복수의 화소(PX)들을 도시하고 있으나, 복수의 화소(PX)들은 제1 방향(D1)과 교차하는 방향인 제2 방향(D2)으로도 배치될 수도 있다.
- [0157] 도면에서는 도시하지 않았으나, 표시 장치(10)는 표시영역과 비표시영역을 포함한다. 표시 영역은 복수의 화소(PX)들이 배치되고, 각 화소(PX)에는 복수의 전극(210, 220)과 이들 사이에 발광 소자(300)가 정렬될 수 있다.

이에 따라, 표시 영역에서는 발광 소자(300)가 특정 색의 광을 표시 장치(10)의 외부로 표시할 수 있다.

- [0158] 비표시영역은 화소(PX)가 배치되지 않으며, 표시 장치(10)에서 표시 영역 이외의 영역으로 정의될 수 있다. 비 표시영역은 표시 장치(10)의 외부에서 시인되지 않도록 특정 부재들에 의해 커버될 수 있다. 비표시영역에는 표시영역에 배치되는 발광 소자(300)를 구동하기 위한 다양한 부재들이 배치될 수 있다. 일 예로, 표시 장치(10)의 비표시영역에는 표시 영역으로 전기신호를 인가하기 위한 배선, 회로부, 구동부 등이 배치될 수 있으나, 이에 제한되는 것은 아니다.
- [0159] 복수의 화소(PX)들은 특정 파장대의 광을 방출하는 발광 소자(300)를 하나 이상 포함하여 색을 표시할 수 있다.
- [0160] 일 실시예에서, 서로 다른 색을 표시하는 화소(PX)는 각각 서로 다른 색을 발광하는 발광 소자(300)를 포함할 수 있다. 예를 들어, 적색을 표시하는 제1 화소(PX1)는 적색의 광을 발광하는 발광 소자(300)를 포함하고, 녹색을 표시하는 제2 화소(PX2)는 녹색의 광을 발광하는 발광 소자(300)를 포함하고, 청색을 표시하는 제3 화소(PX3)는 청색의 광을 방출하는 발광 소자(300)를 포함할 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0161] 표시 장치(10)는 복수의 전극(210, 220)들과 복수의 발광 소자(300)를 포함할 수 있다. 각 전극(210, 220)들의 적어도 일부는 각 화소(PX) 내에 배치되어, 발광 소자(300)와 전기적으로 연결되고, 발광 소자(300)가 특정 색을 발광하도록 전기신호를 인가할 수 있다.
- [0162] 또한, 각 전극(210, 220)들의 적어도 일부는 발광 소자(300)를 정렬하기 위해, 화소(PX) 내에 전기장을 형성하는 데에 활용될 수 있다. 구체적으로 설명하면, 복수의 화소(PX)들에 발광 소자(300)를 정렬시킬 때, 화소(PX) 내에서 각 전극(210, 220) 사이에 발광 소자(300)를 정확하게 정렬시키는 것이 필요하다. 일 예로, 유전영동법을 이용하여 발광 소자(300)를 정렬시킬 때에는, 발광 소자(300)가 포함된 용액을 표시 장치(10)에 분사하고, 이에 교류 전원을 인가하여 전기장에 의한 커패시턴스를 형성함으로써 발광 소자(300)에 유전영동힘을 가해 정렬시킬 수 있다.
- [0163] 복수의 전극(210, 220)은 제1 전극(210) 및 제2 전극(220)을 포함할 수 있다. 예시적인 실시예에서, 제1 전극(210)은 각 화소(PX)마다 분리된 화소 전극이고, 제2 전극(220)은 복수의 화소(PX)를 따라 공통으로 연결된 공통 전극일 수 있다. 제1 전극(210)과 제2 전극(220) 중 어느 하나는 발광 소자(300)의 애노드 전극이고, 다른 하나는 발광 소자(300)의 캐소드 전극일 수 있다. 다만, 이에 제한되지 않고 그 반대의 경우일 수도 있다.
- [0164] 제1 전극(210)과 제2 전극(220)은 각각 제1 방향(D1)으로 연장되어 배치되는 전극 줄기부(210S, 220S)와 전극 줄기부(210S, 220S)에서 제1 방향(D1)과 교차하는 방향인 제2 방향(D2)으로 연장되어 분지되는 적어도 하나의 전극 가지부(210B, 220B)를 포함할 수 있다.
- [0165] 구체적으로, 제1 전극(210)은 제1 방향(D1)으로 연장되어 배치되는 제1 전극 줄기부(210S)와 제1 전극 줄기부(210S)에서 분지되되, 제2 방향(D2)으로 연장되는 적어도 하나의 제1 전극 가지부(210B)를 포함할 수 있다. 제1 전극 줄기부(210S)는 도면에서는 도시하지 않았으나 일 단부는 신호인가패드에 연결되고, 타 단부는 제1 방향(D1)으로 연장되되, 각 화소(PX) 사이에서 전기적으로 연결이 분리될 수 있다. 상기 신호인가패드는 표시 장치(10) 또는 외부의 전력원과 연결되어 제1 전극 줄기부(210S)에 전기신호를 인가하거나, 발광 소자(300)의 정렬시 정렬신호를 인가할 수 있다.
- [0166] 임의의 일 화소의 제1 전극 줄기부(210S)는 양 단이 각 화소(PX) 사이에서 이격되어 종지한다. 제1 전극 줄기부(210S)는 동일 행에 속하는(예컨대, 제1 방향(D1)으로 인접한) 이웃하는 화소의 제1 전극 줄기부(210S)와 실질적으로 동일한 연장선 상에 놓일 수 있다. 이에 따라, 각 화소(PX)에 배치되는 제1 전극 줄기부(210S)는 각 제1 전극 가지부(210B)에 서로 다른 전기 신호를 인가할 수 있고, 제1 전극 가지부(210B)는 각각 별개로 구동될 수 있다.
- [0167] 제1 전극 가지부(210B)는 제1 전극 줄기부(210S)의 적어도 일부에서 분지되고, 제2 방향(D2)으로 연장되어 배치되되, 제1 전극 줄기부(210S)에 대향되어 배치되는 제2 전극 줄기부(220S)와 이격된 상태에서 종지될 수 있다. 즉, 제1 전극 가지부(210B)는 일 단부가 제1 전극 줄기부(210S)와 연결되고, 타 단부는 제2 전극 줄기부(220S)와 이격된 상태로 화소(PX) 내에 배치될 수 있다.
- [0168] 또한, 제1 전극 가지부(210B)는 각 화소(PX)에 하나 이상 배치될 수 있다. 도 20에서는 두개의 제1 전극 가지부(210B)가 배치되고, 그 사이에 제2 전극 가지부(220B)가 배치된 것을 도시하고 있으나, 이에 제한되지 않으며, 더 많은 수의 제1 전극 가지부(210B)가 배치될 수 있다.
- [0169] 제2 전극(220)은 제1 방향(D1)으로 연장되어 제1 전극 줄기부(210S)와 이격되어 대향하도록 배치되는 제2 전극

줄기부(220S)와 제2 전극 줄기부(220S)에서 분지되며, 제2 방향(D2)으로 연장되어 제1 전극 가지부(210B)와 이격되어 대향하도록 배치되는 적어도 하나의 제2 전극 가지부(220B)를 포함할 수 있다. 제2 전극 줄기부(220S)도 제1 전극 줄기부(210S)와 같이 일 단부는 신호인가패드(미도시)에 연결될 수 있다. 다만, 제2 전극 줄기부(220S)는 타 단부가 제1 방향(D1)으로 인접한 복수의 화소(PX)로 연장될 수 있다. 즉, 제2 전극 줄기부(220S)는 각 화소(PX) 사이에서 전기적으로 연결될 수 있다. 이에 따라, 임의의 일 화소 제2 전극 줄기부(220S)는 양 단이 각 화소(PX) 사이에서 이웃 화소의 제2 전극 줄기부(220S)의 일 단에 연결되어 각 화소(PX)에 동일한 전기 신호를 인가할 수 있다.

[0170] 제2 전극 가지부(220B)는 제2 전극 줄기부(220S)의 적어도 일부에서 분지되고, 제2 방향(D2)으로 연장되어 배치되며, 제1 전극 줄기부(210S)와 이격된 상태에서 종지될 수 있다. 즉, 제2 전극 가지부(220B)는 일 단부가 제2 전극 줄기부(220S)와 연결되고, 타 단부는 제1 전극 줄기부(210S)와 이격된 상태로 화소(PX) 내에 배치될 수 있다.

[0171] 또한, 제2 전극 가지부(220B)는 제1 전극 가지부(210B)와 이격되어 대향하도록 배치될 수 있다. 여기서, 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S)는 각 화소(PX)의 중앙을 기준으로 서로 반대방향에서 이격되어 대향하므로, 제1 전극 가지부(210B)와 제2 전극 가지부(220B)는 연장되는 방향이 반대일 수 있다. 다시 말해, 제1 전극 가지부(210B)와 제2 전극 가지부(220B)의 각 일 단부는 화소(PX)의 중앙을 기준으로 서로 반대방향에 배치될 수 있다. 다만, 이에 제한되지 않는다.

[0172] 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 사이에는 복수의 발광 소자(300)가 정렬될 수 있다. 구체적으로, 복수의 발광 소자(300) 중 적어도 일부는 일 단부가 제1 전극 가지부(210B)와 전기적으로 연결되고, 타 단부가 제2 전극 가지부(220B)와 전기적으로 연결될 수 있다.

[0173] 복수의 발광 소자(300)들은 제2 방향(D2)으로 이격되고, 실질적으로 서로 평행하게 정렬될 수 있다. 발광 소자(300)들이 이격되는 간격은 특별히 제한되지 않는다. 경우에 따라서는 복수의 발광 소자(300)들이 인접하게 배치되어 무리를 이루고, 다른 복수의 발광 소자(300)들은 일정 간격 이격된 상태로 무리를 이룰 수도 있으며, 불균일한 밀집도를 가지되 일 방향으로 배향되어 정렬될 수도 있다.

[0174] 도 20에서는 도시하지 않았으나, 제1 전극 가지부(210B), 제2 전극 가지부(220B) 및 이들 사이에 이격된 간격을 부분적으로 덮도록 제1 절연성 물질층(510, 도 21에 도시)이 배치될 수 있다. 제1 절연성 물질층(510)은 각 전극(210, 220)을 보호함과 동시에 이들이 직접 접촉하지 않도록 절연시킬 수 있다. 또한, 제1 전극 가지부(210B)와 제2 전극 가지부(220B)가 이격된 공간에 배치되는 제1 절연성 물질층(510) 상에는 발광 소자(300)가 정렬될 수 있다.

[0175] 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 상에는 각각 접촉 전극(260)이 배치될 수 있다. 접촉 전극(260)은 실질적으로 도 20에서 도시되지 않은 제1 절연성 물질층(510) 상에 배치될 수 있다. 즉, 접촉 전극(260)은 제1 절연성 물질층(510) 상에 배치되며, 제1 전극 가지부(210B) 및 제2 전극 가지부(220B)와 중첩되도록 배치될 수 있다.

[0176] 복수의 접촉 전극(260)은 제2 방향(D2)으로 연장되어 배치되며, 제1 방향(D1)으로 서로 이격되어 배치될 수 있다. 접촉 전극(260)은 발광 소자(300)의 적어도 일 단부와 접촉될 수 있으며, 접촉 전극(260)은 제1 전극(210) 또는 제2 전극(220)과 접촉되어 전기 신호를 인가받을 수 있다. 이에 따라, 접촉 전극(260)은 제1 전극(210)과 제2 전극(220)으로부터 전달되는 전기 신호를 발광 소자(300)에 전달할 수 있다.

[0177] 접촉 전극(260)은 각 전극 가지부(210B, 220B) 상에서 이들을 부분적으로 덮도록 배치되며, 발광 소자(300)의 일 단부 또는 타 단부와 접촉되는 제1 접촉 전극(261)과 제2 접촉 전극(262)을 포함할 수 있다.

[0178] 제1 접촉 전극(261)은 제1 전극 가지부(210B) 상에 배치되며, 발광 소자(300)의 제1 전극(210)과 전기적으로 연결되는 일 단부와 접촉될 수 있다. 제2 접촉 전극(262)은 제2 전극 가지부(220B) 상에 배치되며, 발광 소자(300)의 제2 전극(220)과 전기적으로 연결되는 타 단부와 접촉될 수 있다.

[0179] 몇몇 실시예에서, 제1 전극 가지부(210B) 또는 제2 전극 가지부(220B)와 전기적으로 연결되는 발광 소자(300)의 양 단부는 n형 또는 p형으로 도핑된 도전형 반도체층일 수 있다. 제1 전극 가지부(210B)와 전기적으로 연결되는 발광 소자(300)의 일 단부가 p형으로 도핑된 도전형 반도체층일 경우, 제2 전극 가지부(220B)와 전기적으로 연결되는 발광 소자(300)의 타 단부는 n형으로 도핑된 도전형 반도체층일 수 있다. 다만, 이에 제한되는 것은 아니며, 그 반대의 경우일 수도 있다.

- [0180] 한편, 도 20에 도시된 바와 같이, 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S)는 각각 컨택홀, 예컨대 제1 전극 컨택홀(CNTD) 및 제2 전극 컨택홀(CNTS)을 통해 후술하는 박막 트랜지스터(120) 또는 전원 배선(161)과 전기적으로 연결될 수 있다. 도 20에서는 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S) 상의 컨택홀은 각 서브 화소(PX) 별로 배치된 것을 도시하고 있으나, 이에 제한되는 것은 아니다.
- [0181] 또한, 도 20에서는 도시하지 않았으나, 표시 장치(10)는 각 전극(210, 220) 및 발광 소자(300)의 적어도 일부를 덮도록 배치되는 제2 절연성 물질층(520, 도 21에 도시), 제3 절연성 물질층(530, 도 21에 도시) 및 패시베이션 층(550, 도 21에 도시)을 포함할 수 있다. 이들 간의 배치와 구조 등은 도 21을 참조하여 후술한다.
- [0182] 도 21은 도 20의 I-I' 선, II-II' 선 및 III-III' 선을 따라 자른 단면도이다. 도 21은 하나의 화소(PX)만을 도시하고 있으나, 다른 화소의 경우에도 동일하게 적용될 수 있다. 도 21은 임의의 발광 소자(300)의 일 단부와 타 단부를 가로지르는 단면을 도시한다.
- [0183] 도 20 및 도 21을 참조하면, 표시 장치(10)는 기관(110), 기관(110) 상에 배치된 박막 트랜지스터(120, 140), 박막 트랜지스터(120, 140) 상부에 배치된 전극(210, 220)들과 발광 소자(300)를 포함할 수 있다. 박막 트랜지스터는 제1 박막 트랜지스터(120)와 제2 박막 트랜지스터(140)를 포함할 수 있으며, 이들은 각각 구동 트랜지스터와 스위칭 트랜지스터일 수 있다.
- [0184] 구체적으로, 기관(110)은 절연 기관일 수 있다. 기관(110)은 유리, 석영, 또는 고분자 수지 등의 절연 물질로 이루어질 수 있다. 또한, 기관(110)은 리지드 기관일 수 있지만, 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉시블(flexible) 기관일 수도 있다.
- [0185] 기관(110) 상에는 버퍼층(115)이 배치될 수 있다. 버퍼층(115)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면 평탄화 기능을 수행할 수 있다.
- [0186] 버퍼층(115) 상에는 반도체층이 배치된다. 반도체층은 제1 박막 트랜지스터(120)의 제1 활성층(126), 제2 박막 트랜지스터(140)의 제2 활성층(146) 및 보조층(163)을 포함할 수 있다. 반도체층은 다결정 실리콘, 단결정 실리콘, 산화물 반도체 등을 포함할 수 있다.
- [0187] 반도체층 상에는 제1 게이트 절연층(170)이 배치된다. 제1 게이트 절연층(170)은 반도체층을 덮는다. 제1 게이트 절연층(170)은 박막 트랜지스터의 게이트 절연막으로 기능할 수 있다.
- [0188] 제1 게이트 절연층(170) 상에는 제1 도전층이 배치된다. 제1 도전층은 제1 게이트 절연층(170)을 사이에 두고 제1 박막 트랜지스터(120)의 제1 활성층(126) 상에 배치된 제1 게이트 전극(121), 제2 박막 트랜지스터(140)의 제2 활성층(146) 상에 배치된 제2 게이트 전극(141) 및 보조층(163) 상에 배치된 전원 배선(161)을 포함할 수 있다.
- [0189] 제1 도전층 상에는 제2 게이트 절연층(180)이 배치된다. 제2 게이트 절연층(180)은 층간 절연막일 수 있다.
- [0190] 제2 게이트 절연층(180) 상에는 제2 도전층이 배치된다. 제2 도전층은 제2 게이트 절연층(180)을 사이에 두고 제1 게이트 전극(121) 상에 배치된 커패시터 전극(128)을 포함한다. 커패시터 전극(128)은 제1 게이트 전극(121)과 유지 커패시터를 이룰 수 있다. 제2 도전층은 상술한 제1 도전층과 동일한 종류의 물질을 포함할 수 있다.
- [0191] 제2 도전층 상에는 층간절연층(190)이 배치된다. 층간절연층(190)은 층간 절연막일 수 있다. 더 나아가, 층간절연층(190)은 표면 평탄화 기능을 수행할 수 있다. 층간절연층(190)은 유기 절연 물질을 포함할 수 있다.
- [0192] 층간절연층(190) 상에는 제3 도전층이 배치된다. 제3 도전층은 제1 박막 트랜지스터(120)의 제1 드레인 전극(123)과 제1 소스 전극(124), 제2 박막 트랜지스터(140)의 제2 드레인 전극(143)과 제2 소스 전극(144), 및 전원 배선(161) 상부에 배치된 전원 전극(162)을 포함한다.
- [0193] 제1 소스 전극(124) 및 제1 드레인 전극(123)은 각각 층간절연층(190)과 제2 게이트 절연층(180)을 관통하는 제1 컨택홀(129)을 통해 제1 활성층(126)과 전기적으로 연결될 수 있다. 제2 소스 전극(144) 및 제2 드레인 전극(143)은 각각 층간절연층(190)과 제2 게이트 절연층(180)을 관통하는 제2 컨택홀(149)을 통해 제2 활성층(146)과 전기적으로 연결될 수 있다. 전원 전극(162)은 층간절연층(190)과 제2 게이트 절연층(180)을 관통하는 제3 컨택홀(169)을 통해 전원 배선(161)과 전기적으로 연결될 수 있다.
- [0194] 제3 도전층 상에는 비아층(200)이 배치된다. 비아층(200)은 유기 물질로 이루어질 수 있다. 비아층(200)의 표면

은 평탄할 수 있다.

- [0195] 비아층(200) 상에는 복수의 격벽(410, 420)이 배치될 수 있다. 복수의 격벽(410, 420)은 각 화소(PX) 내에서 서로 이격되어 대향하도록 배치되고, 서로 이격된 격벽(410, 420), 예컨대 제1 격벽(410) 및 제2 격벽(420) 상에는 각각 제1 전극(210)과 제2 전극(220)이 배치될 수 있다. 다만, 격벽(410, 420)의 수는 이에 제한되지 않는다. 예를 들어, 하나의 화소(PX) 내에 더 많은 수의 격벽(410, 420)이 배치되어 더 많은 수의 제1 전극(210)과 제2 전극(220)이 배치될 수도 있다.
- [0196] 도 20에서는 하나의 화소(PX) 내에 3개의 격벽(410, 420), 구체적으로 2개의 제1 격벽(410)과 하나의 제2 격벽(420)이 배치되어, 각각 이들을 덮도록 제1 전극(210)과 제2 전극(220)이 배치되는 경우를 도시하고 있다. 도 21에서는 이들 중 하나의 제1 격벽(410)과 하나의 제2 격벽(420)의 단면만을 도시하고 있으며, 이들의 배치 구조는 도 21에서 도시되지 않은 다른 제1 격벽(410)의 경우에도 동일하게 적용될 수 있다.
- [0197] 또한, 도면에서는 도시하지 않았으나, 상술한 바와 같이 제1 전극(210)과 제2 전극(220)은 각각 전극 줄기부(210S, 220S)와 전극 가지부(210B, 220B)를 포함할 수 있다. 도 21의 제1 격벽(410)과 제2 격벽(420) 상에는 각각 제1 전극 가지부(210B)와 제2 전극 가지부(220B)가 배치된 것으로 이해될 수 있다.
- [0198] 복수의 격벽(410, 420)은 실질적으로 동일한 물질로 이루어져 하나의 공정에서 형성될 수 있다. 이 경우, 격벽(410, 420)은 하나의 격자형 패턴을 이룰 수도 있다. 격벽(410, 420)은 폴리이미드(PI)를 포함할 수 있다.
- [0199] 복수의 격벽(410, 420)은 비아층(200)을 기준으로 적어도 일부가 돌출된 구조를 가질 수 있다. 격벽(410, 420)은 발광 소자(300)가 배치된 평면을 기준으로 상부로 돌출될 수 있고, 상기 돌출된 부분은 적어도 일부가 경사를 가질 수 있다. 경사를 가지고 돌출된 구조의 격벽(410, 420)은 그 위에 배치되는 반사층(211, 221)이 입사되는 광을 반사시킬 수 있다. 발광 소자(300)에서 반사층(211, 221)으로 향하는 광은 반사되어 표시 장치(10)의 외부 방향, 예를 들어, 격벽(410, 420)의 상부로 전달될 수 있다. 돌출된 구조의 격벽(410, 420)의 형상은 특별히 제한되지 않는다. 도면에서는 측면이 경사지고, 상면이 평탄하여 모서리가 각진 형태인 것을 도시하고 있으나, 이에 제한되지 않으며 곡선형으로 돌출된 구조일 수도 있다.
- [0200] 복수의 격벽(410, 420) 상에는 반사층(211, 221)이 배치될 수 있다.
- [0201] 제1 반사층(211)은 제1 격벽(410)을 덮으며, 일부는 비아층(200)을 관통하는 제4 컨택홀(319_1)을 통해 제1 박막 트랜지스터(120)의 제1 드레인 전극(123)과 전기적으로 연결된다. 제2 반사층(221)은 제2 격벽(420)을 덮으며, 일부는 비아층(200)을 관통하는 제5 컨택홀(319_2)을 통해 전원 전극(162)과 전기적으로 연결된다.
- [0202] 제1 반사층(211)은 화소(PX) 내에서 제4 컨택홀(319_1)을 통해 제1 박막 트랜지스터(120)의 제1 드레인 전극(123)과 전기적으로 연결될 수 있다. 따라서, 제1 박막 트랜지스터(120)는 화소(PX)와 중첩되는 영역에 배치될 수 있다. 도 6에서는 제1 전극 줄기부(210S)상에 배치된 제1 전극 컨택홀(CNTD)을 통해 제1 박막 트랜지스터(120)와 전기적으로 연결되는 것을 도시하고 있다. 즉, 제1 전극 컨택홀(CNTD)은 제4 컨택홀(319_1)일 수 있다.
- [0203] 제2 반사층(221)도 화소(PX) 내에서 제5 컨택홀(319_2)을 통해 전원 전극(162)과 전기적으로 연결될 수 있다. 도 21에서는 일 화소(PX) 내에서 제2 반사층(221)이 제5 컨택홀(319_2)을 통해 연결되는 것을 도시하고 있다. 도 20에서는 제2 전극 줄기부(220S) 상의 복수의 제2 전극 컨택홀(CNTS)을 통해 각 화소(PX)의 제2 전극(220)이 전원 배선(161)과 전기적으로 연결되는 것을 도시하고 있다. 즉, 제2 전극 컨택홀(CNTS)은 제5 컨택홀(319_2)일 수 있다.
- [0204] 상술한 바와 같이, 도 20에서는 제1 전극 컨택홀(CNTD)과 제2 전극 컨택홀(CNTS)은 각각 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S)상에 배치된다. 이에 따라, 도 21은 표시 장치(10)의 단면도상, 제1 전극(210) 및 제2 전극(220)은 제1 전극 가지부(210B)와 제2 전극 가지부(220B)가 배치되는 격벽(410, 420)과 이격된 영역에서 각각 제4 컨택홀(319_1) 및 제5 컨택홀(319_2)을 통해 제1 박막 트랜지스터(120) 또는 전원 배선(161)과 전기적으로 연결되는 것을 도시하고 있다. 다만, 이에 제한되는 것은 아니다.
- [0205] 한편, 반사층(211, 221)은 발광 소자(300)에서 방출되는 광을 반사시키기 위해, 반사율이 높은 물질을 포함할 수 있다. 일 예로, 반사층(211, 221)은 은(Ag), 구리(Cu) 등과 같은 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0206] 제1 반사층(211) 및 제2 반사층(221) 상에는 각각 제1 전극층(212) 및 제2 전극층(222)이 배치될 수 있다.
- [0207] 제1 전극층(212)은 제1 반사층(211)의 바로 위에 배치된다. 제1 전극층(212)은 제1 반사층(211)과 실질적으로

동일한 패턴을 가질 수 있다. 제2 전극층(222)은 제2 반사층(221)의 바로 위에 배치되며, 제1 전극층(212)과 이격되도록 배치된다. 제2 전극층(222)은 제2 반사층(221)과 실질적으로 동일한 패턴을 가질 수 있다.

- [0208] 전극층(212, 222)은 투명성 전도성 물질을 포함할 수 있다. 일 예로, 전극층(212, 222)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin-Zinc Oxide) 등과 같은 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다. 몇몇 실시예에서, 반사층(211, 221)과 전극층(212, 222)은 ITO, IZO, ITZO 등과 같은 투명도전층과 은, 구리와 같은 금속층이 각각 한층 이상 적층된 구조를 이룰 수 있다. 일 예로, 반사층(211, 221)과 전극층(212, 222)은 ITO/은(Ag)/ITO의 적층구조를 형성할 수도 있다.
- [0209] 제1 격벽(410) 상에 배치되는 제1 반사층(211)과 제1 전극층(212)은 제1 전극(210)을 이루고, 제2 격벽(420) 상에 배치되는 제2 반사층(221)과 제2 전극층(222)은 제2 전극(220)을 이룰 수 있다. 제1 전극층(212)과 제2 전극층(222)은 각각 제1 박막 트랜지스터(120) 또는 전원 전극(162)과 연결된 제1 반사층(211)과 제2 반사층(221)으로 전달되는 전기 신호를 후술할 접촉 전극(261, 262)들에 전달할 수 있다. 상기 전기 신호는 발광 소자(300)로 전달되고, 발광 소자(300)에 소정이 전류가 흐르면서 광을 방출할 수 있다.
- [0210] 제1 전극(210) 및 제2 전극(220) 상에는 이들을 부분적으로 덮는 제1 절연성 물질층(510)이 배치된다. 제1 절연성 물질층(510)은 제1 전극(210)과 제2 전극(220)의 상면을 대부분 덮도록 배치되며, 제1 전극(210)과 제2 전극(220)의 일부를 노출시킬 수 있다. 또한, 제1 절연성 물질층(510)은 제1 전극(210) 및 제2 전극(220) 사이의 공간 내에도 배치될 수 있다. 제1 절연성 물질층(510)은 평면상 제1 전극 가지부(210B) 및 제2 전극 가지부(220B) 사이의 공간을 따라 형성된 섬형 또는 선형 형상을 가질 수 있다.
- [0211] 또한, 제1 절연성 물질층(510)은 제1 전극(210)과 제2 전극(220)이 서로 대향하는 각 측부의 반대 측부상에서도 이들을 부분적으로 덮도록 배치될 수 있다. 제1 절연성 물질층(510)은 각 전극(210, 220) 상의 일부 영역, 예컨대, 제1 전극(210)과 제2 전극(220)이 대향하는 방향으로 돌출된 영역 중 일부와 중첩될 수 있다. 또한, 격벽(410, 420)의 경사진 측면 및 평탄한 상면과 각 전극(210, 220)이 중첩되는 영역에도 제1 절연성 물질층(510)이 배치될 수 있다.
- [0212] 제1 절연성 물질층(510) 상에는 발광 소자(300)가 배치된다. 제1 절연성 물질층(510)은 양 측면에서 각 전극(210, 220)과 접촉하여, 이들을 전기적으로 상호 절연시킬 수 있다. 이에 따라, 제1 절연성 물질층(510)은 각 전극(210, 220)과 중첩된 영역을 보호함과 동시에, 이들을 전기적으로 상호 절연시킬 수 있다. 또한, 발광 소자(300)의 제1 도전형 반도체(310) 및 제2 도전형 반도체(320)가 다른 기재와 직접 접촉하는 것을 방지하여 발광 소자(300)의 손상을 방지할 수 있다.
- [0213] 다만, 이에 제한되지 않으며, 몇몇 실시예에서는 제1 절연성 물질층(510)이 제1 전극(210)과 제2 전극(220) 상의 영역 중에서 격벽(410, 420)의 경사진 측면과 중첩되는 영역에만 배치될 수도 있다. 이 경우, 제1 절연성 물질층(510)의 하면은 격벽(410, 420)의 경사진 측면에서 종지하고, 격벽(410, 420)의 경사진 측면 중 일부 상에 배치되는 각 전극(210, 220)은 노출되어 접촉 전극(260)과 컨택될 수 있다.
- [0214] 또한, 제1 절연성 물질층(510)은 발광 소자(300)의 양 단부는 노출되도록 배치될 수 있다. 이에 따라, 접촉 전극(260)은 상기 각 전극(210, 220)의 노출된 상부면과 발광 소자(300)의 양 단부와 접촉될 수 있고, 접촉 전극(260)은 제1 전극(210)과 제2 전극(220)으로 인가되는 전기 신호를 발광 소자(300)로 전달할 수 있다.
- [0215] 발광 소자(300)는 제1 전극(210)과 제2 전극(220) 사이에 적어도 하나 배치될 수 있다. 도면에서는 단면상 제1 전극(210)과 제2 전극(220) 사이에 하나의 발광 소자(300)가 배치된 것을 도시하고 있으나, 도 20과 같이 평면상 다른 방향(예컨대, 제2 방향(D2))으로 복수의 발광 소자(300)들이 배치될 수 있음은 자명하다.
- [0216] 구체적으로, 발광 소자(300)는 일 단부가 제1 전극(210)과 전기적으로 연결되고, 타 단부는 제2 전극(220)과 전기적으로 연결될 수 있다. 발광 소자(300)의 양 단부는 각각 제1 접촉 전극(261) 및 제2 접촉 전극(262)과 컨택될 수 있다.
- [0217] 예시적인 실시예에서, 발광 소자(300)는 일 단부가 제1 도전형 불순물로 도핑되고, 타 단부가 제1 도전형 불순물과 다른 극성을 갖는 제2 도전형 불순물로 도핑된 반도체 나노 로드일 수 있다. 발광 소자(300)는 제1 도전형 반도체(310), 소자 활성층(330), 제2 도전형 반도체(320) 및 전극 물질층(370)이 순차적으로 형성되고, 이들의 외주면을 감싸는 절연막(380)을 포함할 수 있다.
- [0218] 발광 소자(300)는 비아층(200)에 수평한 방향으로 제1 도전형 반도체(310), 소자 활성층(330), 제2 도전형 반도체(320) 및 전극 물질층(370)이 배치될 수 있다. 다시 말해, 상기 복수의 층들이 형성된 발광 소자(300)는 비아

층(200)과 수평한 가로방향으로 배치될 수 있다. 다만, 이에 제한되지 않으며, 발광 소자(300)는 제1 전극(210)과 제2 전극(220) 사이에서 상술한 적층 방향이 반대가 되도록 정렬될 수도 있다.

- [0219] 제2 절연성 물질층(520)은 발광 소자(300) 상의 적어도 일부 영역과 중첩되도록 배치될 수 있다. 제2 절연성 물질층(520)은 발광 소자(300)를 보호함과 동시에 제1 전극(210)과 제2 전극(220) 사이에서 발광 소자(300)를 고정시키는 기능을 수행할 수도 있다.
- [0220] 도면에서는 제2 절연성 물질층(520)이 단면도상 발광 소자(300)의 상부면에만 배치된 것을 도시하고 있으나, 제2 절연성 물질층(520)은 발광 소자(300)의 외면을 감싸도록 배치될 수 있다. 즉, 제1 절연성 물질층(510)과 같이 제2 절연성 물질층(520)은 평면상 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 사이의 공간을 따라 제2 방향(D2)으로 연장되어 섬형 또는 선형의 형상을 갖도록 배치될 수 있다.
- [0221] 또한, 제2 절연성 물질층(520)의 재료 중 일부는 발광 소자(300)의 하면과 제1 절연성 물질층(510)이 접하는 영역에도 배치될 수 있다. 이는 표시 장치(10)의 제조 시, 제1 절연성 물질층(510) 상에 발광 소자(300)가 정렬되고 그 위에 제2 절연성 물질층(520)이 배치될 때 형성된 것일 수도 있다.
- [0222] 제2 절연성 물질층(520)은 발광 소자(300)의 양 측면이 노출되도록 배치된다. 이 경우 후술하는 접촉 전극(261, 262)은 발광 소자(300)의 양 단부 측면과 원활하게 접촉이 이루어질 수 있다. 다만, 이에 제한되지 않으며, 제2 절연성 물질층(520)의 길이와 발광 소자(300)의 길이가 일치하여 양 측부들이 정렬될 수 있다.
- [0223] 제2 절연성 물질층(520) 상에는 제1 전극(210) 상에 배치되고, 제2 절연성 물질층(520)의 적어도 일부와 중첩되는 제1 접촉 전극(261), 제2 전극(220) 상에 배치되고, 제2 절연성 물질층(520)의 적어도 일부와 중첩되는 제2 접촉 전극(262)이 배치될 수 있다.
- [0224] 제1 접촉 전극(261)과 제2 접촉 전극(262)은 각각 제1 전극(210)과 제2 전극(220)의 상부면에 배치될 수 있다. 구체적으로, 제1 접촉 전극(261)과 제2 접촉 전극(262)은 제1 절연성 물질층(510)이 패터닝되어 제1 전극(210)과 제2 전극(220)의 일부가 노출되는 영역에서 각각 제1 전극층(212) 및 제2 전극층(222)과 접촉할 수 있다. 또한, 제1 접촉 전극(261)과 제2 접촉 전극(262)은 발광 소자(300)의 양 단부 측면, 예컨대 제1 도전형 반도체(310), 제2 도전형 반도체(320) 또는 전극 물질층(370)에 각각 접촉될 수 있다. 이에 따라, 제1 접촉 전극(261) 및 제2 접촉 전극(262)은 제1 전극층(212) 및 제2 전극층(222)에 인가된 전기 신호를 발광 소자(300)에 전달할 수 있다.
- [0225] 제1 접촉 전극(261) 및 제2 접촉 전극(262)은 제2 절연성 물질층(520) 또는 제3 절연성 물질층(530) 상에서 서로 이격되어 배치될 수 있다. 이로 인해 제1 접촉 전극(261)과 제2 접촉 전극(262)은 각각 제1 박막 트랜지스터(120)와 전원 배선(161)에서 서로 다른 전원을 인가 받을 수 있다.
- [0226] 접촉 전극(261, 262)은 전도성 물질을 포함할 수 있다. 예를 들어, ITO, IZO, ITZO, 알루미늄(A1) 등을 포함할 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0227] 제3 절연성 물질층(530)은 제1 접촉 전극(261)의 상부에 배치되어, 제1 접촉 전극(261)과 제2 접촉 전극(262)을 전기적으로 상호 절연시킬 수 있다. 제3 절연성 물질층(530)은 제1 접촉 전극(261)을 덮도록 배치되며, 발광 소자(300)가 제2 접촉 전극(262)과 접촉될 수 있도록 발광 소자(300)의 일부 영역에는 중첩되지 않도록 배치될 수 있다.
- [0228] 한편, 몇몇 실시예에서, 표시 장치(10)는 제3 절연성 물질층(530)이 생략될 수도 있다. 이에 따라, 제1 접촉 전극(261)과 제2 접촉 전극(262)은 실질적으로 동일한 평면상에 배치될 수 있고, 후술할 패시베이션층(550)에 의해 제1 접촉 전극(261)과 제2 접촉 전극(262)은 전기적으로 상호 절연될 수 있다.
- [0229] 패시베이션층(550)은 제3 절연성 물질층(530) 및 제2 접촉 전극(262)의 상부에 형성되어, 외부 환경에 대하여 비아층(200) 상에 배치되는 부재들을 보호하는 기능을 할 수 있다. 제1 접촉 전극(261) 및 제2 접촉 전극(262)이 노출될 경우, 전극 손상에 의해 접촉 전극 재료의 단선 문제가 발생할 수 있기 때문에, 패시베이션층(550)으로 이들을 커버할 수 있다. 또한, 상술한 바와 같이, 제3 절연성 물질층(530)이 생략되는 경우, 패시베이션층(550)은 제1 접촉 전극(261)과 제2 접촉 전극(262)의 상부에 형성될 수 있다.
- [0230] 상술한 제1 절연성 물질층(510), 제2 절연성 물질층(520), 제3 절연성 물질층(530) 및 패시베이션층(550) 각각은 무기물 절연성 물질을 포함할 수 있다. 예를 들어, 제1 절연성 물질층(510), 제2 절연성 물질층(520), 제3 절연성 물질층(530) 및 패시베이션층(550)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물

(SiOxNy), 산화 알루미늄(Al_2O_3), 질화 알루미늄(AlN)등과 같은 물질을 포함할 수 있다. 제1 절연성 물질층(510), 제2 절연성 물질층(520), 제3 절연성 물질층(530) 및 패시베이션층(550)은 동일한 물질로 이루어질 수도 있지만, 서로 다른 물질로 이루어질 수도 있다.

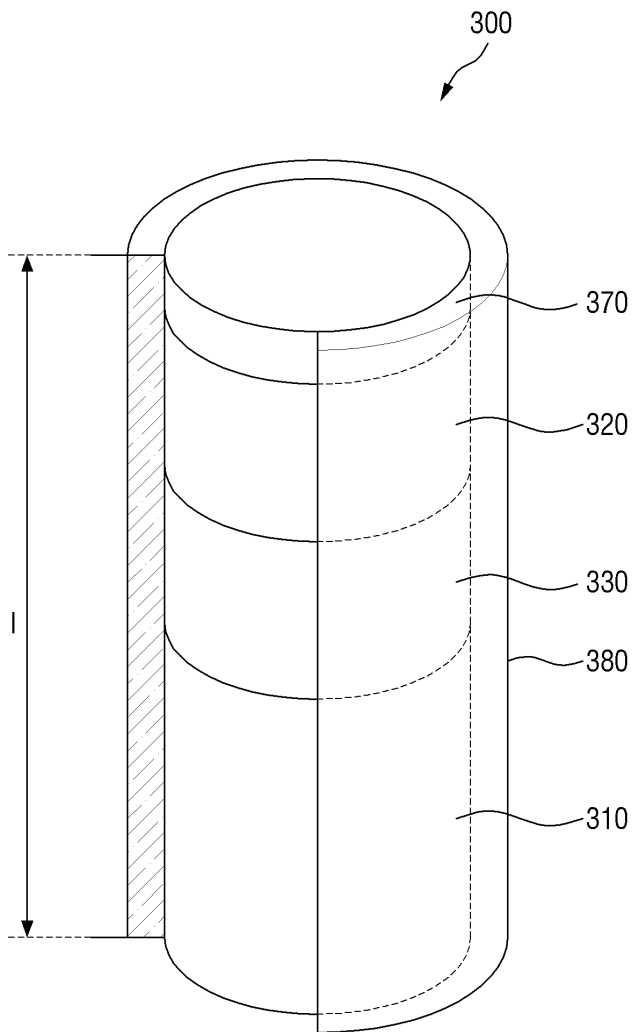
[0231] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

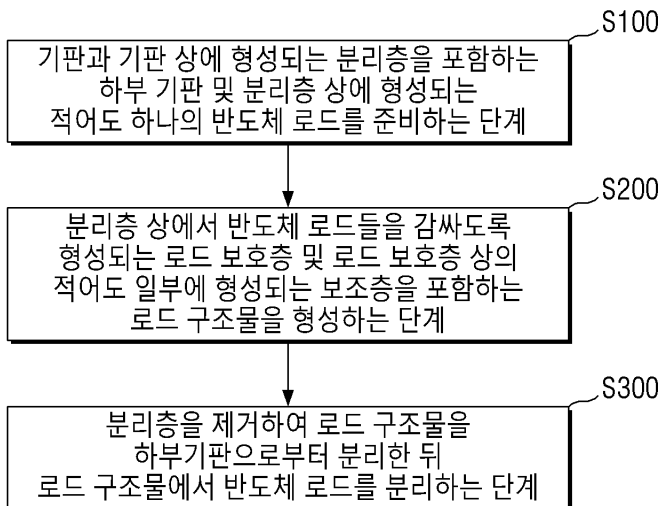
[0232] 10: 표시 장치
 300: 발광 소자
 1000: 로드 구조물
 1100: 로드 보호층 1200: 보조층
 2000: 하부기판
 2100: 베이스 기판 2200: 버퍼 물질층 2300: 분리층
 1600: 식각 마스크층 1700: 식각 패턴층
 3000: 반도체 구조물
 3100: 제1 도전형 반도체층 3200: 제2 도전형 반도체층
 3300: 활성 물질층 3700: 도전성 전극물질층 3800: 절연피막

도면

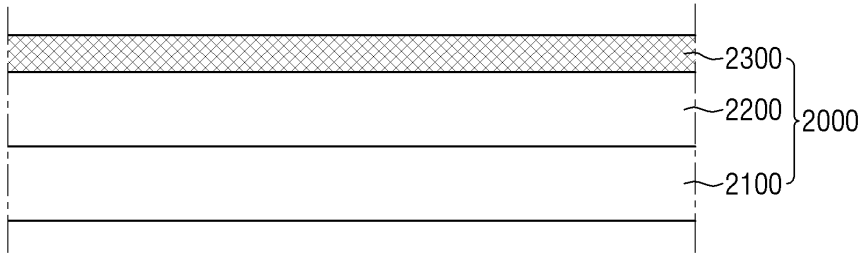
도면1



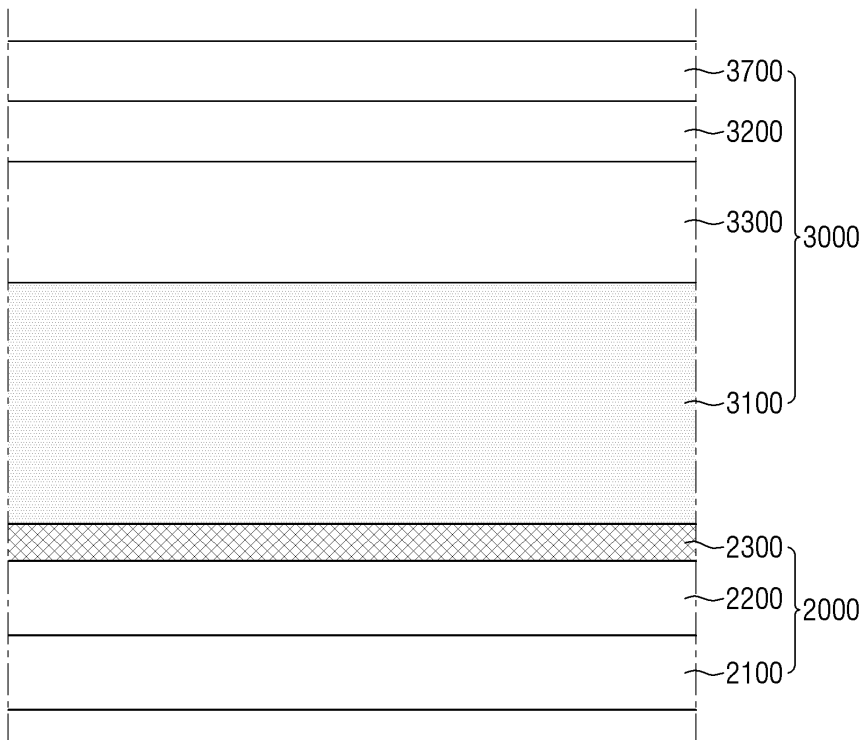
도면2



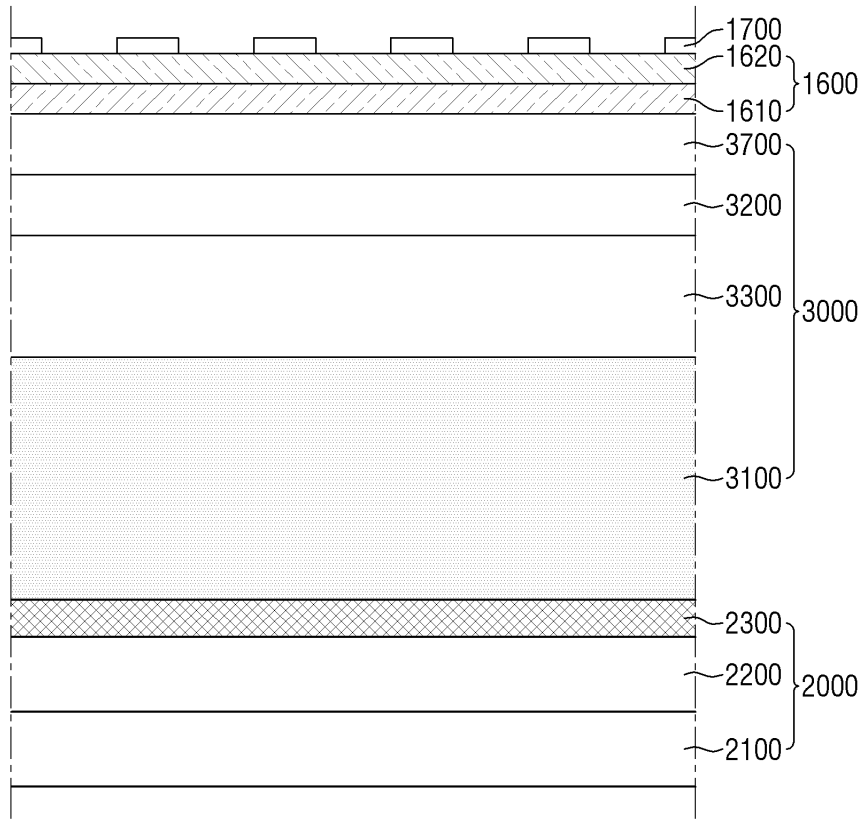
도면3



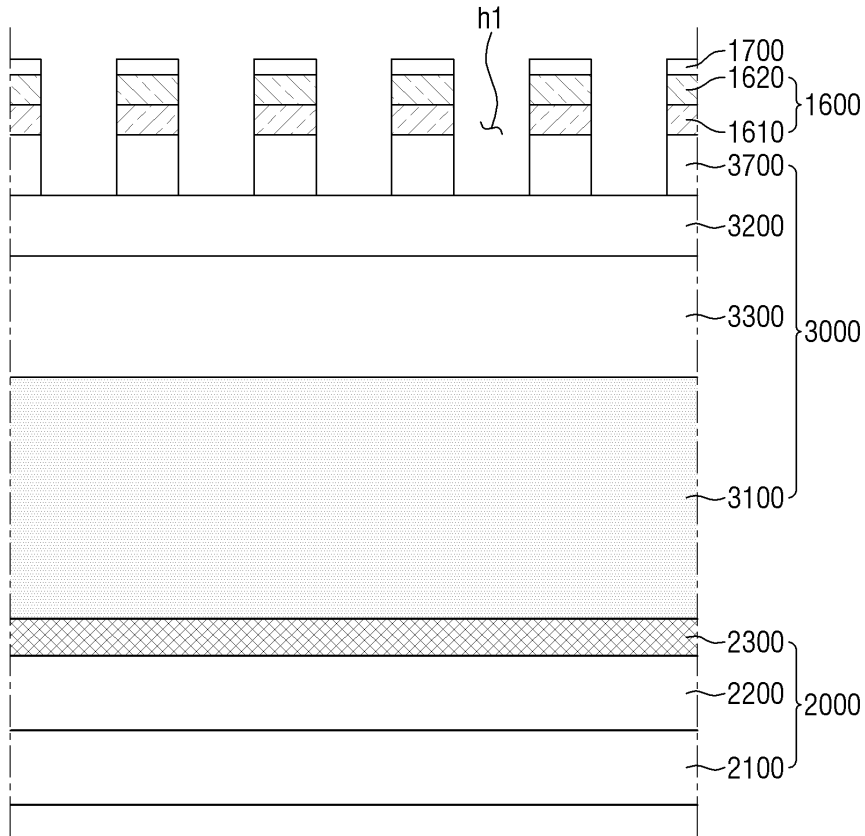
도면4



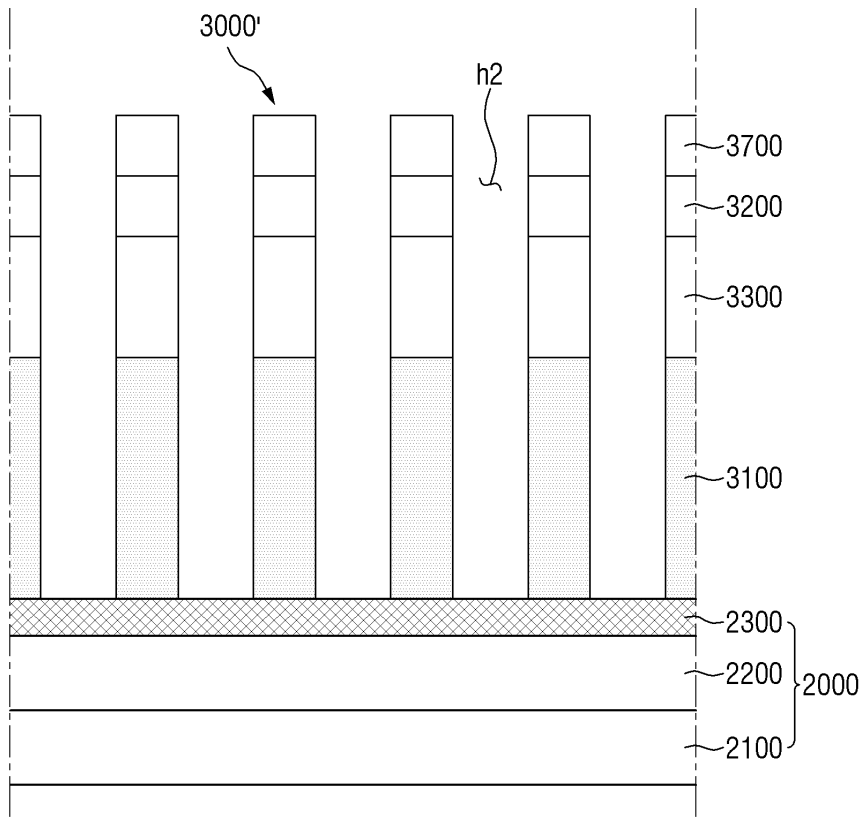
도면5



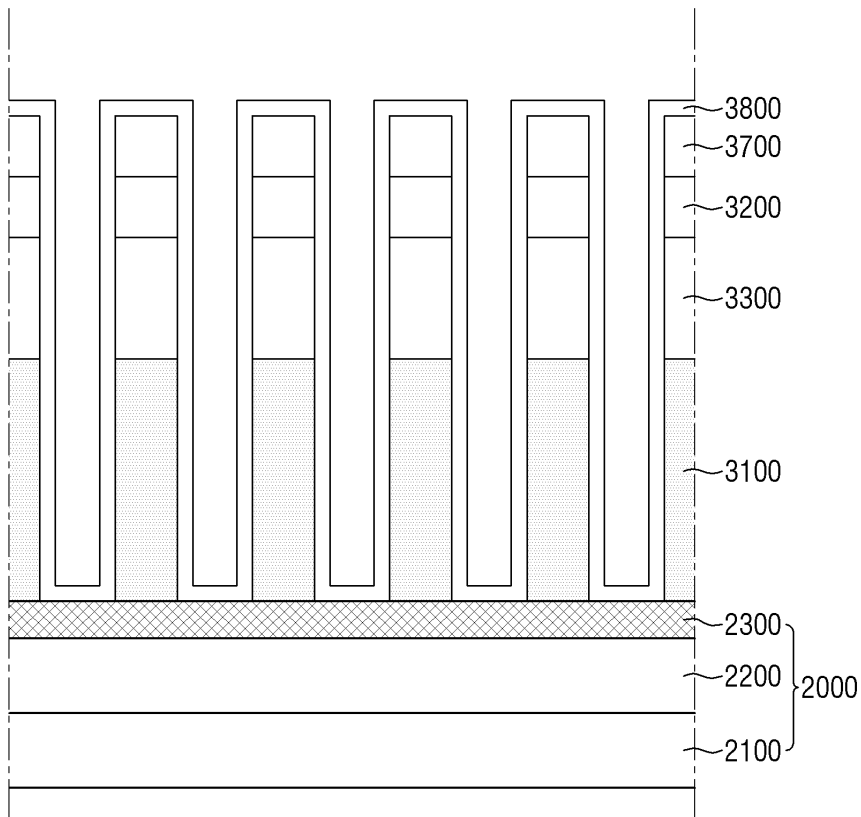
도면6



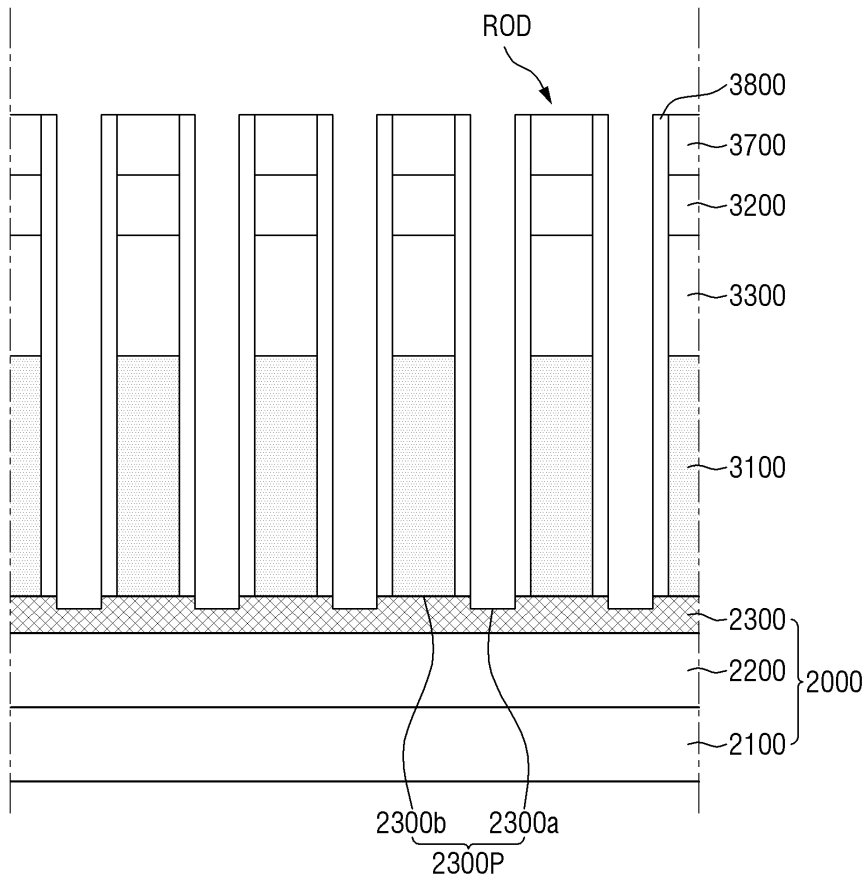
도면7



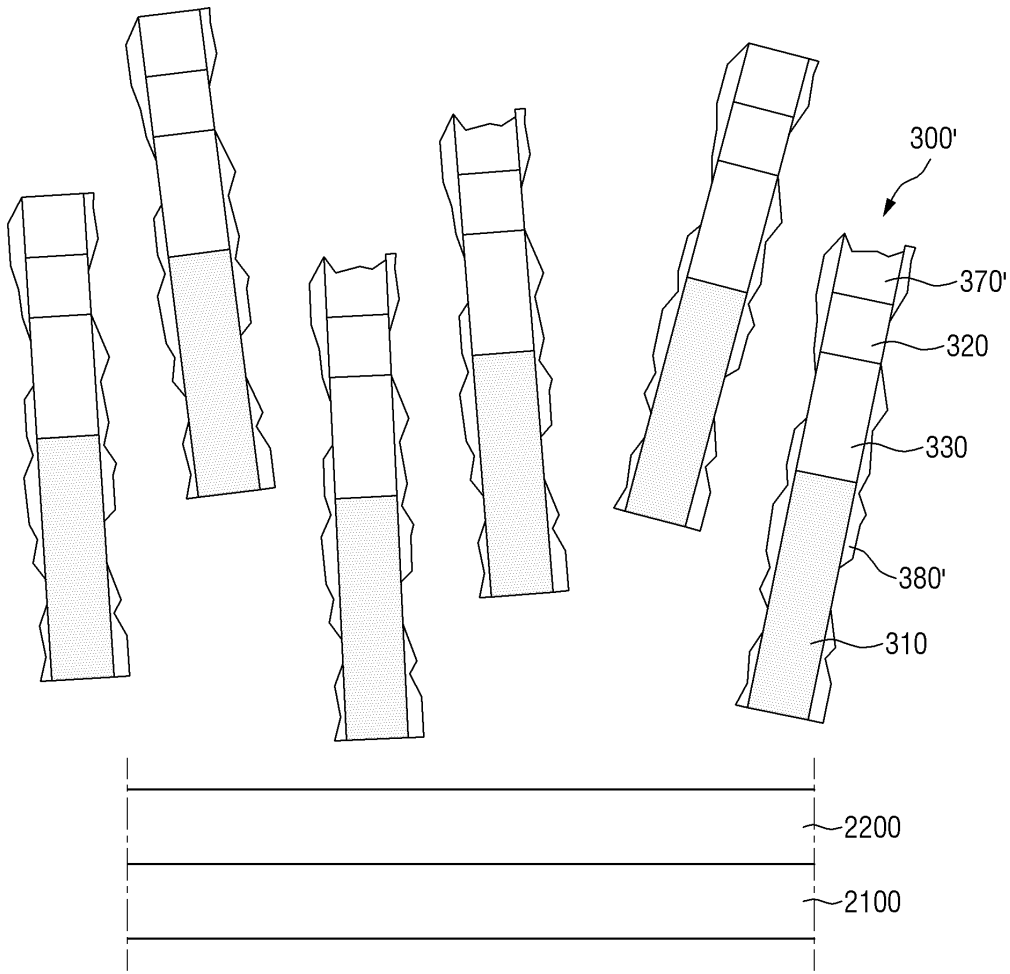
도면8



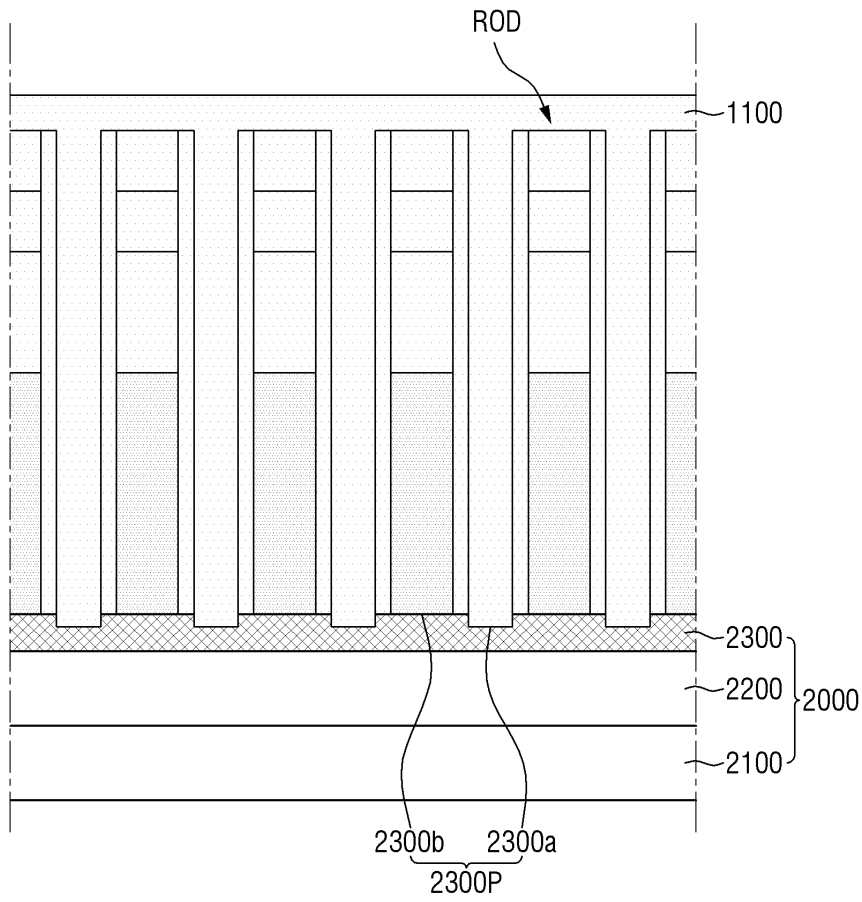
도면9



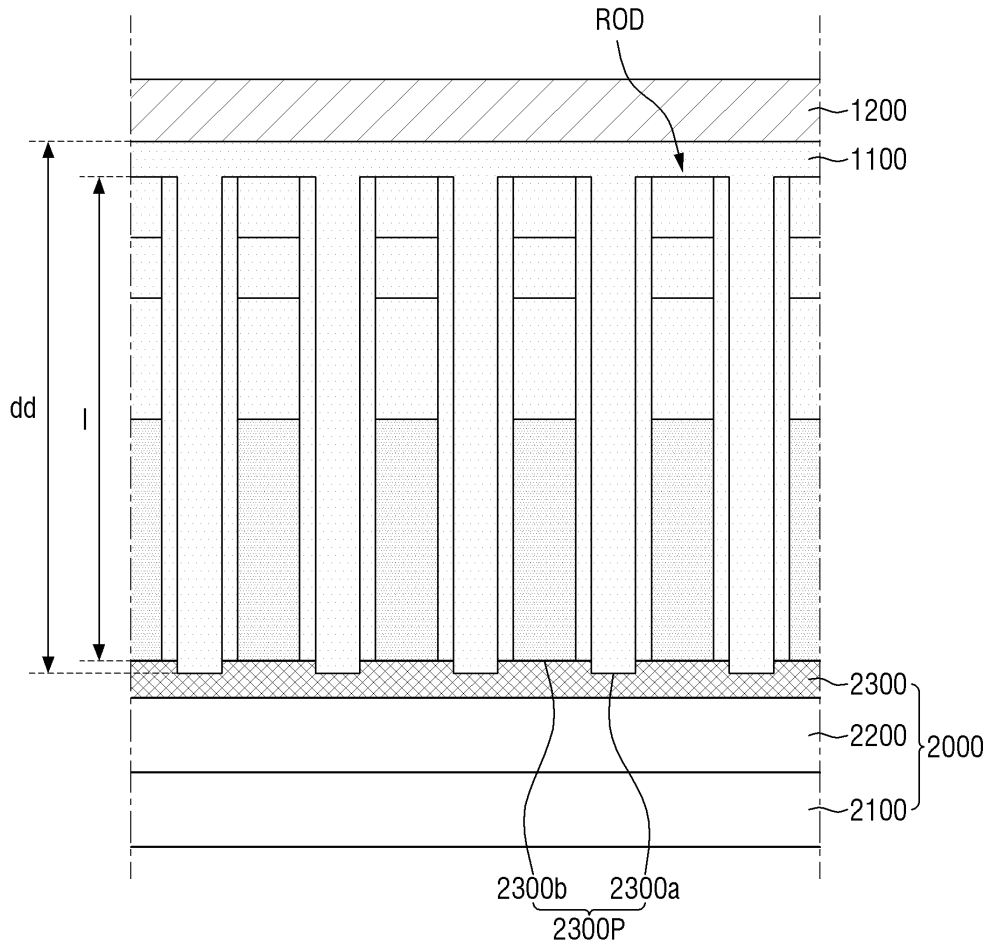
도면10



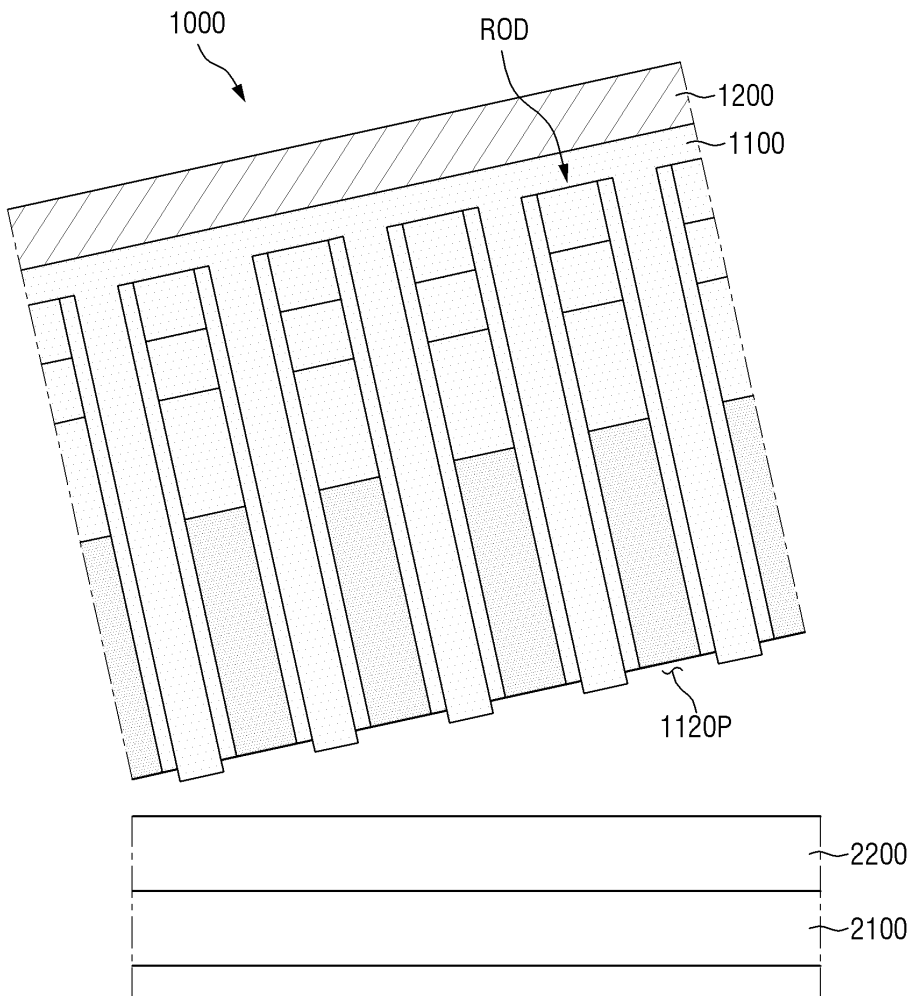
도면11



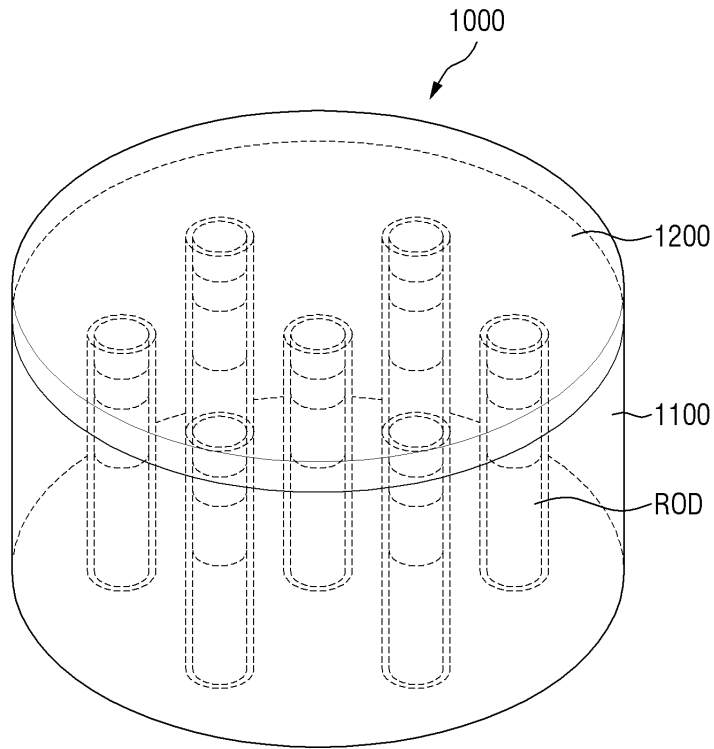
도면12



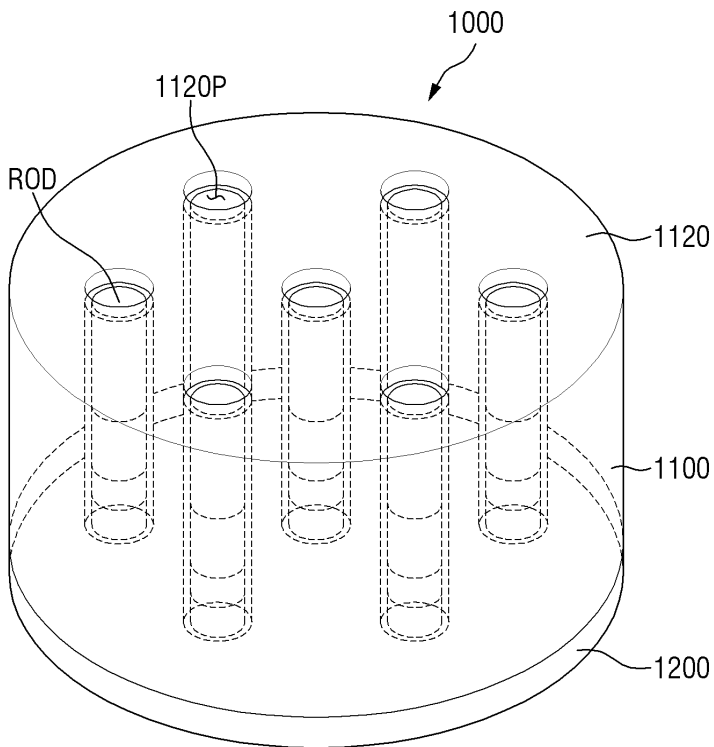
도면13



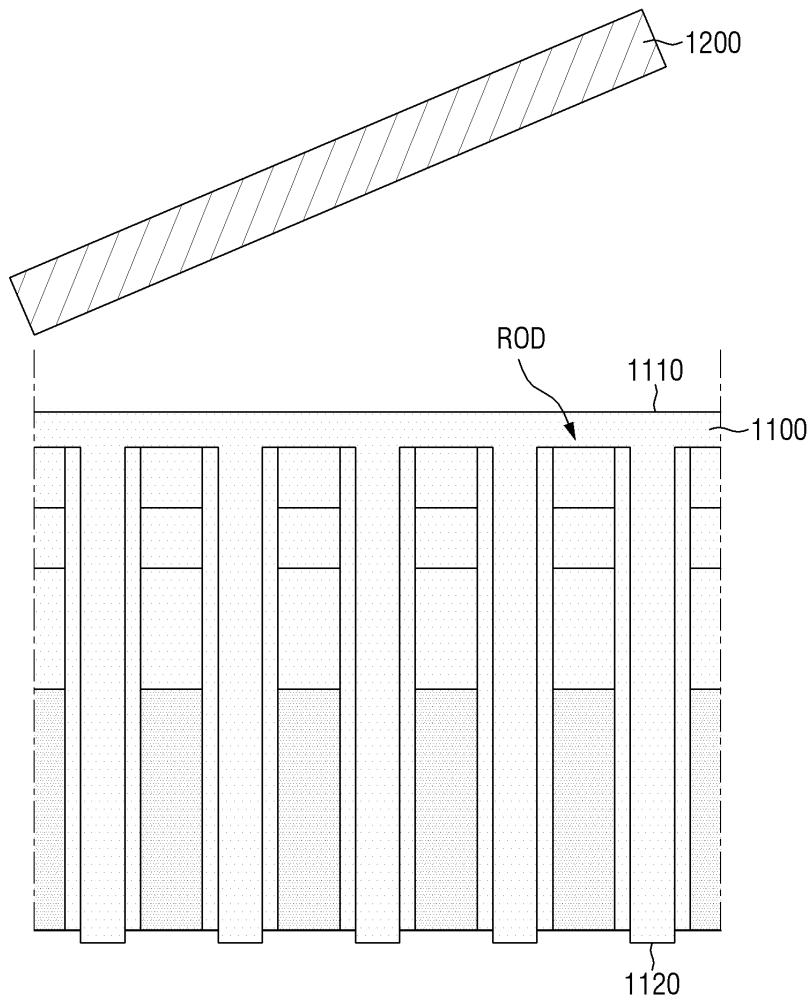
도면14



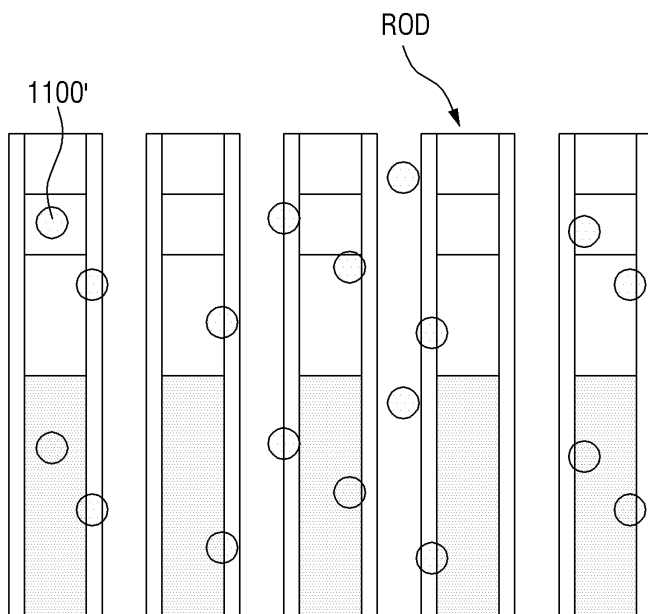
도면15



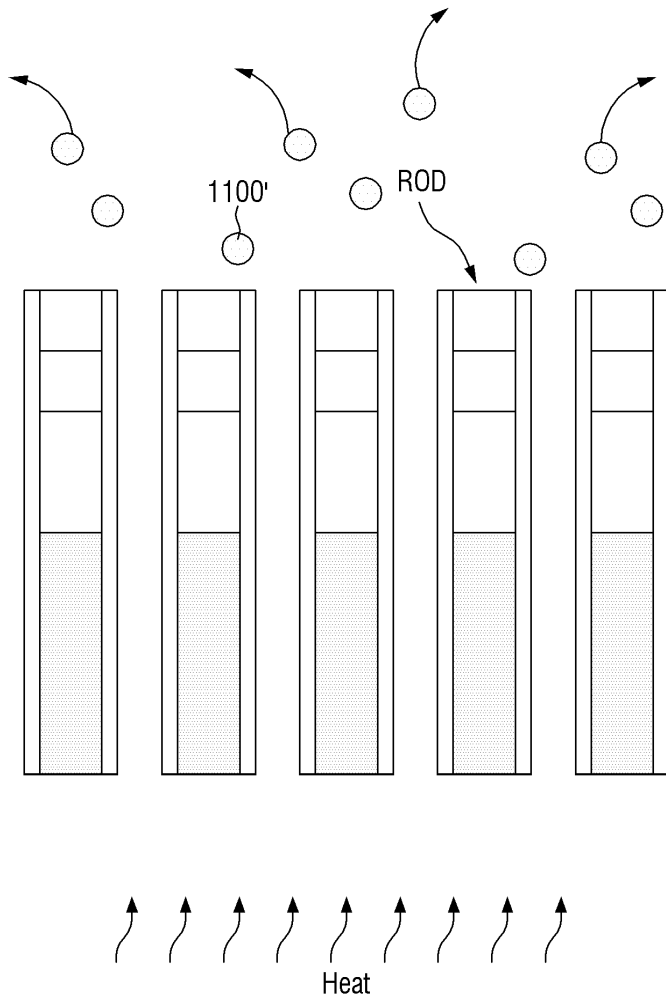
도면16



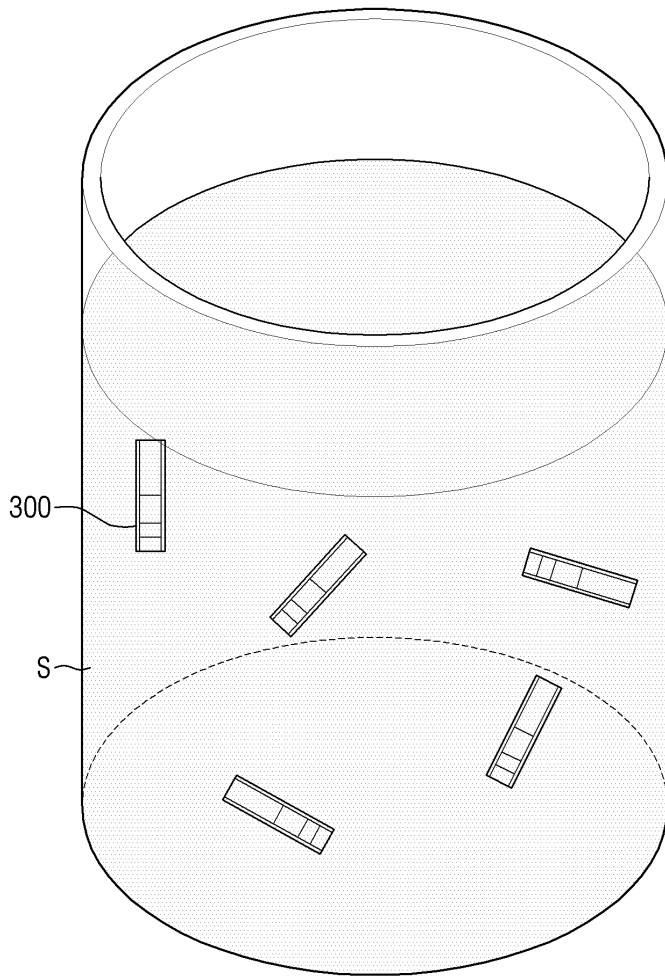
도면17



도면18



도면19



도면20

