

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年9月25日(2014.9.25)

【公表番号】特表2013-539272(P2013-539272A)

【公表日】平成25年10月17日(2013.10.17)

【年通号数】公開・登録公報2013-057

【出願番号】特願2013-524169(P2013-524169)

【国際特許分類】

H 03 L	7/08	(2006.01)
H 03 K	23/64	(2006.01)
H 03 K	23/00	(2006.01)
H 03 L	7/183	(2006.01)
H 03 L	7/18	(2006.01)

【F I】

H 03 L	7/08	N
H 03 K	23/64	D
H 03 K	23/00	B
H 03 L	7/18	B
H 03 L	7/18	Z

【手続補正書】

【提出日】平成26年8月8日(2014.8.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

周波数分周器であって、

第1の入力信号と第1のプログラムビットと第1のモード信号とを受け取り、第1の周波数分周信号と第1の出力モード信号とを生成するように結合される最下位段であって、前記第1のモード信号と前記第1のプログラムビットとが、前記最下位段によって用いられるべき分周モードを特定する、前記最下位段と、

カスケード式に結合される複数のより上位の分周器段であって、前記複数のより上位の分周器段の各々が、直前の段の出力の周波数を、対応するプログラムビットと対応する入力モード信号とにより特定される値によって分周し、前記複数のより上位の分周器段が第1の分周器段を含み、前記第1の分周器段が、前記第1の周波数分周信号を受け取り、前記第1の入力モード信号を生成するように結合される、前記複数のより上位の分周器段と、

前記第1の出力モード信号とモードビットとを受け取り、第1の出力信号を生成する、出力段であって、前記出力段が、前記モードビットが1の論理レベルにある場合に、前記第1の出力モード信号の周波数を2で分周することによって、前記第1の出力信号を生成し、そうでない場合に、前記出力段が前記出力モード信号を前記第1の出力信号として転送する、前記出力段と、

を含む、周波数分周器。

【請求項2】

請求項1に記載の周波数分周器であって、

分周係数Mを受け取り、前記第1のプログラムビットと前記対応するプログラムビット

の各々と前記モードビットとの値を計算する、プログラムブロックを更に含み、

前記第1の出力信号の周波数が、前記第1の入力信号の周波数の1/Mであり、前記プログラムブロックが値Pを計算し、前記分周係数Mが2に等しい場合にPがゼロに等しく、Mが2より大きい場合であってMが偶数の場合にPがM/2に等しく、Mが2より大きい場合であってMが奇数の場合にPが(M-1)/2に等しく、

前記最下位段が、付加的に第3のビットを受け取り、Mが4より大きい場合に前記第3のビットがMの2進表示の最下位ビットと同じ値を有し、そうでない場合に前記第3のビットがゼロであり、前記最下位段によって用いられるべき前記分周モードが2分周モードと3分周モードと4分周モードとの1つであり、

前記最下位段が、Mの前記最下位ビットと前記第1のモード信号の論理レベルと前記第1のプログラムビットとの値に基づいて、前記入力信号の周波数を2、3又は4に等しい係数で分周するように動作する、周波数分周器。

【請求項3】

請求項2に記載の周波数分周器であって、

前記複数のより上位の分周器段の各段が、前記対応する入力モード信号の前記論理レベルと前記対応するプログラムビットとの前記値に基づいて、前記対応する直前の段の前記出力の前記周波数を2又は3に等しい係数で分周するように動作する、周波数分周器。

【請求項4】

請求項3に記載の周波数分周器であって、

前記プログラムブロックが、前記第1のプログラムビットと前記対応するプログラムビットの各々と前記モードビットとが整合時点よりも前に計算されていたとしても、前記整合時点においてのみ、前記第1のプログラムビットを前記最下位段に、前記対応するプログラムビットの各々を前記複数の段の前記対応する段に、前記モードビットを前記出力段に、転送し、

前記整合時点が、前記第1の出力信号が論理ゼロのときに前記出力モード信号の立ち上がりが起こる時点である、又は前記出力モード信号の立ち上がりが起こり、且つ、前記モードビットの前記直前の値が、前記出力段が遅延モードで動作することを特定した場合の時点である、周波数分周器。

【請求項5】

請求項4に記載の周波数分周器であって、

第1のインバータを含む複数のインバータを更に含み、

前記第1の周波数分周信号の論理レベルが、入力として前記第1の分周器段に提供される前に、前記第1のインバータによって反転され、

前記複数のより上位の分周器段の対応する段の出力の論理レベルが、入力としてその後の段に提供される前に、対応するインバータによって反転される、周波数分周器。

【請求項6】

請求項5に記載の周波数分周器であって、

前記複数のより上位の分周器段の各段が、

第1のフリップフロップであって、前記第1のフリップフロップのクロック端子が前記第1の入力信号をクロック信号として受け取るように結合される、前記第1のフリップフロップと、

対応する入力モード信号と段イネーブル信号の逆数とを入力として受け取り、第1のOR出力を生成する、第1のORゲートと、

前記第1のOR出力と前記第1のフリップフロップの出力とを入力として受け取り、第1のAND出力を対応する出力モード信号として生成する、第1のANDゲートと、

第2のフリップフロップであって、前記第2のフリップフロップのクロック端子が前記第1の入力信号をクロック信号として受け取るように結合され、前記第2のフリップフロップの入力端子が前記第1のAND出力を受け取るように結合される、前記第2のフリップフロップと、

前記第2のフリップフロップの出力と対応するプログラムビットとを入力として受け取

り、第2のAND出力を生成する、第2のANDゲートと、

前記第2のAND出力と前記第1のフリップフロップの出力とを入力として受け取り、第1のNOR出力を出力する、第1のNORゲートであって、前記第1のNOR出力が前記第1のフリップフロップの入力端子に結合される、前記第1のNORゲートと、

を含み、

前記第1のフリップフロップの前記出力が対応する周波数分周信号を表す、周波数分周器。

【請求項7】

請求項5に記載の周波数分周器であって、

前記最下位段が、

第3のフリップフロップであって、前記第3のフリップフロップのクロック端子が前記第1の入力信号をクロック信号として受け取るように結合される、前記第3のフリップフロップと、

前記第1のモード信号と第1の段イネーブル信号の逆数とを入力として受け取り、第2のOR出力を生成する、第2のORゲートと、

前記第2のOR出力と前記第3のフリップフロップの出力とを入力として受け取り、第3のAND出力を前記第1の出力モード信号として生成する、第3のANDゲートと、

前記第3のAND出力と第3のOR入力を入力として受け取り、第3のOR出力を生成する、第3のORゲートと、

第4のフリップフロップであって、前記第2のフリップフロップのクロック端子が前記第1の入力信号をクロック信号として受け取るように結合され、前記第4のフリップフロップの入力端子が前記第3のOR出力を受け取るように結合される、前記第4のフリップフロップと、

前記第4のフリップフロップの出力と前記第1のプログラムビットとを入力として受け取り、第4のAND出力を生成する、第4のANDゲートと、

前記第1の出力モード信号と前記第3のビットと前記第1の出力信号とを入力として受け取り、第5のAND出力を生成する、第5のANDゲートと、

第5のフリップフロップであって、前記第5のフリップフロップのクロック端子が前記第1の入力信号をクロック信号として受け取るように結合され、前記第5のフリップフロップの入力端子が前記第5のAND出力を受け取るように結合され、前記第5のフリップフロップの出力が前記第3のOR入力である、前記第5のフリップフロップと、

前記第4のフリップフロップの前記出力と前記第5のフリップフロップの前記出力とを受け取り、第4のOR出力を生成する、第4のORゲートと、

前記第4のAND出力と前記第4のOR出力を受け取り、第2のNOR出力を生成する、第2のNORゲートであって、前記第2のNOR出力が前記第3のフリップフロップの入力端子に結合される、前記第2のNORゲートと、

を含み、

前記第3のフリップフロップの前記出力が前記第1の周波数分周信号である、周波数分周器。

【請求項8】

請求項5に記載の周波数分周器であって、

前記出力段が、

前記第1の出力モード信号を第1の選択信号として受け取り、第1のマルチプレクサ出力を提供する、第1のマルチプレクサと、

前記第1のマルチプレクサ出力と前記第1の出力モード信号とを入力として受け取り、前記モードビットの前記値に基づき、前記第1のマルチプレクサ出力と前記第1の出力モード信号との一方を第2のマルチプレクサ出力として提供する、第2のマルチプレクサと、

第6のフリップフロップであって、前記第6のフリップフロップのクロック端子が前記第1の入力信号をクロック信号として受け取るように結合され、前記第6のフリップフロ

ップの入力端子が前記第2のマルチプレクサ出力を受け取るように結合される、前記第6のフリップフロップと、

を含み、

前記第6のフリップフロップの出力と前記第6のフリップフロップの前記出力の反転とが入力として前記第1のマルチプレクサに提供され、前記第1のマルチプレクサが、前記第1の選択信号の前記値に基づいて、前記第6のフリップフロップの前記出力と前記第6のフリップフロップの前記出力の前記反転との一方を第1のマルチプレクサ出力として提供し、

前記第6のフリップフロップの前記出力が前記第1の出力信号である、周波数分周器。

【請求項9】

請求項5に記載の周波数分周器であって、

前記プログラムロックが、

前記分周係数Mを受け取り、第1のプログラムビットと前記対応するプログラムビットの各々と前記モードビットと前記第3のビットとの前記値を、デコードされた出力として生成する、デコードロジックロックと、

前記デコードされた出力を整合信号の立ち上がりで記憶する制御設定レジスタであって、前記記憶されたデコードされた出力を、第1のプログラムビットと前記対応するプログラムビットの各々と前記モードビットと前記第3のビットとの前記対応するものとして提供する、前記制御設定レジスタと、

前記第1の出力信号の論理反転と前記モードビットの論理反転とを受け取り、第5のOR出力を生成する、第5のORゲートと、

前記第5のOR出力と前記第1の出力モード信号とを入力として受け取り、前記整合信号を出力として生成する、第6のANDゲートと、

を含む、周波数分周器。

【請求項10】

位相同期ループであって、

入力クロックと局所クロックとを入力として受け取るように結合され、前記入力クロックの位相と前記局所クロックの位相との間の位相差に比例する比較出力を生成する、位相周波数弁別器と、

前記比較出力を受け取り、対応するローパスフィルタリングされた信号を生成するように結合される、ループフィルタと、

前記ローパスフィルタリングされた信号を受け取り、中間クロックを生成するように結合される電圧制御発振器であって、前記中間クロックの周波数が前記ローパスフィルタリングされた信号の強度に比例する、前記電圧制御発振器と、

前記中間クロックを受け取り、前記中間クロックの周波数を分周係数Mで分周して前記局所クロックを生成する、第1の周波数分周器と、

を含み、

前記第1の周波数分周器が、

第1の入力信号の周波数を前記係数の2、3又は4の1つで分周するように設計される最下位段と、

第1のより上位段を含む複数のより上位段であって、前記複数のより上位段の各々が、対応する入力信号の周波数を前記係数の2又は3の1つで分周するように設計される、前記複数のより上位段と、

最終入力信号を2で分周するか、又は分周を行わないように設計される、出力段と、

を含み、

前記第1の入力信号が前記中間クロックであり、前記最下位段が、前記中間クロックを受け取り、第1の分周されたクロックと第1の出力モード信号とを生成するように結合され、前記第1の分周されたクロックの周波数が前記中間クロックの前記周波数より低く、

前記第1のより上位段が、前記第1の分周されたクロックを受け取り、第2の分周されたクロックを生成するように結合され、前記第2の分周されたクロックの周波数が前記第

1の分周されたクロックの前記周波数より低く、

前記最終入力信号が前記第1の出力モード信号であり、前記出力段が、前記第1の出力モード信号を受け取り、前記局所クロックを生成するように結合される、位相同期ループ。

【請求項11】

請求項10に記載の位相同期ループであって、

前記複数のより上位段の各々が、直前の段によって生成された対応するクロックの周波数を分周し、直前の段によって生成された前記対応するクロックの周波数よりも低い周波数を持つクロックを生成し、

前記第1の出力モード信号の周波数が、前記複数のより上位段に含まれる最上位段によって生成された対応するクロックの周波数に等しい、位相同期ループ。

【請求項12】

請求項11に記載の位相同期ループであって、

前記第1の周波数分周器が、前記分周係数Mを受け取るプログラムブロックを更に含み、前記プログラムブロックが値Pを算出し、ここで、P[0]～P[N]がPの前記2進表示のビットを表し、NがPの最上位ビットであり、0がPの前記最下位ビットであり、

前記分周係数Mが2に等しい場合、Pがゼロに等しく、

Mが2より大きい場合、Mが偶数の場合にPがM/2に等しく、Mが奇数の場合にPが(M-1)/2に等しく、

前記プログラムブロックが、プログラムビットとしてP[0]を前記最下位段に提供し、対応するプログラムビットとしてP[1]～P[N]を前記より上位段のそれぞれに提供する、位相同期ループ。

【請求項13】

請求項12に記載の位相同期ループであって、

前記最下位段と前記複数のより上位段の各々とが対応する入力モード信号を受け取り、前記複数のより上位段の各々が対応する出力モード信号を生成し、前記第1のより上位段の出力モード信号が入力モード信号として前記最下位段に提供され、

前記複数のより上位段内の対応する段によって生成される出力モード信号が、前記入力モード信号として直前の段に提供される、位相同期ループ。

【請求項14】

請求項13に記載の位相同期ループであって、

前記最下位段と前記複数のより上位段の各々とが、対応するイネーブル信号を受け取り、

前記最下位段と前記複数のより上位段とに含まれる段「k」へのイネーブル信号が論理ゼロである場合、「k」より上位の段がリセット状態に維持される、位相同期ループ。

【請求項15】

請求項14に記載の位相同期ループであって、

前記最下位段が、前記最下位段及びP[0]に対する前記対応する入力モード信号の値に基づいて、前記中間クロックの前記周波数を係数2、3及び4の1つで分周する、位相同期ループ。

【請求項16】

請求項15に記載の位相同期ループであって、

前記複数のより上位段の各々が、前記対応する入力モード信号の前記値とビットP[1]～P[N]の前記対応するものとに基づいて、前記直前の段の前記出力の周波数を係数2及び3の1つで分周する、位相同期ループ。

【請求項17】

請求項16に記載の位相同期ループであって、

Mが4以上である場合、前記出力段が前記第1の出力モード信号の前記周波数を2で分周し、そうでない場合、前記出力段が前記第1の出力モード信号を分周しないで転送し、

前記プログラムブロックがモードビットを前記出力段に提供し、前記モードビットが前

記出力段が前記出力モード信号の前記周波数を2で分周するかどうかを特定する、位相同期ループ。

【請求項18】

請求項17に記載の位相同期ループであって、

P[0]～P[N]と前記モードビットとが整合時点より前に算出されていたとしても、前記整合時点においてのみ、前記プログラムブロックが、P[0]を前記最下位段に、P[1]～P[N]の前記対応するものを前記より上位段の前記それぞれのものに、前記モードビットを前記出力段に、転送し、

前記整合時点が、前記局所クロックが論理ゼロであるときに、前記出力モード信号の立ち上がりが起こる時点である、又は、前記出力モード信号の立ち上がりが起こり、且つ、前記モードビットの前記直前の値が、前記出力段が2で分周されないことを特定した場合の時点である、位相同期ループ。

【請求項19】

請求項17に記載の位相同期ループであって、

第2の周波数分周器と、第3の周波数分周器と、制御ブロックとを更に含み、

前記第2の周波数分周器が、外部クロックを受け取り、前記外部クロックの周波数を分周係数Nで分周して前記入力クロックを生成し、

前記第3の周波数分周器が、前記中間クロックを受け取り、前記中間クロックの周波数を分周係数Qで分周して出力クロックを生成し、

前記制御ブロックが、外部構成要素から分周係数A、B及びCを受け取り、前記分周係数M、N及びQを生成し、分周係数M、N及びQが分周係数B、A及びCにそれぞれ対応し、

前記制御ブロックが、分周係数Mを分周係数Bの値辺りで変動させ、分周係数Nの値を分周係数Aの値辺りで変動させ、

前記位相同期ループの電源ON時に、前記制御ブロックが分周係数Qの値を分周係数Cより大きい値に設定し、次いで前記制御ブロックが、対応するステップにおいて、分周係数Qの前記値を分周係数Cに等しい値まで下げる、位相同期ループ。

【請求項20】

周波数分周器であって、

カスケード式に結合される複数の段であって、前記複数の段が、最下位段と最上位（より上位の）段とを含む、前記複数の段と、

出力段と、

を含み、

前記最下位段の入力端子が入力クロックを受け取るように結合され、前記最下位段が前記入力クロックの周波数を分周して第1の出力端子上に第1の出力クロックを生成し、

前記より上位段の入力端子が前記第1の出力端子に結合され、前記より上位段が第2の出力クロックを生成し、前記第2の出力クロックの周波数が前記入力クロックの周波数の1/Pであり、前記より上位段が最上位出力モード信号を第2の出力端子上に生成し、

前記最下位段の別の入力端子が前記第2の出力端子に結合され、前記最下位段が第1の出力モード信号を生成し、前記第1の出力モード信号の周波数が前記第2の出力クロックの周波数に等しく、

前記出力段が、前記第1の出力モード信号を受け取り、出力クロックを生成するように結合され、前記出力クロックの前記周波数が、前記第1の出力モード信号の周波数の半分であるか、又は、前記出力モード信号の前記周波数に等しいかのいずれかである、周波数分周器。

【請求項21】

入力クロックと局所クロックとを入力として受信することと、

前記入力クロックの位相と前記局所クロックの位相との間の位相差に比例する比較出力を生成することと、

前記比較出力を受信して対応するローパスフィルタリング信号を生成することと、

前記ローパスフィルタリング信号を受信して中間クロックを生成することであって、前記中間クロックの周波数が前記ローパスフィルタリング信号の強度に比例する、前記受信して中間クロックを生成することと、

前記中間クロックを受信して、前記局所クロックを生成するために前記中間クロックの周波数を分周係数Mで分周することと、

を含む、方法であって、

前記周波数を分周することが、

第1の入力信号の周波数を2、3又は4の係数の1つで分周することと、

対応する入力信号の周波数を2又は3の係数の1つで分周すること、

最終入力信号を2で分周するか又は分周を行なわないことと、

前記中間クロックを受信して第1の分周クロックと第1の出力モード信号とを生成することであって、前記第1の分周クロックの周波数が前記中間クロックの周波数よりも小さい、前記中間クロックを受信して第1の分周クロックと第1の出力モード信号とを生成することと、

第2の分周クロックを生成することであって、前記第2の分周クロックの周波数が前記第1の分周クロックの周波数よりも小さい、前記第2の分周クロックを生成することと、

前記ローカルクロックを生成することと、

を含む、方法。