

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-44199

(P2010-44199A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611E	2H193
G02F 1/133 (2006.01)	G09G 3/20 624B	5C006
	G09G 3/20 623A	5C080
	G09G 3/20 623C	
審査請求 有 請求項の数 5 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2008-207895 (P2008-207895)	(71) 出願人	506290958
(22) 出願日	平成20年8月12日 (2008.8.12)		ティーピーオー ディスプレイズ コーポ レーション 台湾, ミアオ リ カウンティ, チュナン 350, サイエンスーペースト インダ ストリアル パーク, コォ ジュン ロード 12番
		(74) 代理人	100070150 弁理士 伊東 忠彦
		(74) 代理人	100091214 弁理士 大貫 進介
		(74) 代理人	100107766 弁理士 伊東 忠重
		(72) 発明者	吉賀 正博 兵庫県神戸市西区高塚台4-3-1 最終頁に続く

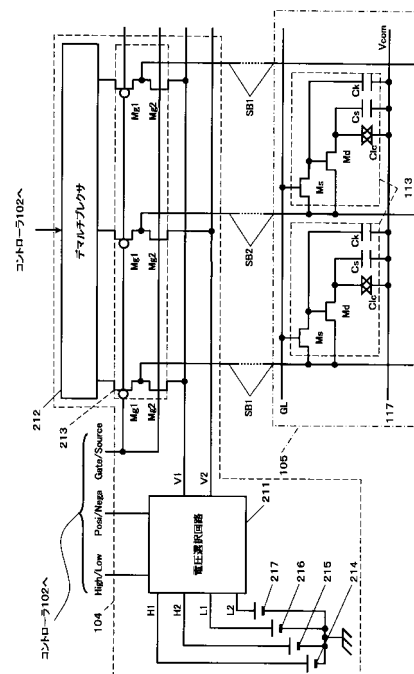
(54) 【発明の名称】 表示装置、電子装置、電子システム

(57) 【要約】 (修正有)

【課題】 ドレインを画素電極に接続し、ソースをソースバスに接続し、ゲート電圧に応じて前記画素電極の印加電圧を制御する第1のトランジスタとを有し、フリッカを低減する表示装置、電子装置、電子システムを提供する。

【解決手段】 画素電極とドレインが前記画素電極に、ソースをソースバスに接続し、ゲートに印加されるゲート電圧に応じて前記画素電極印加電圧を制御する画素駆動用トランジスタとを有し、前記画素駆動用トランジスタのゲートに接続し、前記トランジスタのゲートに印加する電圧を保持するキャパシタンスと、ドレインがトランジスタのゲートと前記キャパシタンスとの接続点に接続され、ソースが前記ソースバスに接続され、ゲートがゲートラインに接続され、前記キャパシタンスの印加電圧を制御するゲート駆動電圧制御用トランジスタと、前記キャパシタンス電圧を、隣接するソースバスで、異なる電圧となるように交互に切り換える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

画素電極と、ドレインが前記画素電極に接続され、ソースがソースバスに接続され、ゲートに印加されるゲート電圧に応じて前記画素電極の印加電圧を制御する画素駆動用トランジスタとを有する表示装置であって、

前記画素駆動用トランジスタのゲートに接続され、前記画素駆動用トランジスタのゲートに印加する電圧を保持するキャパシタンスと、

ドレインが前記画素駆動用トランジスタのゲートと前記キャパシタンスとの接続点に接続され、ソースが前記ソースバスに接続され、ゲートがゲートラインに接続され、前記キャパシタンスの印加電圧を制御するゲート駆動電圧制御用トランジスタと、

前記キャパシタンスに電圧を保持する電圧を、隣接するソースバスで、異なる複数のハイレベル電圧、又は、異なる複数のローレベル電圧となるように交互に切り換え、前記ソースを駆動するソースバス駆動回路とを有する表示装置。

【請求項 2】

前記ソース駆動回路は、前記画素電極に印加するソース電圧を前記ソースバスに供給するデマルチプレクサと、

第 1 の高レベル電圧を発生する第 1 の高電圧源と、

前記第 1 の高レベル電圧より高いレベルの第 2 の高レベル電圧を発生する第 2 の高電圧源と、

前記第 1 及び第 2 の高レベル電圧より低いレベルの第 1 の低レベル電圧を発生する第 1 の低電圧源と、

第 1 の低レベル電圧より低いレベルの第 2 の低レベル電圧を発生する第 2 の低電圧源と

、前記第 1 及び第 2 の高電圧源から前記第 1 及び第 2 の高レベル電圧が印加されるとともに、前記第 1 及び第 2 の低電圧源から前記第 1 及び第 2 の低レベル電圧が印加され、選択信号に基づいて前記第 1 及び第 2 の高レベル電圧、前記第 1 及び第 2 の低レベル電圧を第 1 の出力ライン及び第 2 の出力ラインに選択的に出力する電圧選択回路と、

前記キャパシタンスに電圧を保持させるときに、前記第 1 及び第 2 の出力ラインの電圧を前記ソースバスに供給し、前記画素駆動用トランジスタのソースにソース電圧を印加するときに、前記デマルチプレクサの出力を前記ソースバスに供給するように切り換える電圧切換回路とを有する請求項 1 記載の表示装置。

【請求項 3】

前記電圧選択回路は、電圧レベル選択信号に応じて前記第 1 又は第 2 の高レベル電圧、及び、前記第 1 又は第 2 の低レベル電圧を出力する第 1 電圧選択部と、

電圧レベル選択信号に応じて前記第 2 又は第 1 の高レベル電圧、及び、前記第 2 又は第 1 の低レベル電圧を出力する第 2 電圧選択部と、

ソースバス切換信号に応じて前記第 1 の電圧レベル選択部から出力される前記第 1 又は第 2 の高レベル電圧と、前記第 1 又は第 2 の低レベル電圧とうちのいずれかを 1 ソースバスおきに設定された第 1 のソースバスに出力する第 3 の電圧選択部と、

ソースバス切換信号に応じて前記第 2 の電圧レベル選択部から出力される前記第 2 又は第 1 の高レベル電圧と、前記第 2 又は第 1 の低レベル電圧とうちのいずれかを前記第 1 のソースバスに隣接する第 2 のソースバスに出力する第 4 の電圧選択部とを有する請求項 2 記載の表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項記載の表示装置を含む電子装置。

【請求項 5】

請求項 4 記載の電子装置を含む電子システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置、電子装置、電子システムに係り、特に、画素電極と、ドレインが前記画素電極に接続され、ソースがソースバスに接続され、ゲートに印加されるゲート電圧に応じて前記画素電極の印加電圧を制御する第1のトランジスタとを有する表示装置、電子装置、電子システムに関する。

【背景技術】

【0002】

薄型、低消費電力の観点から、コンピュータ、携帯電話などの表示装置として液晶表示装置が用いられている。

【0003】

画素電極への電圧の印加をTFT (thin film transistor) を用いたアクティブマトリックス方式の液晶表示装置では、画素電極とデータ線との間にTFTを配置し、ゲート線によりTFTをスイッチングして、データ線に印加された電圧を画素電極に供給している(例えば、特許文献1参照)。

【0004】

液晶表示装置では、寿命を延ばすため、液晶が一方向にだけ旋回しないように画素電極とコモン電極との間に印加される電圧を、例えば、フレーム毎に反転させ、液晶に印加する電圧をフレーム毎に反転させている。また、このとき、例えば、同じフレームで、ライン毎に反対の電圧が液晶に印加されるように制御している。

【0005】

図16は従来のゲート線駆動方法の一例を説明するための図を示す。図16(A)は第1の液晶駆動状態、図16(B)は第2の液晶駆動状態を示している。なお、図16において、実線はゲート電圧 V_g 、破線はソース電圧 V_s 、一点鎖線はドレイン電圧 V_d 、二点鎖線は共通電極142に印加されるコモン電圧 V_{com} を示している。

【0006】

従来のゲート線駆動方法は、図16に示すようにゲート電圧 V_g は第1の液晶駆動状態と第2の液晶駆動状態とによらず固定であった。このため、図16(A)に示す第1の液晶駆動状態においてTFTのオフのときにゲート電圧 V_g が基底電圧 V_{gl} となると、ゲート電圧 V_g の基底電圧 V_{gl} とドレイン電圧 V_d との差は2.3Vであるが、図16(B)に示す第2の液晶駆動状態においてTFTのオフのときにゲート電圧 V_g' が基底電圧 V_{gl}' となると、ゲート電圧 V_g の基底電圧 V_{gl}' とソース電圧 V_s' の基底電圧 V_{s1}' との差が7.5Vに拡大する。これによって、第1の液晶駆動状態と第2の液晶駆動状態とでTFTのオフ電流 I_{off} に差が生じる。第1の液晶駆動状態と第2の液晶駆動状態とでTFTのオフ電流 I_{off} の差が液晶表示装置の画質を劣化させる原因の一つであり、画面をちらつかせる原因であるフリッカという現象が発生していた。

【特許文献1】特開2007-188079号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は上記の点に鑑みてなされたもので、フリッカを低減できる表示装置、電子装置、電子システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、画素電極と、ドレインが前記画素電極に接続され、ソースがソースバスに接続され、ゲートに印加されるゲート電圧に応じて前記画素電極の印加電圧を制御する画素駆動用トランジスタとを有する表示装置であって、前記画素駆動用トランジスタのゲートに接続され、前記画素駆動用トランジスタのゲートに印加する電圧を保持するキャパシタンスと、ドレインが前記画素駆動用トランジスタのゲートと前記キャパシタンスとの接続点に接続され、ソースが前記ソースバスに接続され、ゲートがゲートラインに接続され、前記キャパシタンスの印加電圧を制御するゲート駆動電圧制御用トランジスタと、前記キャパシタンスに電圧を保持する電圧を、隣接するソースバスで、異なる複数のハイレベル

10

20

30

40

50

電圧、又は、異なる複数のローレベル電圧となるように交互に切り換え、前記ソースを駆動するソースバス駆動回路とを有する構成としてなる。

【0009】

また、本発明は、前記ソース駆動回路は、前記画素電極に印加するソース電圧を前記ソースバスに供給するデマルチプレクサと、

第1の高レベル電圧を発生する第1の高電圧源と、

前記第1の高レベル電圧より高いレベルの第2の高レベル電圧を発生する第2の高電圧源と、前記第1及び第2の高レベル電圧より低いレベルの第1の低レベル電圧を発生する第1の低電圧源と、第1の低レベル電圧より低いレベルの第2の低レベル電圧を発生する第2の低電圧源と、前記第1及び第2の高電圧源から前記第1及び第2の高レベル電圧が印加されるとともに、前記第1及び第2の低電圧源から前記第1及び第2の低レベル電圧が印加され、選択信号に基づいて前記第1及び第2の高レベル電圧、前記第1及び第2の低レベル電圧を第1の出力ライン及び第2の出力ラインに選択的に出力する電圧選択回路と、前記キャパシタンスに電圧を保持させるときに、前記第1及び第2の出力ラインの電圧を前記ソースバスに供給し、前記画素駆動用トランジスタのソースにソース電圧を印加するとき、前記デマルチプレクサの出力を前記ソースバスに供給するように切り換える電圧切換回路とを有する構成としてなる。

【0010】

さらに、本発明の電圧選択回路は、電圧レベル選択信号に応じて前記第1又は第2の高レベル電圧、及び、前記第1又は第2の低レベル電圧を出力する第1電圧選択部と、電圧レベル選択信号に応じて前記第2又は第1の高レベル電圧、及び、前記第2又は第1の低レベル電圧を出力する第2電圧選択部と、ソースバス切換信号に応じて前記第1の電圧レベル選択部から出力される前記第1又は第2の高レベル電圧と、前記第1又は第2の低レベル電圧とうちのいずれかを1ソースバスおきに設定された第1のソースバスに出力する第3の電圧選択部と、ソースバス切換信号に応じて前記第2の電圧レベル選択部から出力される前記第2又は第1の高レベル電圧と、前記第2又は第1の低レベル電圧との中のいずれかを前記第1のソースバスに隣接する第2のソースバスに出力する第4の電圧選択部とを有することを特徴とする。

【発明の効果】

【0011】

本発明によれば、画素電極と、ドレインが前記画素電極に接続され、ソースがソースバスに接続され、ゲートに印加されるゲート電圧に応じて前記画素電極の印加電圧を制御する画素駆動用トランジスタとを有する表示装置において、画素駆動用トランジスタのゲートに接続され、画素駆動用トランジスタのゲートに印加する電圧を保持するキャパシタンスと、ドレインが第1のトランジスタのゲートとキャパシタンスとの接続点に接続され、ソースがソースバスに接続され、ゲートがゲートラインに接続され、前記キャパシタンスの印加電圧を制御するゲート駆動電圧制御用トランジスタと、キャパシタンスに電圧を保持する電圧を、隣接するソースバスで、異なる複数のハイレベル電圧、又は、異なる複数のローレベル電圧となるように交互に切り換える保持電圧切換回路とを設けることにより、ゲート駆動電圧制御用トランジスタのゲートーソース間電圧、あるいは、ゲートドレイン間電圧の変動を小さくでき、これによって、画素駆動用トランジスタのドレイン電圧の変動を小さくでき、この結果、フリッカを低減できる。

【発明を実施するための最良の形態】

【0012】

図1は本発明の一実施例のシステム構成図を示す。

【0013】

本実施例では本発明の表示装置の一例として液晶表示装置100を例に説明を行う。

【0014】

液晶表示装置100は、例えば、アクティブマトリクス方式の液晶表示装置であり、インタフェース部101、コントローラ102、ゲートライン駆動回路103、ソースバス

駆動回路 104、表示部 105 を含む構成とされている。

【0015】

インタフェース部 101 は、上位装置とのインタフェースをとり、上位装置から表示データを受信する。

【0016】

コントローラ 102 は、インタフェース部 101 で受信した表示データに基づいて表示部 105 をコントロールするための各種コントロール信号を生成し、ゲートライン駆動回路 103、ソースバス駆動回路 104 に供給する。

【0017】

ゲートライン駆動回路 103 は、コントローラ 102 からのコントロール信号に基づいて表示部 105 のゲートライン GL を駆動するためのゲートライン駆動信号を生成し、表示部 105 に供給する。

【0018】

ソースバス駆動回路 104 は、コントローラ 102 から供給されるコントロール信号に基づいて表示部 105 の第 1 のソースバス SB1 及び第 2 のソースバス SB2 を駆動するためのソース駆動信号を生成し、表示部 105 に供給する。

【0019】

図 2 は表示部 105 の要部の構成図を示す。

【0020】

表示部 105 は、偏光板 111、下部ガラス基板 112、画素電極部 113、ゲートライン GL、第 1 のソースバス SB1、第 2 のソースバス SB2、配向膜 114、液晶 115、配向膜 116、共通電極 117、上部ガラス基板 118、偏光板 119 を含む構成とされている。

【0021】

偏光板 111 は、下部ガラス基板 112 の下面側に設けられ、例えば、バックライトからの光のうち所定の偏光の光を通過させて下部ガラス基板 112 に供給する。下部ガラス基板 112 の上面側には、ゲートライン GL、第 1、第 2 のソースバス SB1、SB2、画素電極部 113 が形成される。ゲートライン GL は、図 1 に示すゲートライン駆動回路 103 に接続されて、ゲートライン駆動回路 103 からゲート駆動信号が供給される。

【0022】

第 1、第 2 のソースバス SB1、SB2 は、ゲートライン GL に直交する方向にゲートライン GL とは絶縁状態で配線されており、ソースバス駆動回路 104 に接続されている。なお、第 1 のソースバス SB1 と第 2 のソースバス SB2 とは、交互に配線されている。

【0023】

画素電極部 113 は、ゲートライン GL 間に挟まれ、かつ、第 1 のソースバス SB1 と第 2 のソースバス SB2 とに挟まれた領域に配置されている。画素電極部 113 には、ゲートライン GL、第 1 のソースバス SB1 又は第 2 のソースバス SB2 が接続される。

【0024】

配向膜 114 は、ゲートライン GL、コモンライン CL、第 1 及び第 2 のソースバス SB1、SB2、画素電極部 113 に積層して形成される。配向膜 114 は、液晶 115 を所定の配向方向に整列させる。

【0025】

配向膜 114 上に図示しないスペーサを介して上部ガラス基板 118 が配置される。上部ガラス基板 118 の配向膜 114 に対向する側の面には、共通電極 117 が形成される。共通電極 117 には、基準電位、例えば、GND 電位が印加される。

【0026】

上部ガラス基板 118 の共通電極 117 上には、配向膜 116 が形成される。配向膜 116 は液晶 115 を所定の配向方向に配向させる。配向膜 114 の配向方向と配向膜 116 の配向方向とは、例えば、互いに直交あるいは平行する方向とされる。

10

20

30

40

50

【0027】

また、上部ガラス基板118の上面側、液晶115に面する側とは反対側の面には、偏光板119が配置される。偏光板119は、上部ガラス基板118を透過した光のうち所定の偏光を有する光を透過させる。

【0028】

ソースバス駆動回路104について説明する。

【0029】

図3はソースバス駆動回路104のブロック構成図を示す。

【0030】

ソースバス駆動回路104は、電圧選択回路211、デマルチプレクサ212、電圧切
換回路213、第1の高レベル電圧源214、第2の高レベル電圧源215、第1の低レ
ベル電圧源216、第2の低レベル電圧源217を含む構成とされている。なお、電圧選
択回路211、第1の高レベル電圧源214、第2の高レベル電圧源215、第1の低レ
ベル電圧源216、第2の低レベル電圧源217により保持電圧切換回路が構成されてい
る。

10

【0031】

第1の高レベル電圧源214は、第1の高レベル電圧H1を発生する。第2の高レベル
電圧源215は、第2の高レベル電圧H2を発生する。第1の低レベル電圧源216は、
第1の低レベル電圧L1を発生する。第2の低レベル電圧源217は、第2の低レベル電
圧L2を発生する。第1の高レベル電圧源214、第2の高レベル電圧源215、第1の
低レベル電圧源216、第2の低レベル電圧源217で発生された第1の高レベル電圧H
1、第2の高レベル電圧H2、第1の低レベル電圧L1、第2の低レベル電圧L2は電圧
選択回路211に供給される。なお、第1の高レベル電圧H1、第2の高レベル電圧H2
、第1の低レベル電圧L1、第2の低レベル電圧L2は、 $H2 > H1 > L1 > L2$ の関係
とされている。

20

【0032】

電圧選択回路211は、コントローラ102から供給される駆動レベル指示信号high/l
ow及びバス指示信号posi/negaに基づいて第1の高レベル電圧H1又は第2の高レベル電
圧H2、第1の低レベル電圧L1又は第2の低レベル電圧L2のうち第1の出力電圧V1
及び第2の出力電圧V2とする電圧を決定する。

30

【0033】

図4は電圧選択回路211の回路構成図を示す。

【0034】

電圧選択回路211は、第1の電圧レベル選択部221、第2の電圧レベル選択部22
2、第3の電圧レベル選択部223、第4の電圧レベル選択部224から構成されている
。

【0035】

第1の電圧レベル選択部221は、トランジスタM11～M14から構成され、コントロー
ラ102からの駆動レベル指示信号high/lowに応じて第1又は第2の高レベル電圧H1、
H2、及び、第1又は第2の低レベル電圧L1、L2を出力する。第2の電圧レベル選択
部222は、トランジスタM21～M24から構成され、コントローラ102からの駆動レベ
ル指示信号high/lowに応じて第2又は第1の高レベル電圧H2、H1、及び、第2又は第
1の低レベル電圧L2、L1を出力する。

40

【0036】

第3の電圧レベル選択部223は、トランジスタM15～M18から構成され、コントロー
ラ102からのバス指示信号posi/negaに応じて第1の電圧レベル選択部221で選択さ
れた第1又は第2の高レベル電圧H1、H2、と第1又は第2の低レベル電圧L1、L2
とのいずれかを第1の出力電圧V1として出力する。第4の電圧レベル選択部224は、
トランジスタM25～M28から構成され、コントローラ102からのバス指示信号posi/neg
aに応じて第2の電圧レベル選択部222で選択された第1又は第2の高レベル電圧H1

50

、H 2、と第 1 又は第 2 の低レベル電圧 L 1、L 2 とのいずれかを第 2 の出力電圧 V 2 と
して出力する。

【0037】

電圧選択回路 211 から出力される第 1 の出力電圧 V 1 及び第 2 の出力電圧 V 2 は、電
圧切換回路 213 に供給される。

【0038】

デマルチプレクサ 212 は、コントローラ 102 からの制御信号に基づいてソース電圧
を生成し、電圧切換回路 213 に供給する。

【0039】

電圧切換回路 213 は、ソースバス毎にトランジスタ Mg1、Mg2 を設けた構成とされて
おり、コントローラ 102 からの切換信号 gate/source に基づいて電圧選択回路 211 の
第 1 の出力電圧 V 1 及び第 2 の出力電圧 V 2 とデマルチプレクサ 212 の出力電圧とのい
ずれかを第 1 のソースバス S B 1 及び第 2 のソースバス S B 2 に出力する。第 1 のソー
スバス S B 1 及び第 2 のソースバス S B 2 は、画素電極部 113 に接続されている。

【0040】

次に、画素電極部 113 について説明する。

【0041】

画素電極部 113 は、画素駆動用トランジスタ M d、ゲート駆動電圧制御用トランジス
タ M s、容量 C l c、C s、C k を含む等価回路を構成している。

【0042】

ゲート駆動電圧制御用トランジスタ M s は、ソースが第 1 又は第 2 のソースバス S B 1
、S B 2 に接続され、ドレインがゲート電圧保持用容量 C k に接続され、ゲートがゲート
ライン G L に接続されている。ゲート駆動電圧制御用トランジスタ M s がオンすること
によりゲート電圧保持用容量 C k にゲート駆動電圧が保持される。

【0043】

画素駆動用トランジスタ M d は、T F T から構成され、ソースが第 1 又は第 2 のソー
スバス S B 1、S B 2 に接続され、ドレインが容量 C l c に接続され、ゲートがゲート駆動
電圧制御用トランジスタ M s のドレインとゲート電圧保持用容量 C k との接続点に接続さ
れている。容量 C l c は、図示しない画素電極と共通電極 117 との間に液晶 115 により発
生する容量である。また、容量 C s は補助容量である。画素電極は、例えば、透明電極か
ら構成される。

【0044】

画素駆動用トランジスタ M d は、T F T から構成され、ゲート電圧保持容量 C k に保持
された電圧によりオンし、第 1、第 2 のソースバス S B 1、S B 2 から電流を引き込み、
図示しない画素電極に電圧を印加する。

【0045】

次に、ソースバス駆動回路 104 の動作を説明する。

【0046】

図 5 は初期状態を説明するための図を示す

初期状態においては、図 5 に示すように、駆動レベル指示信号 high/low 及びバス指示信
号 posi/nega はローレベル L L、切換信号 gate/source はハイレベル H H であり、デマルチ
プレクサ 212 の第 1 のソースバス S B 1 への出力電圧は V s n、第 2 のソースバス S B
2 への出力電圧は V s p となる。

【0047】

駆動レベル指示信号 high/low 及びバス指示信号 posi/nega はローレベルのときには、電
圧選択回路 211 の第 1 の出力電圧 V 1 は第 2 の低レベル電圧 L 2、電圧選択回路 211
の第 2 の出力電圧 V 2 は第 1 の低レベル電圧 L 1 となる。また、切換信号 gate/source は
ハイレベル H H のときには、トランジスタ M g 1 がオフ、トランジスタ M g 2 がオンし、
第 1 の出力電圧 V 1 が第 1 のソースバス S B 1 に印加され、第 2 の出力電圧 V 2 が第 2 の
ソースバス S B 2 に印加される。これによって、第 1 のソースバス S B 1 には第 2 の低レ

10

20

30

40

50

ベル電圧 L_2 が印加され、第 2 のソースバス SB_2 には第 1 の低レベル電圧 L_1 が印加される。

【0048】

このとき、ゲートライン GL はローレベルとなるので、画素電極部 113 のゲート電圧制御用トランジスタ Ms 及び画素駆動用トランジスタ Md はともにオフ状態となる。なお、このとき、容量 Ck には第 2 の低レベル電圧 L_2 に相当する電圧が印加され、容量 C_{lc} 、 Ck には、ソース電圧 V_{sn} に相当する電圧が印加されている。

【0049】

次に、容量 Ck にゲート電圧を保持する。

【0050】

図 6 はゲート電圧保持時の動作を説明するための図を示す。

【0051】

容量 Ck へのゲート電圧保持時には図 6 に示すように駆動レベル指示信号 $high/low$ 及びバス指示信号 $posi/nega$ が共にローレベル LL からハイレベル HH に遷移する。これによって、電圧選択回路 211 の第 1 の出力電圧 V_1 が第 2 の低レベル電圧 L_2 から第 1 の高レベル電圧 H_1 に遷移し、第 2 の出力電圧 V_2 が第 1 の低レベル電圧 L_1 から第 2 の高レベル電圧 H_2 に遷移する。

【0052】

これによって、第 1 のソースバス SB_1 が第 2 の低レベル電圧 L_2 から第 1 の高レベル電圧 H_1 に遷移する。また、第 2 のソースバス SB_2 が第 1 の低レベル電圧 L_1 から第 2

10

20

【0053】

また、このとき、ゲートライン GL がローレベル LL からハイレベル HH に遷移する。これにより、ゲート電圧制御用トランジスタ Ms がオンする。ゲート電圧制御用トランジスタ Ms がオンすることにより、第 1 のソースバス SB_1 に接続された画素電極部 113 では第 1 の高レベル電圧 H_1 が容量 Ck に保持され、第 2 のソースバス SB_2 に接続された画素電極部 113 では第 2 の高レベル電圧 H_2 が容量 Ck に保持される。

【0054】

次に、電圧制御用トランジスタ Ms がオフされる。

【0055】

図 7 はゲートオフ動作時の動作を説明するための図を示す。

【0056】

図 7 に示すようにゲートライン GL がハイレベル HH からローレベル LL に遷移する。ゲートライン GL がローレベル LL に遷移すると、電圧制御用トランジスタ Ms がオフし、容量 Ck が第 1、第 2 のソースバス SB_1 、 SB_2 から切断され、容量 Ck には、第 1、第 2 の高レベル電圧 H_1 、 H_2 が保持される。

【0057】

次にマルチプレクサ 212 の出力電圧により第 1 のソースバス SB_1 に接続された画素電極部 113 の容量 C_{lc} 、 Cs の書き込みを行う。

【0058】

図 8～図 10 は書込時の動作を説明するための図を示す。

【0059】

図 8 はマルチプレクサ 212 の第 1 のソースバス SB_1 の出力電圧が電圧 V_{sn} から電圧 V_{sp} に遷移したときの状態を示す図、図 9 は切換信号 $gate/source$ をハイレベル HH からローレベル LL に遷移したときの状態を示す図、図 10 は画素駆動用トランジスタ Md がオンしたときの状態を示す図である。

【0060】

まず、図 8 に示すように、マルチプレクサ 212 の第 1 のソースバス SB_1 の出力電圧が、例えば、電圧 V_{sn} から電圧 V_{sp} に遷移する。このとき、切換信号 $gate/source$ をハイレベル HH からローレベル LL に遷移させる。

30

40

50

【0061】

図9に示すように、切換信号gate/sourceをハイレベルHHからローレベルLLに遷移することにより、トランジスタMg1がオンし、トランジスタMg2がオフし、マルチプレクサ212の出力電圧が第1、第2のソースバスSB1、SB2に供給され、第1、第2のソースバスSB1、SB2が第1、第2の高レベル電圧H1、H2からマルチプレクサ212の出力電圧Vsp、Vsnに遷移する。

【0062】

第1、第2のソースバスSB1、SB2が第1、第2の高レベル電圧H1、H2からマルチプレクサ212の出力電圧Vsp、Vsnに遷移することにより、容量Ckに保持された第1、第2の高レベル電圧H1、H2により画素駆動用トランジスタMdがオンする。

10

【0063】

図10に示すように、画素駆動用トランジスタMdがオンすることにより、第1、第2のソースバスSB1、SB2に接続された画素電極部113の容量C1c、Csにマルチプレクサ212の出力電圧Vsp、Vsnが書き込まれる。上記動作を繰り返すことにより画素の書き込みを行う。

【0064】

次にゲート電圧制御用トランジスタMsをオンし、画素電極駆動用トランジスタMdをオフし、画素への書込を終了する。

【0065】

20

図11は書込終了時の動作を説明するための図を示す。

【0066】

図3に示すコントローラ102はゲートラインGLをローレベルLLからハイレベルHHに遷移させる。これによって、ゲート電圧制御用トランジスタMsがオンし、容量Ckに第1、第2のソースバスSB1、SB2からマルチプレクサ212の出力電圧Vsp、Vsnが印加され、画素駆動用トランジスタMdのゲート電圧がマルチプレクサ212の出力電圧Vsp、Vsnに遷移して、オフする。

【0067】

また、このとき、コントローラ102は、駆動レベル指示信号high/lowをハイレベルHHからローレベルLLに遷移させる。これによって、電圧選択回路211の第1の出力電圧V1が第1の高レベル電圧H1から第1の低レベル電圧L1に遷移し、第2の出力電圧V2が第2の高レベル電圧H2から第2の低レベル電圧L2に遷移する。

30

【0068】

次に、電圧選択回路211で選択された電圧により容量Ckの印加電圧を低レベル電圧に遷移させる。

【0069】

図12は容量Ckの低レベル電圧化時の動作を説明するための図を示す。

【0070】

図3に示すコントローラ102は、切換信号gate/sourceをローレベルLLからハイレベルHHに遷移させる。切換信号gate/sourceがローレベルLLからハイレベルHHに遷移することにより、トランジスタMg1がオフし、トランジスタMg2がオンする。これによって、第1のソースバスSB1に電圧選択回路211の第1の出力電圧V1が印加され、第2のソースバスSB2に電圧選択回路211の第2の出力電圧V2が印加される。このとき、第1の出力電圧V1は第1の低レベル電圧L1、第2の出力電圧V2は第2の低レベル電圧L2であり、第1のソースバスSB1は第1の低レベル電圧L1、第2のソースバスSB2は第2の低レベル電圧L2となる。

40

【0071】

また、このとき、ゲートラインGLは、ハイレベルHHであるので、ゲート電圧制御用トランジスタMsがオンし、第1のソースバスSB1に接続された画素電極113の容量Ckは第1の低レベル電圧L1になり、第2のソースバスSB2に接続された画素電極1

50

1 3 の容量 C_k は第 2 の低レベル電圧 L_2 となる。

【0072】

次に初期状態に戻す動作が行われる。

【0073】

図 1 3 は初期状態に戻す動作を説明するための図を示す。

【0074】

図 3 に示すコントローラ 102 は、ゲートライン GL をハイレベル HH からローレベル LL に遷移させる。ゲートライン GL がローレベル LL になることによりゲート電圧制御用トランジスタ M_s がオフする。ゲート電圧制御用トランジスタ M_s がオフすることにより図 5 に示す初期状態に戻る。

【0075】

更に、上記動作を、タイミングチャートを用いて説明する。

【0076】

図 1 4 は画素への書き込み動作を説明するためのタイミングチャートを示す。図 1 4 (A) は駆動レベル指示信号 $high/low$ 、図 1 4 (B) はバス指示信号 $posi/nega$ 、図 1 4 (C) は電圧選択回路 102 の第 1 の出力電圧 V_1 、図 1 4 (D) は電圧選択回路 102 の第 2 の出力電圧 V_2 、図 1 4 (E) はデマルチプレクサ 212 の出力電圧、図 1 4 (F) は切換信号 $gate/source$ 、図 1 4 (G) は第 1 のソースバス SB_1 の出力電圧、図 1 4 (H) はゲートライン GL 、図 1 4 (I) は容量 C_k の電圧 V_k 、図 1 4 (J) は画素容量 C_{lc} の印加電圧の動作波形を示している。

【0077】

時刻 t_1 で、図 3 に示すコントローラ 102 により初期状態から駆動レベル指示信号 $high/low$ 及びバス指示信号 $posi/nega$ 、ゲートライン GL がローレベル LL からハイレベル HH に遷移されると、電圧選択回路 102 の第 1 の出力電圧 V_1 が第 1 の高レベル電圧 H_1 になり、第 2 の出力電圧 V_2 が第 2 の高レベル電圧 H_2 になる。これによって、第 1 のソースバス SB_1 が第 1 の高レベル電圧 H_1 になる。また、ゲートライン GL がハイレベル HH に遷移するので、ゲート電圧制御用トランジスタ M_s がオンするので、容量 C_k に第 1 の高レベル電圧 H_1 が印加される。

【0078】

次に時刻 t_2 で、コントローラ 102 によりゲートライン GL がローレベル LL に遷移されると、ゲート電圧制御用トランジスタ M_s がオフし、容量 C_k に第 1 の高レベル電圧 H_1 が保持される。

【0079】

次に時刻 t_3 で、コントローラ 102 により切換信号 $gate/source$ がローレベル LL に遷移されるとともに、デマルチプレクサ 212 の出力電圧が V_{sn} から V_{sp} に遷移されると、第 1 のソースバス SB_1 の電圧が V_{sp} となる。また、画素駆動用トランジスタ M_d がオンするので、容量 C_{lc} に第 1 のソースバス SB_1 の電圧 V_{sp} が印加される。

【0080】

次に、時刻 t_4 でコントローラ 102 により駆動レベル指示信号 $high/low$ がローレベル LL 、ゲートライン GL がハイレベル HH に遷移されると、電圧選択回路 211 の第 1 の出力電圧 V_1 が第 2 の低レベル電圧 L_2 、第 2 の出力電圧 V_2 が第 1 の低レベル電圧 L_1 に遷移する。また、ゲートライン GL がハイレベルとなることにより、ゲート電圧制御用トランジスタ M_s がオンし、容量 C_k に電圧 V_{sp} が印加される。

【0081】

時刻 t_5 で、コントローラ 102 により切換信号 $gate/source$ がハイレベル HH に遷移されると、第 1 のソースバス SB_1 が第 1 の低レベル電圧 L_1 となり、これに伴い、容量 C_k に第 1 の低レベル電圧 L_1 が印加される。

【0082】

時刻 t_6 で、コントローラ 102 によりゲートライン GL がローレベル LL とされると、ゲート電圧制御用トランジスタ M_s がオフし、容量 C_k に第 1 の低レベル電圧 L_1 が保

10

20

30

40

50

持され、初期状態に戻る。

【0083】

以上により画素駆動用トランジスタM dのゲート電圧をゲート電圧制御用トランジスタM sにより第1、第2の高レベル電圧H 1、H 2、及び第1、第2の低レベル電圧L 1、L 2とすることができる、これによって、画素駆動用トランジスタM dの第1の液晶駆動状態と第2の液晶駆動状態とでのオフ電流の差を低減できる。

【0084】

図15は画素駆動用トランジスタM dの動作波形図を示す。図15(A)は第1の液晶駆動状態、図15(B)は第2の液晶駆動状態を示している。なお、図15において、実線はゲート電圧Vg、Vg'、破線はソース電圧Vs、Vs'、一点鎖線はドレイン電圧Vd、Vd'、二点鎖線は共通電極142に印加されるコモン電圧Vcomを示している。

10

【0085】

本実施例の電圧選択回路211では、画素駆動用トランジスタM dのゲート電圧を第1の液晶駆動状態で図15(A)に示すようにゲート電圧Vg=略+10~-7.5Vで駆動し、第2の液晶駆動状態では図15(B)に示すようにゲート電圧Vg'=略+15~-2.5Vで駆動する。これにより、画素駆動用トランジスタM dを駆動することにより図15(A)に示す第1の液晶駆動状態におけるゲート電圧Vgの基底電圧Vglとドレイン電圧Vdの基底電圧Vdlと電圧の差(2.3V)に対して図15(B)に示す第2の液晶駆動状態におけるゲート電圧Vg'の基底電圧Vgl'とソース電圧Vs'の基底電圧Vsl'との電圧の差(2.5V)にでき、第1の液晶駆動状態と第2の液晶駆動状態とで電圧の差を略0.2Vに近似させることができる。これにより、第2の液晶駆動状態におけるオフ電流を低減できる。また、第1の液晶駆動状態と第2の液晶駆動状態とでオフ電流の差を低減できる。したがって、フリッカを小さくできる。

20

【0086】

また、上記実施例の表示装置100は、コンピュータ、テレビジョンなどの電子装置に適用可能である。さらに、本実施例の表示装置100を搭載した電子装置により情報処理システムなどを構築することも可能である。

【0087】

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変形例が考えられることは言うまでもない。

30

【図面の簡単な説明】

【0088】

【図1】本発明の一実施例のシステム構成図である。

【図2】表示部105の要部の構成図である。

【図3】ソースバス駆動回路104のブロック構成図である。

【図4】電圧選択回路211の回路構成図である。

【図5】初期状態を説明するための図である。

【図6】ゲート電圧保持時の動作を説明するための図である。

【図7】ゲートオフ動作時の動作を説明するための図である。

【図8】書込時の動作を説明するための図である。

40

【図9】書込時の動作を説明するための図である。

【図10】書込時の動作を説明するための図である。

【図11】書込終了時の動作を説明するための図である。

【図12】容量Ckの低レベル電圧化時の動作を説明するための図である。

【図13】初期状態に戻す動作を説明するための図である。

【図14】画素への書き込み動作を説明するためのタイミングチャートである。

【図15】画素駆動用トランジスタM dの動作波形図である。

【図16】従来のゲート線駆動方法の一例を説明するための図である。

【符号の説明】

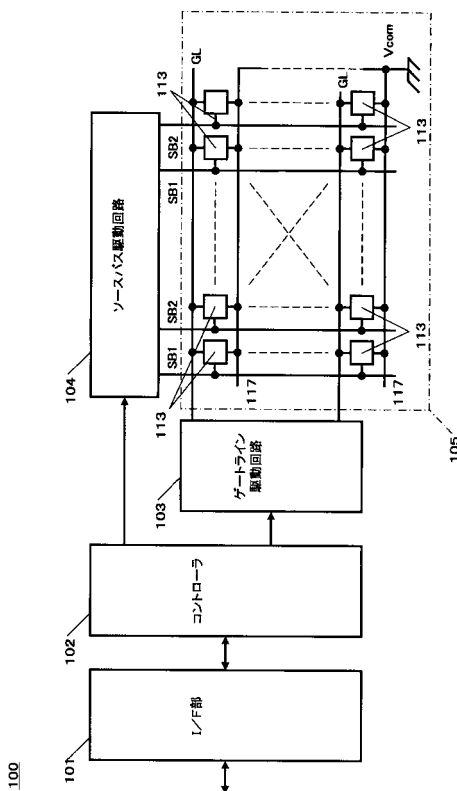
【0089】

50

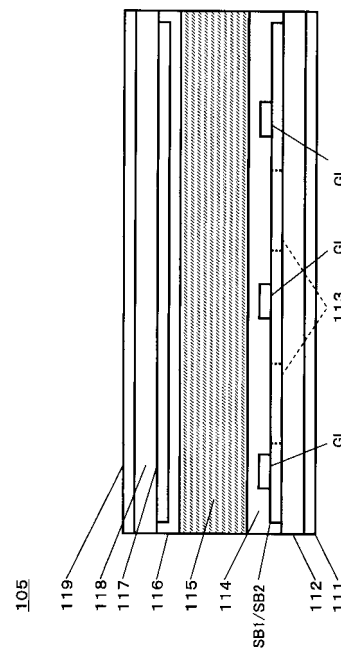
- 100 液晶表示装置
 101 インタフェース部、102 コントローラ、103 ゲートライン駆動回路
 104 ソースバス駆動回路、105 表示部
 111 偏光板、112 下部ガラス基板、113 画素電極部、GL ゲートライン
 SB1 第1のソースバス、SB2 第2のソースバス、114 配向膜、115 液晶
 116 配向膜、117 共通電極、118 上部ガラス基板、119 偏光板
 211 電圧選択回路 212 デマルチプレクサ、213 電圧切換回路
 214 第1の高レベル電圧源、215 第2の高レベル電圧源
 216 第1の低レベル電圧源、217 第2の低レベル電圧源
 221 第1の電圧レベル選択部、222 第2の電圧レベル選択部
 223 第3の電圧レベル選択部、224 第4の電圧レベル選択部

10

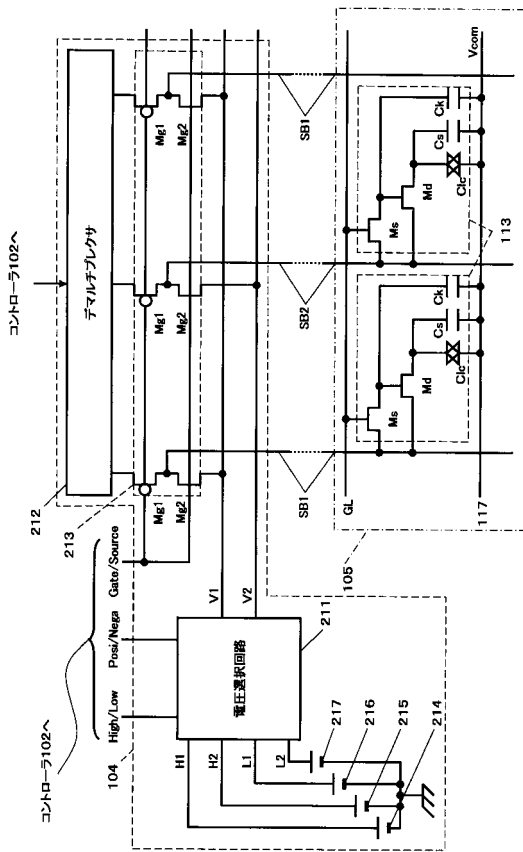
【図1】



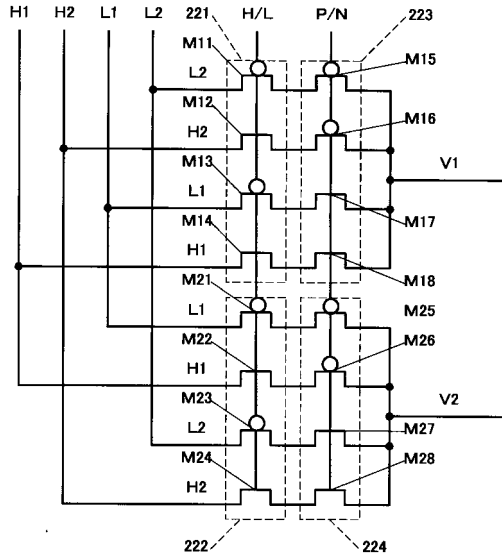
【図2】



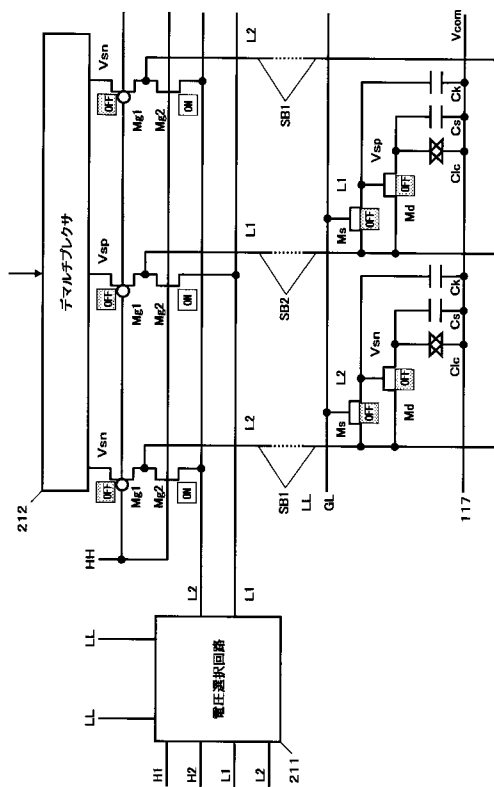
【図 3】



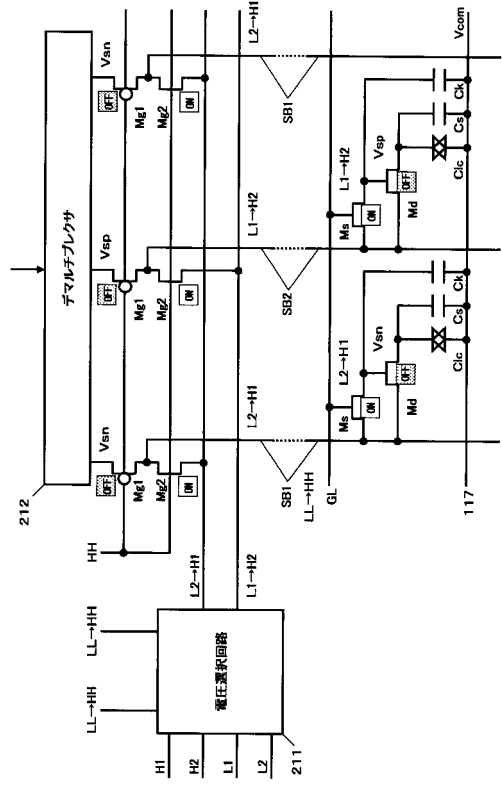
【図 4】



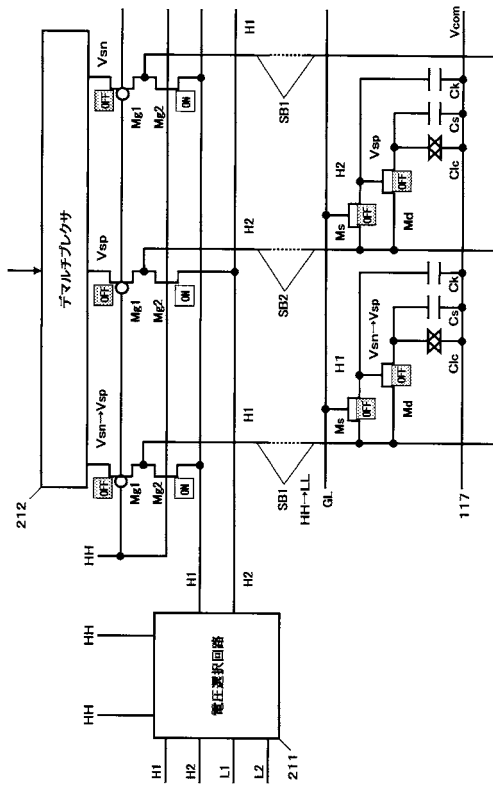
【図 5】



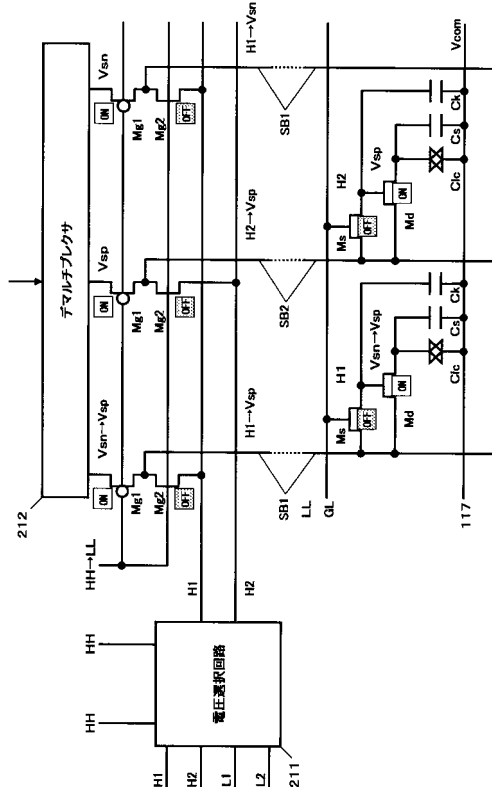
【図 6】



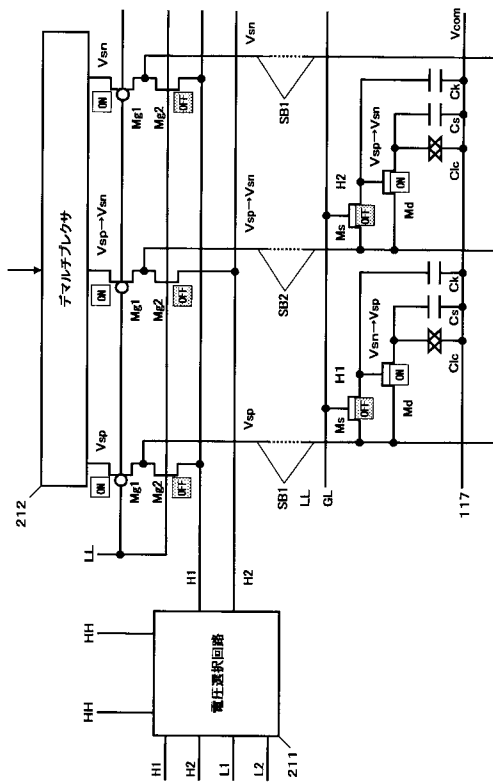
【図 7】



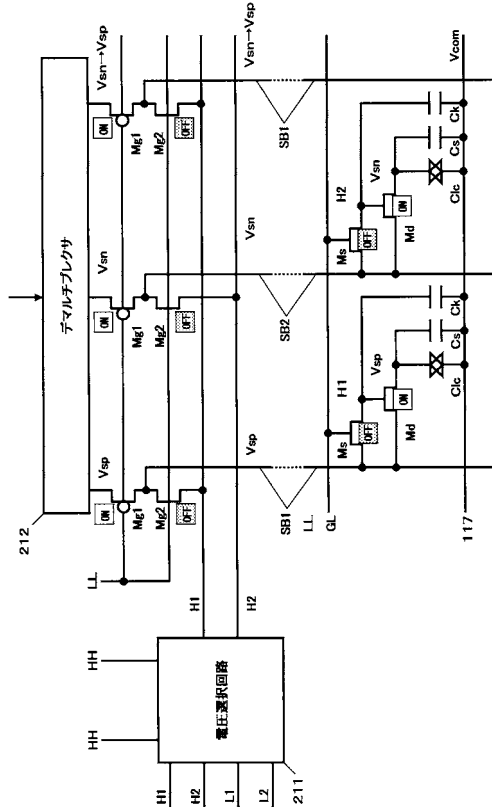
【図 8】



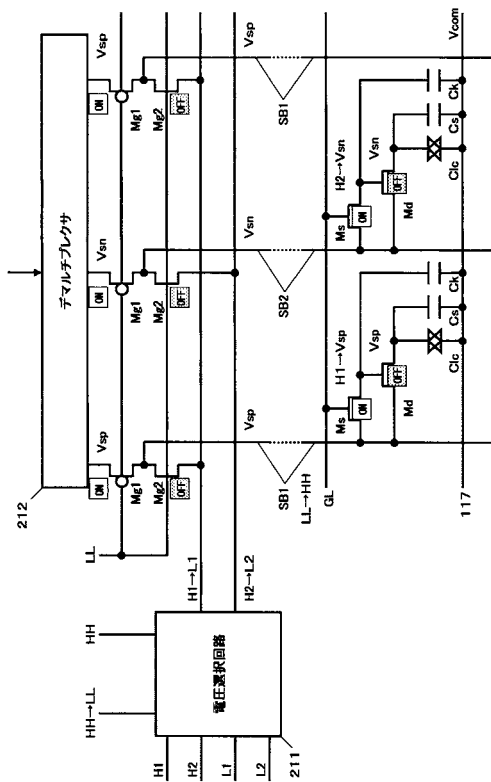
【図 9】



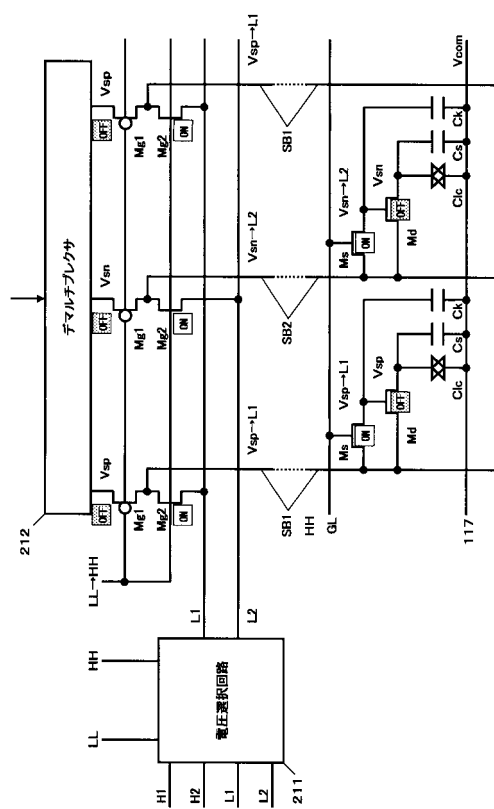
【図 10】



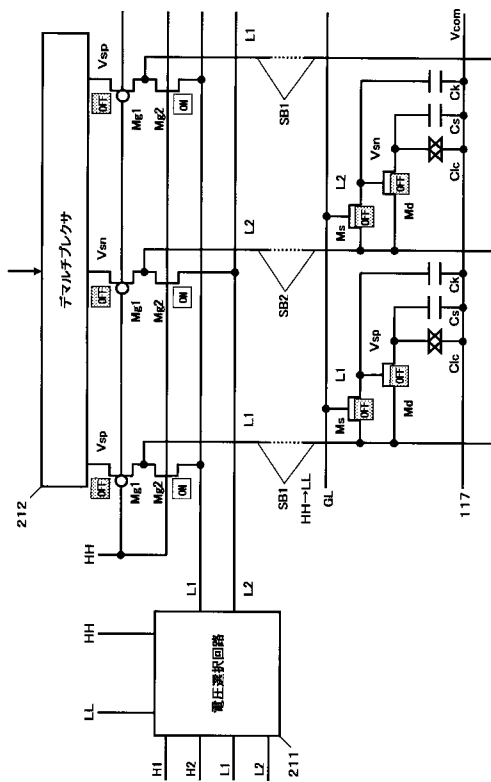
【図 1 1】



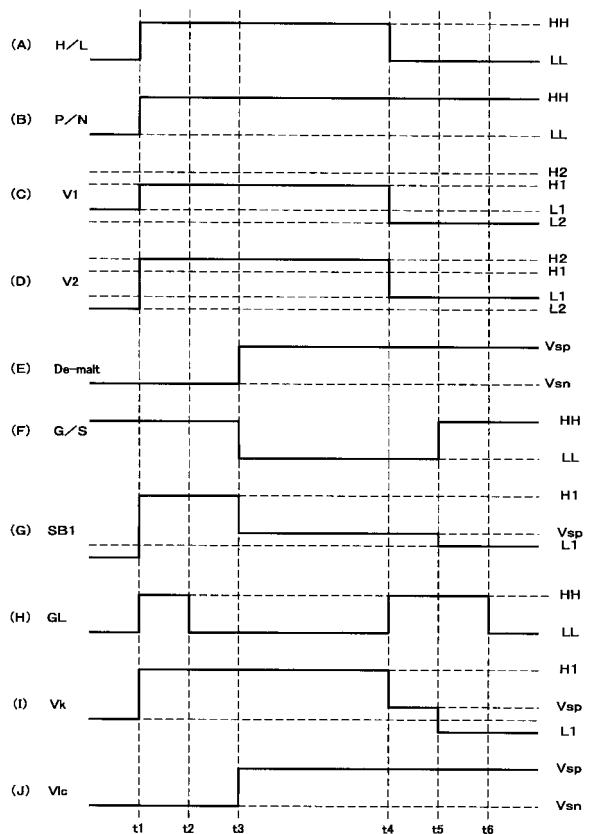
【図 1 2】



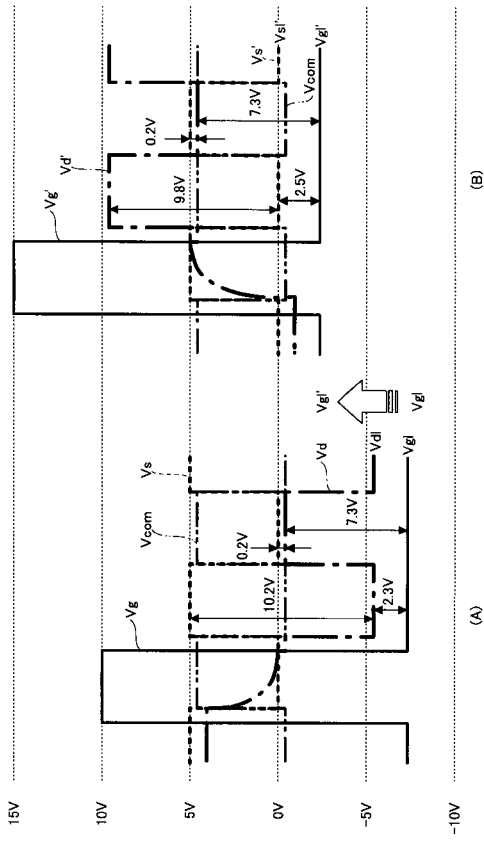
【図 1 3】



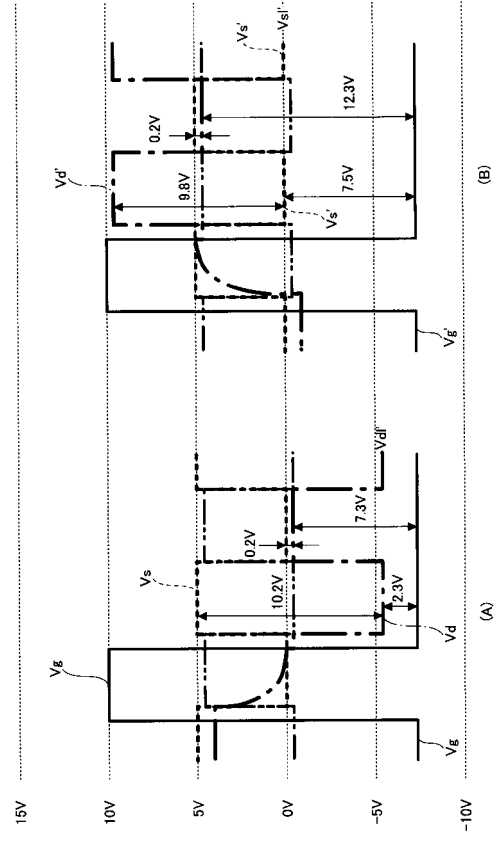
【図 1 4】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 3 R	
	G 0 9 G 3/20 6 1 2 E	
	G 0 2 F 1/133 5 5 0	

F ターム (参考)	2H093	NA32	NA33	NC10	NC12	NC18	NC34	NC35	NC40	NC65	NC71
	ND10	ND35	ND58	NE03	NE06						
	2H193	ZA04	ZC02	ZC15	ZF22	ZF36	ZF59	ZH40	ZP03		
	5C006	AC11	AC21	BB16	BC06	BC16	FA31				
	5C080	AA10	BB05	DD06	DD29	FF11	JJ02	JJ03	JJ04	JJ06	