

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6140452号
(P6140452)

(45) 発行日 平成29年5月31日(2017.5.31)

(24) 登録日 平成29年5月12日(2017.5.12)

(51) Int.Cl. F 1
A 6 3 F 7/02 (2006.01) A 6 3 F 7/02 3 2 6 Z

請求項の数 5 (全 29 頁)

<p>(21) 出願番号 特願2013-4556 (P2013-4556) (22) 出願日 平成25年1月15日 (2013.1.15) (65) 公開番号 特開2014-135971 (P2014-135971A) (43) 公開日 平成26年7月28日 (2014.7.28) 審査請求日 平成27年10月23日 (2015.10.23)</p>	<p>(73) 特許権者 391010943 株式会社藤商事 大阪府大阪市中央区内本町一丁目1番4号 (74) 代理人 100100376 弁理士 野中 誠一 (74) 代理人 100143199 弁理士 磯邊 毅 (72) 発明者 坂井 良太 大阪府大阪市中央区内本町一丁目1番4号 株式会社藤商事内 審査官 福田 知喜</p>
--	---

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

他の制御手段から受けた制御コマンドに基づいて、ランプ及び/又はモータを所定態様で制御するCPUを有する演出制御手段を設けた遊技機であって、

前記ランプ及び/又はモータを駆動可能な実質的に同一構成のドライバが複数個並列に配置された駆動部が設けられる一方、前記複数個のドライバにクロック信号とシリアル信号を出力するシリアルポートが、前記演出制御手段に設けられ、

前記複数個のドライバは、クロック信号と、クロック信号に同期して伝送されるシリアル信号を、前記シリアルポートから共通的に受ける一方、自らに付されたアドレス情報を受けた場合に限り、その後のシリアル信号に基づいた取得動作を実行するよう構成され、

前記シリアルポートは、

CPUが出力するパラレルデータを一時記憶可能な複数バイト長の送信バッファと、送信バッファから1バイトのパラレルデータを順番に受信可能な送信データレジスタと、前記送信データレジスタから受けた1バイト長のパラレルデータを前記クロック信号のレベル変化に同期してシリアル出力する送信シフトレジスタと、を有して構成され、

前記送信バッファから前記送信データレジスタに対して、必要なタイミングでパラレルデータを転送する出力制御手段が設けられていることを特徴とする遊技機。

【請求項2】

前記出力制御手段は、CPUが直接関与しないシリアルポートの内部回路動作によって実現される請求項1に記載の遊技機。

10

20

【請求項 3】

前記送信バッファは、F I F O 構成になっている請求項 1 又は 2 に記載の遊技機。

【請求項 4】

一連のシリアル信号の送信を開始することを示す開始コマンドを送信バッファに出力する第 1 手段と、

第 1 手段が機能した後、前記ドライバの何れかを特定するドライバアドレスを送信バッファに出力する第 2 手段と

第 2 手段が機能した後、前記ドライバが駆動可能なランプの何れかを特定するレジスタアドレスを送信バッファに出力する第 3 手段と、

第 3 手段が機能した後、レジスタアドレスで特定されるランプの点灯状態を規定する点灯データを送信バッファに出力する第 4 手段と、を有して構成されている請求項 1 ~ 3 の何れかに記載の遊技機。

10

【請求項 5】

ドライバの何れかを特定するドライバアドレスを送信バッファに出力する第 1 手段と

第 1 手段が機能した後、前記ドライバが駆動可能なランプの何れかを特定するレジスタアドレスを送信バッファに出力する第 2 手段と、

第 2 手段が機能した後、レジスタアドレスで特定されるランプの点灯状態を規定する点灯データを送信バッファに出力する第 3 手段と、を有して構成されている請求項 1 ~ 3 の何れかに記載の遊技機。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、遊技動作に起因する抽選処理によって大当たり状態を発生させる遊技機に関し、特に、高度なランプ演出などを安定して実行できる遊技機に関する。

【背景技術】

【0002】

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数の表示図柄による一連の図柄変動様を表示する図柄表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると入賞状態となり、遊技球が賞球として払出された後、図柄表示部では表示図柄が所定時間変動される。その後、7・7・7などの所定の態様で図柄が停止すると大当たり状態となり、大入賞口が繰返し開放されて、遊技者に有利な遊技状態を発生させている。

30

【0003】

このような遊技状態を発生させるか否かは、図柄始動口に遊技球が入賞したことを条件に実行される大当たり抽選で決定されており、上記の図柄変動動作は、この抽選結果を踏まえたものとなっている。例えば、抽選結果が当選状態である場合には、リーチアクションなどと称される演出動作を 20 秒前後実行し、その後、特別図柄を整列させている。一方、ハズレ状態の場合にも、同様のリーチアクションが実行されることがあり、この場合には、遊技者は、大当たり状態になることを強く念じつつ演出動作の推移を注視することになる。そして、図柄変動動作の終了時に、停止ラインに所定図柄が揃えば、大当たり状態であることが遊技者に保証されたことになる。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 11368 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記した演出動作は、液晶表示装置での画像演出が中心となるが、この画像演出に連動して、各種のランプを点滅させるランプ演出や、遊技者を盛り上げる音声出力する音声

50

演出や、可動物が移動する可動演出などが実行される。そして、これらの遊技演出を豊富化すればするほど、各制御動作に時間を要するので、回路構成や制御動作を最適化することが望まれる。

【0006】

かかる観点からランプ演出を検討すると、各ランプの点灯/消灯状態を規定する点灯データを、一連のシリアルデータとして伝送する構成を採る場合、配線数が抑制できる利点があるものの、ランプの個数に対応してCPUの処理負担が増加するので、他の制御動作に使用可能な制御時間が減少するという問題がある(例えば、特許文献1の図108など)。特に、各ランプの発光輝度を階調制御したり、或いは、フェードインやフェードアウトなどの高度な輝度制御をする場合には、そのための制御時間の問題が顕在化する。なお、この問題は、ランプに加えて、モータを駆動する場合も同様である。

10

【0007】

本発明は、上記の問題点に鑑みてなされたものであって、CPUの処理負担が増加することなく、複雑高度な演出出動作が可能な遊技機を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の目的を達成するため、本発明は、他の制御手段から受けた制御コマンドに基づいて、ランプ及び/又はモータを所定態様で制御するCPUを有する演出制御手段を設けた遊技機であって、前記ランプ及び/又はモータを駆動可能な実質的に同一構成のドライバが複数個並列に配置された駆動部が設けられる一方、前記複数個のドライバにクロック信号とシリアル信号を出力するシリアルポートが、前記演出制御手段に設けられ、前記複数個のドライバは、クロック信号と、クロック信号に同期して伝送されるシリアル信号を、前記シリアルポートから共通的に受ける一方、自らに付されたアドレス情報を受けた場合に限り、その後のシリアル信号に基づいた取得動作を実行するよう構成され、前記シリアルポートは、CPUが出力するパラレルデータを一時記憶可能な複数バイト長の送信バッファと、送信バッファから1バイトのパラレルデータを順番に受信可能な送信データレジスタと、前記送信データレジスタから受けた1バイト長のパラレルデータを前記クロック信号のレベル変化に同期してシリアル出力する送信シフトレジスタと、を有して構成され、前記送信バッファから前記送信データレジスタに対して、必要なタイミングでパラレルデータを転送する出力制御手段が設けられている。

20

30

【0009】

本発明は、ドライバに伝送されるべきシリアル信号とクロック信号を、シリアルポートから出力するのでCPUの制御負担が少なく、他の制御動作のための制御時間を確保した状態で、複雑高度なランプ演出動作などを実現することができる。また、シリアル伝送の伝送速度を上げててもCPUの処理負担は、何ら増加しない。

【0010】

特に、出力制御手段が、CPUが直接関与しないシリアルポートの内部回路動作によって実現される場合には、CPUの負担が極限的に軽減される。

【0011】

前記送信バッファは、FIFO構成になっているのが好適であり、一連のシリアル信号の送信を開始することを示す開始コマンドを送信バッファに出力する第1手段と、第1手段が機能した後、前記ドライバの何れかを特定するドライバアドレスを送信バッファに出力する第2手段と、第2手段が機能した後、前記ドライバが駆動可能なランプの何れかを特定するレジスタアドレスを送信バッファに出力する第3手段と、第3手段が機能した後、レジスタアドレスで特定されるランプの点灯状態を規定する点灯データを送信バッファに出力する第4手段と、を有して構成されていると更に好適である。

40

【0012】

或いは、ドライバの何れかを特定するドライバアドレスを送信バッファに出力する第1手段と、第1手段が機能した後、前記ドライバが駆動可能なランプの何れかを特定するレジスタアドレスを送信バッファに出力する第2手段と、第2手段が機能した後、レジスタ

50

アドレスで特定されるランプの点灯状態を規定する点灯データを送信バッファに出力する第3手段と、を有して構成されるのも効果的である。

【発明の効果】

【0013】

上記した通り、本発明の遊技機によれば、複雑高度な演出動作が可能な遊技機を実現することができる。

【図面の簡単な説明】

【0014】

【図1】実施例に示すパチンコ機の斜視図である。

【図2】図1のパチンコ機の遊技盤を図示した正面図である。

10

【図3】図1のパチンコ機の全体構成を示すブロック図である。

【図4】演出制御部の回路構成を例示するブロック図である。

【図5】デジタルアンプの内部構成を例示するブロック図である。

【図6】演出制御部のワンチップマイコンの内部構成の要部と動作内容を説明する図面である。

【図7】3つのランプ駆動基板の内部構成を示すブロック図である。

【図8】ランプ駆動基板に伝送されるシリアル信号を示すタイムチャートである。

【図9】演出制御部の動作を説明するフローチャートである。

【図10】図9の一部を詳細に示すフローチャートである。

【図11】ランプ駆動基板や周辺基板の構成を示す回路ブロック図である。

20

【図12】集合バッファ回路の内部回路や各バッファやLEDドライバの入力部を示す回路図である。

【図13】図11の変形例を示す回路ブロック図である。

【図14】図13の回路に対応する出力処理を説明するフローチャートである。

【図15】FIFOバッファの使用例を説明する図面である。

【発明を実施するための形態】

【0015】

以下、実施例に基づいて本発明を詳細に説明する。図1は、本実施例のパチンコ機GMを示す斜視図である。このパチンコ機GMは、島構造体に着脱可能に装着される矩形枠状の木製外枠1と、外枠1に固着されたヒンジ2を介して開閉可能に枢着される前枠3とで構成されている。この前枠3には、遊技盤5が、裏側からではなく、表側から着脱自在に装着され、その前側には、ガラス扉6と前面板7とが夫々開閉自在に枢着されている。

30

【0016】

ガラス扉6の外周には、LEDランプなどによる電飾ランプが、略C字状に配置されている。一方、ガラス扉6の上部左右位置と下側には、全3個のスピーカが配置されている。上部に配置された2個のスピーカは、各々、左右チャンネルR、Lの音声を出力し、下側のスピーカは重低音を出力するよう構成されている。

【0017】

前面板7には、発射用の遊技球を貯留する上皿8が装着され、前枠3の下部には、上皿8から溢れ出し又は抜き取った遊技球を貯留する下皿9と、発射ハンドル10とが設けられている。発射ハンドル10は発射モータと連動しており、発射ハンドル10の回動角度に応じて動作する打撃槌によって遊技球が発射される。

40

【0018】

上皿8の外周面には、チャンスボタン11が設けられている。このチャンスボタン11は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル10から右手を離すことなくチャンスボタン11を操作できる。このチャンスボタン11は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。

【0019】

50

上皿 8 の右部には、カード式球貸し機に対する球貸し操作用の操作パネル 1 2 が設けられ、カード残額を 3 桁の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

【 0 0 2 0 】

図 2 に示すように、遊技盤 5 の表面には、金属製の外レールと内レールとからなるガイドレール 1 3 が環状に設けられ、その略中央には、中央開口 H O が設けられている。そして、中央開口 H O には、大型の液晶カラーディスプレイ (L C D) で構成された表示装置 D S が配置されている。

【 0 0 2 1 】

表示装置 D S は、大当り状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この表示装置 D S は、中央部に特別図柄表示部 D a ~ D c と右上部に普通図柄表示部 1 9 とを有している。そして、特別図柄表示部 D a ~ D c では、大当り状態の招来を期待させるリーチ演出が実行されることがあり、特別図柄表示部 D a ~ D c 及びその周りでは、適宜な予告演出などが実行される。

【 0 0 2 2 】

遊技球が落下移動する遊技領域には、図柄始動口 1 5 、大入賞口 1 6 、普通入賞口 1 7 、及び、ゲート 1 8 が配設されている。これらの入賞口 1 5 ~ 1 8 は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。

【 0 0 2 3 】

図柄始動口 1 5 は、左右一对の開閉爪 1 5 a を備えた電動式チューリップで開閉されるように構成され、普通図柄表示部 1 7 の変動後の停止図柄が当り図柄を表示した場合には、所定時間だけ、若しくは、所定個数の遊技球を検出するまで、開閉爪 1 5 a が開放されるようになっている。

【 0 0 2 4 】

なお、普通図柄表示部 1 9 は、普通図柄を表示するものであり、ゲート 1 8 を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート 1 8 の通過時点において抽出された抽選用乱数値により決定される停止図柄を表示して停止する。

【 0 0 2 5 】

大入賞口 1 6 は、前後方向に進退する開閉板 1 6 a を有して構成されている。大入賞口 1 6 の動作は、特に限定されないが、典型的な大当り状態では、大入賞口 1 6 の開閉板 1 6 a が開放された後、所定時間が経過し、又は所定数 (例えば 1 0 個) の遊技球が入賞すると開閉板 1 6 a が閉じる。このような動作は、最大で例えば 1 5 回まで継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部 D a ~ D c の変動後の停止図柄が特別図柄のうちの特定図柄であった場合には、特別遊技の終了後のゲームが高確率状態 (確変状態) となるという特典が付与される。

【 0 0 2 6 】

図 3 は、上記した各動作を実現するパチンコ機 G M の全体回路構成を示すブロック図である。図示の通り、このパチンコ機 G M は、A C 2 4 V を受けて各種の直流電圧や、電源異常信号 A B N 1 、 A B N 2 やシステムリセット信号 (電源リセット信号) S Y S などを出力する電源基板 2 0 と、遊技制御動作を中心統括的に担う主制御基板 2 1 と、主制御基板 2 1 から受けた制御コマンド C M D に基づいてランプ演出及び音声演出を実行する演出制御基板 2 2 と、演出制御基板 2 2 から受けた制御コマンド C M D ' に基づいて表示装置 D S を駆動する画像制御基板 2 3 と、主制御基板 2 1 から受けた制御コマンド C M D " に基づいて払出モータ M を制御して遊技球を払い出す払出制御基板 2 4 と、遊技者の操作に応答して遊技球を発射させる発射制御基板 2 5 と、を中心に構成されている。

【 0 0 2 7 】

但し、この実施例では、主制御基板 2 1 が出力する制御コマンド C M D は、コマンド中継基板 2 6 と演出インタフェイス基板 2 7 を経由して、演出制御基板 2 2 に伝送される。

10

20

30

40

50

また、演出制御基板 2 2 が出力する制御コマンド C M D ' は、演出インタフェース基板 2 7 と画像インタフェース基板 2 8 を経由して、画像制御基板 2 3 に伝送され、主制御基板 2 1 が出力する制御コマンド C M D " は、主基板中継基板 3 2 を経由して、払出制御基板 2 4 に伝送される。制御コマンド C M D , C M D ' , C M D " は、何れも 1 6 ビット長であるが、主制御基板 2 1 や払出制御基板 2 4 が関係する制御コマンドは、8 ビット長毎に 2 回に分けてパラレル送信されている。一方、演出制御基板 2 2 から画像制御基板 2 3 に伝送される制御コマンド C M D ' は、1 6 ビット長をまとめてパラレル伝送されている。そのため、可動予告演出を含む予告演出を、多様化して多数の制御コマンドを連続的に送受信するような場合でも、迅速にその処理を終えることができ、他の制御動作に支障を与えない。

10

【 0 0 2 8 】

ところで、本実施例では、演出インタフェース基板 2 7 と演出制御基板 2 2 とは、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結されて二枚の回路基板が積層されている。同様に、画像インタフェース基板 2 8 と画像制御基板 2 3 についても、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結されて二枚の回路基板が積層されている。そのため、各電子回路の回路構成を複雑高度化しても基板全体の収納空間を最小化できると共に、接続ラインを最短化することで耐ノイズ性を高めることができる。

【 0 0 2 9 】

これら主制御基板 2 1、演出制御基板 2 2、画像制御基板 2 3、及び払出制御基板 2 4 には、ワンチップマイコンを備えるコンピュータ回路がそれぞれ搭載されている。そこで、これらの制御基板 2 1 ~ 2 4 とインタフェース基板 2 7 ~ 2 8 に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部 2 1、演出制御部 2 2'、画像制御部 2 3'、及び払出制御部 2 4 とすることがある。すなわち、この実施例では、演出制御基板 2 2 と演出インタフェース基板 2 7 とで演出制御部 2 2' を構成し、画像制御基板 2 3 と画像インタフェース基板 2 8 とで画像制御部 2 3' を構成している。なお、演出制御部 2 2'、画像制御部 2 3'、及び払出制御部 2 4 の全部又は一部がサブ制御部である。

20

【 0 0 3 0 】

また、このパチンコ機 G M は、図 3 の破線で囲む枠側部材 G M 1 と、遊技盤 5 の背面に固定された盤側部材 G M 2 とに大別されている。枠側部材 G M 1 には、ガラス扉 6 や前面板 7 が枢着された前枠 3 と、その外側の木製外枠 1 とが含まれており、機種の変更に拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材 G M 2 は、機種変更に対応して交換され、新たな盤側部材 G M 2 が、元の盤側部材の代わりに枠側部材 G M 1 に取り付けられる。なお、枠側部材 1 を除く全てが、盤側部材 G M 2 である。

30

【 0 0 3 1 】

図 3 の破線枠に示す通り、枠側部材 G M 1 には、電源基板 2 0 と、払出制御基板 2 4 と、発射制御基板 2 5 と、枠中継基板 3 5 と、ランプ駆動基板 3 6 とが含まれており、これらの回路基板が、前枠 3 の適所に各々固定されている。

【 0 0 3 2 】

ランプ駆動基板 3 6 には、複数の L E D が接続されており、これらの L E D 群を駆動する駆動データ S D A T A は、シリアル信号として、演出制御基板 2 2 演出インタフェース基板 2 7 枠中継基板 3 4 枠中継基板 3 5 を経由して、ランプ駆動基板 3 6 に搭載された複数のドライバ D R i j に伝送されている。

40

【 0 0 3 3 】

実施例のドライバ D R i j (ドライバ I C) は、各々、L E D や電飾ランプなどの L E D 群を最高 2 4 個まで駆動可能であるが、以下の説明では、ランプ駆動基板 3 6 に搭載された 5 個のドライバ D R i j によって、合計 5 × 2 4 個の L E D が駆動されているとする (図 7 参照)。そして、本明細書では、これらの L E D を、便宜上、第 0 チャンネル (C H 0) の L E D 群と称する。

50

【 0 0 3 4 】

遊技盤 5 の背面には、主制御基板 2 1、演出制御基板 2 2、画像制御基板 2 3 が、表示装置 D S やその他の回路基板と共に固定されている。そして、枠側部材 G M 1 と盤側部材 G M 2 とは、一箇所に集中配置された接続コネクタ C 1 ~ C 4 によって電氣的に接続されている。

【 0 0 3 5 】

電源基板 2 0 は、接続コネクタ C 2 を通して、主基板中継基板 3 2 に接続され、接続コネクタ C 3 を通して、電源中継基板 3 3 に接続されている。電源基板 2 0 には、交流電源の投入と遮断とを監視する電源監視部 M N T が設けられている。電源監視部 M N T は、交流電源が投入されたことを検知すると、所定時間だけシステムリセット信号 S Y S を L レベルに維持した後に、これを H レベルに遷移させる。

10

【 0 0 3 6 】

また、電源監視部 M N T は、交流電源の遮断を検知すると、電源異常信号 A B N 1、A B N 2 を、直ちに L レベルに遷移させる。なお、電源異常信号 A B N 1、A B N 2 は、電源投入後に速やかに H レベルとなる。

【 0 0 3 7 】

ところで、本実施例のシステムリセット信号は、交流電源に基づく直流電源によって生成されている。そのため、交流電源の投入（通常は電源スイッチの O N）を検知して H レベルに増加した後は、直流電源電圧が異常レベルまで低下しない限り、H レベルを維持する。したがって、直流電源電圧が維持された状態で、交流電源が瞬停状態となっても、システムリセット信号 S Y S が C P U をリセットすることはない。なお、電源異常信号 A B N 1、A B N 2 は、交流電源の瞬停状態でも出力される。

20

【 0 0 3 8 】

主基板中継基板 3 2 は、電源基板 2 0 から出力される電源異常信号 A B N 1、バックアップ電源 B A K、及び D C 5 V、D C 1 2 V、D C 3 2 V を、そのまま主制御部 2 1 に出力している。一方、電源中継基板 3 3 は、電源基板 2 0 から受けたシステムリセット信号 S Y S や、交流及び直流の電源電圧を、そのまま演出インタフェース基板 2 7 に出力している。演出インタフェース基板 2 7 は、受けたシステムリセット信号 S Y S を、そのまま演出制御部 2 2' と画像制御部 2 3' に出力している。

30

【 0 0 3 9 】

一方、払出制御基板 2 4 は、中継基板を介することなく、電源基板 2 0 に直結されており、主制御部 2 1 が受けると同様の電源異常信号 A B N 2 や、バックアップ電源 B A K を、その他の電源電圧と共に直接的に受けている。

【 0 0 4 0 】

電源基板 2 0 が出力するシステムリセット信号 S Y S は、電源基板 2 0 に交流電源 2 4 V が投入されたことを示す電源リセット信号であり、この電源リセット信号によって演出制御部 2 2' と画像制御部 2 3' のワンチップマイコンは、その他の I C 素子と共に電源リセットされるようになっている。

【 0 0 4 1 】

但し、このシステムリセット信号 S Y S は、主制御部 2 1 と払出制御部 2 4 には、供給されておらず、各々の回路基板 2 1、2 4 のリセット回路 R S T において電源リセット信号（C P U リセット信号）が生成されている。そのため、例えば、接続コネクタ C 2 がガタついたり、或いは、配線ケーブルにノイズが重畳しても、主制御部 2 1 や払出制御部 2 4 の C P U が異常リセットされるおそれはない。演出制御部 2 2' と画像制御部 2 3' は、主制御部 2 1 からの制御コマンドに基づいて、従属的に演出動作を実行することから、回路構成の複雑化を回避するために、電源基板 2 0 から出力されるシステムリセット信号 S Y S を利用している。

40

【 0 0 4 2 】

ところで、主制御部 2 1 や払出制御部 2 4 に設けられたリセット回路 R S T は、各々ウォッチドッグタイマを内蔵しており、各制御部 2 1、2 4 の C P U から、定時的なクリア

50

パルスを受けない限り、各CPUは強制的にリセットされる。

【0043】

また、この実施例では、RAMクリア信号CLRは、主制御部21で生成されて主制御部21と払出制御部24のワンチップマイコンに伝送されている。ここで、RAMクリア信号CLRは、各制御部21, 24のワンチップマイコンの内蔵RAMの全領域を初期設定するか否かを決定する信号であって、係員が操作する初期化スイッチSWのON/OFF状態に対応した値を有している。

【0044】

主制御部21及び払出制御部24は、電源基板20から電源異常信号ABN1, ABN2を受けることによって、停電や営業終了に先立って、必要な終了処理を開始するようになっている。また、バックアップ電源BAKは、営業終了や停電により交流電源24Vが遮断された後も、主制御部21と払出制御部24のワンチップマイコンの内蔵RAMのデータを保持するDC5Vの直流電源である。したがって、主制御部21と払出制御部24は、電源遮断前の遊技動作を電源投入後に再開できることになる(電源バックアップ機能)。このパチンコ機では少なくとも数日は、各ワンチップマイコンのRAMの記憶内容が保持されるよう設計されている。

【0045】

図3に示す通り、主制御部21は、主基板中継基板32を経由して、払出制御部24に制御コマンドCMDを送信する一方、払出制御部24からは、遊技球の払出動作を示す賞球計数信号や、払出動作の異常に係わるステータス信号CONや、動作開始信号BGNを受信している。ステータス信号CONには、例えば、補給切れ信号、払出不足エラー信号、下皿満杯信号が含まれる。動作開始信号BGNは、電源投入後、払出制御部24の初期動作が完了したことを主制御部21に通知する信号である。

【0046】

また、主制御部21は、遊技盤中継基板31を経由して、遊技盤5の各遊技部品に接続されている。そして、遊技盤上の各入賞口16~18に内蔵された検出スイッチのスイッチ信号を受ける一方、電動式チューリップなどのソレノイド類を駆動している。ソレノイド類や検出スイッチは、主制御部21から配電された電源電圧VB(12V)で動作するよう構成されている。また、図柄始動口15への入賞状態などを示す各スイッチ信号は、電源電圧VB(12V)と電源電圧Vcc(5V)とで動作するインタフェイスICで、TTLレベル又はCMOSレベルのスイッチ信号に変換された上で、主制御部21に伝送される。

【0047】

先に説明した通り、演出制御基板22と演出インタフェイス基板27とはコネクタ連結によって一体化されており、演出制御部22'は、電源中継基板33を経由して、電源基板20から各レベルの直流電圧(5V, 12V, 32V)と、システムリセット信号SYSを受けている(図3及び図4参照)。また、演出制御部22'は、コマンド中継基板26を経由して、主制御部21から制御コマンドCMDとストロブ信号STBとを受けている(図3及び図4参照)。

【0048】

そして、演出制御部22'は、演出インタフェイス基板27を経由して、ランプ駆動基板29やランプ駆動基板30に搭載されたドライバDRijに、ランプ駆動データSDATA(シリアル信号)を供給している。特に限定されるものではないが、ランプ駆動基板29, 30に搭載されているドライバDRijは、ランプ駆動基板36に搭載されたドライバDRijと同一構成であり、ランプ駆動基板29, 30には、各々、5個のドライバDRijが配置されている。

【0049】

先に説明した通り、これらのドライバDRijは、各々、最高24個のランプを駆動可能であるが、以下の説明では、ランプ駆動基板29に接続された合計24×5個のランプを、第1チャンネルCH1のランプ群と称し、ランプ駆動基板30に接続された合計24

10

20

30

40

50

× 5 個のランプを、第 2 チャンネル C H 2 のランプ群と称する (図 7 参照) 。

【 0 0 5 0 】

このように、本実施例では、多数 (3 × 2 4 × 5 個) のランプが、チャンネル C H 0 ~ チャンネル C H 2 のランプ群に三分されて、各々、ランプ駆動基板 3 6、ランプ駆動基板 2 9、ランプ駆動基板 3 0 に接続されている。なお、図 4 に関して後述するように、全てのドライバ D R i j は、演出制御部 2 2 ' のワンチップマイコン 4 0 が、一括的に出力するシリアル信号 S D A T A のうち、該当信号を受信して、担当するランプ群を駆動している (図 4 参照) 。

【 0 0 5 1 】

ところで、同じドライバ D R i j を使用してステッピングモータを駆動することもでき、例えば、破線に示すように、ランプ駆動基板 3 0 を経由して、演出モータ群 M 1 ~ M n を駆動するのも好適である。この場合、モータ駆動データは、ランプ駆動データと同様のシリアル信号であり、演出内容を豊富化するべく演出モータ個数を増やしても、配線ケーブルが増加することがなく、機器構成が簡素化される。

10

【 0 0 5 2 】

図 3 及び図 4 に示す通り、演出制御部 2 2 ' は、画像制御部 2 3 ' に対して、制御コマンド C M D ' 及びストローブ信号 S T B ' と、電源基板 2 0 から受けたシステムリセット信号 S Y S と、2 種類の直流電圧 (1 2 V , 5 V) とを出力している。

【 0 0 5 3 】

そして、画像制御部 2 3 ' では、制御コマンド C M D ' に基づいて表示装置 D S を駆動して各種の画像演出を実行している。表示装置 D S は、L E D バックライトによって発光しており、画像インタフェイス基板 2 8 から 5 対の L V D S (低電圧差動伝送 Low voltage differential signaling) 信号と、バックライト電源電圧 (1 2 V) とを受けて駆動されている (図 4 参照) 。

20

【 0 0 5 4 】

続いて、上記した演出制御部 2 2 ' と画像制御部 2 3 ' の構成を更に詳細に説明する。図 4 に示す通り、演出インタフェイス基板 2 7 は、電源中継基板 3 3 を経由して、電源基板 2 0 から 3 種類の直流電圧 (5 V , 1 2 V , 3 2 V) を受けている。ここで、直流電圧 5 V は、デジタル論理回路の電源電圧として、演出インタフェイス基板 2 7、ランプ駆動基板 2 9、ランプ駆動基板 3 0、画像インタフェイス基板 2 8、及び画像制御基板 2 3 に配電されて各デジタル回路を動作させている。

30

【 0 0 5 5 】

但し、演出制御基板 2 2 には、直流電圧 5 V が配電されておらず、1 2 V から D C / D C コンバータで降圧された直流電圧 3 . 3 V と、3 . 3 V から D C / D C コンバータで更に降圧された直流電圧 1 . 8 V だけが、演出インタフェイス基板 2 7 から演出制御基板 2 2 に配電されている。

【 0 0 5 6 】

このように、本実施例の演出制御基板 2 2 は、全ての回路が、電源電圧 3 . 3 V 又はそれ以下の電源電圧で駆動されているので、電源電圧を 5 V で動作する場合と比較して大幅に低電力化することができ、仮に、演出制御基板 2 2 の直上に演出インタフェイス基板 2 7 を配置して積層しても放熱上の問題が生じない。

40

【 0 0 5 7 】

但し、電源基板 2 0 から受けた直流電圧 1 2 V は、そのままデジタルアンプ 4 6 の電源電圧として使用されると共に、ランプ駆動基板 3 0 とランプ駆動基板 2 9 に配電されて各ランプ群の電源電圧となる。また、直流電圧 3 2 V は、演出インタフェイス基板の D C / D C コンバータにおいて直流電圧 1 3 V に降圧されて、必要に応じて、演出モータ M 1 ~ M n の駆動電源として使用される。

【 0 0 5 8 】

図 4 に示すように、演出制御部 2 2 ' は、音声演出・ランプ演出・演出可動体による予告演出・データ転送などの処理を実行するワンチップマイコン 4 0 と、ワンチップマイコ

50

ン40の制御プログラムなどを記憶するフラッシュメモリ (flash memory) 41と、ワンチップマイコン40からの指示に基づいて音声信号を再生して出力する音声合成回路42と、再生される音声信号の元データである圧縮音声データを記憶する音声用メモリ43とを備えて構成されている。

【0059】

ここで、ワンチップマイコン40、フラッシュメモリ41、及び音声用メモリ43は、電源電圧3.3Vで動作しており、また、音声合成回路42は、電源電圧3.3V及び電源電圧1.8Vで動作しており大幅な省電力化が実現されている。ここで、1.8Vは、音声合成回路のコンピュータ・コア部の電源電圧であり、3.3Vは、I/O部の電源電圧である。

10

【0060】

ワンチップマイコン40には、複数のパラレル入出力ポートPIO (Pi + Po + Po')と、複数のシリアル出力ポートSIとが内蔵されている。ここで、シリアル出力ポートSIは、より詳細には、3チャンネルのシリアルポート (S0 ~ S2) を含んで構成されており (図6参照)、ランプ駆動基板36、29、30に搭載された各5個のドライバDRijに、各々、ランプ駆動データSDATA0 ~ SDATA2を、クロック信号CK0 ~ CK2に同期して出力している。すなわち、シリアルポートS0 ~ シリアルポートS2は、クロック同期方式に基づいて、対応するランプ駆動基板36、29、30に、ランプ駆動データSDATA0 ~ SDATA2を伝送している。なお、ランプ駆動データSDATA0 ~ SDATA2は、各LEDの発光輝度をPWM制御 (pulse width modulation) によって輝度調整するため輝度データである。

20

【0061】

また、ランプ駆動基板36、29、30は、パラレル入出力ポートPIOのパラレル出力ポートPo'にも接続されており、各ランプ駆動基板36、29、30に搭載されたドライバDRijは、パラレル出力ポートPo'が出力する3ビット長の動作許可信号ENABLE0 ~ ENABLE2の何れかに基づいて動作を開始している。

【0062】

一方、パラレル入出力ポートPIOの入力ポートPiには、主制御部21からの制御コマンドCMD及びストロープ信号STBが入力され、コマンド出力ポートPoからは、制御コマンドCMD'及びストロープ信号STB'が出力されるよう構成されている。

30

【0063】

具体的には、入力ポートPiには、主制御基板21から出力された制御コマンドCMDとストロープ信号 (割込み信号) STBとが、演出インタフェース基板27のバッファ44において、電源電圧3.3Vに対応する論理レベルに変換されて8ビット単位で供給される。割込み信号STBは、ワンチップマイコンの割込み端子に供給され、受信割込み処理によって、演出制御部22'は、制御コマンドCMDを取得するよう構成されている。

【0064】

演出制御部22'が取得する制御コマンドCMDには、(1)異常報知その他の報知用制御コマンドなどの他に、(2)図柄始動口への入賞に起因する各種演出動作の概要特定する制御コマンド (変動パターンコマンド) や、図柄種別を指定する制御コマンド (図柄指定コマンド) が含まれている。ここで、変動パターンコマンドで特定される演出動作の概要には、演出開始から演出終了までの演出総時間と、大当たり抽選における当否結果とが含まれている。

40

【0065】

また、図柄指定コマンドには、大当たり抽選の結果に応じて、大当たりの場合には、大当たり種別に関する情報 (15R確変、2R確変、15R通常、2R通常など) を特定する情報が含まれ、ハズレの場合には、ハズレを特定する情報が含まれている。変動パターンコマンドで特定される演出動作の概要には、演出開始から演出終了までの演出総時間と、大当たり抽選における当否結果とが含まれている。なお、これらに加えて、リーチ演出や予告演出の有無などを含めて変動パターンコマンドで特定しても良いが、この場合でも、

50

演出内容の具体的な内容は特定されていない。

【 0 0 6 6 】

そのため、演出制御部 2 2 ' では、変動パターンコマンドを取得すると、これに続いて演出抽選を行い、取得した変動パターンコマンドで特定される演出概要を更に具体化している。例えば、リーチ演出や予告演出について、その具体的な内容が決定される。そして、決定された具体的な遊技内容にしたがい、LED 群などの点滅によるランプ演出や、スピーカによる音声演出の準備動作を行うと共に、画像制御部 2 3 ' に対して、ランプやスピーカによる演出動作に同期した画像演出に関する制御コマンド C M D ' を出力する。

【 0 0 6 7 】

このような演出動作に同期した画像演出を実現するため、演出制御部 2 2 ' は、コマンド出力ポート P o を通して、画像制御部 2 3 ' に対するストローブ信号（割込み信号）S T B ' と共に、16ビット長の制御コマンド C M D ' を演出インタフェース基板 2 7 に向けて出力している。なお、演出制御部 2 2 ' は、図柄指定コマンドや、表示装置 D S に関連する報知用制御コマンドや、その他の制御コマンドを受信した場合は、その制御コマンドを、16ビット長に纏めた状態で、割込み信号 S T B ' と共に演出インタフェース基板 2 7 に向けて出力している。

10

【 0 0 6 8 】

上記した演出制御基板 2 2 の構成に対応して、演出インタフェース基板 2 7 には出力バッファ 4 5 が設けられており、16ビット長の制御コマンド C M D ' と1ビット長の割込み信号 S T B ' を画像インタフェース基板 2 8 へ出力している。そして、これらのデータ C M D ' , S T B ' は、画像インタフェース基板 2 8 を経由して、画像制御基板 2 3 に伝送される。

20

【 0 0 6 9 】

また、演出インタフェース基板 2 7 には、音声合成回路 4 2 から出力される音声信号を受けるデジタルアンプ 4 6 が配置されている。先に説明した通り、音声合成回路 4 2 は、3.3Vと1.8Vの電源電圧で動作しており、また、デジタルアンプ 4 6 は、電源電圧 1.2VでD級増幅動作しており、消費電力を抑制しつつ大音量の音声演出を可能にしている。

【 0 0 7 0 】

そして、デジタルアンプ 4 6 の出力によって、遊技機上部の左右スピーカと、遊技機下部のスピーカとを駆動している。そのため、音声合成回路 4 2 は、3チャンネルの音声信号を生成する必要があり、これをパラレル伝送すると、音声合成回路 4 2 とデジタルアンプ 4 6 との配線が複雑化する。

30

【 0 0 7 1 】

そこで、本実施例では、音質の劣化を防止すると共に、配線の複雑化を回避するため、音声合成回路 4 2 とデジタルアンプ 4 6 との間は、4本の信号線で接続されており、具体的には、転送クロック信号 S C L K と、チャンネル制御信号 L R C L K と、2ビット長のシリアル信号 S D 1 , S D 2 との合計4ビットの信号線に抑制されている。なお、何れの信号も、その振幅レベルは3.3Vである。

【 0 0 7 2 】

ここで、S D 1 は、遊技機上部に配置された左右スピーカのステレオ信号 R , L を特定する P C M データについてのシリアル信号であり、S D 2 は、遊技機下部に配置された重低音スピーカのもノラル信号を特定する P C M データについてのシリアル信号である。そして、音声合成回路 3 4 2 は、チャンネル制御信号 L R C L K を L レベルに維持した状態で、左チャンネルの音声信号 L を伝送し、チャンネル制御信号 L R C L K を H レベルに維持した状態で、右チャンネルの音声信号 R を伝送する。なお、重低音スピーカは本実施例では1個であるので、モノラル音声信号が伝送されているが、ステレオ音声信号として伝送できるのは勿論である。

40

【 0 0 7 3 】

何れにしても本実施例では、4種類の音声信号を4本のケーブルで伝送可能であるので

50

、最小のケーブル本数によってノイズによる音声劣化のない信号伝達が可能となる。すなわち、シリアル伝送であるのでパラレル伝送より圧倒的にケーブル本数が少ない。なお、アナログ伝送を採る場合には、ケーブル本数は同数であるが、3.3V振幅のアナログ信号に、少なからずノイズが重畳して、音質が大幅に劣化する。一方、振幅レベルを上げると、電源配線が複雑化する上に消費電力が増加する。

【0074】

このようなシリアル信号SD1, SD2は、クロック信号CLKの立上りエッジに同期して、デジタルアンプ46に取得される。そして、デジタルアンプ46内部で、所定ビット長毎にパラレル変換され、DA変換後にD級増幅されて各スピーカに供給されている。

10

【0075】

デジタルアンプ46の内部構成は適宜であるが、図5は、デジタルアンプとしてYDA171(YAMAHHA)を使用した場合の内部構成図を示している。このような内部構成に限定されないが、何れにしても、本実施例では、音声合成回路42とデジタルアンプ46とをシリアル回線で接続するので、PCMデータ(音声データ)のビット長を如何に増やして高音質化を実現しても配線ケーブルその他を変更する必要がなく、回路構成の簡素化を維持することができる。

【0076】

また、演出インタフェース基板27には、ワンチップマイコン40の平行出力ポートPo'や、シリアルポートSIや出力される各種の信号を伝送する出力バッファ回路47, 48, 49が設けられている。ここで、出力バッファ47は、第0チャンネルのLED群に関連しており、ワンチップマイコン40が出力するランプ駆動データSDATA0、クロック信号CK0、及び、動作許可信号ENABLE0を、枠中継基板34に出力している。そして、出力された3ビットの信号は、枠中継基板34、及び、枠中継基板35を経由して、ランプ駆動基板36のドライバDRijに伝送される(図7参照)。

20

【0077】

同様に、出力バッファ48は、ワンチップマイコン40が出力するランプ駆動データSDATA1、クロック信号CK1、及び、動作許可信号ENABLE1をランプ駆動基板29のドライバDRijに伝送しており、出力バッファ49は、ランプ駆動データSDATA2、クロック信号CK2、及び、動作許可信号ENABLE2をランプ駆動基板30のドライバDRijに伝送している(図7参照)。なお、ランプ駆動基板29のドライバDRijは、第1チャンネルのLED群を駆動し、ランプ駆動基板30のドライバDRijは、第2チャンネルのLED群を駆動している。

30

【0078】

図6(a)は、ワンチップマイコン40に内蔵されたシリアルポートSIの内部構成を図示したものである。図示の通り、シリアルポートS0~シリアルポートS2は全ての同一構成であり、CPUコアから1バイトデータを受ける送信データレジスタDRと、送信データレジスタDRから1バイトデータの転送を受けて、ランプ駆動データSDATAiとしてシリアル出力する送信シフトレジスタSRと、シリアルポートの内部動作状態を管理する多数の制御レジスタRGと、カウンタ回路CTの出力パルスを受けて制御レジスタRGが指定する分周比のクロック信号CKiを出力するポーレートジェネレータBGと、を有して構成されている。

40

【0079】

ここで、制御レジスタRGには、エンptyビットEMPを含んだREAD可能な制御レジスタが含まれており、送信データレジスタDRが、新規データを受け入れ可能か否かを示している。すなわち、送信シフトレジスタSRの1バイトデータの送信が完了すると、エンptyビットEMPがHレベル(emptyレベル)に遷移して、送信データレジスタDRに、新規データを書込むことができることが示される。したがって、CPUコア(以下、CPUと称す)は、エンptyビットEMPがHレベルであることを確認した上で、新規データを送信データレジスタDRに書込むことになる。

50

【 0 0 8 0 】

また、制御レジスタ R G には、送信許可ビット T X E を含んだ W R I T E 可能な制御レジスタが含まれており、C P U が送信許可ビット T X E を O N (H) レベルに設定すると、シリアルポートの送信動作が許可され、O F F レベルに設定すると送信動作が禁止される。そこで、本実施例では、C P U は、送信処理の開始時に送信許可ビット T X E を O N 状態にセットし、送信処理の終了時に送信許可ビット T X E を O F F レベルにリセットしている。

【 0 0 8 1 】

図 6 (b) は、シリアルポート S 0 ~ S 2 について、送信開始時の動作を示すタイムチャートである。図示の通り、シリアルポート S 0 ~ S 2 が送信禁止状態 (T X E = L) である場合や、送信データレジスタ D R のデータがシリアル出力された後は、クロック信号 C K が固定状態の H レベルである。また、送信データレジスタ D R は空であり、エンプティビット E M P も H レベル (empty レベル) である。

10

【 0 0 8 2 】

そして、C P U が送信許可ビット T X E を O N 状態 (送信許可状態) にセットした後、送信データレジスタ D R に 1 バイト目の送信データを書込むと、エンプティビット E M P が L レベルに遷移すると共に、その後、所定時間 () 経過後に、1 バイト目の送信データが送信シフトレジスタ S R に転送されて、シリアル送信動作が開始される。

【 0 0 8 3 】

また、送信データが送信シフトレジスタ S R に転送されたことで、1 ビット目のシリアル送信開始に対応して、その後は、エンプティビット E M P が H レベル (empty レベル) に遷移する。したがって、C P U は、H レベルのエンプティビット E M P を確認した上で、2 バイト目の送信データを、送信データレジスタ D R に書込むことになる。

20

【 0 0 8 4 】

すると、送信データレジスタ D R へのデータ書込み動作に対応して、エンプティビット E M P が L レベル (full レベル) に遷移する。そして、その後、1 バイト目の送信データが全て送信されると、送信データレジスタ D R から送信シフトレジスタ S R に 2 バイト目のデータが転送され、2 バイト目のデータ送信が開始されて、エンプティビット E M P が H レベルに遷移する。

【 0 0 8 5 】

このエンプティビット E M P は、送信データレジスタ D R への 3 バイト目のデータ書込み動作に対応して、L レベルに変化するが、図示のように、新規データの書き込みがない場合には H レベルを維持する。また、全てのデータが送信された後は、クロック信号 C K が H レベルを維持して変化しない。

30

【 0 0 8 6 】

特に限定されないが、この実施例では、ドライバ D R i j の内部動作に対応して、1 バイトデータの M S B (Most Significant Bit) から L S B (Least Significant Bit) に向けて、クロック信号 C K に同期して送信動作が実行されるよう設定されている (M S B ファースト) 。具体的には、該当する制御レジスタ R G に適宜な設定値が設定されている。また、クロック信号 C K の立下りエッジに同期して、送信動作が進行することも図示の通りである。

40

【 0 0 8 7 】

なお、後述するように、本実施例では、C P U は、シリアルポート S 0 シリアルポート S 1 シリアルポート S 2 の順に、送信データレジスタ D R i に 1 バイト目のデータ書込んだ後、各エンプティビット E M P i の H レベルを判定した上で、同じ順番に、各送信データレジスタ D R i に 2 バイト目のデータを書込んでいる (図 1 0 参照) 。

【 0 0 8 8 】

しかし、シリアルポート S 0 シリアルポート S 1 シリアルポート S 2 の順番で一連に実行されるデータ書込み処理において、1 バイトデータの書込み時間差は事実上ゼロであるので (図 6 参照) 、チャンネル C H 0 ~ C H 2 のドライバ D R i j へのデータ送信処

50

理は、ほぼ同時に開始されることになる。したがって、チャンネルCH0～CH2のドライバDR_{i j}へのデータ送信処理の終了も、送信データ量が同じである限り、ほぼ同一タイミングとなり、迅速にシリアル送信処理を終えることができる（図8参照）。

【0089】

図7は、ランプ駆動基板36, 29, 30の回路構成を確認的に図示したものである。図示の通り、ランプ駆動基板36には、5個のドライバDR₀₀, DR₀₁・・・DR₀₄が搭載されて、第0チャンネルのLED群（合計5×24個のLED）を点灯駆動している。同様に、ランプ駆動基板29には、5個のドライバDR₁₀, DR₁₁・・・DR₁₄が搭載され、また、ランプ駆動基板30には、5個のドライバDR₁₈, DR₁₉・・・DR_{1c}が搭載されて、各々、第1チャンネルと第2チャンネルのLED群（合計5×24個のLED）を点灯駆動している。

10

【0090】

各ドライバDR_{i j}には、5ビットの付番端子が設けられており、この付番端子に固定的なデジタルデータが供給される回路構成を採ることで、各々スレーブアドレス（ポートアドレス）が一連に付番されている。すなわち、図示例の場合には、各ドライバ（DR₀₀, DR₀₁・・・DR₀₄、DR₁₀, DR₁₁・・・DR₁₄、DR₁₈, DR₁₉・・・DR_{1c}）のスレーブアドレスは、16進数表示で、00H, 01H・・・04H、10H, 11H・・・14H、18H, 19H・・・1cHとなる。

【0091】

各ランプ制御基板36, 29, 30のドライバDR_{i j}に、一連のスレーブアドレスを付番することで、各ドライバDR_{i j}に対する輝度データなどの設定処理を迅速化することができる。この点は、さらに後述するが、一連のスレーブアドレスは、必ずしも+1の関係で一連させる必要はなく、+Nや-Nの関係であっても良い。

20

【0092】

また、各ドライバDR_{i j}には、24個のLEDを駆動する点灯駆動信号のアナログレベルを各々規定可能な階調レジスタGR0～GR23が内蔵されている。なお、ドライバDR_{i j}には、階調レジスタGR_n以外にも多数の設定レジスタが用意されているが、本実施例では、説明の都合上、階調レジスタGR_nだけを活用とすることにする。

【0093】

階調レジスタGR_nは、各々、8ビット長の輝度データを記憶可能であり、LEDの輝度レベルを00H～FFHまで256段階で設定することができる。つまり、実施例で使用するドライバDR_{i j}によれば、各LEDの輝度レベルを256階調（PWM=Duty比=0～255/256=0～99.6%）に制御である。しかし、本実施例では、人間の視認感度を考慮して輝度レベルを16階調に抑制することとし、4ビット長16階調の輝度データ（00H～0FH）を16倍して、00H～F0Hの輝度データとしている。なお、輝度データ00Hは、消灯（Duty比=0%）を意味し、F0Hは、最大輝度による点灯を意味する。

30

【0094】

図8は、各ドライバDR_{i j}の動作とCPUの動作を説明するフローチャートである。まず、ワンチップマイコン40が出力するランプ駆動データSDATA0～SDATA2に基づいて、各ドライバDR_{i j}の階調レジスタGR0～GR23に対する輝度データの設定処理について説明する。

40

【0095】

階調レジスタGR0～GR23に輝度データを設定するためには、これに先行して、各ドライバDR_{i j}を特定するスレーブアドレスの送信処理と、階調レジスタGR0～GR23のレジスタ番号N（例えば、N=15H～1cH）の送信処理とを実行する必要がある。但し、本実施例のように、レジスタ番号N（=15H～1cH）が連続する場合には、最初のレジスタ番号N（=15H）を送信した後は、レジスタ番号15H以降の階調レジスタGR_nに設定すべき輝度データD_nを1バイト毎に出力したので足りる。

【0096】

50

また、スレーブアドレスは、ドライバ DR_{ij} を特定する5ビット長のポートアドレスであるが、適宜に3ビットを付加した8ビット長とされる。そして、この8ビット長のスレーブアドレスは、MSBからLSBに向けて送信される。図7から明らかなように、8ビット長のスレーブアドレスは、5個のドライバ DR_{ij} (例えば、 $DR_{00} \sim DR_{04}$)に、共通的に送信されるが、送信されたスレーブアドレスに対応する特定のドライバ DR_{ij} だけが、その後の送信データを受信することになる。

【0097】

具体的には、全てのドライバ DR_{ij} (例えば、 $DR_{00} \sim DR_{04}$)において、24個目(= 8×3)のクロック信号 CK_i の立上りエッジで、1バイト目のデータ(スレーブアドレス)が取得され、自らのスレーブアドレスに一致するドライバ DR_{ij} だけが、その後の受信処理を継続する。

10

【0098】

先に説明した通り、本実施例のドライバ DR_{ij} に対しては、その後、階調レジスタ GR_n のレジスタ番号 N を送信し、これに続いて、その階調レジスタ GR_n への設定データ D_n を送信するようになっている。そして、その後は、指定されたスレーブアドレスに対応するドライバ DR_{ij} において、レジスタ番号 N が自動的にインクリメントされ、その後受信した設定データ D_{n+1} 、 $D_{n+2} \dots$ が、各々、階調レジスタ GR_{n+1} 、 $GR_{n+2} \dots$ に設定される。

【0099】

先に説明した通り、本実施例では、階調レジスタ GR_i だけを活用しているので、ワンチップマイコン40から各チャンネル(0~2)のドライバ DR_{ij} に送信されるシリアルデータの個数は、スレーブアドレス(1バイト)と、階調レジスタ GR_0 のレジスタ番号(15Hの1バイト)と、24個の階調レジスタ $GR_0 \sim GR_{23}$ に設定すべき輝度データ(24バイト)とで、総計26バイトとなる。

20

【0100】

図8(b)に関して説明した通り、ワンチップマイコン40のシリアルポート $S_0 \sim S_2$ では、23バイト目の輝度データを出力した後は、制御レジスタ RG のエンピティビット EMP をHレベルに維持する。また、送信データレジスタ DR に書込み済みの24バイト目の輝度データは、エンピティビット $EMP = H$ レベルが維持された状態で、送信シフトレジスタ SR から1ビット毎にMSBからLSBに向けて出力される。そして、ワンチップマイコン40のシリアルポート $S_0 \sim S_2$ が、24バイト目の輝度データのLSBを出力した後は、クロック信号 CK がHレベルを維持する。

30

【0101】

そのため、ワンチップマイコン40のCPUは、24バイト目の輝度データが、該当するドライバ DR_{ij} に取得されたと思われるタイミングで、動作許可信号 $ENABLE_0 \sim 2$ をLレベルに戻すとともに、制御レジスタ RG の送信許可ビット TXE を送信禁止レベルに戻している(図8参照)。すると、動作許可信号 $ENABLE_0 \sim 2 = L$ に対応して、その後、各ドライバ DR_{ij} では、階調レジスタ $GR_0 \sim GR_{23}$ に新規設定された、又は設定されている輝度データに基づいてLEDを駆動することになる。

【0102】

なお、この実施例では、ドライバ1個分のシリアルデータを送信する毎に、送信許可ビット TXE を禁止レベルに戻しているが、何ら限定されず、全てのドライバに対する送信処理が終了後に、禁止レベルに戻しても良い。また、特に、禁止レベルに戻す必要もない。

40

【0103】

図9は、演出制御部22'の動作内容を説明するフローチャートであり、ワンチップマイコン40のCPUによって実行される。演出制御部22'の動作は、CPUリセット後に無限ループ状に実行されるメイン処理(図9(a))と、1mS毎に起動されるタイマ割込み処理(図9(b))と、主制御部が送信する制御コマンドを受信する受信割込み処理(不図示)と、を含んで実現される。

50

【 0 1 0 4 】

そこで、まず、タイマ割込み処理から説明する。なお、図 9 (b) は、演出モータ M 1 ~ M n を設けた場合の処理を破線で記載している。演出モータ M 1 ~ M n を設けた実施態様では、所定タイミング毎に、ステッピングモータを 1 ステップ歩進させるべく、必要時に駆動データを更新する (S T 2 0)。そして、この駆動データを各演出モータ M 1 ~ M n へ出力し、また、画像制御部 2 3 ' に送信すべき制御コマンド C M D ' が存在する場合には、これを画像制御部 2 3 ' に向けて出力する (S T 2 2)。

【 0 1 0 5 】

そして、最後に割込みカウンタをインクリメントして割込み処理を終える (S T 2 3)

。

【 0 1 0 6 】

続いて、メイン処理について説明すると、C P U は、割込みカウンタを繰り返しチェックして、割込みカウンタの値が 1 6 になるのを待機する (S T 1 0)。上記したように、割込みカウンタは、1 m S 毎に更新されているので (S T 2 3)、ステップ S T 1 0 では、前回のステップ S T 1 1 の処理から、1 6 m S 経過するまでの経過時間を待機することになる。すなわち、この実施例では、ステップ S T 1 1 ~ S T 1 7 の処理が 1 6 m S 毎に繰り返される。

【 0 1 0 7 】

そこで、1 6 m S の待機時間が経過した場合には、割込みカウンタをゼロクリアした上で (S T 1 1)、主制御部 2 1 から送信された制御コマンド C M D を解析して、制御コマンド C M D に対応した動作を実行するべく、必要な開始処理を実行する。例えば、変動パターンコマンド C M D を受けた場合には、その制御コマンド C M D に基づいてランプ演出や音声演出などの開始処理を実行する。

【 0 1 0 8 】

次に、チャンスボタン 1 1 などのスイッチ信号を判定し (S T 1 3)、新規に実行を開始する演出について、その演出シナリオを構築するか、実行中の演出についての演出シナリオを更新する (S T 1 4)。そして、演出シナリオに対応して、音声再生動作を進行させる (S T 1 5)。

【 0 1 0 9 】

続いて、各ランプ駆動基板 3 6 , 2 9 , 3 0 に接続されている L E D について、その輝度を規定した輝度データを更新して、出力バッファテーブル T B L に格納する (S T 1 6)。この実施例では、3 個のランプ駆動基板 3 6 , 2 9 , 3 0 に、合計で $3 \times 5 \times 2 4$ 個の L E D が配置されており、各 L E D は、1 6 階調の 4 ビット長の輝度データに基づいて点灯制御がされている。したがって、出力バッファテーブル T B L は、 $3 \times 5 \times 2 4 / 2$ バイト長である。

【 0 1 1 0 】

次に、ステップ S T 1 6 の処理で更新された出力バッファテーブル T B L の輝度データを、シリアルポート S 0 ~ S 2 を経由して、各ランプ駆動基板 3 6 , 2 9 , 3 0 に伝送する (S T 1 7)。但し、C P U は、伝送処理そのものを担当するのではなく、C P U は、シリアルポート S 0 ~ S 2 の送信データレジスタ D R に、適宜なタイミングで必要データを書込むだけであり、C P U の制御負担は極めて軽微である。また、図 8 に示す通り、3 つのランプ駆動基板 3 6 , 2 9 , 3 0 に一斉にシリアルデータが送信されるので、ステップ S T 1 7 の処理時間は、送信データ量に拘わらず長くない。

【 0 1 1 1 】

図 8 に示す通り、3 つのランプ駆動基板 3 6 , 2 9 , 3 0 に搭載された 3 つのドライバ D R に輝度データを設定するに要するクロック信号 C K は、 $8 \times (2 + 2 4)$ 個であり、しかも、伝送開始タイミングと伝送終了タイミングは、全 3 個のドライバ D R においてほぼ同じである。

【 0 1 1 2 】

そのため、3 つのランプ駆動基板 3 6 , 2 9 , 3 0 に搭載された 3 個のドライバ D R の

10

20

30

40

50

点灯状態を更新するに要する時間は、ほぼ、 $8 \times (2 + 24) \times T$ となり、 $8 \times 26 \times 5 \times T$ 程度の処理時間で、全 15 個のドライバの点灯状態を更新することができる。なお、この全 15 個のドライバに対する処理時間は、5 個のドライバの点灯状態を更新するに要する時間とほぼ同じである。

【0113】

ここで、 T はクロック信号のパルス周期であり、この実施例では、ポーレートジェネレータ BG への設定値に基づいて、周波数 4 ~ 5 MHz 程度のクロック信号に対応して、 $T = 0.25 \sim 0.2 \mu\text{S}$ となっている。したがって、全体の処理時間は、 0.2 mS 程度であり、他の処理のための処理時間を消費することがない。

【0114】

但し、仮に、パルス周期 $T = 1 \mu\text{S}$ 程度の低速で動作させた場合でも、全体の処理時間は 1 mS 程度であり、メイン処理の全処理時間 (16 mS) の中で占める割合は高くなく、他の制御処理の悪影響を与えることはない。

【0115】

図 10 は、LED 出力処理 (ST17) を、より詳細に説明するフローチャートである。LED 出力処理では、まず、15 個全てのドライバ DR_i に対して、初期化データを送信して、階調レジスタに書込んだ輝度データ (PWM 値) に対応して LED が点灯されるよう設定する。

【0116】

なお、このステップ ST17 の処理についても、図 8 に示す手順と同じであり、以下に示すステップ ST31 ~ ST45 の処理手順が採用される。すなわち、チャンネル CH0 ~ CH2 の所定ドライバ (3 個) に対して、スレーブアドレスの送信 レジスタ番号の送信 初期化データの送信処理を一括して実行し、この処理を 5 回繰り返すことで、15 個のドライバ DR_i についての初期化処理を完了させる。したがって、全処理時間は、 $8 \times 3 \times 5 \times T$ [= データビット長 $8 \times$ データ個数 $3 \times$ 繰り返し処理回数 $5 \times$ クロック周期 T] 程度である。

【0117】

このような初期化処理を 16 mS 毎に繰り返す必要は必ずしもないが、本実施例では、点滅状態を更新する毎に全てのドライバ DR_i の初期化データを送信するので、万一、初期化データの一部がビット化けしても、設定データのビット化けによる異常動作は、 16 mS 後に自動的に解消される。

【0118】

以上のようにして初期化処理が終わると (ST30)、輝度データの設定処理 (ST31 ~ ST45) に移行する。なお、この開始タイミングでは、図 6 (b) に示す通り、各制御レジスタ RG の送信許可ビット TXE は、OFF (L) レベルであり、エンピティビット EMP は、H レベル (empty レベル) であり、クロック信号 CK は H レベルを維持している。また、動作許可信号 ENABLE0 ~ ENABLE2 は L レベルである。

【0119】

以上を踏まえて説明を続けると、輝度データの設定処理では、最初に、チャンネル CH0 ~ CH2 の各 5 個のドライバ DR_i について、各々、開始スレーブアドレスを特定する (ST31)。図 7 に示すように、この実施例では、各ランプ駆動基板に搭載された 5 個のドライバ DR_i には、インクリメント関係にある一連のスレーブアドレスが付番されており、その先頭アドレスは、00H, 10H, 18H である。

【0120】

次に、パラレル出力ポート Po' から、各々、ON (H) レベルの動作許可信号 ENABLE0 ~ ENABLE2 を出力する (ST32)。この結果、全チャンネル CH0 ~ CH2 の全てのドライバ DR_i は、シリアルデータの受信動作が可能となる。

【0121】

そこで、続いて、シリアルポート S0 ~ S2 について、各制御レジスタ RG の送信許可ビット TXE を各々 ON レベルに設定して、シリアルポート S0 ~ S2 の送信処理を許可

10

20

30

40

50

状態に設定する (S T 3 3)。また、ステップ S T 3 1 の処理で初期設定されたか、或いは、その後、ステップ S T 4 4 の処理で更新された 3 種類のスレーブアドレスを、各々、シリアルポート S 0 ~ S 2 の送信データレジスタ D R に書込む (S T 3 3)。

【 0 1 2 2 】

図 8 に示す通り、このステップ S T 3 3 の処理によって、各シリアルポート S 0 ~ S 2 の制御レジスタ R G のエンピティビット E M P は、L レベルに遷移し、所定時間 () 後に、エンピティビット E M P が H レベルに戻ると共に、スレーブアドレスの送信動作が開始される。

【 0 1 2 3 】

そこで、エンピティビット E M P が H レベルに戻った場合には (S T 3 4)、各ドライバ D R i j の階調レジスタ G R 0 ~ G R 2 3 について、そのレジスタ番号の先頭アドレスを、シリアルポート S 0 ~ S 2 の送信データレジスタ D R に書込む (S T 3 5)。この実施例では、階調レジスタ G R 0 ~ G R 4 のレジスタ番号は、N = 1 5 H ~ 1 C H であるので、ステップ S T 3 5 の処理では、シリアルポート S 0 ~ S 2 の送信データレジスタ D R に、各々、1 5 H が書込まれる。また、ステップ S T 3 5 の処理によって、エンピティビット E M P は、H レベルから L レベル (full レベル) に遷移する。

【 0 1 2 4 】

その後、最初のスレーブアドレスの送信が完了すると、エンピティビット E M P が H レベル (empty レベル) に戻る (S T 3 6)、その後は、2 4 個の輝度データの送信処理に移行する。

【 0 1 2 5 】

具体的には、まず、変数 n をゼロに初期設定する (S T 3 7)。ここで、変数 n は、階調レジスタ G R 0 ~ G R 2 3 を特定し、変数 n = 1 ~ 2 4 が、階調レジスタ G R 0 ~ G R 2 3 に対応している。

【 0 1 2 6 】

そこで、次に、変数 n をインクリメントした後 (S T 3 8)、各チャンネル C H 0 ~ C H 2 の階調レジスタ G R n - 1 に対する輝度データ (P W M 値) を、出力バッファテーブル T B L から読み出して、シリアルポート S 0 ~ S 2 の送信データレジスタ D R に各々書込む (S T 3 9)。なお、ステップ S T 3 6 の判定で、エンピティビット E M P が H レベルに遷移した後、エンピティビット E M P が L レベルに戻って、レジスタ番号の送信動作が繰り返されており、この送信動作が終わると、エンピティビット E M P が H レベルに遷移する。

【 0 1 2 7 】

そこで、次に、エンピティビット E M P が H レベルに遷移するのを待機し (S T 4 0)、H レベルに遷移すれば、変数 n が 2 4 に達しない限り、ステップ S T 3 8 の処理に移行する (S T 4 1)。そのため、このステップ S T 3 8 ~ S T 4 1 の処理によって、階調レジスタ G R 0 ~ G R 2 3 への輝度データが、シリアルポート S 0 ~ S 2 の送信データレジスタ D R に順番に書込まれることになる。

【 0 1 2 8 】

なお、変数 n が 2 4 に達したタイミングは、シリアルポート S 0 ~ S 2 の送信データレジスタ D R に 2 4 バイト目の輝度データが書込まれたに過ぎず、これがドライバ D R i j に取得されるのは、更に、8 個程度のクロック信号 C K が出力された後である。

【 0 1 2 9 】

そこで、クロック信号 C K の 8 個分程度の時間を消費した後 (S T 4 2)、動作許可信号 E N A B L E を禁止レベルに戻すと共に、制御レジスタ R G の送信許可ビット T X E を禁止レベルに戻す (S T 4 3)。その結果、輝度データが更新されたドライバ D R i j が駆動する L E D の点灯状態が更新される。

【 0 1 3 0 】

以上の処理によって各チャンネル 0 ~ 2 の 3 個のドライバ D R i j についての輝度データの設定処理と点灯更新が終わるので、次に、スレーブアドレスを更新して (S T 4 4)

10

20

30

40

50

、次の3個のドライバ DR_{ij} に対する設定処理を繰り返す(ST45)。

【0131】

以上の通り、本実施例では、ステップST32～ST43の処理によって、3個のドライバ DR_{ij} の各24個の階調レジスタに対する設定処理が一括して完了し、これを5回繰り返すことで、全ての処理が完了することができる。

【0132】

そして、3個のドライバに対する設定処理は、ほぼ同時に開始され、ほぼ同時に終了する。そのため、処理総時間は、クロック信号のパルス周期 T と、ドライバ DR_{ij} の総個数 $TOTAL = NUM \times 3$ とに対応して、 $8 \times 26 \times NUM \times T$ 程度であり、 $24 \times NUM \times 3$ 個のLEDについて、極めて迅速に輝度データの設定処理を終えることができる。

10

【0133】

以上本発明の実施例について詳細に説明したが、具体的な記載内容は、特に本発明を限定するものではない。

【0134】

例えば、実施例では、説明の便宜上、3チャンネルのランプ駆動基板36, 29, 30におけるドライバ DR_{ij} やLEDの個数が同一であるとしたが、実際には、適宜に相違するのは当然である。このような場合、必要なドライバ DR_{ij} に対する設定処理(図10のST32～ST45)が終われば、そのチャンネルについては、その後の設定処理(ST32～ST45)がスキップされる。

【0135】

20

同様に、駆動するLEDの個数が24個未満のドライバ DR_{ij} に関しては、図10のステップST41の処理を変更することで、不要な設定処理(ST38～ST41)がスキップされる。

【0136】

また、実施例では、説明の都合上、16mS毎に全てのドライバに対する設定処理を実行したが、これを適宜に分割するのも好適である。図9(c)は、このような動作を例示したものであり、図9(a)のステップST17のLED出力処理に代えて、割込みカウンタの値CNTに応じたLED出力処理(ST24)を実行している。

【0137】

具体的には、 $CT = 10$ の場合には、全てのドライバに初期化データを送信し、 $CT = 11$ の場合には、1段目のドライバ3個に設定データを送信している。以下同様に、割込みカウンタの値CNTに対応するドライバ3個に設定データを送信するので、設定データを増加させても問題が生じない。

30

【0138】

設定データとしては、Duty比(PWM)を規定する輝度データに加えて、フェードインやフェードアウトの動作態様を規定するデータを送信することが考えられる。一方、輝度データに代えて、ON/OFF状態を規定するスイッチデータを送信し、これにフェードインやフェードアウトの動作態様を規定するデータを追加して送信することも考えられる。

【0139】

40

なお、実施例では、3チャンネルCH0～CH2のランプ駆動基板について説明したが、ランプ駆動基板の個数に対応して、使用するシリアルポートの個数を増加すれば良い。

【0140】

また、同じドライバ DR_{ij} を使用してステップモータを駆動するもの好適であり、この場合には、モータ駆動基板を別に設けて、例えば、1mS毎にシリアル駆動データ(スイッチデータ)を送信する態様が考えられる(図9(b)のST21参照)。一方、ランプ駆動基板に、ステップモータを接続しても良いが、この場合には、ステップモータを駆動するドライバ DR_{ij} については、短い周期でシリアル駆動データの送信処理を繰り返すのが好ましい。

【0141】

50

また、図6に示す実施例では、1バイトのシリアルデータが送信される毎に、CPUが、送信データレジスタDRに次の1バイトの平行データを書込む構成を採っているが、何ら限定されない。すなわち、所定単位長(複数バイト)の平行データを一時保存可能なFIFO(First In First Out)バッファを確保し、1バイトのシリアルデータが送信される毎に、次のデータが送信データレジスタDRに自動的に補給される構成を採ることもでき、この場合には、CPUは、FIFOバッファに、例えば1バイト分の空き(空き領域)が生じたタイミングで、次の1バイトデータをFIFOバッファに補充したので足りる。

【0142】

また、上記の各実施例では、専ら、CPUが、制御レジスタを繰り返しreadして、制御レジスタのemptyビットEMPをチェックする構成を採ったが、送信データレジスタDRが空(empty)になったタイミングや、FIFOバッファに空き(空き領域)が生じたタイミングで、CPUに割込みをかける構成を採るのも好適である。この場合、CPUは割込み要求に対応して、送信データレジスタDRに1バイトデータを書込むか、FIFOバッファに所定単位長のデータを書込めば良い。

【0143】

更にまた、実施例のドライバには、処理時間を最小化するため、スレーブアドレス レジスタアドレス 1バイトの駆動データ 1バイトの駆動データ 1バイトの駆動データ . . . 1バイトの駆動データ . . . の手順を採ったが何ら限定されない。すなわち、送信するデータ個数を2バイト追加し、最初に、開始コマンド(スタートコマンド)を送信し、最後に、終了コマンド(ピリオドコマンド)を送信する構成を採っても良い。但し、この場合もスタートビットや、ストップビットは使用せず、各コマンドは、1単位長(1バイト長)である。

【0144】

また、例えば、24個のランプを駆動可能なドライバに対して、駆動対象のランプを個々の的に特定した状態で、各ランプの点灯状態を規定する駆動データを送信しても良い。この場合には、例えば、スタートコマンド 当該ドライバを規定するスレーブアドレス ランプを特定するサブアドレス そのランプに対する駆動データ ランプを特定するサブアドレス そのランプに対する駆動データ ピリオドコマンドの手順でシリアルデータが送信される。この場合、送信されるデータの合計バイト数は、一つのドライバに対して $24 \times 2 + 3$ バイトである。

【0145】

また、図6～図10の実施例では、点灯状態を更新するタイミングが、動作許可信号ENABLE0～ENABLE2によって規定されているが、この点は、何ら限定されない。すなわち、一連のシリアルデータの最後に、終了コマンド(ピリオドコマンド)を送信する構成を採れば、ピリオドコマンド受信したことを認識したドライバDRijの内部処理に基づいて点灯状態を更新することができる。

【0146】

この場合、各ドライバDRijに、例えば、0～127の範囲で循環する内部カウンタを設けておき、ピリオドコマンド受信した後、内部カウンタが所定値(例えば127)に達したタイミングで点灯状態を更新するのが好適である。なお、このような構成を採った場合には、点灯状態が更新された後は(つまり、内部カウンタが所定値に達した後は)、同様のシリアルデータの伝送処理を開始することもでき、この意味でも、動作許可信号ENABLE0～ENABLE2やその他の制御信号が不要となる。

【0147】

また、図6～図10の実施例では、3チャンネルのシリアルポート(S0～S2)に、各5個のドライバDRi0～DRi04が接続されているが(合計15個)、特に限定されず、ドライバDRijの個数を更に増加させても良い。なお、以下の説明では、ドライバとバッファとを明示的に区別するため、便宜上、LEDドライバDRijと称す。

【0148】

10

20

30

40

50

1つのシリアルポート S_i に多数のLEDドライバ DR_{ij} を接続する場合には、シリアルポート S_i やバッファの出力電流の最大容量を考慮して、LEDドライバ DR_{ij} の入力部を、バイポーラ型の電流駆動方式ではなく、ユニポーラ型の電圧駆動方式とするのが好適である。図12(c)と図12(d)には、ユニポーラ型の入力回路が2つ例示されており、このような入力回路を有するLEDドライバ DR_{ij} が好適に使用される。

【0149】

また、必ずしも、複数チャンネルのシリアルポート($S_0 \sim S_2$)を使用する必要はなく、単一のシリアルポートに、多数のLEDドライバ DR_{ij} を接続しても良い。但し、この場合には、LEDドライバの個数分だけシリアルデータ送信処理(図10のST32~ST43参照)を繰り返す必要があるので、クロック信号 CK を限界まで高速化するのが好適である。

10

【0150】

この場合、LEDドライバ DR_{ij} の入力部を、例えば、ユニポーラ型(電圧駆動方式)としても、その入力容量 C_{in} による波形ナマリが避けられず、高速伝送を実行すると誤動作のおそれがある。そこで、単一のシリアルポートに多数のLEDドライバ DR_{ij} を接続する場合には、図11のような回路構成が使用される。

【0151】

図示の通り、図11の実施例では、シリアルポート S_0 に、合計16個のLEDドライバ $DR_{01} \sim DR_{16}$ が接続されており、シリアルデータ送信処理が合計16回繰り返し実行される。ここで、シリアルデータ $SDATA$ ラインやクロック信号 CK ラインに、16個のLEDドライバ DR_{ij} を直接接続すると、全体としての入力容量が $16 \times C_{in}$ となり、これに各ラインの漂遊容量 C_c が加算されるので($16 \times C_{in} + C_c$)、伝送信号の波形ナマリが避けられない。

20

【0152】

そこで、図11の実施例では、シリアルポート S_0 とLEDドライバ DR_{ij} の間に、集合バッファ回路 BUF を配置することで、波形ナマリを解消して高速シリアル伝送を実現している。なお、各集合バッファ回路 BUF_1, BUF_2 は、図12(a)の回路構成であり、各々、8個のバッファが内蔵されている。そして、各バッファの入力端子 $A_1 \sim A_8$ は、 $CMOS$ (Complementary Metal Oxide Semiconductor)構成のインバータ回路 INV に内部接続されている(図12(b)参照)。

30

【0153】

このように、図11の実施例は、バッファの入力回路が $CMOS$ 構成であるため、入力電流が実質的にゼロである反面、入力容量 C_{in} が波形ナマリの原因となり得る。しかし、シリアルポート S_0 から出力される $SDATA$ 信号やクロック信号 CK は、限定された(例えば4個の)インバータ回路 INV に接続されるだけであるので、全体の入力容量が $4 \times C_{in}$ であり、シリアルポート S_0 からインバータ回路 INV までの伝送距離が長くても、波形ナマリが問題にならず、高速伝送時にも誤動作のおそれがない。

【0154】

また、集合バッファ回路 BUF の出力側には、バッファ1個に対して、限定された(例えば4個の)LEDドライバ DR_{ij} しか接続されておらず、しかも、各LEDドライバ DR_{ij} の入力回路は、図12(c)や図12(d)に示すユニポーラ型としている。そのため、LEDドライバ DR_{ij} の入力回路の入力容量を C_{in} とすると、集合バッファ回路 BUF_1, BUF_2 の各バッファ出力に対する合成容量は $4 \times C_{in}$ であり、バッファからLEDドライバ DR_{ij} の伝送距離が長くても、波形ナマリが問題にならず高速伝送時にも誤動作のおそれがない。

40

【0155】

ところで、図11の回路構成では、動作許可信号 $ENABLE_0$ が使用されているが、これを省略して、図13の回路構成とすることもでき、この場合には、配線を簡素化できる利点がある。但し、動作許可信号 $ENABLE_0$ を省略することに対応して、スタートコマンド(開始コマンド)と、ピリオドコマンド(終了コマンド)とが付加される。

50

【 0 1 5 6 】

すなわち、24個のランプの輝度データを更新する場合には、[スタートコマンド]
 [当該LEDドライバを規定するスレーブアドレス] [1番目のランプに対応するレジスタを特定するサブアドレス] [そのレジスタに対する階調データ] [2番目のランプに対応するレジスタを特定するサブアドレス] [そのレジスタに対する階調データ]
 ・ ・ ・ [24番目のランプに対応するレジスタを特定するサブアドレス] [そのランプに対する階調データ] [ピリオドコマンド]の手順で、一つのドライバに対して24×2+3バイトのシリアルデータが送信される。なお、輝度データが更新されるランプ個数がN (< 24) の場合には、N×2+3バイトのシリアルデータが送信される。

【 0 1 5 7 】

図14は、図13の実施例において、輝度データを更新する処理(シリアルデータ送信処理)を示すフローチャートである。特に限定されるものではないが、この送信処理でも、図10の場合と同様に、最初に、全てのLEDドライバについて初期設定処理が実行される(ST50)。具体的には、例えば、各LEDドライバの階調レジスタ(各24個)に書込んだPWM値に対応して、24個のLEDが点灯されるようLEDドライバ毎に初期設定される。

【 0 1 5 8 】

次に、シリアルポートS0の送信データレジスタDRに、1バイト長のスタートコマンド(例えばFFH)を書込む(ST51)。そして、制御レジスタRGのエンピットEMPを判定することで、スタートコマンドのシリアル送信が開始されるのを待つ(ST52)。そして、制御レジスタRGのエンピットEMPがEMP=1となると、当該LEDドライバのスレーブアドレスを、送信データレジスタDRに書込む(ST53)。なお、スレーブアドレスは、そのLEDドライバに付番されたポート番号に他ならない。

【 0 1 5 9 】

次に、エンピットEMPがEMP=1となるのを待ち(ST54)、スレーブアドレス(ポート番号)のシリアル送信が開始されると、変数nをゼロに初期設定する(ST55)。変数nは、階調レジスタGR0~GR23を特定し、変数nの値(1~24)が、階調レジスタGR0~GR23に対応している。

【 0 1 6 0 】

次に、変数nをインクリメントした後(ST56)、サブアドレスをシリアルポートS0の送信データレジスタDRに書込む(ST57)。ここで、サブアドレスとは、階調レジスタGR0~GR23を特定するレジスタ番号であり、簡易的には、変数nに対応した値となる。次に、エンピットEMPがEMP=1となるのを待ち(ST58)、EMP=1となれば、先のサブアドレス(レジスタ番号)で特定される階調レジスタに送信すべき輝度データを送信データレジスタDRに書込む(ST59)。なお、輝度データ(PWM値)は、適宜に構成された出力バッファテーブルTBL(図9参照)から読み出される。

【 0 1 6 1 】

以下、同様であり、輝度データのシリアル送信が開始されると(ST60)、それが24番目の輝度データでない限り(ST61がNo)、次のサブアドレス(レジスタ番号)をシリアルポートS0の送信データレジスタDRに書込み(ST56~ST57)、同様のシリアルデータ送信処理を繰り返す。

【 0 1 6 2 】

一方、24番目の輝度データのシリアル送信が開始された場合には(ST61がYes)、続いて、当該LEDドライバへのシリアル送信が終了したことを示すピリオドコマンドを送信データレジスタDRに書込む(ST62)。そして、ピリオドコマンドのシリアル送信が開始されたら(ST63)、この送信時間を確保した上で(ST64)、スレーブアドレス(ポート番号)を更新して、同様のシリアルデータ送信処理(ST51~ST65)を繰り返す。なお、この実施例では、シリアルデータ送信処理(ST51~ST6

10

20

30

40

50

5) が、LEDドライバの個数に対応して、合計16回繰り返されるが、高速のクロック信号CKを使用することで、送信処理(輝度データの更新処理)を迅速に終わることができる。

【0163】

ちなみに、合計N個のLEDドライバ DR_{ij} を使用し、各LEDドライバ DR_{ij} がM個のLEDを駆動する場合であって、全ての輝度データを更新する場合、全データ数は、 $(M \times 2 + 3) \times N$ であり、 $N = 16$ 、 $M = 24$ の場合には816バイト=6528ビットとかなりの値となる。しかし、例えば、10MHz程度のクロック信号を使用すると、0.653ms程度の処理時間で全処理を終えることができ、他の制御処理の処理時間が不足するという事はない。

10

【0164】

しかも、クロック信号CKを高速化しても、本実施例では、CKラインやSDATAラインに直結される素子の入力部がユニポラ型であって、しかも、このような素子の個数が限定されているので、波形ナマリによる誤動作のおそれがない。なお、ここでは、説明の都合上、各LEDドライバ DR_{ij} が24個のLEDを駆動する場合であって、全ての輝度データを毎回更新するとしたが、一回の更新処理で更新される階調レジスタを $1/X$ に間引くことで、毎回の更新処理時間を、ほぼ $1/X$ に短縮できる。この場合、毎回の更新処理時間は、クロック信号CKの周期に対応して、 $(M \times 2 / X + 3) \times N \times$ となる。

【0165】

20

また、FIFOバッファを設けたシリアルポートを使用する場合には、図14に示すシリアルデータ送信処理を簡素化することもできる。図15(b)に示す通り、FIFOバッファは、CPUコアからアクセス可能に構成され、最初にFIFOバッファに格納されたデータから順番に、1バイト毎に、送信データレジスタDRに自動転送され(First In First Out)、送信シフトレジスタSRを経由して、シリアルデータSDATAとして出力される。

【0166】

この場合の処理は、例えば、図15(a)に示す通りであり、FIFOバッファを使用すること、及び、その使用バイト長をシリアルポートS0の制御レジスタRGに設定した上でステップST50~ST66の処理が実行される。

30

【0167】

具体的には、LEDドライバに初期化データを出力した後(ST50)、一群のデータをFIFOバッファに書込み(ST53)、FIFOバッファに空き領域が生じるのを待つ(ST54)。先に説明した通り、FIFOバッファに書込まれた複数バイト長のデータは、1バイト毎に送信データレジスタDRに自動転送され、送信シフトレジスタSRを経由して、シリアルデータSDATAとして出力される。そして、1バイトのシリアルデータの出力が完了すると、その旨が制御レジスタRGの該当フラグに示されるので、変数nを適宜に更新した上で(ST55~ST56)、次の1バイトデータをFIFOバッファに補充すればよい(ST57)。

【0168】

40

その後の処理も同様であり、FIFOバッファに1バイト長の空き領域が生じる毎に(ST58)、次の1バイトデータをFIFOバッファに補充する処理(ST59)を繰り返す。そして、全てのデータのシリアル送信が終われば、ピリオドコマンドをFIFOバッファに書込めば良い(ST62)。

【0169】

なお、図15の実施例では、FIFOバッファの記憶容量より、送信すべき一群のデータ量 $(M \times 2 + 3)$ が多い場合を例示しているが、 $M \times 2 + 3$ バイトの記憶容量を有するFIFOバッファを確保すれば、ステップST53~ST63の処理をまとめることができ、CPUの処理負担が極限的に軽減される。例えば、 $M = 24$ とすると51バイト長のFIFOバッファが必要となるが、例えば、24個の階調レジスタを4等分して、時間的

50

に区分された4回のLED出力処理によって階調データを更新する構成を採れば、FIFOバッファの記憶容量は15バイト長で足りて極めて合理的である。

【0170】

また、スタートコマンドとピリオドコマンドを使用しない図7の構成であれば、M個の諧調レジスタを更新するのに要するシリアルデータがM+2バイトであるので、M=24の場合でも、諧調レジスタを2分してLED出力処理を2区分するだけで、14バイト長のFIFOバッファの記憶容量で足りることになる。

【0171】

更にまた、1個のドライバでN個の演出モータを駆動する場合には、N個の演出モータに供給する諧調レジスタへのPWM設定値(=駆動データ:LEDの輝度を規定する輝度データに対応)が、全体としてNバイトとなる。

10

【0172】

そのため、スタートコマンドとピリオドコマンドを使用しない図7の構成であれば、N個の演出モータの動作状態を更新するのにN+2バイト長のデータ送信で足り、16バイト長のFIFOバッファを使用すれば、FIFOバッファへの一回の書込み処理で、14個の演出モータへの設定値を書き換えることができる。例えば、1msの割込み間隔で演出モータを歩進させる場合、CPUは、各割込み処理において、FIFOバッファに16バイトの駆動データを一気に書込めば足りるので、CPUの処理負担が極限的に軽減化される。

【0173】

20

以上、もっぱら弾給遊技機を例にして各種の実施例を説明したが、本発明の適用は、弾球遊技機に限定されないのは勿論である。

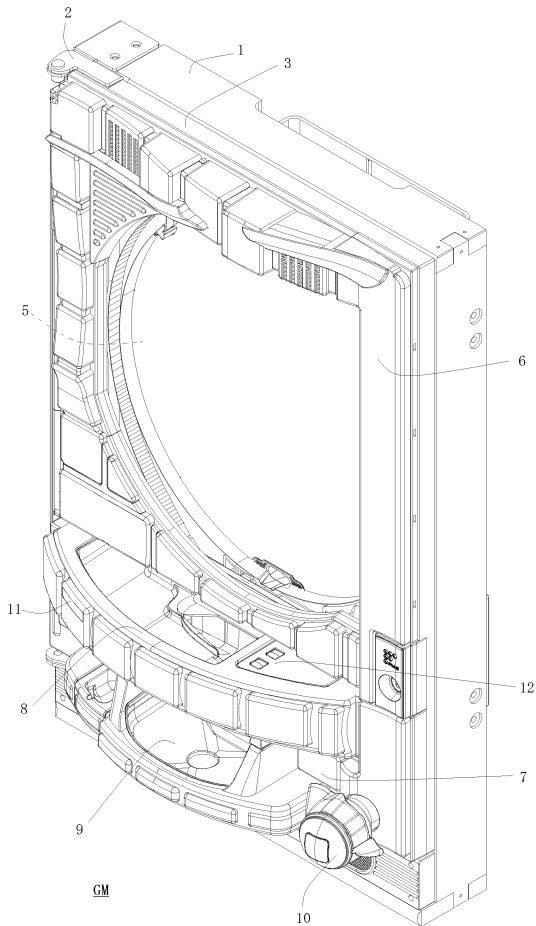
【符号の説明】

【0174】

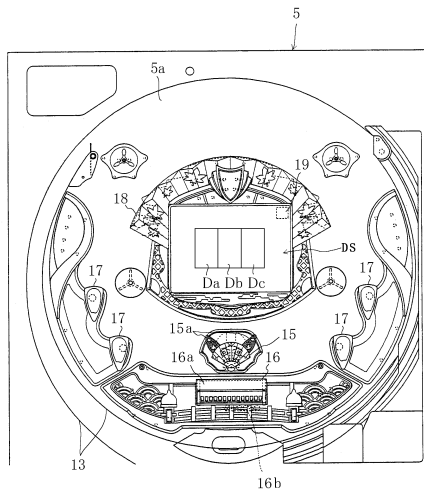
GM	遊技機
22'	演出制御部
DRij	ドライバ
CK	クロック信号
SDATA	シリアル信号
SO	シリアルポート
DR	送信データレジスタ
SR	送信シフトレジスタ
FIFO	送信バッファ

30

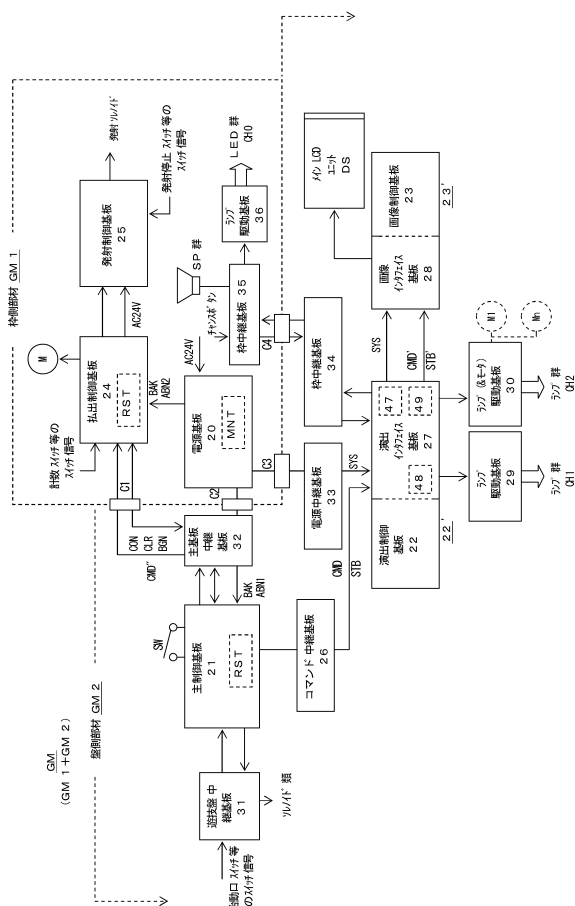
【図1】



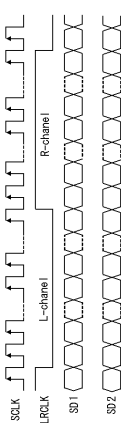
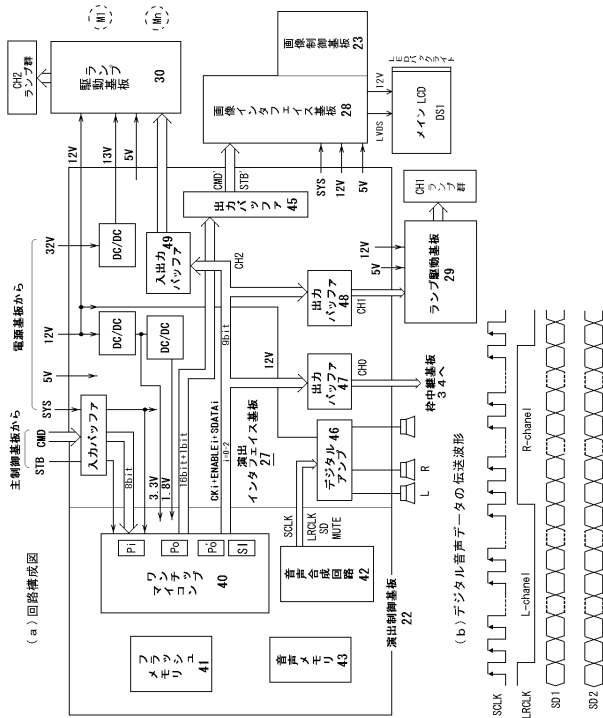
【図2】



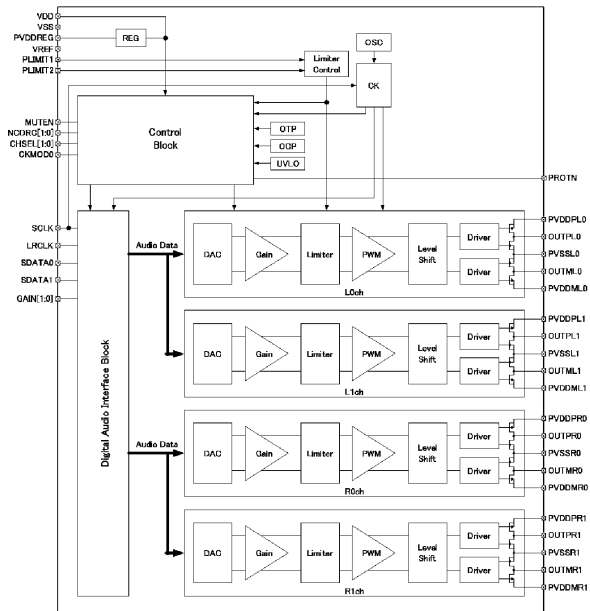
【図3】



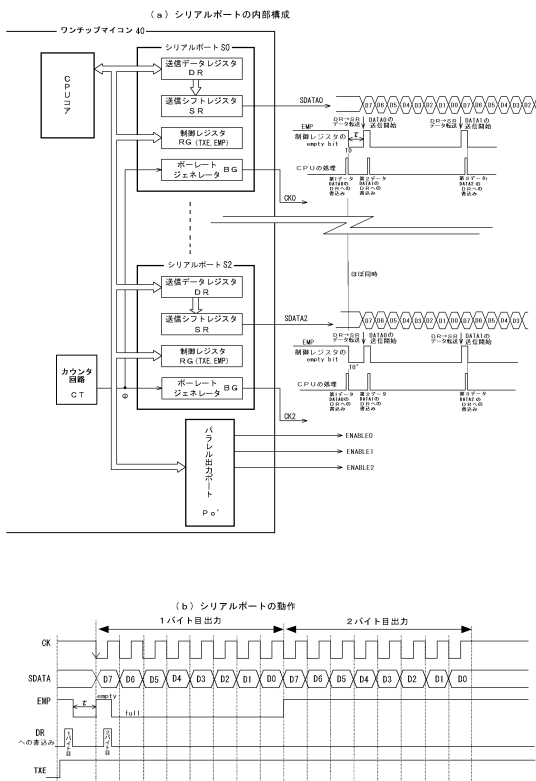
【図4】



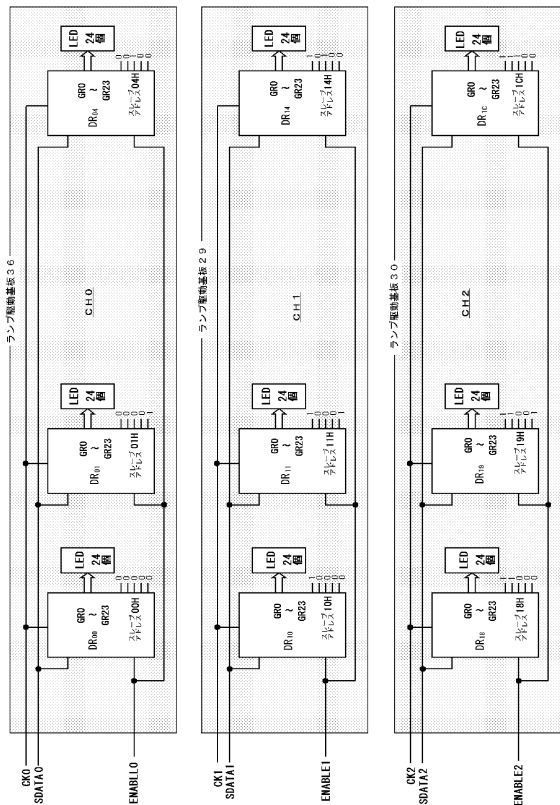
【図5】



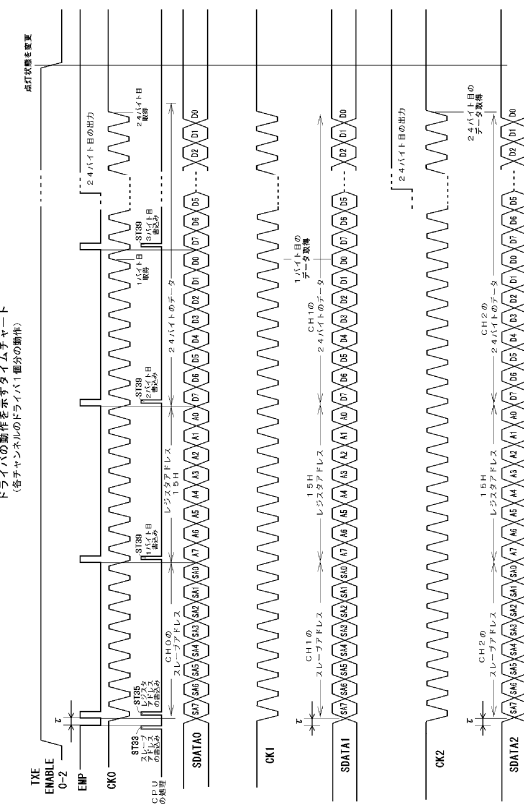
【図6】



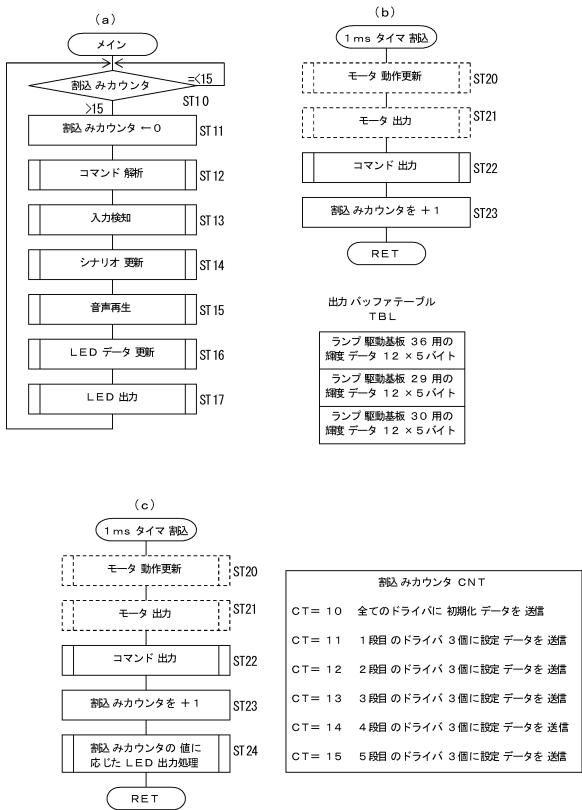
【図7】



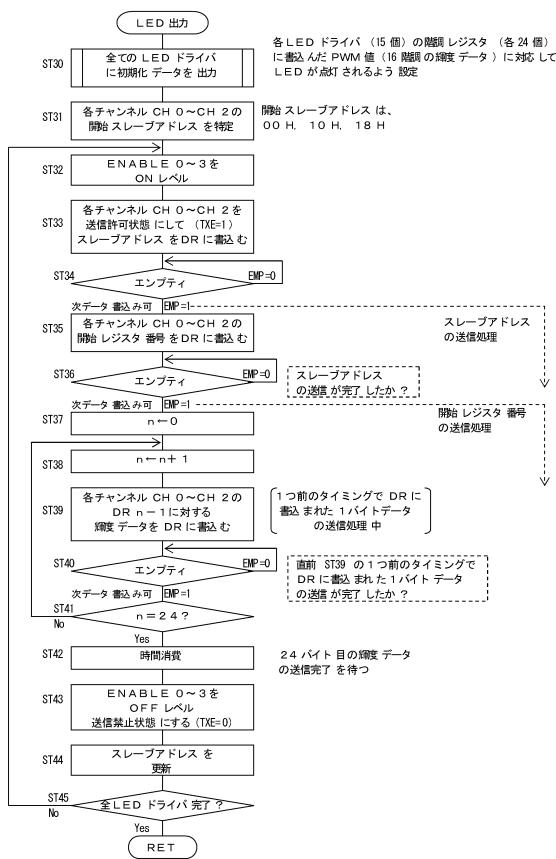
【図8】



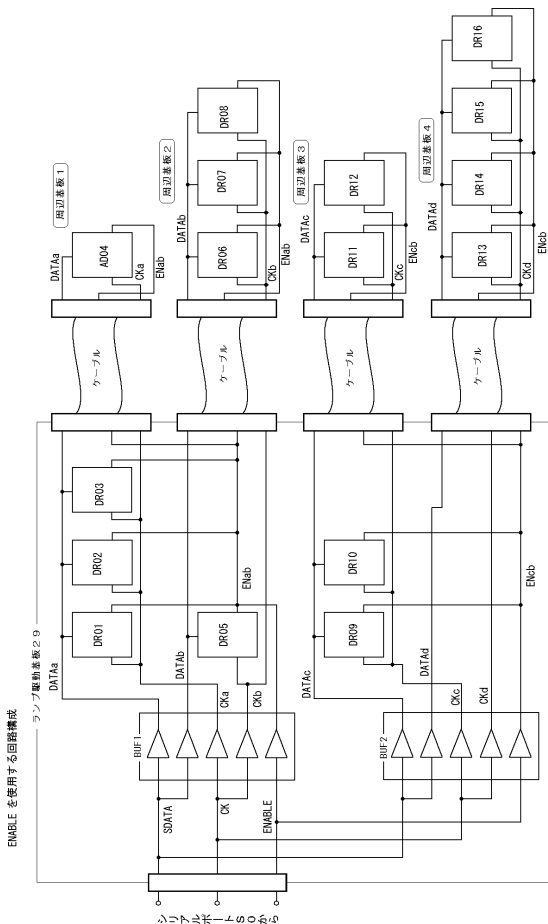
【図 9】



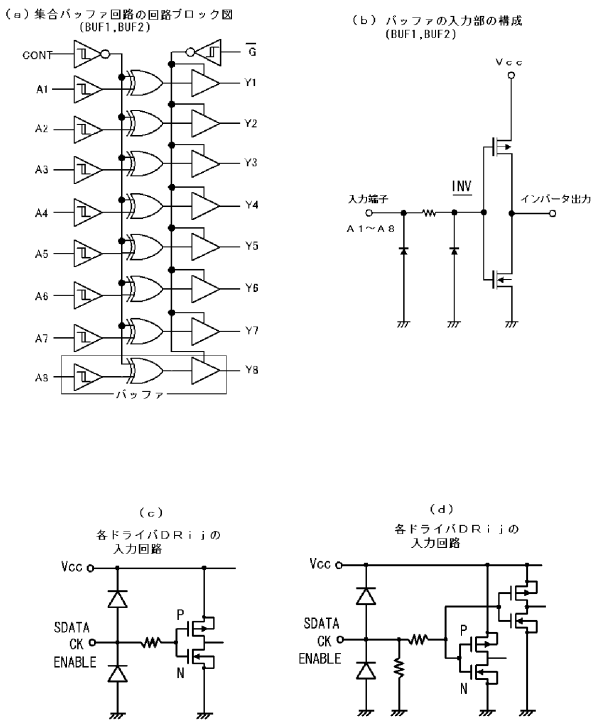
【図 10】



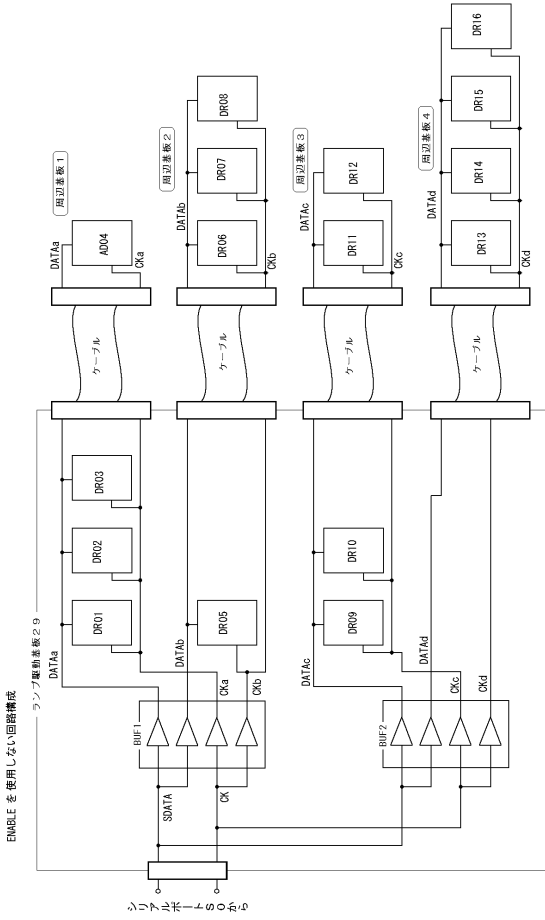
【図 11】



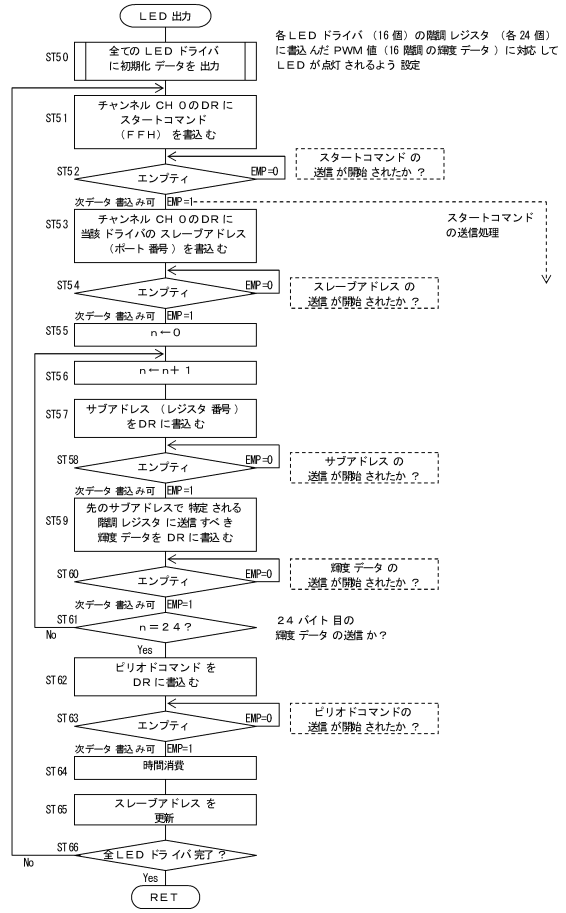
【図 12】



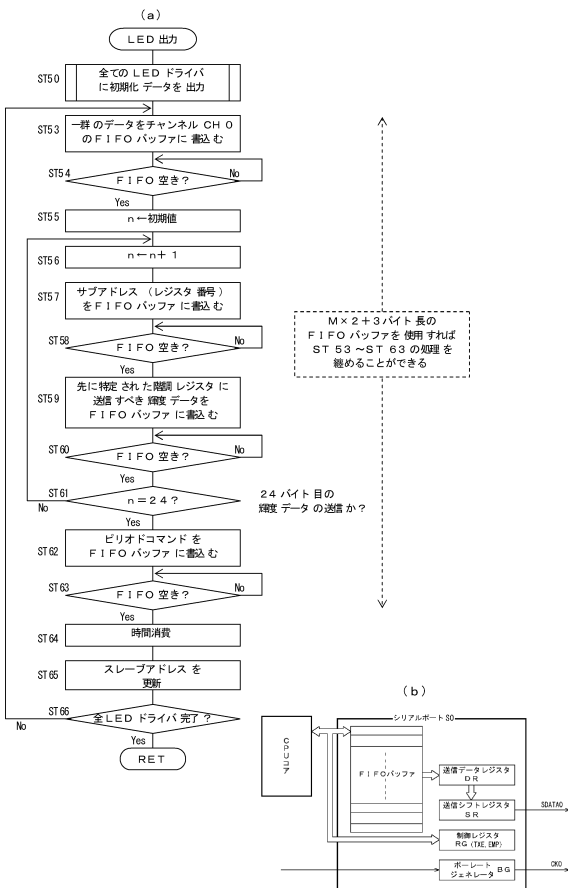
【図 13】



【図 14】



【図 15】



フロントページの続き

- (56)参考文献 特開2010-005055(JP,A)
特開2009-072537(JP,A)
特開2013-000314(JP,A)
特開2007-050148(JP,A)
特開2010-240091(JP,A)

(58)調査した分野(Int.Cl., DB名)

A63F 7/02