

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年5月19日(19.05.2022)



(10) 国際公開番号

WO 2022/102025 A1

- (51) 国際特許分類:
H02J 7/34 (2006.01) *H02J 3/32* (2006.01)
H02J 1/00 (2006.01)
- (21) 国際出願番号: PCT/JP2020/042122
- (22) 国際出願日: 2020年11月11日(11.11.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 河野 良之 (KONO, Yoshiyuki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 藤原 修平 (FUJIWARA, Shuhei); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 田畠 和順 (TAHATA,

Kazuyori); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). ペイジ フレデリック (PAGE, Frederick); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 富永 真志 (TOMINAGA, Shinji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 竹田 正俊 (TAKEDA, Masatoshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

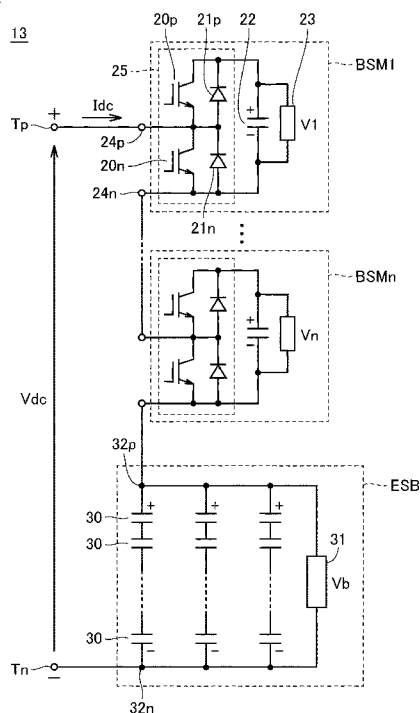
(74) 代理人:特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: POWER STORAGE DEVICE AND POWER SYSTEM STABILIZATION SYSTEM

(54) 発明の名称: 蓄電装置および電力系統安定化システム

図2



(57) Abstract: A power storage device (13) of one embodiment is provided with: a power storage bank (ESB) comprising a plurality of power storage elements (30) connected to one another; and one or more first cells (BSM). The power storage bank (ESB) and the one or more first cells (BSM) are connected in series to one another. Each of the first cells comprises an input/output node pair (24p, 24n), a bridge circuit (25) comprising at least two semiconductor switching elements (21p, 21n), and a power storage element (22) connected to the input/output node pair (24p, 24n) via the bridge circuit (25). The power storage capacity of the power storage element (22) of each of the first cells (BSM) is smaller than the power storage capacity of the power storage bank (ESB).

(57) 要約: 一実施形態の蓄電装置(13)は、互いに接続された複数の蓄電素子(30)を含む蓄電バンク(ESB)と、1つまたは複数の第1セル(BSM)とを備える。蓄電バンク(ESB)および1つまたは複数の第1セル(BSM)は、互いに直列に接続される。各第1セル(BSM)は、入出力ノード対(24p, 24n)と、少なくとも2つの半導体スイッチング素子(21p, 21n)を含むブリッジ回路(25)と、ブリッジ回路(25)を介して入出力ノード対(24p, 24n)に接続される蓄電素子(22)とを含む。各第1セル(BSM)の蓄電素子(22)の蓄電容量は、蓄電バンク(ESB)の蓄電容量よりも小さい。

WO 2022/102025 A1

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：蓄電装置および電力系統安定化システム

技術分野

[0001] 本開示は、蓄電装置および電力系統安定化システムに関する。

背景技術

[0002] スーパーキャパシタと称する大容量キャパシタを備えた周波数安定化装置（FS：Frequency Stabilizer）が知られている。スーパーキャパシタは、電気二重層EDLC（Electrical Double Layer Capacitor）またはUltra Capacitorとも称される。この種の周波数安定化装置では、直流側に設けられた大容量キャパシタの放電エネルギーが、自励式変換器によって交流電力に変換されることにより交流電力系統に放出される。逆に、電力系統の交流電力が、自励式変換器によって直流電力に変換されることにより充電エネルギーとして大容量キャパシタに吸収される。

[0003] また、BESS（Battery Energy Storage System）と呼ばれるバッテリー連系設備も、上記のスーパーキャパシタを備えた設備と同様の機能を実現できる。すなわち、直流側の蓄電池の放電エネルギーが自励式変換器を介して交流電力系統に放出され、逆に交流電力系統の交流電力が自励式変換器を介して充電エネルギーとして蓄電池に吸収される。

[0004] このように、直流側のエネルギー蓄積要素を、自励式変換器を介して交流電力系統に連系することにより、蓄積された直流エネルギーを、電力系統の周波数安定化および負荷平準化のために活用でき、さらに予備力（バックアップ）として活用できる。

[0005] 特許文献1（特開2001-197660号公報）は、複数のキャパシタからなるキャパシタ蓄電装置を含む系統安定化システムの一例を開示する。この文献のキャパシタ蓄電装置では、複数のスイッチの切り替えにより、複数のキャパシタを直列に接続したり、複数のキャパシタの一部を並列に接続したりすることができる。

[0006] また、特許文献2（特開2020-43653号公報）は、蓄電池によって構成された蓄電装置の一例を開示する。この文献の蓄電装置は、直列に接続された複数の蓄電ユニットを備える。各蓄電ユニットは、充放電端子間に蓄電器と直列に接続された充電スイッチと、充放電端子間をバイパスするバイパススイッチとを備える。

[0007] 以下、本開示の一部に関連する先行技術文献を紹介する。

特許文献3（特許第5189105号公報）および非特許文献1（E. Spahic et al., CIGRE Winnipeg 2017 Colloquium, B4-56, Sep. 2017）は、自励式の交直変換器の一例であるMMC（Modular Multilevel Converter）の構成例を開示する。前者は各変換器セルがハーフブリッジ構成の場合あり、後者は各変換器セルがフルブリッジ構成の場合である。

[0008] 特許文献4（国際公開第2016/152366号）および非特許文献2（石橋他、電気学会論文誌D（産業応用部門誌）、Vol.138(1)、p.58-66、2018年）は、自励式のDC/DC変換器の構成例を開示する。

[0009] 特許文献5（特開2008-178215号公報）は、二次電池などによって構成される充放電手段に代えて、可変抵抗器によって構成される電力消費手段を備えた周波数調整システムを開示する。

先行技術文献

特許文献

[0010] 特許文献1：特開2001-197660号公報

特許文献2：特開2020-43653号公報

特許文献3：特許第5189105号公報

特許文献4：国際公開第2016/152366号

特許文献5：特開2008-178215号公報

非特許文献

[0011] 非特許文献1：E. Spahic et al., "Frequency Stability in Case of Interconnectors (AC and DC) and the Impact of Frequency Stabilizer", CIGRE Winnipeg 2017 Colloquium, B4-56, Sep. 2017

非特許文献2：石橋他、「大規模洋上風力発電の直流送配電システム向け高圧大容量DC/DC変換器の回路方式と制御法」、電気学会論文誌D（産業応用部門誌）、Vol.138(1)、p.58-66、2018年

発明の概要

発明が解決しようとする課題

- [0012] 電力系統安定化システムに用いられるエネルギー蓄積要素は、その蓄電量（SOC：State of Charge）に応じて、入出力する直流電圧が変動するという問題がある。したがって、入出力電圧の変動を小さく抑えようとする、エネルギー蓄積要素のSOCの変動幅が制限されてしまう。
- [0013] 上記の特許文献1（特開2001-197660号公報）および特許文献2（特開2020-43653号公報）では、スイッチを切り替えることによって電圧変動幅を小さくできるが、スイッチ数が多くなるという欠点がある。
- [0014] 本開示は、上記の問題点を考慮してなされたものであり、ある局面における目的は、SOC変動範囲を広くとって、入出力電圧および電流の変動を抑制することが可能な蓄電装置を提供することである。

課題を解決するための手段

- [0015] 一実施形態の蓄電装置は、互いに接続された複数の蓄電素子を含む蓄電バンクと、1つまたは複数の第1セルとを備える。蓄電バンクおよび1つまたは複数の第1セルは、互いに直列に接続される。1つの第1セルまたは複数の第1セルの各々は、入出力ノード対と、少なくとも2つの半導体スイッチング素子を含むブリッジ回路と、ブリッジ回路を介して入出力ノード対に接続される蓄電素子とを含む。1つの第1セルの蓄電素子の蓄電容量または複数の第1セルの各々の蓄電素子の蓄電容量は、蓄電バンクの蓄電容量よりも小さい。

発明の効果

- [0016] 上記の実施形態の蓄電装置によれば、蓄電バンクと直列に接続された1つ

または複数の第1セルを設けることによって、蓄電装置のSOC変動範囲を広くとっても、入出力電圧および電流の変動を抑制できる。

図面の簡単な説明

- [0017] [図1]電力系統安定化システムの概略構成を示すブロック図である。
- [図2]図1の蓄電装置の概略構成を示す回路図である。
- [図3]図1の交直変換器のハードウェアの概略構成の一例を示す図である。
- [図4]図3に示す自励式の交直変換器を構成する変換器セル43の構成例を示す回路図である。
- [図5]蓄電装置の初期充電について説明するための図である。
- [図6]図1の制御装置のハードウェア構成例を示すブロック図である。
- [図7]キャパシタによって構成される蓄電装置の電荷量と直流電圧との関係を示す図である。
- [図8]蓄電池の特性曲線を概念的に示す図である。
- [図9]実施の形態1の蓄電装置の充電手順を示すフローチャートである。
- [図10]実施の形態1の蓄電装置の放電手順を示すフローチャートである。
- [図11]実施の形態2の蓄電装置において、電荷量と直流電圧との関係を示す図である。
- [図12]実施の形態3の蓄電装置において、電荷量と直流電圧との関係を示す図である。
- [図13]実施の形態3の蓄電装置の充電手順を示すフローチャートである。
- [図14]実施の形態3の蓄電装置の放電手順を示すフローチャートである。
- [図15]実施の形態4の蓄電装置の概略構成を示す回路図である。
- [図16]実施の形態4の蓄電装置の第1の動作例を説明するための図である。
- [図17]実施の形態4の蓄電装置の第2の動作例を説明するための図である。
- [図18]実施の形態4の蓄電装置の第3の動作例を説明するための図である。
- [図19]電力系統安定化システムを構成する交直変換器、ブースターセル、および蓄電バンクの具体的配置を説明するための回路図である。
- [図20]図19の回路図に対応する実装例を示す側面図および平面図である。

発明を実施するための形態

[0018] 以下、各実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰り返さない。

[0019] 実施の形態 1.

[電力系統安定化システムの概略構成]

図 1 は、電力系統安定化システムの概略構成を示すブロック図である。図 1 (A) は、交流電力系統 10 A に接続される電力系統安定化システム 8 A の構成例を示し、図 1 (B) は、直流電力系統 10 B に接続される電力系統安定化システム 8 B の構成例を示す。

[0020] 図 1 (A) を参照して、電力系統安定化システム 8 A は、変圧器 11 と、交直変換器 12 A と、蓄電装置 13 と、制御装置 14 とを備える。

[0021] 交直変換器 12 A は、交流電力系統 10 A と蓄電装置 13 との間に接続され、交流を直流に変換する順変換、および直流を交流に変換する逆変換を行う。より具体的には、交直変換器 12 A は、交流電力系統 10 A の交流電力を直流電力に変換し、充電エネルギーとして蓄電装置 13 に吸収させる。逆に、交直変換器 12 A は、蓄電装置 13 の放電エネルギーを交流電力に変換し、交流電力系統 10 A に放出する。

[0022] 交直変換器 12 A は、2 レベル／3 レベルさらに多レベル方式、MMC 方式、変圧器多重方式、リアクトル並列方式、およびそれらの組み合わせのいずれであってもよい。MMC 方式の交直変換器 12 A のより詳細な構成例は、図 3 および図 4 を参照して後述する。なお、本開示では、交直変換器 12 A を電力変換器 12 A とも記載する。

[0023] 変圧器 11 は、交流電力系統 10 A と交直変換器 12 A との間に接続される。変圧器 11 に代えて連系リアクトルを用いてもよい。

[0024] 蓄電装置 13 は、直流エネルギーの充電および放電を行う。蓄電装置 13 に蓄積されたエネルギーは、電力系統の周波数安定化および負荷平準化のために活用され、さらに、予備力（バックアップ）として活用される。蓄電装

置 1 3 のより詳細な構成は、図 2 を参照して後述する。

[0025] 制御装置 1 4 は、電流および電圧の検出値に基づいて、交直変換器 1 2 A および蓄電装置 1 3 の動作を制御する。制御装置 1 4 のハードウェア構成例は図 6 を参照して後述する。制御装置 1 4 は、蓄電装置 1 3 または交直変換器 1 2 A のいずれかに含まれているとしてもよい。

[0026] 次に図 1 (B) を参照して、電力系統安定化システム 8 B は、DC/DC 変換器 1 2 B と、蓄電装置 1 3 と、制御装置 1 4 とを備える。

[0027] DC/DC 変換器 1 2 B は、直流電力系統 1 0 B と蓄電装置 1 3 との間に接続され、直流電圧のレベル変換を行う。より具体的には、DC/DC 変換器 1 2 B は、直流電力系統 1 0 B の直流電圧の電圧レベルを変換し、レベル変換後の直流電圧を蓄電装置 1 3 に供給することによって蓄電装置 1 3 を充電する。逆に、DC/DC 変換器 1 2 B は、蓄電装置 1 3 から放電された直流電圧の電圧レベルを変換し、レベル変換後の直流電圧を直流電力系統 1 0 B に出力する。

[0028] DC/DC 変換器 1 2 B として、特許文献 4 (国際公開第 2 0 1 6 / 1 5 2 3 6 6 号) および非特許文献 2 (石橋他、電気学会論文誌 D (産業応用部門誌)、Vol.138(1)、p.58-66、2018年) に開示されるような、絶縁型の DC-AC-DC 変換器が一般的に用いられる。DC/DC 変換器 1 2 B は、これに代えて、非絶縁型のチョッパ方式の変換器であってもよいし、上記の組み合わせであってもよい。なお、本開示では、DC/DC 変換器 1 2 B を電力変換器 1 2 B とも記載する。

[0029] 図 1 (B) の蓄電装置 1 3 および制御装置 1 4 は、図 1 (A) の蓄電装置 1 3 および 1 4 と実質的に同じであるので、説明を繰り返さない。

[0030] [蓄電装置の構成例]

図 2 は、図 1 の蓄電装置の概略構成を示す回路図である。図 2 を参照して、蓄電装置 1 3 は、互いに直列に接続された蓄電バンク E S B と、1 つ以上 (n 個) のサブモジュール B S M 1 ~ B S M n とを含む。本開示では、サブモジュール B S M 1 ~ B S M n を、ブースターセル B S M 1 ~ B S M n また

は第1セルBSM1～BSMnとも称する。

[0031] 蓄電バンクESBと1つ以上のブースターセルBSM1～BSMnとは、蓄電装置13の正極端子Tpと負極端子Tnとの間に直列に接続される。蓄電バンクESBと複数のブースターセルBSM1～BSMnとの並び順はどのような順番であってもよい。以下、ブースターセルBSM1～BSMnについて総称する場合またはいずれか1つを示す場合、ブースターセルBSMと記載する。

[0032] 蓄電バンクESBは、正極ノード32pと負極ノード32nとの間に直列および並列に接続された複数の蓄電素子30を含む。蓄電素子30は、スーパーキャパシタであっても蓄電池であってもよく、電荷を蓄積可能な素子であれば特に限定されない。蓄電バンクESBは、さらに、正極ノード32pと負極ノード32nとの間の直流電圧Vbを検出する電圧検出器31を含む。蓄電バンクESBは、スイッチによって個々の蓄電素子30の接続を切り替えられるように構成されていない。

[0033] 各ブースターセルBSMは、図2の例では、ハーフブリッジ構成と呼ばれる回路構成を有する。具体的に、ブースターセルBSMは、2つのスイッチング素子20pおよび20nを直列接続して形成した直列体と、ダイオード21p、21nと、蓄電素子22と、電圧検出器23と、入出力ノード24p、24nとを備える。スイッチング素子20pおよび20nの直列体と蓄電素子22とは並列接続される。ダイオード21p、21nは、スイッチング素子20p、20nとそれぞれ逆並列に接続される。電圧検出器23は、蓄電素子22の両端間の電圧V(V1～Vn)を検出する。

[0034] 蓄電素子22は、スーパーキャパシタであっても蓄電池であってもよく、電荷を蓄積可能な素子であれば特に限定されない。各ブースターセルBSMの蓄電素子22の蓄電容量は、蓄電バンクESBの蓄電容量よりも小さい。ここで、蓄電容量とは、定格電圧まで充電するのに必要な電荷量（すなわち、電流×時間）をいう。

[0035] スwitching素子20p、20nとして、たとえば、IGBT (Insulated

Gate Bipolar Transistor)、GCT (Gate Commutated Turn-off) サイリスタなどの自己消弧型の半導体スイッチング素子が用いられる。以下、スイッチング素子 $20p$ 、 $20n$ を総称する場合またはいずれか1つを示す場合に、スイッチング素子 20 と記載する。

[0036] 各ブースターセルBSMのスイッチング素子 $20n$ の両端子は、入出力ノード $24p$ 、 $24n$ とそれぞれ接続される。スイッチング素子 $20p$ 、 $20n$ のスイッチング動作により、蓄電素子 22 が入出力ノード $24p$ 、 $24n$ 間に挿入された挿入状態と、入出力ノード $24p$ 、 $24n$ 間が短絡されたバイパス状態とを切り替えることができる。すなわち、スイッチング素子 $20p$ がオン、かつスイッチング素子 $20n$ がオフのとき、入出力ノード $24p$ 、 $24n$ 間に蓄電素子 22 が接続される。スイッチング素子 $20p$ がオフ、かつスイッチング素子 $20n$ がオンのとき、入出力ノード $24p$ 、 $24n$ 間はスイッチング素子 $20n$ を介して結合されたバイパス状態になる。バイパス状態では、蓄電素子 22 の正極端子は、入出力ノード $24p$ から切り離される。

[0037] 図2に示すように、各ブースターセルBSMは、入出力ノード $24p$ または $24n$ を介して、隣接するブースターセルBSMまたは隣接する蓄電バンクESBまたは正極端子 Tp または負極端子 Tn と接続される。蓄電バンクESBは、正極ノード $32p$ または負極ノード $32n$ を介して、隣接するブースターセルBSMまたは正極端子 Tp または負極端子 Tn と接続される。

[0038] なお、各ブースターセルBSMの構成は、図4(A)に示すようなフルブリッジ構成であってもよい。したがって、各ブースターセルBSMは、少なくとも2つのスイッチング素子 20 によって構成されたブリッジ回路 25 と、蓄電素子 22 と、電圧検出器 23 と、入出力ノード $24p$ 、 $24n$ とを含む。蓄電素子 22 は、ブリッジ回路 25 を介して入出力ノード $24p$ 、 $24n$ に接続される。

[0039] [交直変換器の構成例]

図3は、図1の交直変換器のハードウェアの概略構成の一例を示す図であ

る。図3では、図1の交直変換器12Aがモジュラーマルチレベル変換器によって構成される例が示されている。

[0040] 図3を参照して、交直変換器12Aは、互いに直列接続された複数の変換器セル43を含む。なお、「変換器セル」は、「サブモジュール」または「単位変換器」とも呼ばれる。交直変換器12Aは、直流回路（直流配線52A、52B）と交流電力系統10Aとの間で電力変換を行なう。

[0041] 交直変換器12Aは、正極直流端子（すなわち、高電位側直流端子） N_p と、負極直流端子（すなわち、低電位側直流端子） N_n との間に互いに並列に接続された複数のレグ回路40u、40v、40w（総称する場合または任意のものを示す場合、レグ回路40と記載する）を含む。

[0042] レグ回路40は、交流を構成する複数相の各々に設けられる。レグ回路40は、交流電力系統10Aと直流配線52A、52Bとの間に接続され、交流系統と直流系統との間で電力変換を行なう。図3には、U相、V相、W相にそれぞれ対応して3個のレグ回路40u、40v、40wが設けられている。

[0043] レグ回路40u、40v、40wにそれぞれ設けられた交流入力端子 N_u 、 N_v 、 N_w は、変圧器11を介して交流電力系統10Aに接続される。図3では、図解を容易にするために、交流入力端子 N_v 、 N_w と変圧器11との接続は図示していない。

[0044] 各レグ回路40に共通に接続された高電位側直流端子 N_p および低電位側直流端子 N_n は、直流配線52Aおよび直流配線52Bにそれぞれ接続される。

[0045] 図3の交流入力端子 N_u 、 N_v 、 N_w に代えてレグ回路40u、40v、40wにそれぞれ一次巻線を設け、この一次巻線と磁気結合する二次巻線を介してレグ回路40u、40v、40wが変圧器11または連系リアクトルに交流的に接続するようにしてもよい。この場合、一次巻線を下記のリアクトル44、45としてもよい。

[0046] レグ回路40uは、高電位側直流端子 N_p から交流入力端子 N_u までの上

アーム41と、低電位側直流端子Nnから交流入力端子Nuまでの下アーム42とを含む。上アーム41および下アーム42の接続点である交流入力端子Nuは、変圧器11と接続される。レグ回路40v、40wについても同様の構成を有するので、以下、レグ回路40uの構成について代表的に説明する。

[0047] 上アーム41は、カスケード接続された複数の変換器セル43と、リアクトル44とを含む。複数の変換器セル43およびリアクトル44は、直列に接続されている。同様に、下アーム42は、カスケード接続された複数の変換器セル43と、リアクトル45とを含む。複数の変換器セル43およびリアクトル45は、直列に接続されている。リアクトル44、45を設けることにより、交流電力系統10Aまたは直流配線52A、52B等の事故時における事故電流の急激な増大を抑制することができる。

[0048] 交直変換器12Aは、さらに、制御に使用される電気量（電流、電圧など）を計測する各検出器として、電圧変成器49と、電流変成器48と、直流電圧検出器50A、50Bと、各レグ回路40に設けられた電流変成器46、47と、直流電流検出器51とを含む。これらの検出器によって検出された信号は、制御装置14に入力される。

[0049] なお、図3では図解を容易にするために、各検出器から制御装置14に入力される信号の信号線と、制御装置14および各変換器セル43間で入出力される信号の信号線とは、一部まとめて記載されているが、実際には検出器ごとおよび変換器セル43ごとに設けられている。各変換器セル43と制御装置14との間の信号線は、送信用と受信用とが別個に設けられていてもよい。信号線は、たとえば光ファイバによって構成される。

[0050] 電圧変成器49は、交流電力系統10AのU相の交流電圧Vacu、V相の交流電圧Vacv、および、W相の交流電圧Vacwを検出する。電流変成器48は、交流電力系統10AのU相の交流電流Iacu、V相の交流電流Iacv、および、W相の交流電流Iacwを検出する。

[0051] 直流電圧検出器50Aは、直流配線52Aに接続された高電位側直流端子

N p の直流電圧 $V_{dc p}$ を検出する。直流電圧検出器 5 0 B は、直流配線 5 2 B に接続された低電位側直流端子 N n の直流電圧 $V_{dc n}$ を検出する。直流電圧 $V_{dc p}$ と直流電圧 $V_{dc n}$ との差を直流電圧 V_{dc} とする。直流電流検出器 5 1 は、高電位側直流端子 N p または低電位側直流端子 N n を流れる直流電流 I_{dc} を検出する。

[0052] U相用のレグ回路 4 0 u に設けられた電流変成器 4 6 および 4 7 は、上アーム 4 1 に流れる上アーム電流 I_{pu} 、および、下アーム 4 2 に流れる下アーム電流 I_{nu} をそれぞれ検出する。V相用のレグ回路 4 0 v に設けられた電流変成器 4 6 および 4 7 は、上アーム電流 I_{pv} および下アーム電流 I_{nv} をそれぞれ検出する。W相用のレグ回路 4 0 w に設けられた電流変成器 4 6 および 4 7 は、上アーム電流 I_{pw} および下アーム電流 I_{nw} をそれぞれ検出する。

[0053] [変換器セルの構成例]

図 4 は、図 3 に示す自励式の交直変換器を構成する変換器セル 4 3 の構成例を示す回路図である。

[0054] 図 4 (A) に示す変換器セル 4 3 は、フルブリッジ構成と呼ばれる回路構成を有する。この変換器セル 4 3 は、2つのスイッチング素子 5 5 p 1 および 5 5 n 1 を直列接続して形成された第 1 の直列体と、2つスイッチング素子 5 5 p 2 および 5 5 n 2 を直列接続して形成された第 2 の直列体と、蓄電素子 5 6 と、電圧検出器 5 7 と、入出力ノード 5 8 p, 5 8 n とを備える。第 1 の直列体と、第 2 の直列体と、蓄電素子 5 6 とが並列接続される。電圧検出器 5 7 は、蓄電素子 5 6 の両端間の電圧 V_c を検出する。

[0055] スwitching素子 5 5 p 1 およびスイッチング素子 5 5 n 1 の中点は、入出力ノード 5 8 p と接続される。同様に、スイッチング素子 5 5 p 2 およびスイッチング素子 5 5 n 2 の中点は、入出力ノード 5 8 n と接続される。変換器セル 4 3 は、スイッチング素子 5 5 p 1, 5 5 n 1, 5 5 p 2, 5 5 n 2 のスイッチング動作により、蓄電素子 5 6 の電圧 V_c 、 $-V_c$ 、または零電圧を、入出力ノード 5 8 p および 5 8 n の間に出力する。

- [0056] 図4 (B) に示す変換器セル43は、ハーフブリッジ構成と呼ばれる回路構成を有する。この変換器セル43は、2つのスイッチング素子55pおよび55nを直列接続して形成した直列体と、蓄電素子56と、電圧検出器57と、入出力ノード58p, 58nとを備える。スイッチング素子55pおよび55nの直列体と蓄電素子56とは並列接続される。電圧検出器57は、蓄電素子56の両端間の電圧 V_c を検出する。
- [0057] スwitching素子55nの両端子は、入出力ノード58p, 58nとそれぞれ接続される。変換器セル43は、スイッチング素子55p, 55nのスイッチング動作により、蓄電素子56の電圧 V_c または零電圧を、入出力ノード58pおよび58nの間に出力する。スイッチング素子55pがオン、かつスイッチング素子55nがオフとなったときに、変換器セル43からは、蓄電素子56の電圧 V_c が出力される。スイッチング素子55pがオフ、かつスイッチング素子55nがオンとなったときに、変換器セル43は、零電圧を出力する。
- [0058] 図4 (A) および図4 (B) において、スイッチング素子55p, 55n, 55p1, 55n1, 55p2, 55n2は、たとえば、IGBT、GCTサイリスタなどの自己消弧型の半導体スイッチング素子にFWD (Freewheeling Diode) が逆並列に接続されて構成される。
- [0059] 図4 (A) および図4 (B) において、蓄電素子56には、フィルムコンデンサなどのキャパシタが主に用いられる。蓄電素子56は、以降の説明では、キャパシタと呼称することもある。以下では、蓄電素子56の電圧 V_c をキャパシタ電圧 V_c とも称する。
- [0060] 図3に示されるように、変換器セル43はカスケード接続されている。図4 (A) および図4 (B) の各々において、上アーム41に配置された変換器セル43では、入出力ノード58pは、隣の変換器セル43の入出力ノード58nまたは高電位側直流端子 N_p と接続され、入出力ノード58nは、隣の変換器セル43の入出力ノード58pまたは交流入力端子 N_u と接続される。同様に、下アーム42に配置された変換器セル43では、入出力ノード

ド58pは、隣の変換器セル43の入出力ノード58nまたは交流入力端子Nuと接続され、入出力ノード58nは、隣の変換器セル43の入出力ノード58pまたは低電位側直流端子Nnと接続される。

[0061] 上記で例示した構成以外の変換器セル、たとえば、クランプトダブルセルと呼ばれる回路構成などを適用した変換器セルを用いてもよく、スイッチング素子および蓄電素子も上記の例示に限定されるものではない。

[0062] [初期充電装置]

交直変換器12Aは、直流電圧を0Vと定格電圧との間で調整可能なもの（以下、タイプ1と称する）と、定格電圧近辺の限られた電圧範囲で調整可能なもの（以下、タイプ2と称する）とがある。たとえば、図4（A）に示すフルブリッジ構成の変換器セル43によって構成されたMMCは、タイプ1の交直変換器12Aである。図4（B）に示すハーフブリッジ構成の変換器セル43によって構成されたMMCは、タイプ2の交直変換器12Aである。タイプ2のMMCの場合、直流電圧の範囲は0.8~1PU程度である。ここで、PUは単位法を表す。

[0063] 蓄電装置13の起動時（すなわち、蓄電装置13のSOCが0%の場合）において、タイプ1の交直変換器12Aは、蓄電装置13に供給する直流電圧を、定電流充電で0Vから定格電圧まで徐々に変化させることができる。

[0064] 一方、タイプ2の交直変換器12Aの場合、蓄電装置13の起動時にいきなり下限電圧（たとえば、0.8PU）を蓄電装置13に供給すると、蓄電装置13に大きな電流が流れるので望ましくない。そこで、別途、初期充電装置を準備する必要がある。

[0065] 図5は、蓄電装置の初期充電について説明するための図である。図5（A）は、初期充電装置60をさらに含む電力系統安定化システム8Aの構成を示し、図5（B）および（C）は、初期充電装置60の構成例を示す。

[0066] 図5（A）を参照して、初期充電装置60は、タイプ2の交直変換器12Aと蓄電装置13との間を接続する直流配線52A、52Bに、スイッチ61を介して接続される。制御装置14は、初期充電装置60およびスイッチ

61の動作を制御する。制御装置14は、蓄電装置13の充電開始時にスイッチ61をオン状態にすることにより、初期充電装置60を用いて交直変換器12Aが調整可能な下限電圧まで蓄電装置13を充電する。制御装置14は、蓄電装置13が下限電圧まで充電された後、スイッチ61をオフ状態にし、交直変換器12Aを蓄電装置13に接続して起動する。これにより、蓄電装置13は交直変換器12Aによってさらに充電される。

[0067] 図5(B)を参照して、初期充電装置60は、サイリスタ整流器を用いて構成することができる。サイリスタ整流器は、初期充電装置60の入出力端子64p, 64n間に接続されたU相用のサイリスタ65pu, 65nuと、V相用のサイリスタ65pv, 65nvと、W相用のサイリスタ65pw, 65nwとを含む。直列接続されたサイリスタ65pu, 65nuの接続ノード62u、直列接続されたサイリスタ65pv, 65nvの接続ノード62v、および直列接続されたサイリスタ65pw, 65nwの接続ノード62wには、変圧器67を介して所内電源68から交流電圧が供給される。サイリスタ65pu, 65pv, 65pwの共通のカソード側ノード63pは、リアクトル66を介して正側の入出力ノード64pに接続される。サイリスタ65nu, 65nv, 65nwの共通のカソード側ノード63pは、負側の入出力ノード64nに接続される。

[0068] 図5(C)を参照して、初期充電装置60は、ダイオード整流器を用いて構成することができる。ダイオード整流器は、初期充電装置60の入出力端子64p, 64n間に接続されたU相用のダイオード70pu, 70nuと、V相用のダイオード70pv, 70nvと、W相用のダイオード70pw, 70nwとを含む。直列接続されたダイオード70pu, 70nuの接続ノード62u、直列接続されたダイオード70pv, 70nvの接続ノード62v、および直列接続されたダイオード70pw, 70nwの接続ノード62wには、変圧器67を介して所内電源68から交流電圧が供給される。ダイオード70pu, 70pv, 70pwの共通のカソード側ノード63pは、インラッシュ電流抑制用の抵抗素子71と、リアクトル66とを介して

正側の入出力ノード64pに接続される。ダイオード70nu, 70nv, 70nwの共通のカソード側ノード63pは、負側の入出力ノード64nに接続される。

[0069] 抵抗素子71にはバイパススイッチ72が設けられる。制御装置14は、充電の初期に、バイパススイッチ72をオフ状態に制御することによりインラッシュ電流を抑制する。その後、制御装置14は、バイパススイッチ72をオン状態に制御する。

[0070] その他の構成として、ハーフブリッジ構成の変換器セル43によって構成されたMMCのFWDをサイリスタに置き換えることによって、初期充電装置60の代わりとすることができる。制御装置14は、初期充電時のみサイリスタを点弧制御し、充電完了後にサイリスタを全導通に制御する。

[0071] [制御装置の構成例]

図6は、図1の制御装置のハードウェア構成例を示すブロック図である。図6には、コンピュータによって制御装置14を構成する例が示される。

[0072] 図6を参照して、制御装置14は、1つ以上の入力変換器80と、1つ以上のサンプルホールド(S/H)回路81と、マルチプレクサ(MUX)82と、A/D(Analog to Digital)変換器83とを含む。さらに、制御装置14は、1つ以上のCPU(Central Processing Unit)84と、RAM(Random Access Memory)85と、ROM(Read Only Memory)86とを含む。さらに、制御装置14は、1つ以上の入出力インターフェイス87と、補助記憶装置88とを含む。制御装置14は、さらに、上記の構成要素間を相互に接続するバス89を含む。

[0073] 入力変換器80は、入力チャンネルごとに補助変成器(図示せず)を有する。各補助変成器は、図3の各電流変成器および電圧変成器などによる検出信号を、後続する信号処理に適した電圧レベルの信号に変換する。

[0074] サンプルホールド回路81は、入力変換器80ごとに設けられる。サンプルホールド回路81は、対応の入力変換器80から受けた電気量を表す信号を規定のサンプリング周波数でサンプリングして保持する。

- [0075] マルチプレクサ82は、複数のサンプルホールド回路81に保持された信号を順次選択する。A/D変換器83は、マルチプレクサ82によって選択された信号をデジタル値に変換する。なお、複数のA/D変換器83を設けることによって、複数の入力チャンネルの検出信号に対して並列的にA/D変換を実行するようにしてもよい。
- [0076] 入出力インターフェイス87は、CPU84と外部装置との間で通信する際のインターフェイス回路である。たとえば、図2の電圧検出器23および電圧検出器31ならびに図4の電圧検出器57の各検出値が、入出力インターフェイス87を介してCPU84に取り込まれる。
- [0077] CPU84は、制御装置全体を制御し、プログラムに従って演算処理を実行する。たとえば、CPU84は、図3の各電流変成器および電圧変成器などによる検出信号に基づいて、交直変換器12Aの動作を制御する。さらに、CPU84は、図2の電圧検出器23および電圧検出器31ならびに図4の電圧検出器57の各検出値に基づいて、蓄電装置13の動作、すなわち、スイッチング素子20p、20nの開閉動作を制御する。
- [0078] 揮発性メモリとしてのRAM85および不揮発性メモリとしてのROM86は、CPU84の主記憶として用いられる。ROM86は、プログラムおよび信号処理用の設定値などを収納する。補助記憶装置88は、ROM86に比べて大容量の不揮発性メモリであり、プログラムおよび電気量検出値のデータなどを格納する。プログラムは、非一時的な記憶媒体として提供されてもよいし、ネットワークを介して提供されてもよい。
- [0079] なお、図6の例とは異なり、制御装置14の少なくとも一部をFPGA (Field Programmable Gate Array) および、ASIC (Application Specific Integrated Circuit) 等の回路を用いて構成することも可能である。すなわち、図3に記載された各機能ブロックの機能は、図6に例示されたコンピュータをベースに構成することもできるし、その少なくとも一部をFPGAおよびASICなどの回路を用いて構成することができる。また、各機能ブロックの機能の少なくとも一部は、アナログ回路によって構成すること

も可能である。

[0080] [蓄電装置の制御手順]

次に蓄電装置13の制御手順について説明する。以下では、蓄電装置13がキャパシタ（電気二重層を含む）によって構成される場合について説明する。

[0081] 図7は、キャパシタによって構成される蓄電装置の電荷量と直流電圧との関係を示す図である。電荷量は充電電流と時間との積に等しい。図7(A)は、個々のブースターセルBSMの直流電圧 V_1 、 V_2 の特性および蓄電バンクESBの直流電圧 V_b の特性を示す。ブースターセルBSMの個数 n を2とする。ブースターセルBSM1の蓄電容量は、ブースターセルBSM2の蓄電容量よりも小さいとする。図7(B)は、蓄電装置13全体での電荷量と直流電圧 V_{dc} との関係を示す。

[0082] 図7(A)を参照して、直流電圧 V と電荷量 Q とは、静電容量 C を用いて $V = Q / C$ の関係があるので、基本的に原点を通る直線の関係を示す。したがって、タイプ1の交直変換器12Aの場合、またはタイプ2の交直変換器12Aで初期充電装置60を併用した場合には、一定電流で蓄電バンクESBおよびブースターセルBSMを充電できるので、一定速度で蓄電バンクESBの直流電圧 V_d およびブースターセルBSMの直流電圧 V_1 、 V_2 の直流電圧が上昇する。

[0083] 図7(A)において、変換器の動作範囲（電圧 d_2 から電圧 d_1 まで）は、蓄電バンクESBから充放電される充電電流および放電電流が一定の範囲に収まるように決定される。したがって、蓄電バンクESBのみでのエネルギー利用範囲は、電荷量 q_2 から電荷量 q_1 までの範囲になる。電荷量 q_1 は、SOC=100%に対応する。

[0084] 一方、タイプ2の交直変換器12Aを用いて初期充電装置60を併用しない場合、蓄電装置13内の抑制抵抗などによって決まる時定数に応じて直流電圧が上昇する。したがって、以下の説明は、タイプ2の交直変換器12Aの下限電圧まで充電できた後の場合に妥当する。

- [0085] なお、蓄電装置13が蓄電池によって構成されている場合、電荷量と直流電圧との関係は原点を通る直線にはならない。この場合には、蓄電池の特性曲線を定格電圧付近で線形化すれば、タイプ1のキャパシタの場合と同様に扱うことができる。
- [0086] 図8は、蓄電池の特性曲線を概念的に示す図である。図8に示すように、蓄電池の電荷量と直流電圧との関係を示す特性曲線は、原点を通らない曲線になる。したがって、蓄電池の定格電圧 V_r の付近で線形化した近似直線を用いることによって、以下の説明を当てはめることができる。
- [0087] 以下、図7(B)および図9のフローチャートを参照して、蓄電装置13の充電手順について説明する。
- [0088] 図9は、実施の形態1の蓄電装置の充電手順を示すフローチャートである。初期状態において、蓄電バンクESBの充電量は0（すなわち、SOC=0%）であり、各ブースターセルBSMの充電量も0であるとする。
- [0089] 図9のステップS10において、制御装置14（具体的には、CPU84）は、ブースターセルBSM1、BSM2の各々のスイッチング素子20pをオンにし、スイッチング素子20nをオフにすることにより、交直変換器12AによってブースターセルBSM1、BSM2および蓄電バンクESBの充電を開始させる。
- [0090] 蓄電バンクESBと各ブースターセルBSMとに同じ電流を流すことによってこれらを充電すると、蓄電容量の小さいブースターセルBSMのほうが蓄電バンクESBよりも先に定格電圧に達する。ブースターセルBSMが複数個ある場合には、蓄電容量の小さい順に順次定格電圧に達する。したがって、制御装置14は、蓄電容量が最も小さい蓄電バンクESB1の直流電圧 V_1 が定格電圧に達したら（ステップS20でYES）、ブースターセルBSM1をバイパス状態にする（ステップS30）。すなわち、制御装置14は、ブースターセルBSM1のスイッチング素子20pをオフにし、スイッチング素子20nをオンにする。なお、ブースターセルBSM1の電圧 V_1 が定格電圧に達する前に、蓄電装置13の電圧 V_{dc} （ $=V_1 + V_2 + V_b$

)が交直変換器12Aの上限電圧 d_1 に達した場合にも(ステップS20でYES)、制御装置14は、ブースターセルBSM1をバイパス状態にする(ステップS30)。

[0091] その後、ブースターセルBSM2と蓄電バンクESBの充電が継続する。制御装置14は、次に蓄電容量が小さい蓄電バンクESB2の直流電圧 V_2 定格電圧に達したら(ステップS40でYES)、ブースターセルBSM2をバイパス状態にする(ステップS50)。もしくは、ブースターセルBSM2の直流電圧 V_2 が定格電圧に達する前に、蓄電装置13の電圧 V_{dc} (= $V_2 + V_b$)交直変換器12Aの上限電圧 d_1 に達した場合にも(ステップS40でYES)、制御装置14は、ブースターセルBSM2をバイパス状態にする(ステップS50)。

[0092] その後、蓄電バンクESBの充電が継続する。制御装置14は、蓄電バンクESBの直流電圧 V_b が定格電圧(すなわち、交直変換器12Aの上限電圧)に達したら(ステップS60でYES)、蓄電バンクESBの充電を停止する(ステップS70)。

[0093] 次に、図7(B)および図10のフローチャートを参照して蓄電装置13の放電手順について説明する。

[0094] 図10は、実施の形態1の蓄電装置の放電手順を示すフローチャートである。初期状態において、蓄電バンクESBの充電量(SOC)は100%であり、各ブースターセルBSMの充電量も100%であるとする。

[0095] 図10のステップS110において、制御装置14(具体的には、CPU84)は、ブースターセルBSM1, BSM2をいずれもバイパス状態にして、交直変換器12Aを逆変換装置として動作させることにより蓄電バンクESBの放電を開始する。

[0096] 制御装置14は、蓄電バンクESBの直流電圧 V_b が交直変換器12Aの下限電圧 d_2 まで低下したら(ステップS120でYES)、ブースターセルBSM2を挿入状態にする(ステップS130)。すなわち、制御装置14は、ブースターセルBSM2のスイッチング素子 20_n をオフにし、スイ

ッチング素子 20 p をオンにする。

[0097] その後、蓄電バンク E S B とブースターセル B S M 2 の放電が継続する。制御装置 1 4 は、ブースターセル B S M 2 の直流電圧 V_2 が使用可能な最低電圧に達するか、または蓄電装置 1 3 の電圧 $V_{dc} (= V_2 + V_b)$ が交直変換器 1 2 A の下限電圧 d_2 まで低下したら（ステップ S 1 4 0 で Y E S）、ブースターセル B S M 1 を挿入状態にする（ステップ S 1 5 0）。

[0098] なお、蓄電素子 2 2 の種類により、使用可能な最低電圧は異なる。たとえば、蓄電素子 2 2 が蓄電池の場合には、最低電圧は 0.7 P U 程度であり、蓄電素子 2 2 がスーパーキャパシタの場合には、最低電圧は 0.3 P U 程度である。

[0099] その後、蓄電バンク E S B とブースターセル B S M 1, B S M 2 の放電が継続する。制御装置 1 4 は、ブースターセル B S M 1 の直流電圧 V_1 が使用可能な最低電圧に達するか、または蓄電装置 1 3 の電圧 $V_{dc} (= V_1 + V_2 + V_b)$ が交直変換器 1 2 A の下限電圧 d_2 まで低下したら（ステップ S 1 6 0 で Y E S）、蓄電装置 1 3 の放電を完了する（ステップ S 1 7 0）。

[0100] なお、タイプ 1 の交直変換器 1 2 A の場合には、蓄電装置 1 3 の直流電圧 V_{dc} が 0 V になるまで、さらに蓄電装置 1 3 の放電を継続することができる。タイプ 2 の交直変換器 1 2 A の場合には、蓄電装置 1 3 の直流電圧 V_{dc} が交直変換器 1 2 A の調整可能な下限電圧まで、さらに蓄電装置 1 3 の放電を継続することができる。

[0101] 図 7 (A) と図 7 (B) とを比較すると、実施の形態 1 の蓄電装置 1 3 では、蓄電バンク E S B 単独の場合に比べて、直流電圧の変動範囲を抑制した上で、蓄電装置 1 3 のエネルギー利用範囲を拡大することができる。具体的に図 7 の場合には、電荷量 $q_1 - q_2$ から電荷量 $q_1 - q_4$ までエネルギー利用範囲が拡大されている。

[0102] [電力系統安定化システム 8 A の使用例]

以下、交流電力系統 1 0 A 用の電力系統安定化システム 8 A の使用方法について補足する。

[0103] 本実施形態の電力系統安定化システム 8 A が接続された対象電力系統が他地域より電力融通を受けている場合、電力融通が遮断されると周波数低下の恐れがある。この場合、電力系統安定化システム 8 A は、周波数安定化のために蓄電バンク E S B および各ブースターセル B S M をともに満充電状態で待機させる（以下、第 1 の待機モードと称する）。電力系統安定化システム 8 A は、電力融通が遮断されることにより周波数が低下した場合に、蓄電装置 1 3 の放電動作を行う。

[0104] 逆に本実施形態の対象電力系統から他地域に電力供給を行っている場合、電力供給の遮断後に対象電力系統の周波数が上昇の恐れがある。この場合、電力系統安定化システム 8 A は、周波数安定化のために蓄電バンク E S B および各ブースターセル B S M とともに最低充電状態で待機させる（以下、第 2 の待機モードと称する）。電力系統安定化システム 8 A は、電力供給が遮断されたことにより周波数が上昇した場合に、蓄電装置 1 3 の充電動作を行う。

[0105] また、対象電力系統が他地域より電力融通を受けると共に、他地域へ電力供給を行っており、周波数低下および周波数上昇の両方の可能性がある場合には、電力系統安定化システム 8 A は、周波数安定化のために蓄電バンク E S B および各ブースターセル B S M をいずれも中間の充電状態で待機させる。

[0106] [実施の形態 1 の効果]

以下では、まず従来技術の問題点を説明し、次に実施の形態 1 の蓄電装置 1 3 ではそれらの問題点が克服されていることを説明する。

[0107] 蓄電装置 1 3 の蓄電バンク E S B は、その直流電圧 V_b が蓄電バンク E S B のエネルギー蓄積量（すなわち、SOC）に応じて変動する点に問題がある。このため、蓄電バンク E S B を交直変換器 1 2 A に直結した場合には、蓄電バンク E S B の SOC が低下した状態（すなわち、直流電圧 V_b が低下した状態）でも、交直変換器 1 2 A を動作可能にする必要がある。そこで、交直変換器 1 2 A をフルブリッジ構成の MMC にしたり、DC/DC 変換器

を追加したりする必要があり、電力系統安定化システムのコストが増大する。

[0108] また、蓄電バンク E S B の直流電圧 V_b が低下した場合には、より大きな直流電流を流さないと蓄電バンク E S B に入力される電力または蓄電バンク E S B から出力される電力が低下する。このため、交直変換器 1 2 A を構成する半導体スイッチング素子およびキャパシタの定格電流および定格電圧を増加させる必要があり、コストアップになるとともに、交直変換器 1 2 A の設置スペースも増大する。

[0109] たとえば、蓄電バンク E S B の直流電圧 V_b が充放電によって 0.5 ~ 1 P U の間で変化する場合、入出力電力を 1 P U で維持する場合には、電流を 1 ~ 2 P U で変化させる必要がある。蓄電バンク E S B の直流電圧 V_b の変動範囲を 0.8 ~ 1 P U に抑えれば、電流の変化量は 1 ~ 1.25 P U に抑えられる。ただし、蓄電バンク E S B のエネルギー利用率が低下するため、蓄電バンク E S B を構成する蓄電素子 3 0 の個数およびサイズを増大させる必要がある。

[0110] また、蓄電装置 1 3 を電力系統の周波数安定化のために使用する場合には、事故発生から 1 0 秒程度経過後にガバナ制御などの発電機の周波数安定化制御が応答する前に、蓄電装置 1 3 から電力系統へのエネルギーの放出または電力系統から蓄電装置 1 3 へのエネルギーの吸収が必要である。この場合、蓄電装置 1 3 は、事故発生直後に最大量のエネルギー放出または吸収を行い、その後、エネルギー放出量または吸収量を徐々に 0 付近まで低下させることにより、ショックレスで発電機の周波数安定化制御に引継ぐのが望ましい。蓄電装置 1 3 を満充電状態で待機させている場合には、上記のエネルギー放出量の変化は自然に実現できているが、逆に蓄電装置 1 3 を最低充電状態または中間充電状態で待機させている場合には、電流定格の改善が必要となる。

[0111] 本実施の形態の蓄電装置 1 3 では、蓄電バンク E S B と直列にブースターセル B S M が設けられる。これにより、蓄電装置 1 3 全体の電圧 V_{dc} の変

動幅を抑えた上で、蓄電バンクESBのエネルギー利用率を広げることができる。さらに、事故発生直後にも十分な充電電流および放電電流を確保することができる。また、蓄電装置13の電圧Vdcの変動幅を抑えることによって、交直変換器12Aとして安価なハーフブリッジ構成のMMCを利用することができる。

[0112] 実施の形態2.

実施の形態2では、ブースターセルBSMの蓄電素子22について、その蓄電容量および静電容量を適切に選択することにより、蓄電装置13のエネルギー利用範囲をさらに広げる方法について説明する。

[0113] 図11は、実施の形態2の蓄電装置において、電荷量と直流電圧との関係を示す図である。図11(A)は、個々のブースターセルBSMの直流電圧V1, V2の特性および蓄電バンクESBの直流電圧Vbの特性を示す。ブースターセルBSMの個数nを2とする。図11(B)は、蓄電装置13全体での電荷量と直流電圧Vdcとの関係を示す。

[0114] 実施の形態2では、ブースターセルBSM1の蓄電容量を、ブースターセルBSM2の蓄電容量よりも小さく設定する。さらに、各ブースターセルBSMが満充電になったときの各ブースターセルBSMの電圧値を、変換器の動作範囲(d1-d2)に等しく設定する。また、タイプ1の交直変換器12Aを用い、蓄電バンクESBに使用最低電圧が定められている場合には、蓄電バンクESBの満充電時の電圧と使用最低電圧との差に、各ブースターセルBSMの満充電時の電圧値を等しくする。

[0115] なお、本開示において、電圧値が等しいとは実質的に等しいことを意味しており、完全に一致している必要はない。たとえば、実際の電圧値が理想的な目標値の±5%の範囲内であれば、蓄電装置13のエネルギー利用範囲を十分に広げることができる。また、実際の電圧値が理想的な目標値の±10%の範囲内であっても、蓄電装置13のエネルギー利用範囲をある程度広げることができる。

[0116] 各ブースターセルBSMの蓄電素子22がキャパシタの場合、その静電容

量を調整することにより、上記の電圧設定は可能である。図11(A)に示すように、静電容量を異ならせることにより、ブースターセルBSM1とブースターセルBSM2とで、特性直線の傾きが異なる。また、図11(B)に示すように、各ブースターセルBSMをバイパス状態にするか、または挿入状態にしたときの電圧変化量は全て等しくなる。これにより、蓄電装置13のエネルギー利用範囲($q_1 - q_6$)をさらに広げることができる。

[0117] ブースターセルBSMの個数 n が3個以上の場合も同様である。具体的に、 n 個のブースターセルBSMの蓄電容量を互いに異ならせることによって、充電時には蓄電容量の小さいものから順にバイパス状態になるように制御する。さらに、各ブースターセルBSMの満充電時の電圧を、蓄電装置13の使用時の蓄電バンクESBの最低電圧と最大電圧との差に等しくする。これによって、蓄電装置13のエネルギー利用範囲をさらに広げることができる。

[0118] 実施の形態3.

実施の形態3では、ブースターセルBSMのスイッチング素子 $20p$, $20n$ をチョッパ動作させる場合について説明する。スイッチング損失は増えるが、蓄電装置13の直電圧 V_{dc} をほぼ一定に保つことができる。また、交直変換器12AがMMCによって構成されている場合には各アーム内にリアクトルを含むので、チョッパ動作による電流急変の可能性は少ない。以下、ブースターセルBSMのスイッチング素子 $20p$, $20n$ がチョッパ動作している状態をチョッパ状態と称する。

[0119] 図12は、実施の形態3の蓄電装置において、電荷量と直流電圧との関係を示す図である。図12に示す電圧・電荷特性は、図7(B)に対応するものである。

[0120] 図12では、さらにブースターセルBSM1のオン比率およびブースターセルBSM2のオン比率を示す。本開示では、スイッチング素子 $20p$ がオンかつスイッチング素子 $20n$ がオフに制御されている時間をオン時間と称し、スイッチング素子 $20p$ がオフかつスイッチング素子 $20n$ がオンに制

御されている時間をオフ時間と称する。この場合、オン比率とは、オン時間＋オフ時間に対するオン時間の割合である。なお、チョッパ制御は、パルス幅制御でもよいし、パルス周波数制御でもよいし、その他のパルス制御でもよい。

[0121] 図12を参照して、電荷量が0から q_3 までの蓄電装置13の制御方法は、図7(B)の場合と同じである。すなわち、制御装置14は、ブースターセルBSM1、BSM2の両方とも挿入状態に制御する。

[0122] 電荷量 q_3 から q_2 までの範囲では、制御装置14は、ブースターセルBSM2を挿入状態にし、ブースターセルBSM1をチョッパ状態に制御する。これにより、蓄電装置13の電圧 V_{dc} を交直変換器12Aの上限電圧 d_1 に等しくする。蓄電装置13に蓄積される電荷量が増加するにつれてブースターセルBSM1のオン比率は減少する。

[0123] 電荷量 q_2 から q_1 の範囲では、制御装置14は、ブースターセルBSM1をバイパス状態にし、ブースターセルBSM2をチョッパ状態に制御する。これにより、蓄電装置13の電圧 V_{dc} を交直変換器12Aの上限電圧 d_1 に等しくする。蓄電装置13に蓄積される電荷量が増加するにつれてブースターセルBSM2のオン比率は減少する。蓄電装置13に蓄積された電荷量が q_1 になった時点で蓄電装置13の充電は完了する。この時点では、ブースターセルBSM1、BSM2は共にバイパス状態である。

[0124] 以下、図12および図13のフローチャートを参照して、実施の形態3の蓄電装置13の充電手順について説明する。

[0125] 図13は、実施の形態3の蓄電装置の充電手順を示すフローチャートである。初期状態において、蓄電バンクESBの充電量は0（すなわち、SOC＝0%）であり、各ブースターセルBSMの充電量も0であるとする。

[0126] 図13のステップS210において、制御装置14（具体的には、CPU84）は、ブースターセルBSM1、BSM2の各々のスイッチング素子20pをオンにし、スイッチング素子20nをオフにすることにより、交直変換器12AによってブースターセルBSM1、BSM2および蓄電バンクE

S Bの充電を開始させる。

[0127] 制御装置14は、蓄電装置13の電圧 V_{dc} ($=V_1 + V_2 + V_b$)が上限電圧 d_1 に達したら（ステップS220でYES）、最も蓄電容量の小さいブースターセルBSM1をチョッパ制御に切り替えることによって、蓄電装置13の電圧 V_{dc} を上限電圧 d_1 に保つ（ステップS230）。この状態では、ブースターセルBSM2は挿入状態のままである。

[0128] その後、制御装置14は、ブースターセルBSMの直流電圧 V_2 と蓄電バンクESBの直流電圧 V_b との和が交直変換器12Aの上限電圧 d_1 に達したら（ステップS240でYES）、ブースターセルBSM1をバイパス状態にするとともに、次に蓄電容量が小さいブースターセルBSM2をチョッパ制御に切り替える（ステップS250）。これによって、制御装置14は、蓄電装置13の電圧 V_{dc} を上限電圧 d_1 に保つ。

[0129] その後、制御装置14は、蓄電バンクESBの直流電圧 V_b が交直変換器12Aの上限電圧 d_1 に達したら（ステップS260でYES）、ブースターセルBSM2をバイパス状態に切り替えるとともに、蓄電バンクESBの充電を停止する（ステップS270）。

[0130] 以上のとおり、蓄電装置13を充電するとき、制御装置14は、各ブースターセルBSMを、挿入状態からチョッパ状態を経由してバイパス状態に移行させる。

[0131] 次に、図12および図14のフローチャートを参照して蓄電装置13の放電手順について説明する。

[0132] 図14は、実施の形態3の蓄電装置の放電手順を示すフローチャートである。初期状態において、蓄電バンクESBの充電量(SOC)は100%であり、各ブースターセルBSMの充電量も100%であるとする。

[0133] 図14のステップS310において、制御装置14（具体的には、CPU84）は、蓄電バンクESBの放電を開始する。制御装置14は、さらに、ブースターセルBSM1をバイパス状態にし、ブースターセルBSM2をチョッパ制御することにより、蓄電装置13の電圧 V_{dc} を交直変換器12A

の上限電圧 d_1 に保つ。

[0134] 制御装置 14 は、ブースターセル BSM2 の直流電圧 V_2 が使用可能な最低電圧に達したら（ステップ S320 で YES）、ブースターセル BSM2 のチョッパ動作を終了して挿入状態に切り替える（ステップ S330）。さらに、制御装置 14 は、ブースターセル BSM1 をチョッパ制御することにより、蓄電装置 13 の電圧 V_{dc} を交直変換器 12A の上限電圧 d_1 に保つ（ステップ S340）。

[0135] その後、制御装置 14 は、ブースターセル BSM1 の直流電圧 V_1 が使用可能な最低電圧に達したら（ステップ S350 で YES）、ブースターセル BSM1 のチョッパ動作を終了して挿入状態に切り替える（ステップ S360）。

[0136] その後、制御装置 14 は、蓄電装置 13 の電圧 V_{dc} ($=V_1 + V_2 + V_b$) が交直変換器 12A の下限電圧 d_2 まで低下したら（ステップ S370 で YES）、蓄電装置 13 の放電を完了する（ステップ S380）。

[0137] 以上のように、蓄電装置 13 を放電するとき、制御装置 14 は、各ブースターセル BSM を、バイパス状態からチョッパ状態を経由して挿入状態に移行させる。これにより、蓄電装置 13 の電圧 V_{dc} を一定範囲内に保つことができる。

[0138] 実施の形態 4.

電力系統安定化システム 8A が接続されている対象電力系統が周波数上昇の恐れがあり、蓄電装置 13 を最低充電状態で待機する場合について説明する。この場合、蓄電素子 22 を含むサブモジュール BSM に代えて、抵抗素子とそれに並列接続された半導体バイパススイッチとを含むサブモジュール ASM を用いることができる。抵抗素子を含むサブモジュール ASM を複数個直列に蓄電バンク ESB に接続してもよい。本開示では、抵抗素子を含むサブモジュール ASM を、アブソーバセル ASM または第 2 セル ASM とも称する。

[0139] 対象電力系統の周波数が上昇した場合には、電力系統安定化システム 8A

は、アブソーバセルASMの抵抗素子を挿入状態にして、アブソーバセルASMに余剰エネルギーを放熱させることにより、より多くのエネルギーを吸収できる。この場合、蓄電バンクESBの上限電圧よりも、抵抗素子において発生した電圧分だけ直流電圧Vdcが増加する点に注意する必要がある。交直変換器12Aは、この抵抗素子による電圧増加分を含む上限電圧に対して動作可能でなければならない。なお、蓄電装置13が放電される場合には、バイパススイッチ90はオン状態に制御される。以下、図面を参照して詳しく説明する。

[0140] 図15は、実施の形態4の蓄電装置の概略構成を示す回路図である。図15の蓄電装置13は、各々が抵抗素子92を含む1つ以上(m個)のアブソーバセルASM1~ASMmをさらに含む点で図2の蓄電装置13と異なる。1つ以上のアブソーバセルASM1~ASMmと、蓄電バンクESBと、1つ以上のブースターセルBSM1~BSMnとは、蓄電装置13の正極端子Tpと負極端子Tnとの間に直列に接続される。これらの並び順はどのような順番であってもよい。以下、アブソーバセルASM1~ASMnについて総称する場合またはいずれか1つを示す場合、アブソーバセルASMと記載する。

[0141] 各アブソーバセルASMは、半導体素子で形成されたバイパススイッチ90と、ダイオード91と、抵抗素子92と、抵抗素子92に生じる電圧Va(Va1~Vam)を検出する電圧検出器93とを含む。これらの構成要素は、入出力ノード94p, 94n間に並列に接続される。ダイオード91は、バイパススイッチ90に対して逆並列に接続される。制御装置14は、バイパススイッチ90の開閉を制御するとともに、電圧検出器93の検出値を取得する。各アブソーバセルASMは、入出力ノード94pを介して、隣接するアブソーバセルASMの入出力ノード94n、または隣接するブースターセルBSMの入出力ノード24n、または隣接する蓄電バンクESBの負極ノード32n、または正極端子Tpに接続される。各アブソーバセルASMは、入出力ノード94nを介して、隣接するアブソーバセルASMの入出

カノード94p、または隣接するブースターセルBSMの入出力ノード24p、または隣接する蓄電バンクESBの正極ノード32p、または負極端子Tnに接続される。

[0142] 図15のその他の点は図2の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

[0143] 次に、図16～図18を参照して、実施の形態4の蓄電装置13の動作について説明する。

[0144] 図16は、実施の形態4の蓄電装置の第1の動作例を説明するための図である。図16では、蓄電装置13の電荷量と直流電圧の関係が示されている。図16の動作例は、図7(B)に対応するものである。

[0145] 図16を参照して、充電電流を i とし、全アブソーバセルASMの抵抗素子92の抵抗値を R とする。バイパススイッチ90をオフにすることにより入出力ノード94p, 94n間に抵抗素子92が挿入された場合（すなわち、アブソーバセルがオン状態の場合）、抵抗素子92で生じる電圧 $V_R (= i \times R)$ が、図7(B)の場合の直流電圧 V_{dc} に上乗せされる。蓄電装置13には、蓄電バンクESBに充電されるエネルギーに加えて、この上乗せ分の電圧 V_R に相当するエネルギーがさらに吸収される。

[0146] 図17は、実施の形態4の蓄電装置の第2の動作例を説明するための図である。図17では、蓄電装置13の電荷量と直流電圧の関係が示されている。図16の動作例は、図12に対応するものである。

[0147] 図17を参照して、図12の場合と同様に、ブースターセルBSM1, BSM2はチョッパ動作されている。バイパススイッチ90をオフにすることにより入出力ノード94p, 94n間に抵抗素子92が挿入された場合（すなわち、アブソーバセルがオン状態の場合）、抵抗素子92で生じる電圧 $V_R (= i \times R)$ が、図12の場合の直流電圧 V_{dc} に上乗せされる。蓄電装置13には、蓄電バンクESBに充電されるエネルギーに加えて、この上乗せ分の電圧 V_R に相当するエネルギーがさらに吸収される。

[0148] 図18は、実施の形態4の蓄電装置の第3の動作例を説明するための図で

ある。図18では、蓄電装置13の電荷量と直流電圧の関係が示されている。図18の動作例は、図7(B)に対応するものである。

[0149] 図18を参照して、制御装置14は、各アブソーバセルASMのバイパススイッチ90をチョッパ動作することにより、図7(B)の場合の蓄電装置13の直流電圧 V_{dc} に上乘せ分の電圧 V_R が加算された電圧が一定値になるように制御する。具体的に、制御装置14は、ブースターセルBSMの直流電圧 V_1 、 V_2 および蓄電バンクESBの直流電圧 V_b の検出値に応じて、バイパス状態にするアブソーバセルASMの割合、およびチョッパ制御するアブソーバセルASMにおける抵抗素子92の通電率を調整する。これによって、蓄電装置13の電圧上限 d_1 を抑えることができる。

[0150] 実施の形態5.

実施の形態5では、蓄電装置13を構成するブースターセルBSMおよび蓄電バンクESBの具体的な構造および配置について説明する。

[0151] 図19は、電力系統安定化システムを構成する交直変換器、ブースターセル、および蓄電バンクの具体的な配置を説明するための回路図である。

[0152] 図19を参照して、正極端子 T_p と負極端子 T_n との間にブースターセルBSM1、ブースターセルBSM2、蓄電バンクESB、ブースターセルBSM4、およびブースターセルBSM3がこの順番で直列に配置される。さらに、正極端子 T_p は交直変換器12Aの高電位側直流端子 N_p に接続され、負極端子 T_n は交直変換器12Aの低電位側直流端子 N_n に接続される。

[0153] なお、図19の交直変換器12Aでは、U相上アーム41u、V相上アーム41v、W相上アーム41w、U相下アーム42u、V相下アーム42v、およびW相下アーム42wのみが簡略化して図示されている。

[0154] ここで、各ブースターセルBSMのブリッジ回路25部分と交直変換器12Aとが共通のラック110に収納され、各ブースターセルBSMの蓄電素子22と蓄電バンクESBとが共通のラック120に収納される。

[0155] 図20は、図19の回路図に対応する実装例を示す側面図および平面図である。図20(A)に側面図を示し、図20(B)に平面図を示す。

- [0156] 図20を参照して、ラック110は、複数のステージ115が積層された構造を有する。各ステージ115は、絶縁基板111の4隅に取り付けられた碍子を貫通する支柱114によって設置面130上に支持される。絶縁基板111の外周には絶縁基板111を内部に取り囲むように絶縁シールド112が取り付けられる。各ブースターセルBSMのブリッジ回路25部分および交直変換器12Aの各変換器セル43は、絶縁基板111基板上に配置される。
- [0157] 同様に、ラック120は、複数のステージ125が積層された構造を有する。各ステージ125は、絶縁基板121の4隅に取り付けられた碍子を貫通する支柱124によって設置面130上に支持される。絶縁基板121の外周には絶縁基板121を内部に取り囲むように絶縁シールド122が取り付けられる。各ブースターセルBSMの蓄電素子22および蓄電バンクESBの蓄電素子30は、絶縁基板121基板上に配置される。
- [0158] 上記のように、各ブースターセルBSMのブリッジ回路25部分は、交直変換器12Aと共通のラックにおいて変換器セル43に近接して配置される。また、各ブースターセルBSMの蓄電素子22は、蓄電バンクESBと共通のラックにおいて蓄電素子30に近接して配置される。このような配置にすることにより、絶縁および支持構造を簡素化できる。
- [0159] 上記の配置は、各ブースターセルBSMのスイッチング素子 20_p 、 20_n の定格電圧と、蓄電素子22の定格電圧とが異なる場合に特に効果的である。たとえば、フルブリッジ構成のブースターセルBSMを用いることにより、交直変換器12Aの直流電圧 V_{dc} を蓄電バンクESBの直流電圧 V_b よりも低くして運用する場合に効果的である。
- [0160] なお、実施の形態4で説明したアブソーバセルASM（アブソーバセル）が蓄電装置13に設けられている場合には、アブソーバセルASMを構成するバイパススイッチ90およびダイオード91はラック110に収納され、抵抗素子92はラック120に収納される。
- [0161] 今回開示された実施の形態はすべての点で例示であって制限的なものでな

いと考えられるべきである。この出願の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。また、上記の各実施の形態は相互に組み合わせることが可能である。

符号の説明

[0162] 8 A, 8 B 電力系統安定化システム、10 A 交流電力系統、10 B 直流電力系統、11 変圧器、12 A 交直変換器、12 B DC/DC変換器、13 蓄電装置、14 制御装置、20, 55 スwitching素子、21, 70 ダイオード、22, 30, 56 蓄電素子、23, 31, 57, 93 電圧検出器、24 n, 24 p, 58 n, 58 p, 94 n, 94 p 入出力ノード、25 ブリッジ回路、32 n 負極ノード、32 p 正極ノード、40, 40 u, 40 v, 40 w レグ回路、41 上アーム、42 下アーム、43 変換器セル、60 初期充電装置、61 スイッチ、92 抵抗素子、90 バイパススイッチ、84 CPU、110, 120 ラック、111, 121 絶縁基板、112, 122 絶縁シールド、114, 124 支柱、115, 125 ステージ、ASM サブモジュール（アブソーバセル）、BSM サブモジュール（ブースターセル）、ESB 蓄電バンク、N n 低電位側直流端子、N p 高電位側直流端子、N u, N v, N w 交流入力端子、T n 負極端子、T p 正極端子。

請求の範囲

- [請求項1] 互いに接続された複数の蓄電素子を含む蓄電バンクと、
1つまたは複数の第1セルとを備え、
前記蓄電バンクおよび前記1つまたは複数の第1セルは、互いに直列に接続され、
前記1つの第1セルまたは前記複数の第1セルの各々は、
入出力ノード対と、
少なくとも2つの半導体スイッチング素子を含むブリッジ回路と、
前記ブリッジ回路を介して前記入出力ノード対に接続される蓄電素子とを含み、
前記1つの第1セルの前記蓄電素子の蓄電容量または前記複数の第1セルの各々の前記蓄電素子の蓄電容量は、前記蓄電バンクの蓄電容量よりも小さい、蓄電装置。
- [請求項2] 前記蓄電装置は、前記1つまたは複数の第1セルとして、複数の第1セルを備え、
前記複数の第1セルの各々の蓄電容量は、互いに異なる、請求項1に記載の蓄電装置。
- [請求項3] 前記複数の第1セルの各々の前記蓄電素子が満充電されたときの電圧は、互いに等しい、請求項2に記載の蓄電装置。
- [請求項4] 前記蓄電装置は、前記複数の第1セルの各々を制御する制御装置をさらに備え、
前記制御装置は、前記複数の第1セルの各々を、前記蓄電素子が前記入出力ノード対に挿入された挿入状態、または、前記入出力ノード対が短絡されたバイパス状態に切り替える、請求項2または3に記載の蓄電装置。
- [請求項5] 前記制御装置は、前記蓄電装置を充電する場合には、前記複数の第1セルの各々を前記挿入状態にしてから充電を開始し、前記蓄電装置の電圧に応じて、前記複数の第1セルのうちの蓄電容量が小さい第1

セルから順番に前記バイパス状態に切り替える、請求項4に記載の蓄電装置。

[請求項6] 前記制御装置は、前記蓄電装置を放電する場合には、前記複数の第1セルの各々を前記バイパス状態にしてから放電を開始し、前記蓄電装置の電圧に応じて、前記複数の第1セルの各々を順番に前記挿入状態に切り替える、請求項4または5に記載の蓄電装置。

[請求項7] 前記制御装置は、前記複数の第1セルの各々を、前記バイパス状態から前記挿入状態にまたはその逆に切り替える場合に、前記蓄電装置の電圧を一定範囲内に保つように前記少なくとも2つの半導体スイッチング素子をチョッパ動作させるチョッパ状態を介在させる、請求項5または6に記載の蓄電装置。

[請求項8] 前記制御装置は、他地域から電力融通を受けている電力系統に前記蓄電装置が接続されている場合に使用される第1の待機モードと、他地域に電力供給を行っている電力系統に前記蓄電装置が接続されている場合に使用される第2の待機モードとを有し、

前記制御装置は、前記第1の待機モードにおいて、前記蓄電バンクおよび前記複数の第1セルを満充電状態にし、

前記制御装置は、前記第2の待機モードにおいて、前記蓄電バンクおよび前記複数の第1セルを最低充電状態にする、請求項4～7のいずれか1項に記載の蓄電装置。

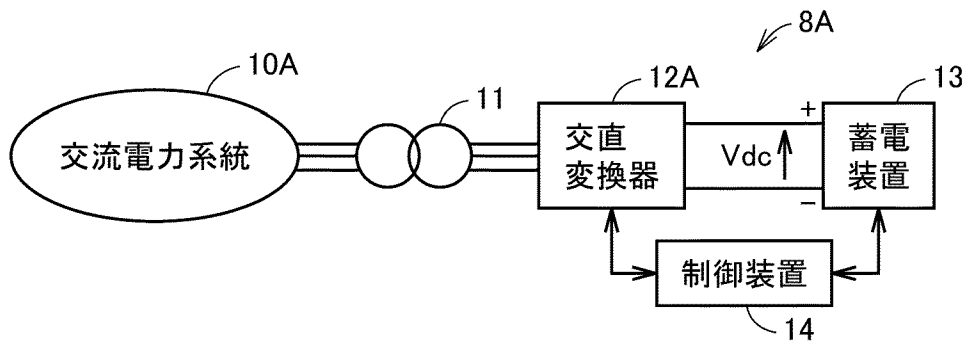
[請求項9] 前記蓄電装置は、1つまたは複数の第2セルをさらに備え、
前記蓄電バンク、前記1つまたは複数の第1セル、および前記1つまたは複数の第2セルは、互いに直列に接続され、
前記1つの第2セルまたは前記複数の第2セルの各々は、
入出力ノード対と、
前記入出力ノード対の間に接続された抵抗素子と、
前記抵抗素子をバイパスする半導体スイッチング素子とを含む、請求項1に記載の蓄電装置。

- [請求項10] 前記蓄電装置は、前記1つまたは複数の第1セルおよび前記1つまたは複数の第2セルを制御する制御装置をさらに備え、
- 前記制御装置は、前記1つの第2セルの前記半導体スイッチング素子または前記複数の第2セルの各々の前記半導体スイッチング素子を、前記蓄電素子を充電する場合にはオフ状態に制御し、前記蓄電装置を放電する場合にはオン状態に制御する、請求項9に記載の蓄電装置。
- [請求項11] 請求項1～10のいずれか1項に記載の蓄電装置と、
- 電力系統と前記蓄電装置との間に接続された電力変換装置とを備える、電力系統安定化システム。
- [請求項12] 前記1つの第1セルまたは前記複数の第1セルの各々に含まれる前記ブリッジ回路は、前記電力変換装置と共に第1のラックに収納され、
- 前記1つの第1セルまたは前記複数の第1セルの各々に含まれる前記蓄電素子は、前記蓄電バンクと共に前記第1のラックと異なる第2のラックに収納される、請求項11に記載の電力系統安定化システム。

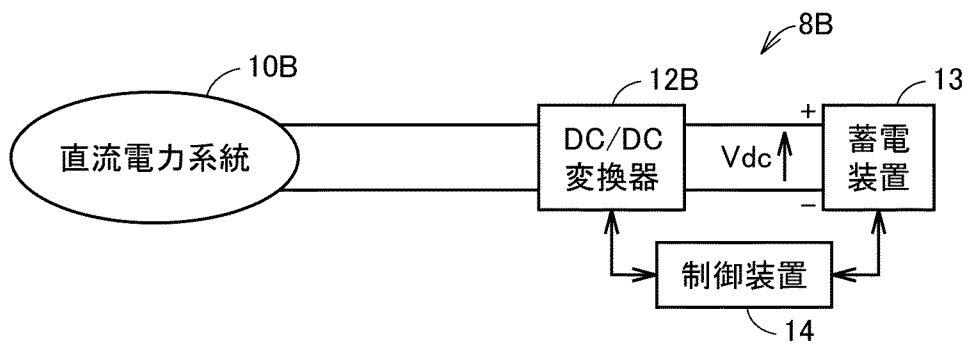
[図1]

図1

(A)

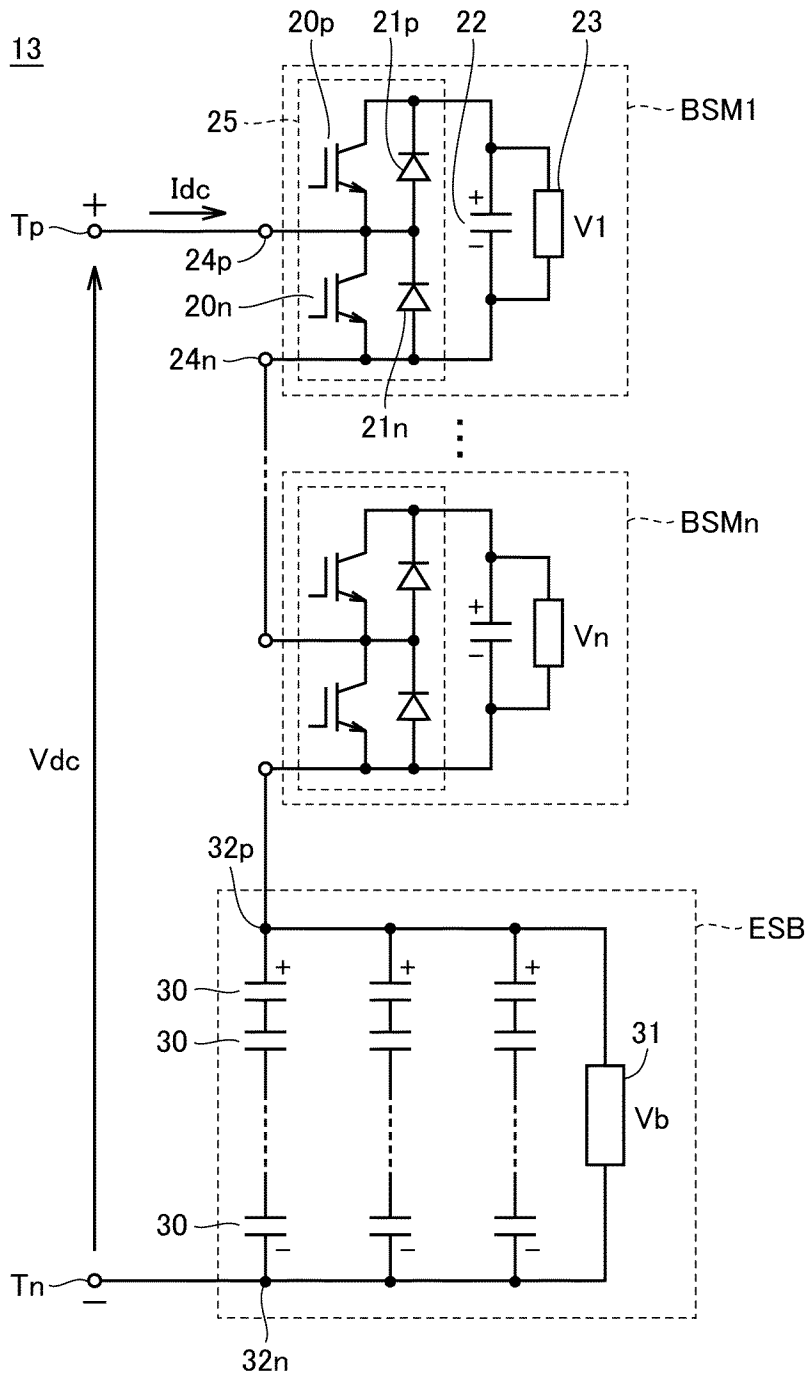


(B)



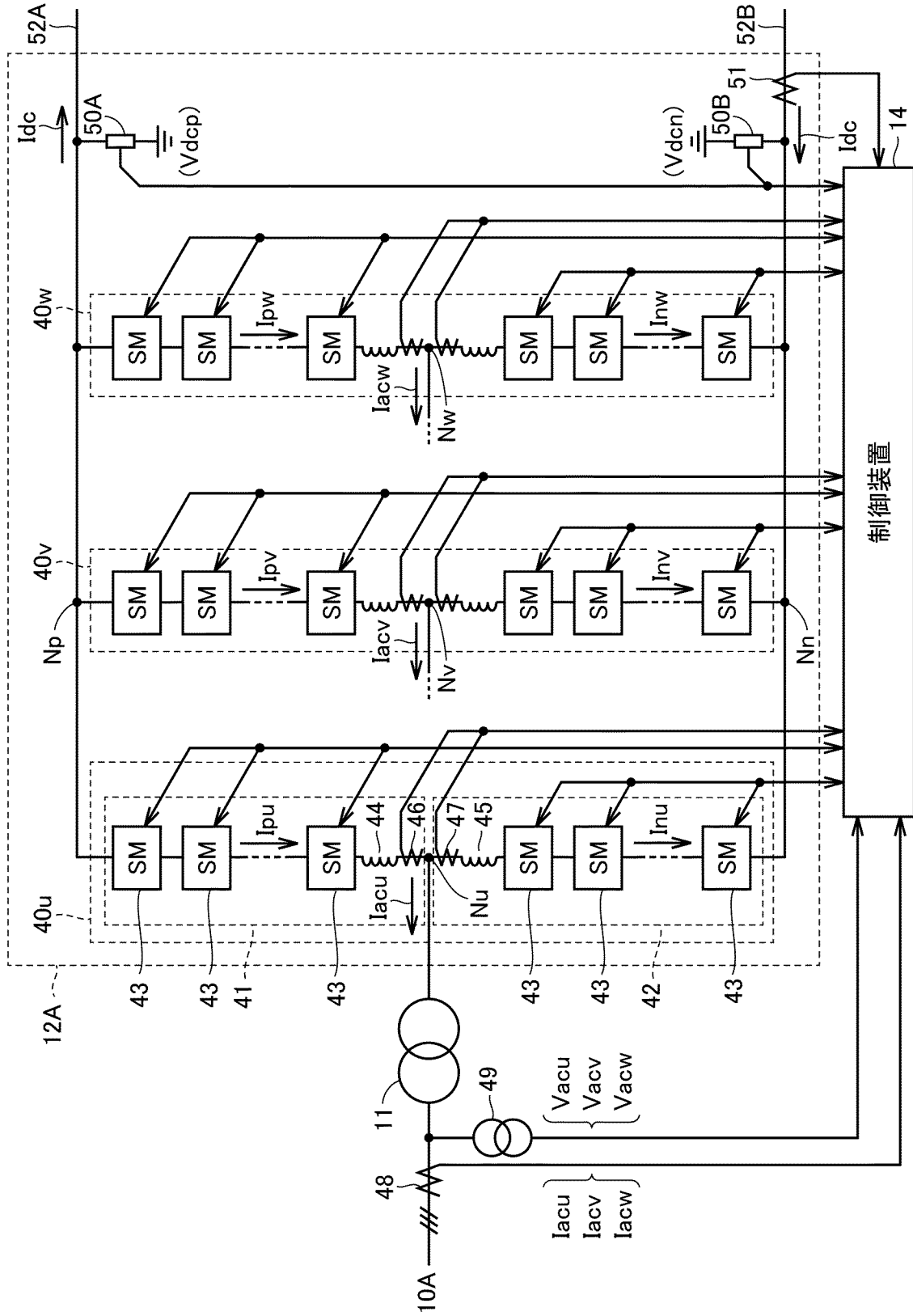
[図2]

図2



[図3]

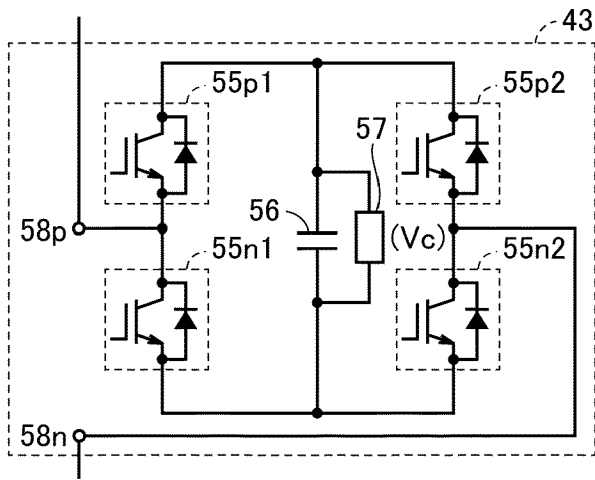
図3



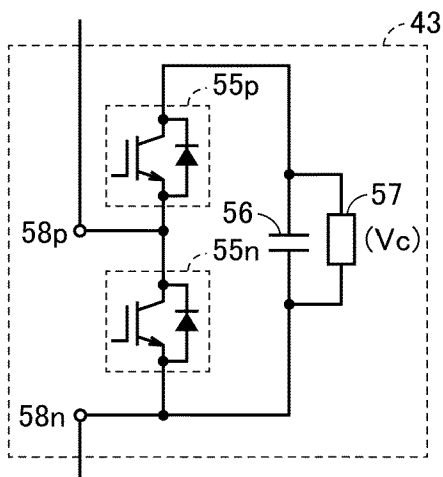
[図4]

図4

(A)



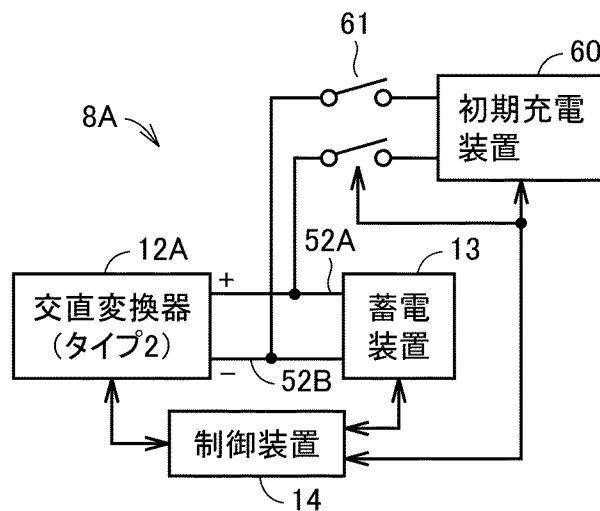
(B)



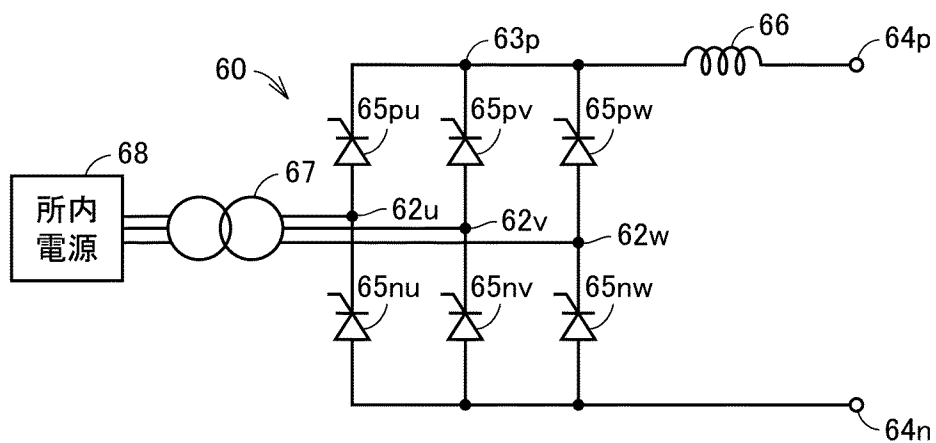
[図5]

図5

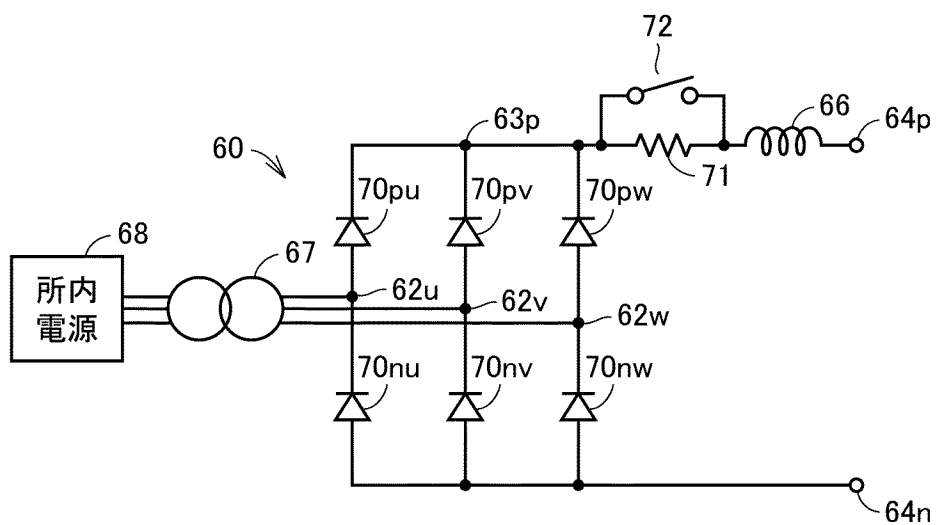
(A)



(B)

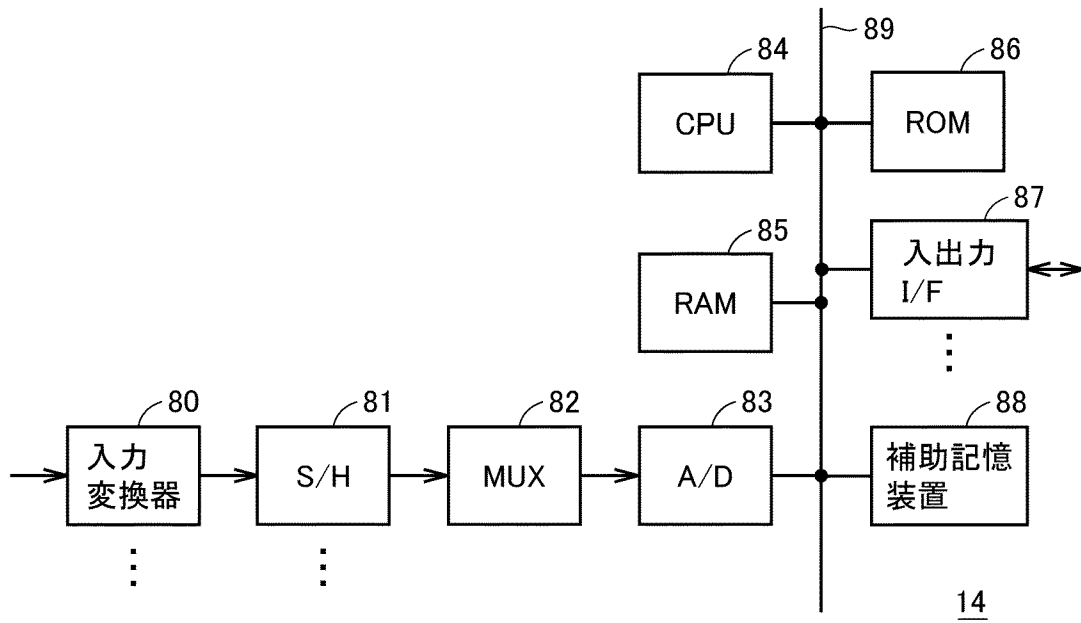


(C)



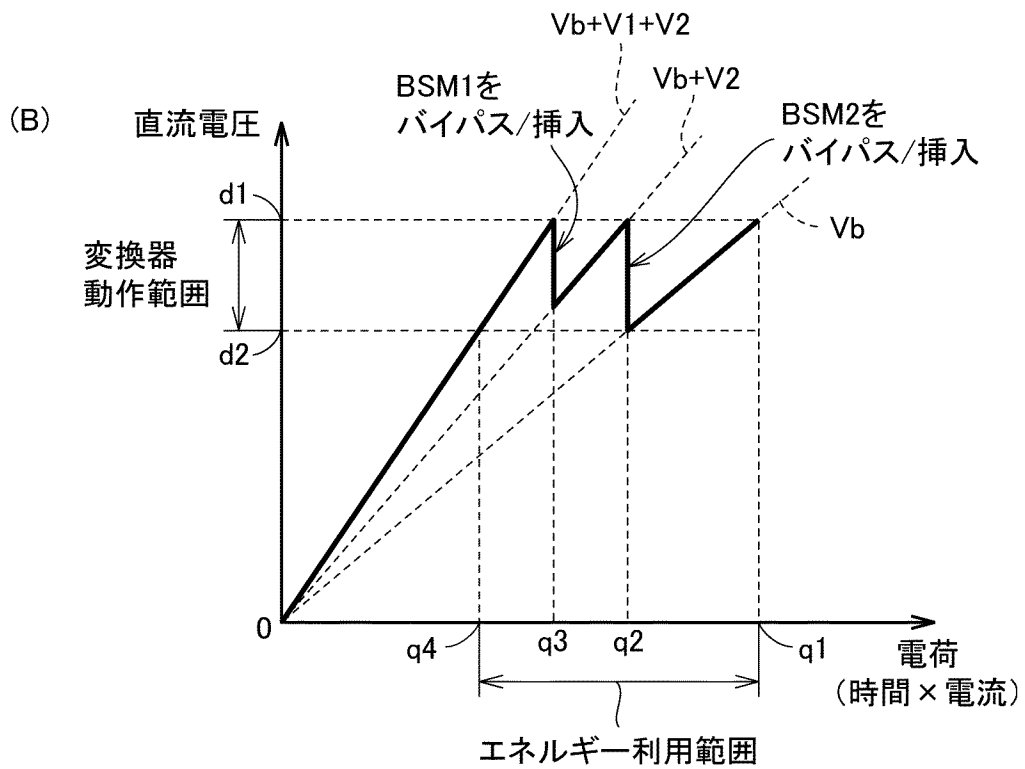
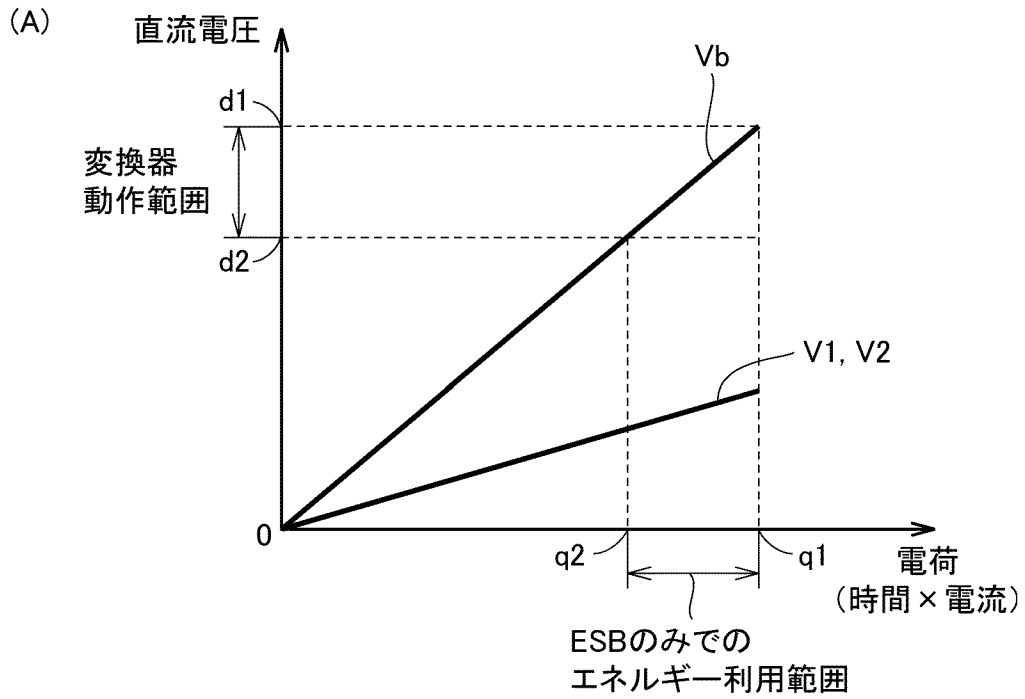
[図6]

図6



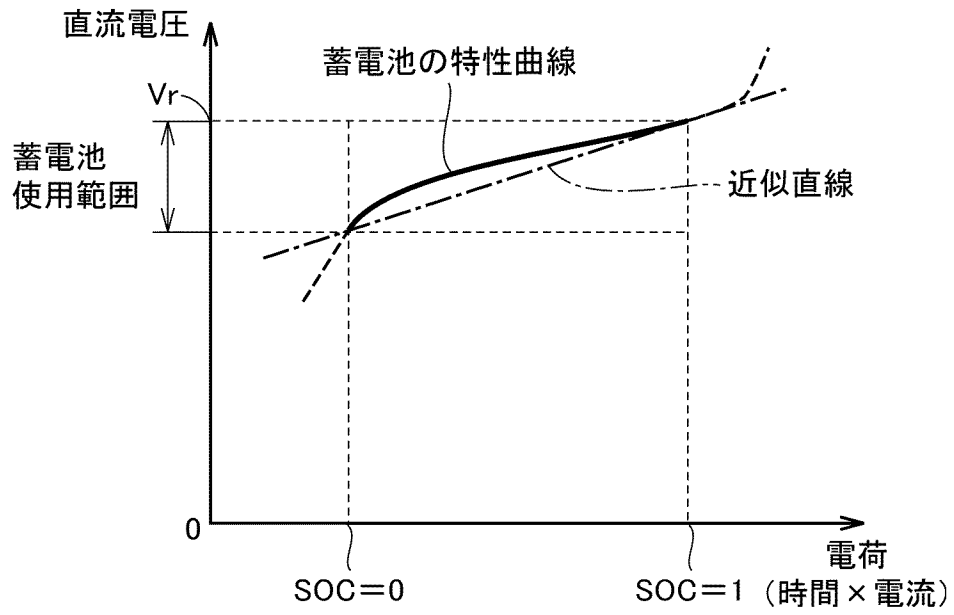
[図7]

図7



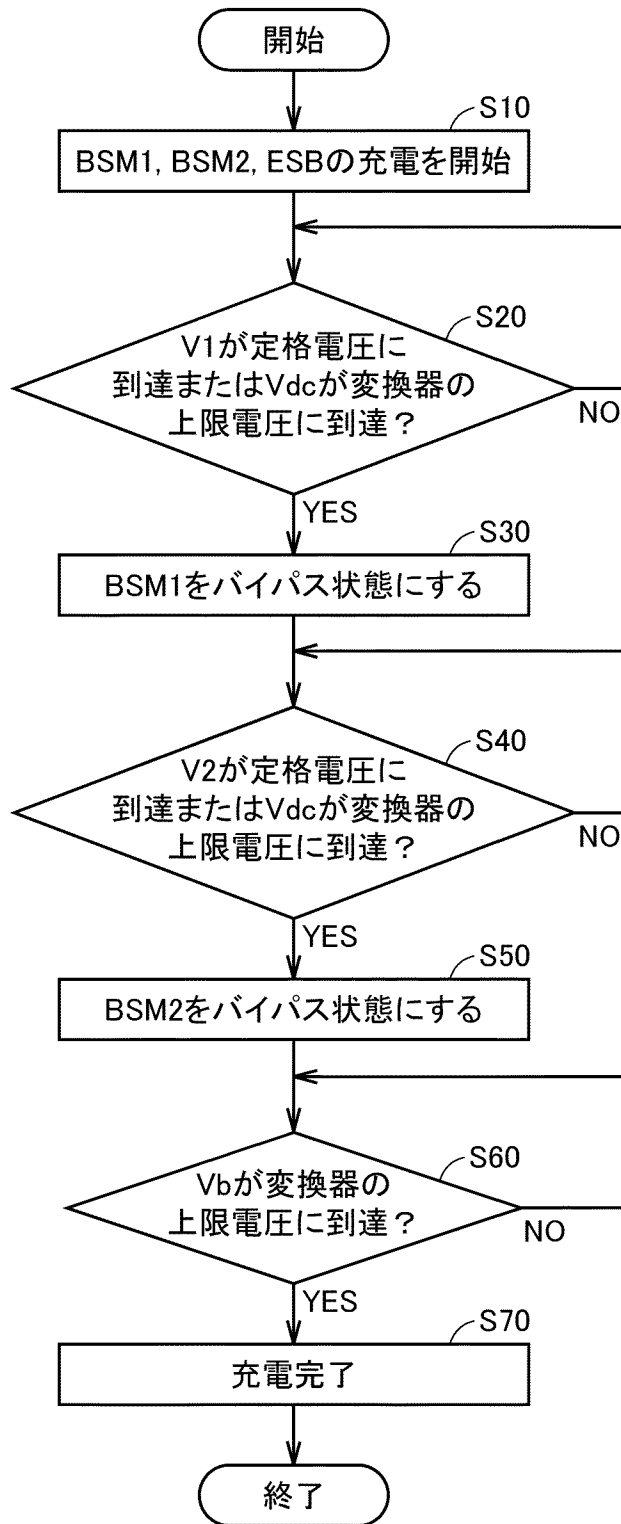
[図8]

図8



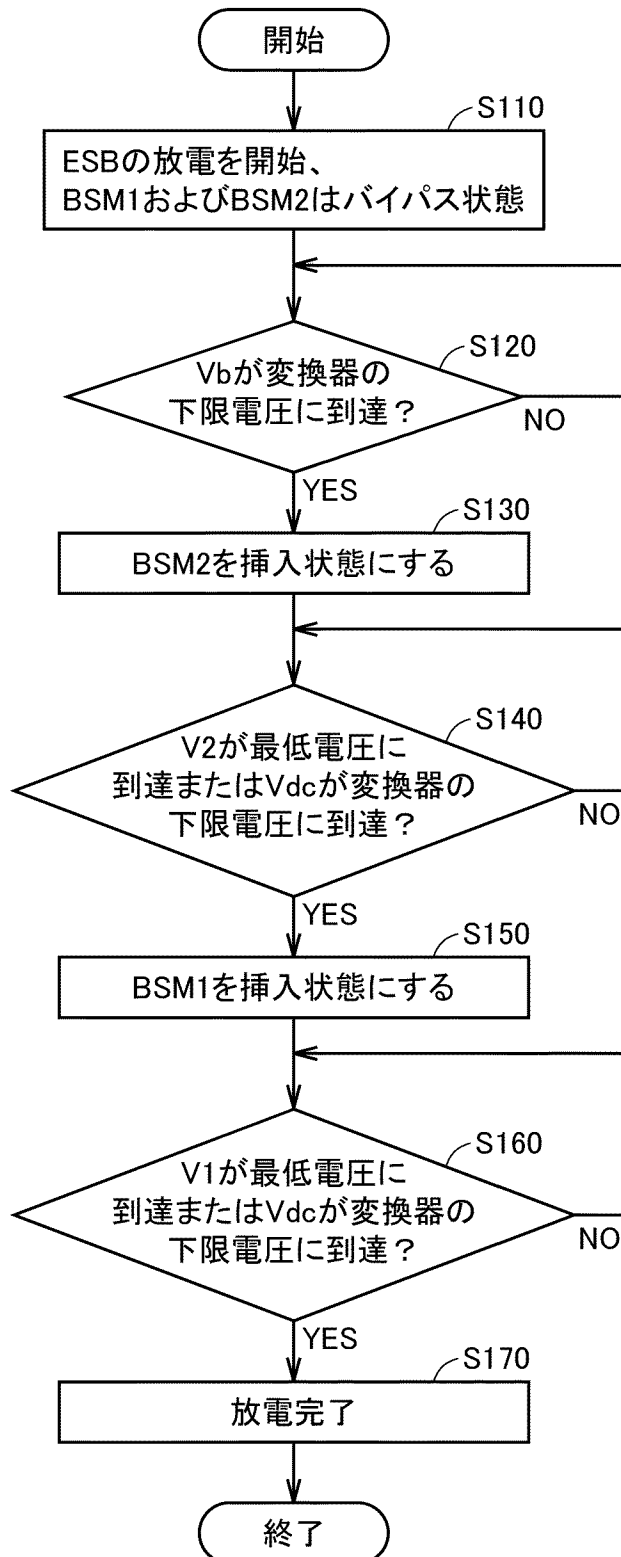
[図9]

図9



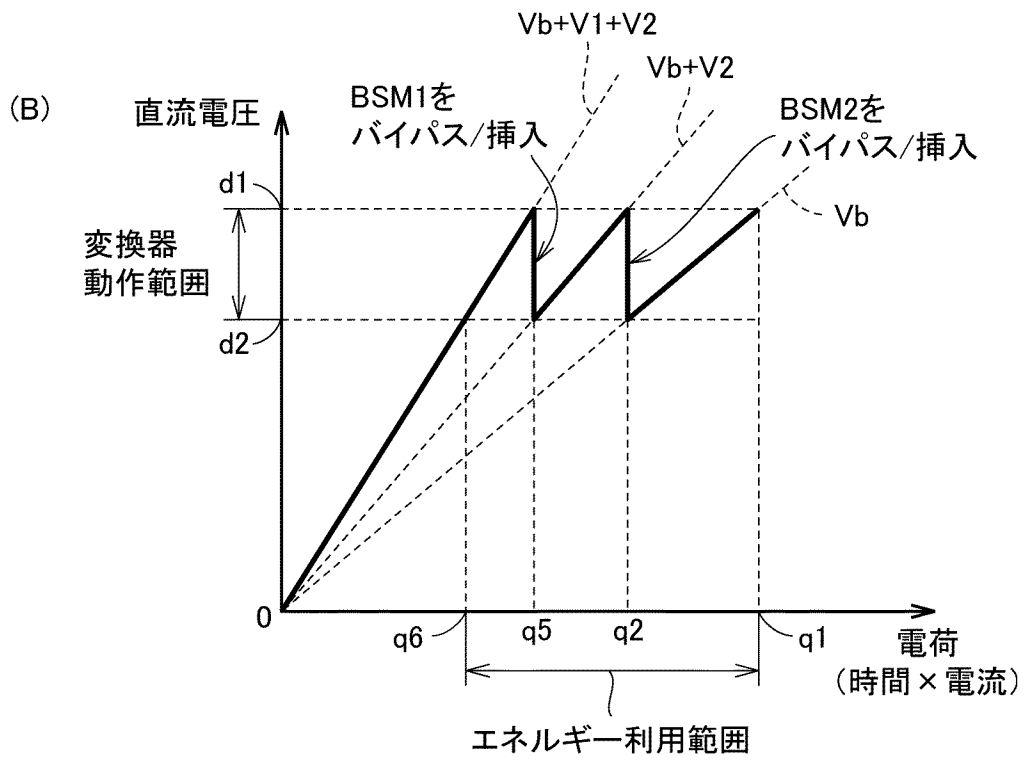
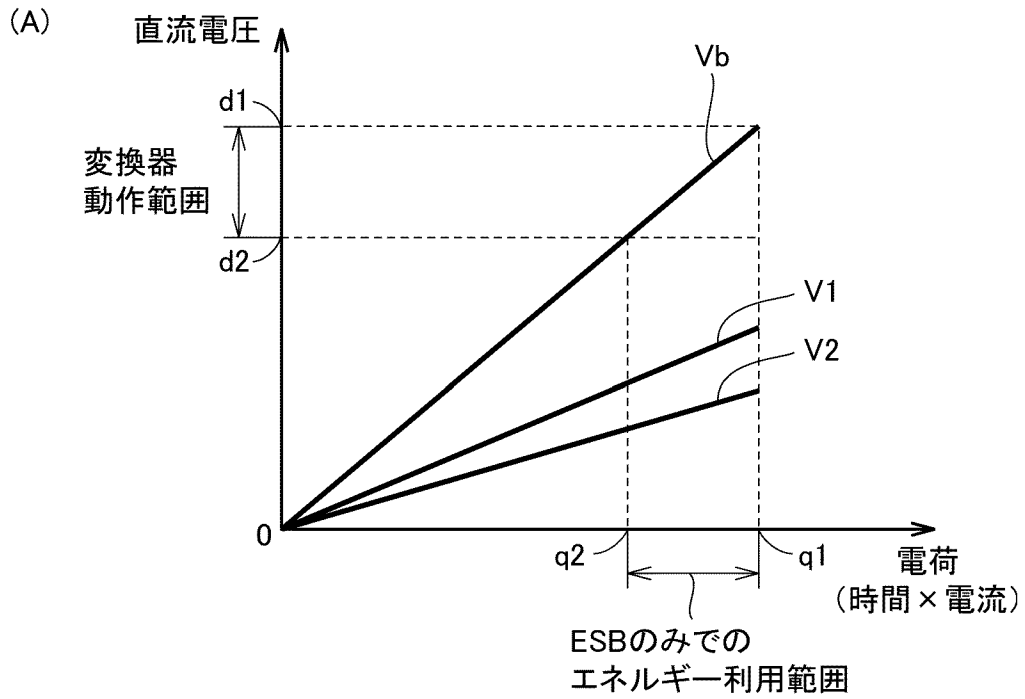
[図10]

図10



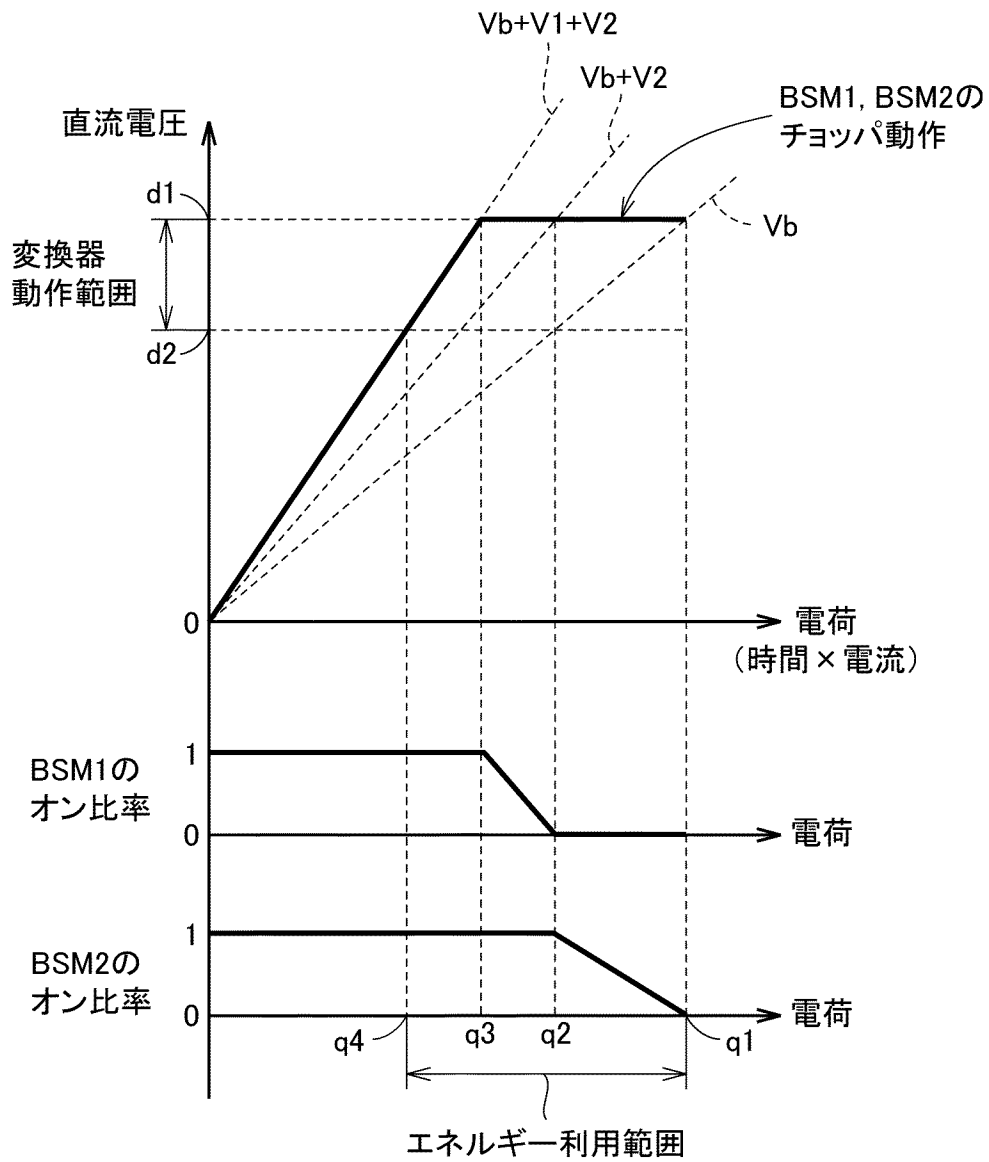
[図11]

図11



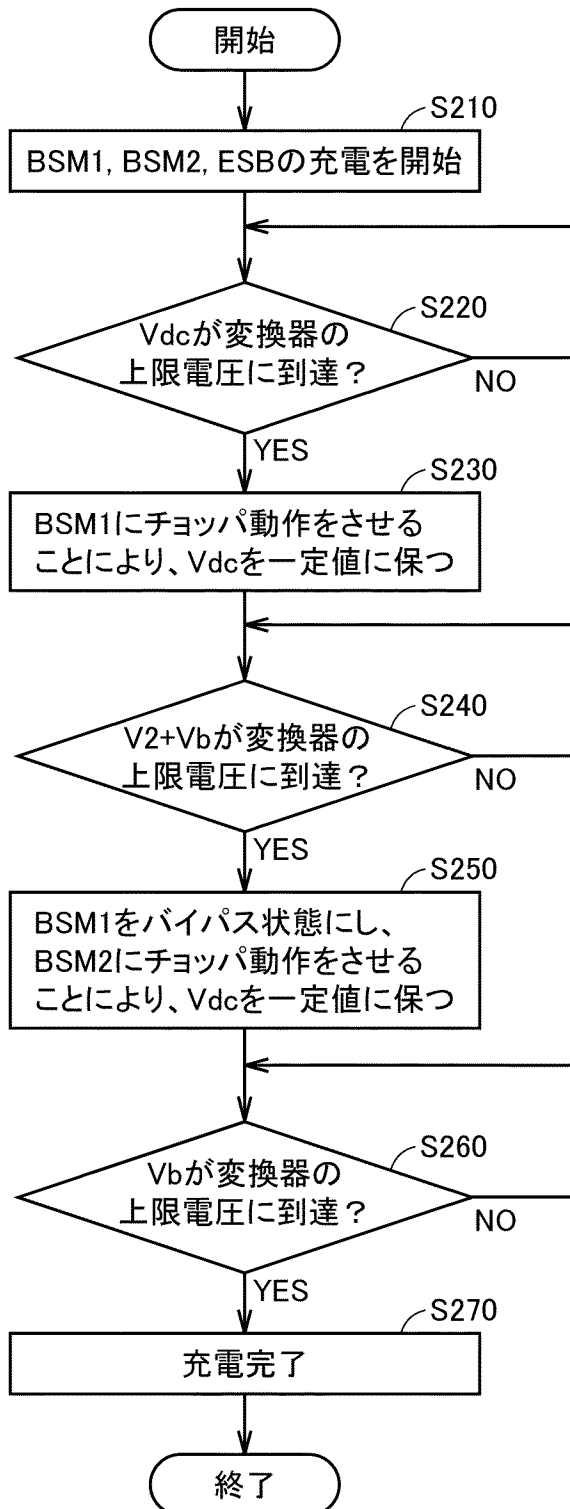
[図12]

図12



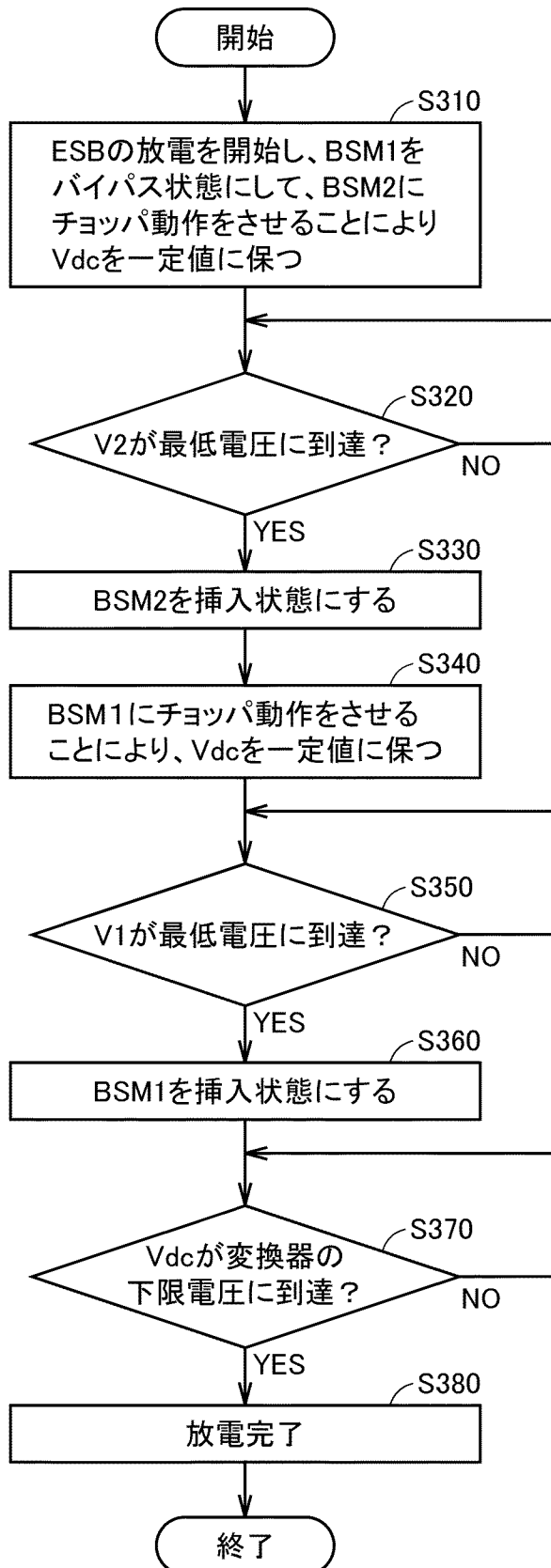
[図13]

図13



[図14]

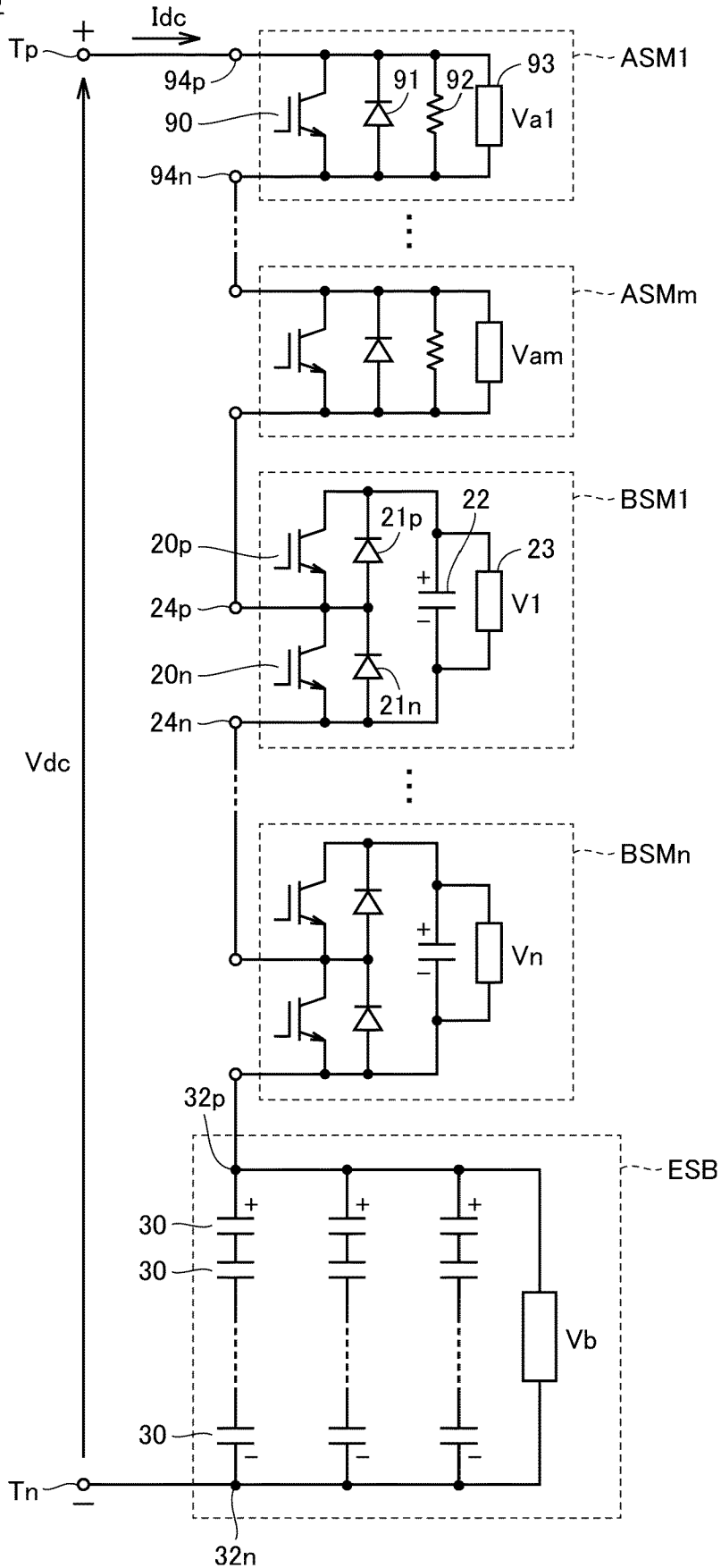
図14



[図15]

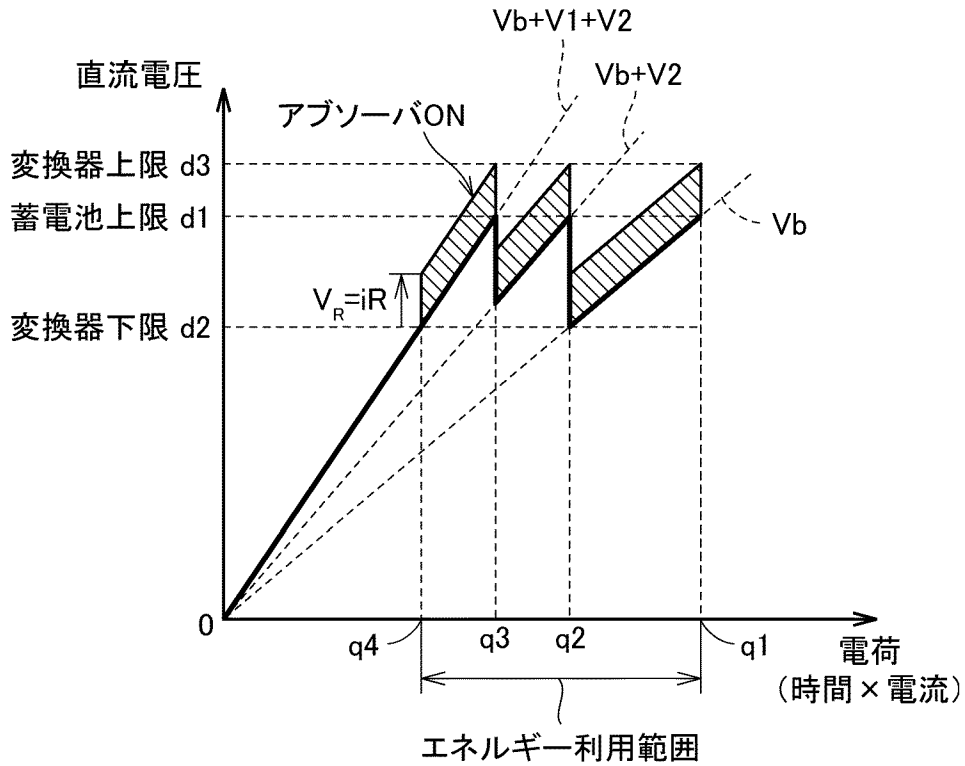
図15

13



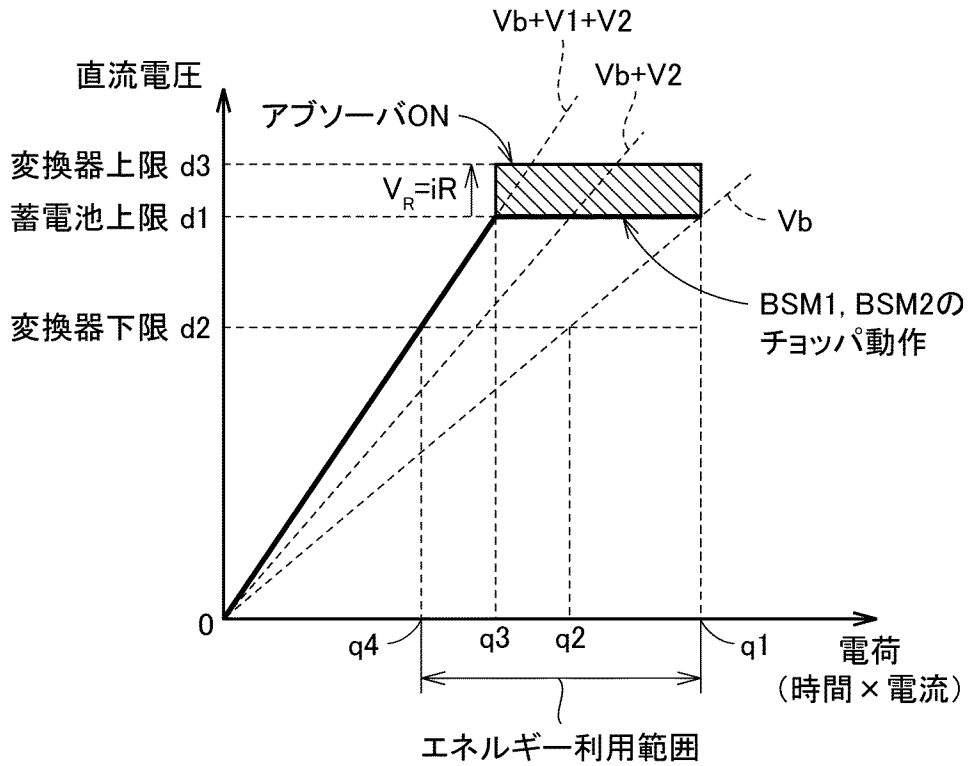
[図16]

図16



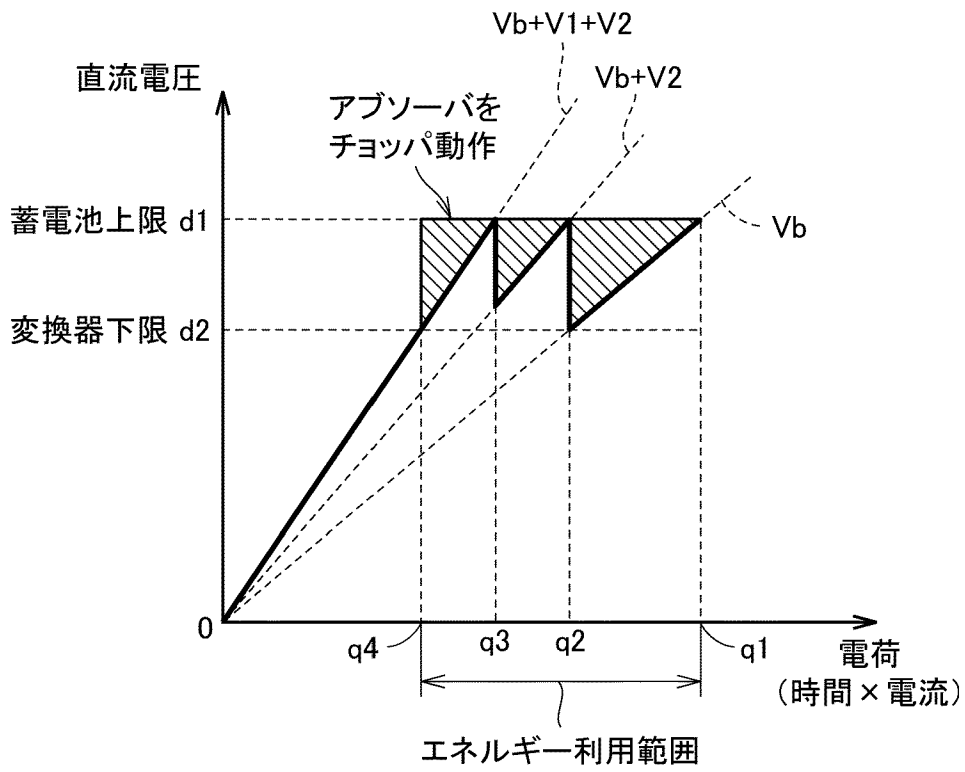
[図17]

図17



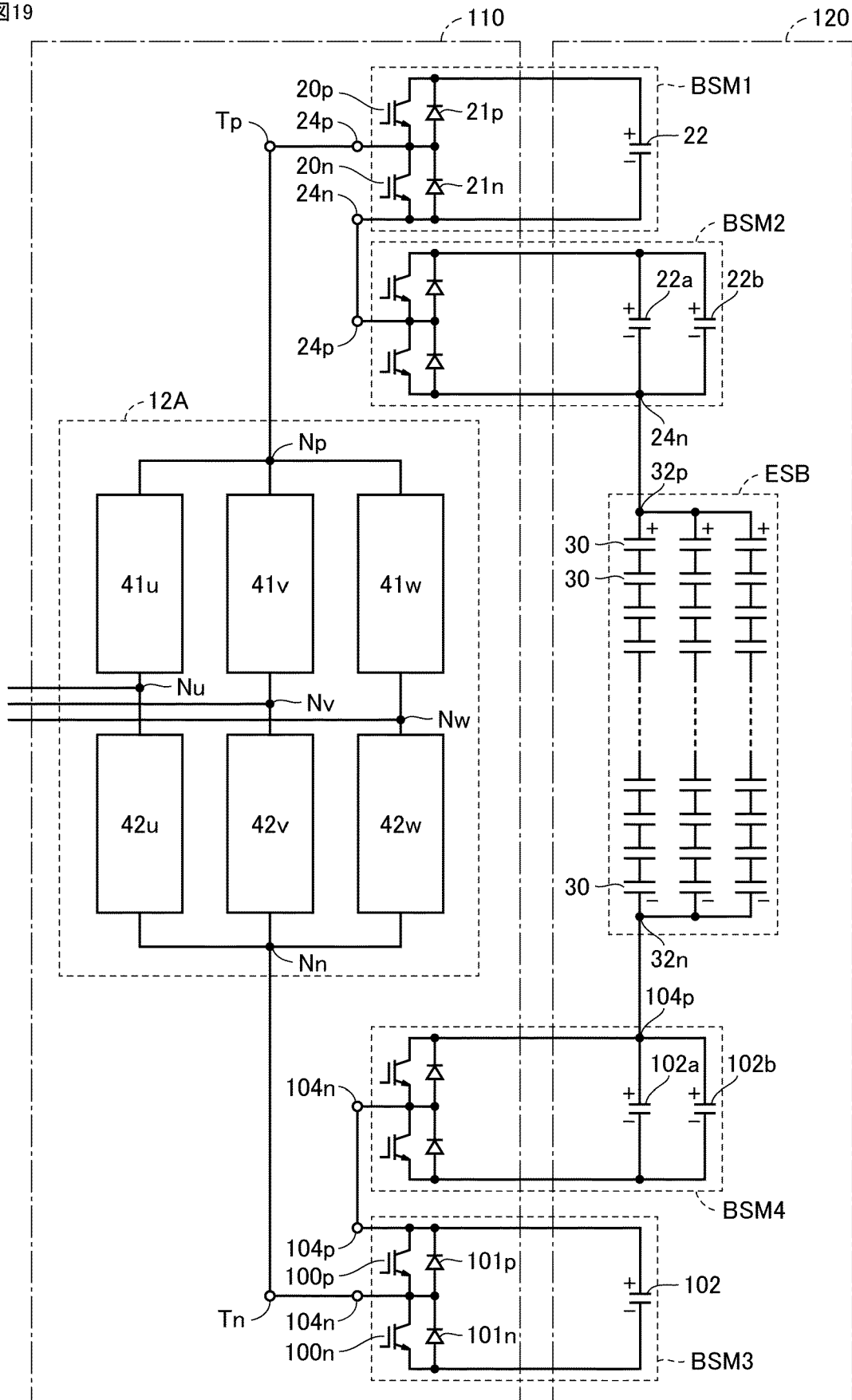
[図18]

図18



[図19]

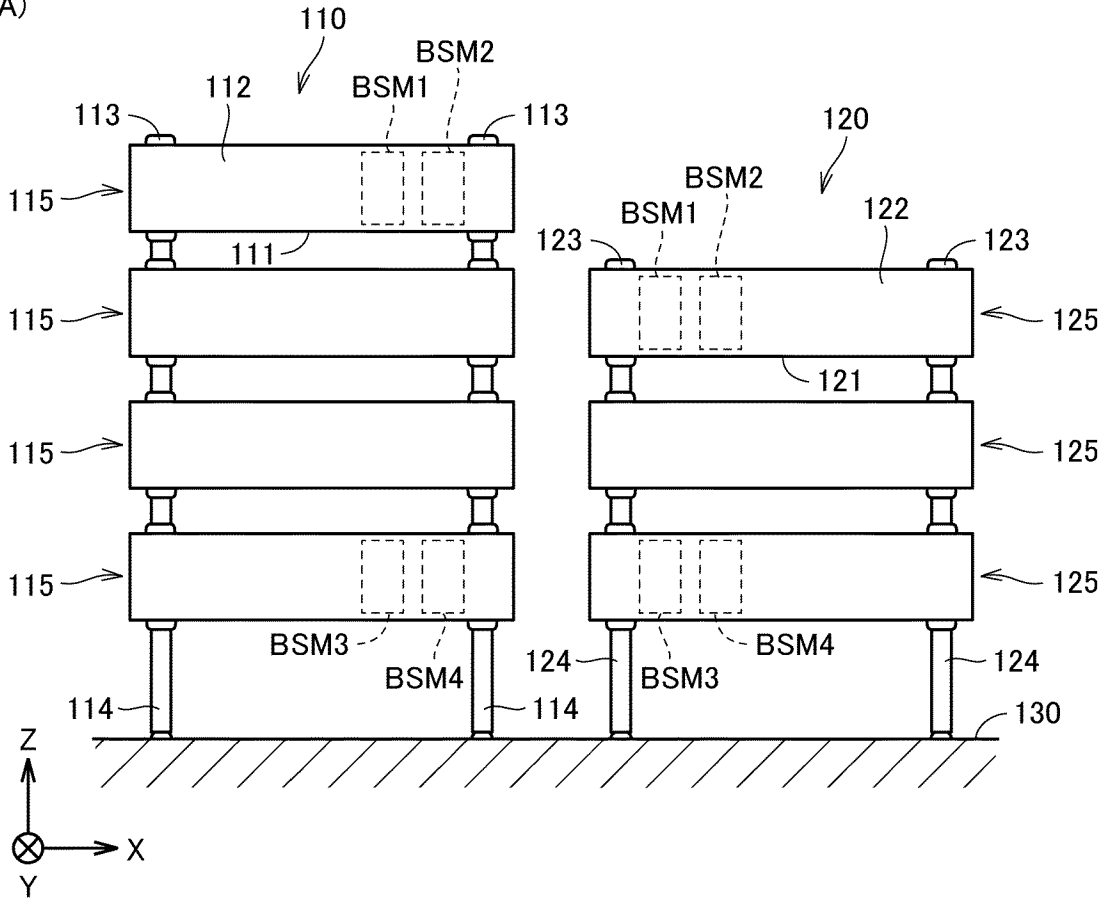
図19



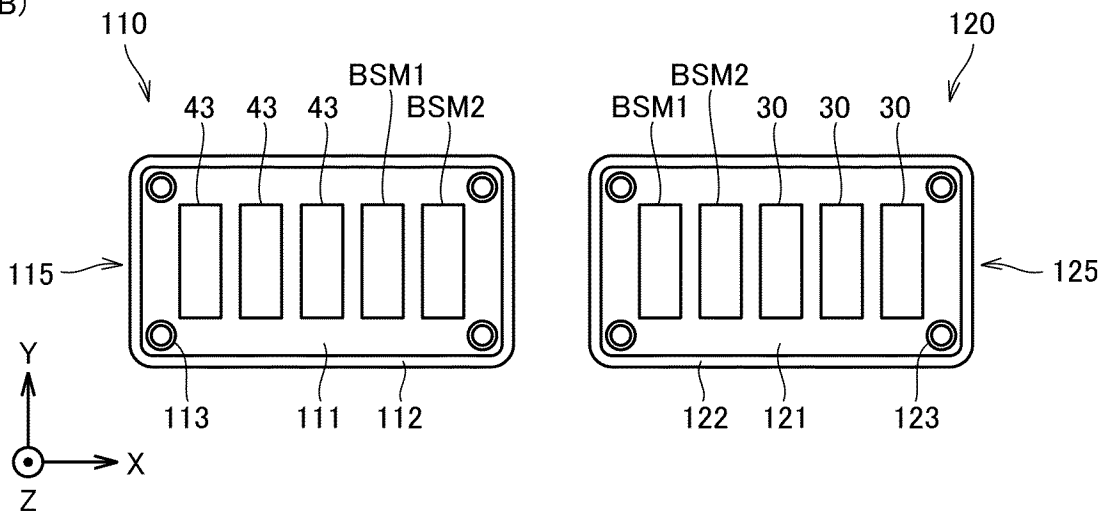
[図20]

図20

(A)



(B)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/042122

A. CLASSIFICATION OF SUBJECT MATTER

H02J 7/34 (2006.01) i; H02J 1/00 (2006.01) i; H02J 3/32 (2006.01) i
 FI: H02J7/34 J; H02J3/32; H02J1/00 306L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02J7/34; H02J1/00; H02J3/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-211549 A (OKAMURA KENKYUSHO KK) 03 August 2001 (2001-08-03) paragraphs [0011]-[0025], fig. 1-3	1-12
A	JP 2015-213384 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 26 November 2015 (2015-11-26) paragraphs [0016]-[0045], fig. 3-10	1-12
A	JP 6685477 B1 (MITSUBISHI ELECTRIC CORP.) 02 April 2020 (2020-04-02) paragraphs [0103]-[0128], fig. 8-10	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search
 09 December 2020 (09.12.2020)

Date of mailing of the international search report
 22 December 2020 (22.12.2020)

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

 Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/042122

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2001-211549 A	03 Aug. 2001	(Family: none)	
JP 2015-213384 A	26 Nov. 2015	(Family: none)	
JP 6685477 B1	02 Apr. 2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02J 7/34(2006.01)i; H02J 1/00(2006.01)i; H02J 3/32(2006.01)i FI: H02J7/34 J; H02J3/32; H02J1/00 306L		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02J7/34; H02J1/00; H02J3/32 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-211549 A（株式会社岡村研究所）03.08.2001（2001-08-03） 段落 [0011] - [0025]， 図1-3	1-12
A	JP 2015-213384 A（日本電信電話株式会社）26.11.2015（2015-11-26） 段落 [0016] - [0045]， 図3-10	1-12
A	JP 6685477 B1（三菱電機株式会社）02.04.2020（2020-04-02） 段落 [0103] - [0128]， 図8-10	1-12
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日	09.12.2020	国際調査報告の発送日 22.12.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 下林 義明 5T 4453 電話番号 03-3581-1101 内線 3568	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/042122

引用文献	公表日	パテントファミリー文献	公表日
JP 2001-211549 A	03.08.2001	(ファミリーなし)	
JP 2015-213384 A	26.11.2015	(ファミリーなし)	
JP 6685477 B1	02.04.2020	(ファミリーなし)	