(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 6 月 14 日(14.06.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/077570 A1

(51) 国際特許分類:
G02F 1/133 (2006.01)　*G09G 3/20* (2006.01)
G02F 1/1345 (2006.01)　*G09G 3/36* (2006.01)
G02F 1/1368 (2006.01)

(21) 国際出願番号: PCT/JP2011/077808

(22) 国際出願日: 2011 年 12 月 1 日(01.12.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-276060 2010 年 12 月 10 日(10.12.2010) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山本　薫 (YAMAMOTO Kaoru).

(74) 代理人: 奥田　誠司 (OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目８番１６号　大阪証券取引所ビル１０階　奥田国際特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

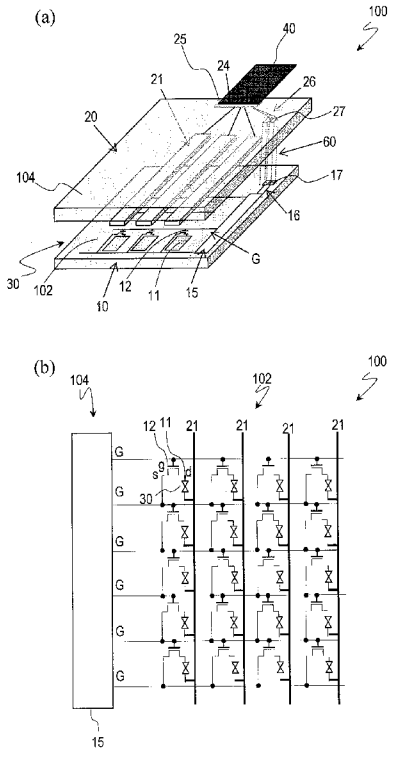
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) **Title**: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称 : 液晶表示装置

[図1]



(57) **Abstract**: Provided is a liquid crystal display device (100) equipped with a first substrate (10) having pixel electrodes (11), gate wiring (G), and switching elements (12), a second substrate (20) having multiple signal electrodes (21) which are electrically separated from one another, and a liquid crystal layer (30) positioned between the first substrate and the second substrate. The first substrate also has a gate driver (15) that generates a gate signal which is supplied to the gate wiring. The second substrate also has an external connection terminal (24). Input signals are supplied to the gate driver via the external connection terminal. The present invention provides a liquid crystal display device having an opposing source structure suitable for narrowing of the frame region.

(57) 要約:　本発明による液晶表示装置（１００）は、画素電極（１１）、ゲート配線（Ｇ）およびスイッチング素子（１２）を有する第１基板（１０）と、互いに電気的に独立した複数の信号電極（２１）を有する第２基板（２０）と、第１基板および第２基板の間に位置する液晶層（３０）とを備える。第１基板は、ゲート配線に供給されるゲート信号を生成するゲートドライバ（１５）をさらに有する。第２基板は、外部接続端子部（２４）をさらに有する。ゲートドライバには外部接続端子部を介して入力された信号が供給される。本発明によると、額縁領域の狭小化に適した対向ソース構造の液晶表示装置が提供される。

WO 2012/077570 A1

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 液晶表示装置

技術分野

[0001] 本発明は液晶表示装置に関する。

背景技術

[0002] 液晶表示装置は、軽量、薄型および低消費電力等の利点を有しており、大型テレビジョンだけでなく携帯電話の表示部等の小型の表示装置としても利用されている。さらに、現在でも、消費電力のさらなる低減を図るとともに額縁領域の狭小化を含む小型化が検討されている。

[0003] 現在主に汎用されている液晶表示装置は、ゲート配線、ソース配線、画素電極およびスイッチング素子が設けられた一方の基板と、複数の画素電極に共通して対向する対向電極が設けられた他方の基板とを備えている。この液晶表示装置では、典型的には、電位が一定の対向電極に対して画素電極の電位を変化させて液晶層の透過率を制御することによって、所定の階調の表示を行っている。

[0004] また、別の液晶表示装置として、一方の基板に、画素電極、スイッチング素子およびゲート配線が設けられ、他方の基板に、対向電極に代えてストライプ状の信号電極（データ配線）が設けられた構成が知られている（例えば、特許文献１参照）。この液晶表示装置では、典型的には、画素電極の設けられた基板とは異なる基板に設けられた信号電極の電位を変化させることにより、適切な階調で表示を行う。このような構成は対向ソース構造または対向マトリクス構造とも呼ばれる。対向ソース構造では、アクティブマトリクス基板ではなく対向基板に信号電極が設けられているため、アクティブマトリクス基板におけるソース配線とゲート配線との短絡を抑制するとともに寄生容量に起因する信号遅延を抑制することができる。なお、特許文献１の液晶表示装置では、スイッチング素子のソースは隣接するゲート配線と電気的に接続されるとともに、各ゲート信号を３つのレベルで変化させており、こ

れにより、書き込み時の画素電極を基準電位に設定して、適切な書き込みを行っている。

先行技術文献

特許文献

[0005] 特許文献1：特開昭６３－６８８１８号公報

発明の概要

発明が解決しようとする課題

[0006] 本願発明者は、単純に作製した対向ソース構造の液晶表示装置では額縁領域の狭小化を図ることができないことを見い出した。

[0007] 本発明は、上記課題を鑑みてなされたものであり、その目的は、額縁領域の狭小化に適した液晶表示装置を提供することにある。

課題を解決するための手段

[0008] 本発明による液晶表示装置は、複数の行および複数の列のマトリクス状に配列された複数の画素電極と、それぞれが行方向に延びる複数のゲート配線と、それぞれがゲート、ソースおよびドレインを有する複数のスイッチング素子であって、前記複数のスイッチング素子のそれぞれの前記ドレインは対応する画素電極と電気的に接続されており、前記複数のスイッチング素子のそれぞれの前記ゲートは対応するゲート配線と電気的に接続されており、前記複数のスイッチング素子のうちの行方向に配列されたスイッチング素子の前記ソースは互いに電気的に接続されている、複数のスイッチング素子とを有する第１基板と、互いに電気的に独立した複数の信号電極を有する第２基板と、前記第１基板と前記第２基板との間に位置する液晶層とを備える液晶表示装置であって、前記第１基板は、前記ゲート配線に供給されるゲート信号を生成するゲートドライバをさらに有し、前記第２基板は、外部接続端子部をさらに有し、前記ゲートドライバには前記外部接続端子部を介して入力された信号が供給される。

[0009] ある実施形態において、前記ゲートドライバは、ロー、ミドルおよびハイ

に変化するゲート信号を生成し、前記複数のスイッチング素子のそれぞれの前記ソースは、前記対応するゲート配線とは異なるゲート配線と電気的に接続されている。

[0010] ある実施形態において、前記複数のスイッチング素子のそれぞれの前記ソースは、前記対応するゲート配線に隣接するゲート配線と電気的に接続されている。

[0011] ある実施形態において、前記第２基板は、前記信号電極にビデオ信号を供給するソースドライバをさらに有する。

[0012] ある実施形態において、前記第１基板は、表示領域および前記表示領域の周囲に位置する額縁領域を有しており、前記ゲートドライバは、前記額縁領域のうちの、前記表示領域を介して行方向に対向する第１領域および第２領域にそれぞれ設けられた第１ゲートドライバおよび第２ゲートドライバを有する。

[0013] ある実施形態において、前記ゲートドライバは、前記複数のゲート配線に供給されるゲート信号をそれぞれ生成する複数のゲートドライバモジュールを有する。

[0014] ある実施形態において、前記複数のゲートドライバモジュールのそれぞれは、隣接するゲートドライバモジュールと互いに信号の入出力を行うステージ部と、バッファ部とを有する。

[0015] ある実施形態において、前記ステージ部はブートストラップキャパシタを含み、前記ステージ部は前記ブートストラップキャパシタに接続された配線を介して信号を前記バッファ部に出力する。

[0016] ある実施形態において、前記ゲートドライバは、複数のゲートクロック信号に基づいてゲート信号を生成し、前記ゲートドライバは、所定の期間、一部のゲートクロック信号をゲート信号として出力する。

[0017] ある実施形態において、前記複数のゲートクロック信号は、２水平走査期間ごとに反転する第１ゲートクロック信号と、前記第１ゲートクロック信号に対して位相が１水平走査期間シフトしている第２ゲートクロック信号と、

前記第２ゲートクロック信号に対して位相が１水平走査期間シフトしている第３ゲートクロック信号と、前記第３ゲートクロック信号に対して位相が１水平走査期間シフトしている第４ゲートクロック信号と、所定の順番に４水平走査期間周期でロー、ミドルおよびハイに変化する第５ゲートクロック信号と、前記第５ゲートクロック信号に対して位相が１水平走査期間シフトしている第６ゲートクロック信号と、前記第６ゲートクロック信号に対して位相が１水平走査期間シフトしている第７ゲートクロック信号と、前記第７ゲートクロック信号に対して位相が１水平走査期間シフトしている第８ゲートクロック信号とを含む。

[0018] ある実施形態において、前記第１ゲートクロック信号は前記第５ゲートクロック信号と同期して立ち上がる。

[0019] ある実施形態において、前記第５ゲートクロック信号がミドルからハイに立ち上がるよりも先に、前記第６ゲートクロック信号がローからミドルに立ち上がる。

[0020] ある実施形態において、前記第５ゲートクロック信号がハイからローに立ち下がった後に、前記第６ゲートクロック信号がミドルからハイに立ち上がる。

[0021] ある実施形態において、前記第５ゲートクロック信号、前記第６ゲートクロック信号、前記第７ゲートクロック信号および前記第８ゲートクロック信号のそれぞれにおけるハイおよびミドルの電位差は、前記信号電極の最大電位差と前記スイッチング素子の閾値電圧との和よりも大きい。

[0022] ある実施形態において、前記第５ゲートクロック信号、前記第６ゲートクロック信号、前記第７ゲートクロック信号および前記第８ゲートクロック信号のそれぞれにおけるミドルおよびローの電位差は、前記信号電極の最大電位差と前記スイッチング素子の閾値電圧との差よりも大きい。

[0023] ある実施形態において、前記第５ゲートクロック信号、前記第６ゲートクロック信号、前記第７ゲートクロック信号および前記第８ゲートクロック信号のそれぞれは、ロー、ミドルおよびハイの順番に変化する。

[0024] ある実施形態において、前記第５ゲートクロック信号、前記第６ゲートクロック信号、前記第７ゲートクロック信号および前記第８ゲートクロック信号のそれぞれは、ロー、ハイおよびミドルの順番に変化する。

発明の効果

[0025] 本発明によれば、額縁領域の狭小化に適した液晶表示装置を提供することができる。

図面の簡単な説明

[0026] [図1]（ａ）は本発明による液晶表示装置の第１実施形態の模式的な斜視図であり、（ｂ）は本実施形態の液晶表示装置の等価回路図である。

[図2]比較例１の液晶表示装置の模式的な斜視図である。

[図3]比較例２の液晶表示装置の模式的な斜視図である。

[図4]（ａ）は本実施形態の等価回路を示す図であり、（ｂ）は本実施形態の液晶表示装置におけるゲート信号の波形図である。

[図5]（ａ）は本実施形態の等価回路を示す図であり、（ｂ）は本実施形態の液晶表示装置におけるゲートクロック信号およびゲート信号の波形図である。

[図6]本発明による液晶表示装置の第２実施形態の等価回路を示す図である。

[図7]本発明による液晶表示装置の第３実施形態の模式図である。

[図8]本実施形態の液晶表示装置におけるゲートドライバの模式図である。

[図9]（ａ）は本実施形態の液晶表示装置におけるゲートドライバモジュールの模式図であり、（ｂ）は本実施形態の液晶表示装置の信号波形図である。

[図10]（ａ）は本発明による液晶表示装置の第４実施形態におけるゲート信号の電圧波形図であり、（ｂ）は本実施形態の液晶表示装置におけるゲートドライバモジュールの模式図である。

[図11]本実施形態の液晶表示装置におけるゲート信号およびゲートクロック信号の波形図である。

[図12]（ａ）は本発明による液晶表示装置の第５実施形態における信号波形図であり、（ｂ）はゲートクロック信号ＧＣＫ５～ＧＣＫ８のロー、ミドル

およびハイの電位の関係を示す模式図である。

[図13]（ａ）は本発明による液晶表示装置の第６実施形態の等価回路を示す図であり、（ｂ）は本実施形態の液晶表示装置におけるゲートクロック信号およびゲート信号の波形図である。

発明を実施するための形態

[0027] 以下、図面を参照して、本発明による液晶表示装置の実施形態を説明する。ただし、本発明は、以下の実施形態に限定されるものではない。

[0028] （実施形態１）

以下、本発明による液晶表示装置の第１実施形態を説明する。図１（ａ）に、本実施形態の液晶表示装置１００の模式的な斜視図を示し、図１（ｂ）に、液晶表示装置１００の等価回路を示す。

[0029] 本実施形態の液晶表示装置１００は、基板１０と、基板２０と、基板１０と基板２０との間に位置する液晶層３０とを備える。基板１０は、ゲート配線Ｇと、画素電極１１と、スイッチング素子１２とを有している。例えば、スイッチング素子１２として、薄膜トランジスタ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ：ＴＦＴ）が用いられる。基板１０はアクティブマトリクス基板またはＴＦＴ基板と呼ばれることがあり、基板２０は対向基板と呼ばれることがある。本明細書において、基板１０、２０をそれぞれ第１基板１０、第２基板２０と呼ぶことがある。

[0030] 複数の画素電極１１は、複数の行および複数の列のマトリクス状に配列されている。複数のゲート配線Ｇのそれぞれは行方向に延びている。複数のスイッチング素子１２のそれぞれはゲートｇ、ソースｓおよびドレインｄを有している。各スイッチング素子１２のドレインｄは対応する画素電極１１と電気的に接続されており、各スイッチング素子１２のゲートｇは対応するゲート配線Ｇと電気的に接続されている。複数のスイッチング素子１２のうちの行方向に配列されたスイッチング素子１２のソースｓは互いに電気的に接続されている。このため、同一行のスイッチング素子１２のソースｓの電位は互いに等しい。ただし、異なる行のスイッチング素子１２のソースｓの電

位は互いに等しくなくてもよい。ここでは、スイッチング素子１２のソースｓはこのスイッチング素子１２のゲートｇに対応するゲート配線Ｇに隣接するゲート配線Ｇと電気的に接続されている。

[0031] ＴＦＴ１２は、半導体層を含むＭＩＳまたはＭＯＳ構造を有している。半導体層は、アモルファス半導体層、多結晶半導体層または酸化物半導体層であってよい。例えば、半導体層はＩＧＺＯ（ＩｎＧａＺｎＯｘ）を含んでもよく、これにより、低リークおよび駆動力の増大を図ることができ、補助容量配線を省略するとともに高速駆動が可能となる。あるいは、半導体層はアモルファスシリコンまたは多結晶シリコンを含んでいてもよい。また、ＴＦＴ１２はボトムゲート構造であってもよく、あるいは、トップゲート構造であってもよい。

[0032] 基板２０は、それぞれが互いに電気的に独立した複数の信号電極２１を有している。液晶表示装置１００において、信号電極２１はゲート配線Ｇとほぼ直交するように列方向に延びている。信号電極２１は、その少なくとも一部が列方向に配列された画素電極１１のそれぞれと対向するように配置されている。例えば、信号電極２１はほぼ一定の幅で複数の画素電極１１と対向するように列方向に延びている。あるいは、各信号電極２１は、配線部と、配線部に接続されてそれぞれが列方向に配列された画素電極１１と対向する複数の電極部とを有してもよい。信号電極２１には階調電圧に相当するビデオ信号が供給される。信号電極２１、ビデオ信号はそれぞれソース電極、ソース信号とも呼ばれる。

[0033] 液晶層３０は、例えば、ＶＡ（Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モードまたはＯＣＢ（Ｏｐｔｉｃａｌｌｙ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｅｎｄ）モードであってもよい。あるいは、液晶層３０はＩＰＳ（Ｉｎ Ｐｌａｎｅ Ｓｗｉｔｃｈｉｎｇ）モードまたはＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モードであってもよい。また、液晶表示装置１００は透過型であってもよく、反射型であってもよい。あるいは、液晶表示装置１００は透過反射両

用型であってもよい。

[0034] 液晶表示装置１００は、表示領域１０２および表示領域１０２の周囲に位置する額縁領域１０４を有している。画素電極１１、ＴＦＴ１２および信号電極２１は表示領域１０２に設けられる。

[0035] 液晶表示装置１００では、基板１０はゲートドライバ１５をさらに有しており、基板２０は外部接続端子部２４およびソースドライバ２５をさらに有している。外部接続端子部２４には入力基板４０が実装されている。入力基板４０として、例えば、フレキシブル回路基板（Ｆｌｅｘｉｂｌｅ Ｐｒｉｎｔｅｄ Ｃｉｒｃｕｉｔｓ：ＦＰＣ）が用いられる。

[0036] 例えば、ソースドライバ２５はガラス基板上に実装される。ソースドライバ２５は集積回路（Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ：ＩＣ）であってもよい。ソースドライバ２５は、入力基板４０から外部接続端子部２４を介して入力された信号に基づいて信号電極２１に供給されるビデオ信号を生成する。

[0037] ゲートドライバ１５はゲート配線Ｇに供給されるゲート信号を生成する。本実施形態の液晶表示装置１００では、ゲートドライバ１５には外部接続端子部２４を介して入力された信号が供給される。具体的には、液晶表示装置１００の額縁領域１０４において、基板１０の端子部１７と基板２０の端子部２７とを電気的に接続するコンタクト部６０が設けられており、基板２０には外部接続端子部２４と端子部２７とを電気的に接続する配線２６が設けられており、基板１０には端子部１７とゲートドライバ１５とを電気的に接続する配線１６が設けられている。外部接続端子部２４から入力された信号は、配線２６、端子部２７、コンタクト部６０、端子部１７および配線１６を介してゲートドライバ１５に入力され、ゲートドライバ１５はこの信号に基づいて生成したゲート信号をゲート配線Ｇに供給する。ゲートドライバ１５はモノリシックで基板１０に形成されることが好ましい。

[0038] ゲートドライバ１５からゲート配線Ｇに供給されたゲート信号が選択される（例えば、ゲート信号の電圧がハイになる）と、そのゲート配線Ｇと電気

的に接続されたゲートｇを有するＴＦＴ１２がオン状態となる。ＴＦＴ１２がオン状態の期間に書き込みが行われる。具体的には、ＴＦＴ１２がオン状態の期間に、画素電極１１と画素電極１１に対向する信号電極２１との間の液晶層３０に、ビデオ信号に対応する電圧が印加され、適切な階調で表示が行われる。なお、ＴＦＴ１２がオン状態の期間に、画素電極１１は基準電位となることが好ましい。基準電位は、例えば接地電位である。

[0039] 以下、比較例１および２の液晶表示装置と比較して本実施形態の液晶表示装置１００の利点を説明する。

[0040] まず、図２を参照して比較例１の液晶表示装置の構成を説明する。図２に比較例１の液晶表示装置８００の模式的な斜視図を示す。

[0041] 液晶表示装置８００は、基板８１０と、基板８２０と、基板８１０と基板８２０との間に位置する液晶層８３０とを備える。基板８１０は、ゲート配線Ｇと、画素電極８１１と、ＴＦＴ８１２とを有している。基板８２０は、互いに電気的に独立した信号電極８２１を有している。

[0042] 液晶表示装置８００では、基板８１０に、外部接続端子部８１４およびゲートドライバ８１５が設けられており、外部接続端子部８１４に入力基板８４０ａが実装されている。ゲートドライバ８１５は、入力基板８４０ａから外部接続端子部８１４を介して入力された信号に基づいてゲート信号を生成し、ゲート信号をゲート配線Ｇに供給する。また、基板８２０に、外部接続端子部８２４およびソースドライバ８２５が設けられており、外部接続端子部８２４に入力基板８４０ｂが実装されている。ソースドライバ８２５は、入力基板８４０ｂから外部接続端子部８２４を介して入力された信号に基づいてビデオ信号を生成し、ビデオ信号を信号電極８２１に供給する。

[0043] 次に、図３を参照して比較例２の液晶表示装置の構成を説明する。図３に比較例２の液晶表示装置９００の模式的な斜視図を示す。

[0044] 液晶表示装置９００は、基板９１０と、基板９２０と、基板９１０と基板９２０との間に位置する液晶層９３０とを備える。基板９１０は、ゲート配線Ｇと、画素電極９１１と、ＴＦＴ９１２とを有している。基板９２０は、

互いに電気的に独立された信号電極９２１を有している。

[0045] 液晶表示装置９００では、基板９２０に、外部接続端子部９２４およびドライバ９２５が設けられており、外部接続端子部９２４に入力基板９４０が実装されている。ドライバ９２５は、入力基板９４０から外部接続端子部９２４を介して入力された信号に基づいてゲート信号およびビデオ信号を生成する。液晶表示装置９００では、ドライバ９２５は、ゲートドライバおよびソースドライバの両方として機能する。

[0046] 液晶表示装置９００の額縁領域において基板９１０の端子部９１７と基板９２０の端子部９２７とを電気的に接続するコンタクト部９６０が設けられており、基板９２０には外部接続端子部９２４と端子部９２７とを電気的に接続する配線９２６が設けられており、基板９１０の端子部９１７はゲート配線Ｇと電気的に接続されている。コンタクト部９６０はゲート配線Ｇの数に対応して設けられている。

[0047] ドライバ９２５において生成されたビデオ信号は、配線９２８を介して信号電極９２１に供給される。一方、ドライバ９２５において生成されたゲート信号は、配線９２６、端子部９２７、コンタクト部９６０、端子部９１７を介してゲート配線Ｇに供給される。

[0048] 図２を参照して説明した比較例１の液晶表示装置８００では、基板８１０、８２０にそれぞれ外部接続端子部８１４、８２４が設けられており、基板８１０、８２０のそれぞれの額縁領域を比較的大きくすることが必要となる。また、図３を参照して説明した比較例２の液晶表示装置９００では、ドライバ９２５において生成されたゲート信号をゲート配線Ｇに伝達するためにゲート信号の数に対応する数のコンタクト部９６０を設ける必要があり、額縁領域を小さくできない。また、液晶表示装置９００ではコンタクト部９６０を介して伝達するゲート信号の数が多いため、歩留まりが低下することがある。

[0049] これに対して、本実施形態の液晶表示装置１００では、ゲートドライバ１５が基板２０の外部接続端子部２４を介して入力された信号に基づいてゲー

ト信号を生成する。液晶表示装置１００では、基板１０に外部接続端子部を設けることなく、また、ゲート信号を生成するための信号がコンタクト部６０を介して基板２０から基板１０に伝達されるため、額縁領域を小さくすることができる。また、本実施形態の液晶表示装置１００ではコンタクト部６０を介して伝達する信号の数を低減でき、歩留まりの低下を抑制できる。

[0050] なお、液晶表示装置１００では、液晶容量の電圧は、選択された画素に書き込みが行われてから次にその画素に書き込みが行われるまで実質的に維持されるが、画素電極１１の電位は信号電極２１の電位の変化に応じて変化する。したがって、特に何も制御されない場合、次に画素が選択されて液晶容量に所定の電圧が印加される際に、画素電極１１の電位が基準電位から大きくずれていることがある。このため、画素が選択されて液晶容量に所定の電圧を印加する際に、画素電極１１の電位を基準電位に設定することが好ましい。上述したように、スイッチング素子１２のソースｓがこのスイッチング素子１２のゲートｇに対応するゲート配線Ｇに隣接するゲート配線Ｇと電気的に接続されている場合、ゲート信号がローおよびハイだけでなく別のレベルに変化することにより、書き込み時に画素電極１１の電位を基準電位に設定することができる。

[0051] 以下、図４を参照して、液晶表示装置１００におけるゲート信号の電圧波形を説明する。図４（ａ）に液晶表示装置１００の等価回路を示す。

[0052] ゲートドライバ１５は、ゲート配線Ｇごとに設けられたゲートドライバモジュール１５ｍを含んでいる。本明細書においてゲートドライバモジュール１５ｍを単にモジュール１５ｍと呼ぶことがある。

[0053] また、本明細書において、第ｐ＋１行、第ｐ＋２行、第ｐ＋３行・・・のゲート配線Ｇをそれぞれゲート配線G_{p+1}、G_{p+2}、G_{p+3}・・・と示すことがある。ゲート配線G_{p+1}、G_{p+2}、G_{p+3}・・・に供給されるゲート信号をゲート信号GL_{p+1}、GL_{p+2}、GL_{p+3}・・・と示すことがあり、ゲート信号GL_{p+1}、GL_{p+2}、GL_{p+3}・・・を生成するモジュール１５ｍをモジュール$15m_{p+1}$、$15m_{p+2}$、$15m_{p+3}$・・・と示すことがある。同様に、第ｐ＋１行、第ｐ＋２行、第ｐ＋

３行・・・の画素電極１１をそれぞれ画素電極11_{p+1}、11_{p+2}、11_{p+3}・・・と示すことがあり、また、画素電極11_{p+1}、11_{p+2}、11_{p+3}・・・に対応するスイッチング素子１２をスイッチング素子12_{p+1}、12_{p+2}、12_{p+3}・・・と示すことがある。また、本明細書において、第ｑ＋１列、第ｑ＋２列、第ｑ＋３列・・・の信号電極２１をそれぞれ信号電極21_{q+1}、21_{q+2}、21_{q+3}・・・と示すことがある。

[0054] ゲート配線G_{p+1}とゲート配線G_{p+2}との間に画素電極11_{p+1}が配置されており、ゲート配線G_{p+2}とゲート配線G_{p+3}との間に画素電極11_{p+2}が配置されている。本実施形態の液晶表示装置１００では、$TFT12_{p+1}$のゲートｇはゲート配線G_{p+1}に電気的に接続されており、$TFT12_{p+1}$のドレインｄは画素電極11_{p+1}に電気的に接続されており、$TFT12_{p+1}$のソースｓはゲート配線G_{p+2}に電気的に接続されている。同様に、$TFT12_{p+2}$のゲートｇはゲート配線G_{p+2}に電気的に接続されており、$TFT12_{p+2}$のドレインｄは画素電極11_{p+2}に電気的に接続されており、$TFT12_{p+2}$のソースｓはゲート配線G_{p+3}に電気的に接続されている。

[0055] 図４（ｂ）に液晶表示装置１００のゲート信号GL_{p+1}～GL_{p+8}の電圧波形を示す。ここでは、ゲート信号GL_{p+1}～GL_{p+8}は３ステートの信号であり、ゲート信号GL_{p+1}～GL_{p+8}のそれぞれの電圧はＬ（ロー）、Ｍ（ミドル）およびＨ（ハイ）のレベルに変化する。ゲート信号GL_{p+1}～GL_{p+8}は、それぞれ、書き込み時にハイとなり、書き込み直前または書き込み直後にミドルとなり、他の期間はローとなる。ここでは、ゲート信号GL_{p+1}～GL_{p+8}は、書き込み直前にミドルとなり、書き込み時にハイとなり、その後、ローとなる。

[0056] ゲート信号GL_{p+2}の位相はゲート信号GL_{p+1}に対して１水平走査期間遅れており、ゲート信号GL_{p+3}の位相はゲート信号GL_{p+2}に対して１水平走査期間遅れている。このように、ゲート信号GL_{p+1}～GL_{p+8}の位相は１水平走査期間ずつずれている。

[0057] ここで、第ｐ＋１行の画素（すなわち、ゲート配線G_{p+1}、ゲート信号GL_{p+1}、画素電極11_{p+1}および$TFT12_{p+1}$）、および、第ｐ＋２行の画素（すなわ

ち、ゲート配線G_{p+2}、ゲート信号GL_{p+2}、画素電極11_{p+2}および$TFT12_{p+2}$）に着目する。水平走査期間１において、ゲート信号GL_{p+1}およびゲート信号GL_{p+2}の両方がローである。この場合、$TFT12_{p+1}$、$TFT12_{p+2}$はいずれも非選択である。

[0058] 水平走査期間２において、ゲート信号GL_{p+1}はミドルとなり、ゲート信号GL_{p+2}はローのままである。ゲート信号GL_{p+1}はミドルであるが、この電圧は$TFT12_{p+1}$の閾値電圧よりも低いため、$TFT12_{p+1}$は非選択のままである。

[0059] 水平走査期間３において、ゲート信号GL_{p+1}がハイとなり、ゲート信号GL_{p+2}はミドルとなる。ゲート信号GL_{p+1}はハイであり、この電圧は$TFT12_{p+1}$の閾値電圧よりも高いため、$TFT12_{p+1}$は選択されて、書き込みが行われる。上述したように、$TFT12_{p+1}$のドレインｄは画素電極11_{p+1}と接続されており、$TFT12_{p+1}$のソースｓはゲート配線G_{p+2}と接続されている。ゲート信号GL_{p+2}のミドルは基準電位に相当するため、画素電極11_{p+1}は基準電位に設定され、画素電極11_{p+1}と信号電極２１との間の液晶層３０には水平走査期間３における信号電極２１の電位に対応する所定の電圧が印加される。

[0060] 水平走査期間４において、ゲート信号GL_{p+1}はローとなり、ゲート信号GL_{p+2}はハイとなる。ゲート信号GL_{p+1}はローであるため、$TFT12_{p+1}$は非選択であり、画素電極11_{p+1}と信号電極２１との間の電圧は水平走査期間３における画素電極１１と信号電極２１との間の電圧に維持される。また、$TFT12_{p+2}$のドレインｄは画素電極11_{p+2}と接続されており、$TFT12_{p+2}$のソースｓはミドルであるゲート配線G_{p+3}と接続されている。このため、画素電極11_{p+2}は基準電位に設定され、画素電極11_{p+2}と信号電極２１との間の液晶層３０には水平走査期間４における信号電極２１の電位に対応する所定の電圧が印加される。

[0061] 以上のように、スイッチング素子１２のソースｓはこのスイッチング素子１２のゲートｇに対応するゲート配線Ｇに隣接するゲート配線Ｇと電気的に接続されており、また、ゲート信号はローおよびハイだけでなく中間のレベルに変化する。このため、書き込み時に画素電極１１の電位を基準電位に設

定でき、書き込みを適切に行うことができる。

[0062] なお、このようなゲート信号は、例えばゲートクロック信号から生成される。例えば、一部のゲートクロック信号がゲート信号として出力される。以下、図５を参照して、液晶表示装置１００におけるゲート信号の生成を説明する。図５（ａ）に液晶表示装置１００の等価回路を示す。

[0063] 各モジュール１５ｍは、ステージ部１５ｓおよびバッファ部１５ｔを有している。ステージ部１５ｓにはゲートクロック信号ＧＣＫ１～ＧＣＫ４が入力され、ステージ部１５ｓはゲートクロック信号ＧＣＫ１～ＧＣＫ４から選択信号を生成する。バッファ部１５ｔにはゲートクロック信号ＧＣＫ５～ＧＣＫ８が入力され、バッファ部１５ｔはステージ部１５ｓの選択信号およびゲートクロック信号ＧＣＫ５～ＧＣＫ８からゲート信号$ＧＬ_{p+1}$～$ＧＬ_{p+8}$を生成する。

[0064] 具体的には、モジュール$１５ｍ_{p+1}$において、ステージ部１５ｓはゲートクロック信号ＧＣＫ１に基づいて選択信号を生成し、バッファ部１５ｔはステージ部１５ｓの選択信号およびゲートクロック信号ＧＣＫ５に基づいてゲート信号$ＧＬ_{p+1}$を供給する。また、モジュール$１５ｍ_{p+2}$において、ステージ部１５ｓはゲートクロック信号ＧＣＫ２に基づいて選択信号を生成し、バッファ部１５ｔはステージ部１５ｓの選択信号およびゲートクロック信号ＧＣＫ６に基づいてゲート信号$ＧＬ_{p+2}$を供給する。同様に、モジュール$１５ｍ_{p+3}$において、ステージ部１５ｓはゲートクロック信号ＧＣＫ３に基づいて選択信号を生成し、バッファ部１５ｔはステージ部１５ｓの選択信号およびゲートクロック信号ＧＣＫ７に基づいてゲート信号$ＧＬ_{p+3}$を供給する。さらにモジュール$１５ｍ_{p+4}$において、ステージ部１５ｓはゲートクロック信号ＧＣＫ４に基づいて選択信号を生成し、バッファ部１５ｔはステージ部１５ｓの選択信号およびゲートクロック信号ＧＣＫ８に基づいてゲート信号$ＧＬ_{p+4}$を供給する。このように、モジュール$１５ｍ_{4x+y}$（ｘは０以上の整数、ｙは１以上４以下の整数）において、ステージ部１５ｓはゲートクロック信号ＧＣＫｙに基づいて選択信号を生成し、バッファ部１５ｔはステージ部１５ｓの選択信号およびゲー

トクロック信号ＧＣＫ（ｙ＋４）に基づいてゲート信号GL_{4x+y}を生成する。

[0065] 図５（ｂ）に液晶表示装置１００のゲートクロック信号ＧＣＫ１～ＧＣＫ８およびゲート信号GL_{p+1}～GL_{p+8}の電圧波形を示す。

[0066] ゲートクロック信号ＧＣＫ１～ＧＣＫ４はそれぞれ２水平走査期間ごとにローおよびハイに反転する。ゲートクロック信号ＧＣＫ２の位相はゲートクロック信号ＧＣＫ１に対して１水平走査期間遅れており、ゲートクロック信号ＧＣＫ３の位相はゲートクロック信号ＧＣＫ２に対して１水平走査期間遅れており、ゲートクロック信号ＧＣＫ４の位相はゲートクロック信号ＧＣＫ３に対して１水平走査期間遅れている。このように、ゲートクロック信号ＧＣＫ１～ＧＣＫ４の位相は１水平走査期間ずつずれている。

[0067] ゲートクロック信号ＧＣＫ５～ＧＣＫ８は３ステートの信号であり、ゲートクロック信号ＧＣＫ５～ＧＣＫ８のそれぞれの電圧はＬ（ロー）、Ｍ（ミドル）およびＨ（ハイ）のレベルに変化する。ゲートクロック信号ＧＣＫ５～ＧＣＫ８の電圧は４水平走査期間ごとに周期的に変化する。ゲートクロック信号ＧＣＫ５～ＧＣＫ８のそれぞれの電圧は、ロー、ミドルおよびハイを所定の順番に繰り返す。ここでは、ほぼ２水平走査期間ローの後、ほぼ１水平走査期間ミドルとなり、その後、ほぼ１水平走査期間ハイとなり、再び、ほぼ２水平走査期間ローとなる。

[0068] ゲートクロック信号ＧＣＫ６の位相はゲートクロック信号ＧＣＫ５に対して１水平走査期間遅れており、ゲートクロック信号ＧＣＫ７の位相はゲートクロック信号ＧＣＫ６に対して１水平走査期間遅れており、ゲートクロック信号ＧＣＫ８の位相はゲートクロック信号ＧＣＫ７に対して１水平走査期間遅れている。このように、ゲートクロック信号ＧＣＫ５～ＧＣＫ８の位相も１水平走査期間ずつずれている。

[0069] ゲートクロック信号ＧＣＫ５～ＧＣＫ８のうちのいずれか１つがハイとなる水平走査期間において、ゲートクロック信号ＧＣＫ５～ＧＣＫ８の他の１つはミドルになり、残りの２つはローを示す。具体的には、ゲートクロック信号ＧＣＫ５がハイとなる水平走査期間において、ゲートクロック信号ＧＣ

Ｋ６はミドルとなり、ゲートクロック信号ＧＣＫ７、ＧＣＫ８はローを示す。同様に、ゲートクロック信号ＧＣＫ６がハイとなる水平走査期間において、ゲートクロック信号ＧＣＫ７はミドルとなり、ゲートクロック信号ＧＣＫ８、ＧＣＫ５はローを示す。

[0070] モジュール１５ｍのバッファ部１５ｔは、ステージ部１５ｓから出力された選択信号に応じてゲートクロック信号ＧＣＫ５、ＧＣＫ６、ＧＣＫ７およびＧＣＫ８をそれぞれゲート信号GL_{p+1}、GL_{p+2}、GL_{p+3}およびGL_{p+4}として出力する。選択信号によってバッファ部１５ｔが選択されたときにゲートクロック信号ＧＣＫ５～ＧＣＫ８がローであると、ゲート信号はゲート配線Ｇの非選択に相当するオフ電圧を示す。このため、ゲート配線Ｇに対応する液晶容量の印加電圧は実質的に変化しない。選択信号によってバッファ部１５ｔが選択されたときにゲートクロック信号ＧＣＫ５～ＧＣＫ８がミドルであると、ゲート信号は基準電位を示す。このため、このゲート信号を利用して隣接する行の画素電極１１の電位を基準電位に設定することができる。選択信号によってバッファ部１５ｔが選択されたときにゲートクロック信号ＧＣＫ５～ＧＣＫ８がハイであると、ゲート信号はゲート配線Ｇの選択に相当するオン電圧を示し、ゲート配線Ｇに対応する液晶容量にはそのときの信号電極２１の電位に対応する電圧が印加される。

[0071] ここで、モジュール$15m_{p+1}$およびモジュール$15m_{p+2}$に着目する。モジュール$15m_{p+1}$のステージ部１５ｓは、ゲートクロック信号ＧＣＫ１に基づいて選択信号を生成する。バッファ部１５ｔは、選択信号およびゲートクロック信号ＧＣＫ５に基づいてゲート信号GL_{p+1}を生成する。選択信号によって選択されると、バッファ部１５ｔはゲートクロック信号ＧＣＫ５をゲート信号GL_{p+1}として出力する。

[0072] モジュール$15m_{p+2}$のステージ部１５ｓは、ゲートクロック信号ＧＣＫ２に基づいて選択信号を生成する。バッファ部１５ｔは、選択信号およびゲートクロック信号ＧＣＫ６に基づいてゲート信号GL_{p+2}を生成する。選択信号によって選択されると、バッファ部１５ｔはゲートクロック信号ＧＣＫ６をゲー

ト信号GL_{p+2}として出力する。

[0073] なお、上述した説明では、スイッチング素子１２のソースｓは隣接するゲート配線Ｇと電気的に接続されており、スイッチング素子１２をオンする際に画素電極１１の電位を基準電位に設定するために、このゲート配線Ｇの電位を基準電位として設定したが、本発明はこれに限定されない。スイッチング素子１２のソースｓが２行以上離れたゲート配線Ｇと電気的に接続されており、スイッチング素子１２をオンする際に画素電極１１の電位を基準電位に設定するために、このゲート配線Ｇの電位を基準電位として設定してもよい。

[0074] あるいは、ゲート配線Ｇとは別に、電位が予め基準電位に設定された基準電位線（図示せず）を設けて、スイッチング素子１２のソースが基準電位線と接続されてもよい。この場合、基準電位線は、ゲート配線Ｇと平行に設けられることが好ましい。ただし、基準電位線を設けることなく異なるゲート配線Ｇを利用することにより、開口率を増加させることができる。特に、隣接するゲート配線Ｇを利用することにより、開口率を効果的に増加させることができる。

[0075] また、上述した説明では、ゲート信号は３つのレベルに変化したが、本発明はこれに限定されない。ゲート信号はミドルを介することなくローおよびハイのレベルに変化するものであってもよい。

[0076] （実施形態２）

以下、図６を参照して本発明による液晶表示装置の第２実施形態を説明する。本実施形態の液晶表示装置１００はゲートドライバ１５が分離されて額縁領域１０４の異なる位置に設けられている点を除いて実施形態１において上述した液晶表示装置と同様の構成を有しており、冗長を避けるために重複する説明を省略する。

[0077] 額縁領域１０４は、表示領域１０２を介して行方向に対向する領域１０４ａ、１０４ｂを有している。本明細書において、領域１０４ａ、１０４ｂをそれぞれ第１領域、第２領域と呼ぶことがある。

[0078] 本実施形態の液晶表示装置１００においてゲートドライバ１５は、領域１０４ａに設けられたゲートドライバ１５ａと、領域１０４ｂに設けられたゲートドライバ１５ｂとを有している。例えば、ゲートドライバ１５ａは、奇数行のゲート配線Ｇにゲート信号を供給し、ゲートドライバ１５ｂは、偶数行のゲート配線Ｇにゲート信号を供給する。

[0079] ゲートドライバ１５ａは、ゲートクロック信号ＧＣＫ１、ＧＣＫ３、ＧＣＫ５、ＧＣＫ７に基づいて奇数行のゲート配線Ｇに供給されるゲート信号を生成する。また、ゲートドライバ１５ｂは、ゲートクロック信号ＧＣＫ２、ＧＣＫ４、ＧＣＫ６、ＧＣＫ８に基づいて偶数行のゲート配線に供給されるゲート信号を生成する。領域１０４ａにはゲートクロック配線ＬＧＣＫ１、ＬＧＣＫ３、ＬＧＣＫ５、ＬＧＣＫ７が設けられており、領域１０４ｂにはゲートクロック配線ＬＧＣＫ２、ＬＧＣＫ４、ＬＧＣＫ６およびＬＧＣＫ８が設けられている。

[0080] 本実施形態の液晶表示装置１００では、モジュール１５ｍは２つのゲートクロック信号に基づいてゲート信号を生成する。モジュール１５ｍにおいて図５（ａ）を参照して説明したように、ステージ部１５ｓはゲートクロック信号ＧＣＫ１～ＧＣＫ４のいずれかに基づいて選択信号を生成し、バッファ部１５ｔはこの選択信号に応じてゲートクロック信号ＧＣＫ５～ＧＣＫ８のいずれかをゲート信号として出力する。

[0081] ここで、ゲートドライバ１５ａのモジュール１５ｍに着目する。モジュール１５m_{2r+1}は、ゲートクロック信号ＧＣＫ１およびＧＣＫ５に基づいて生成したゲート信号をゲート配線G_{2r+1}に供給する。モジュール１５m_{2r+3}は、ゲートクロック信号ＧＣＫ３およびＧＣＫ７に基づいて生成したゲート信号をゲート配線G_{2r+3}に供給する。同様に、モジュール１５m_{2r+5}は、ゲートクロック信号ＧＣＫ１およびＧＣＫ５に基づいて生成したゲート信号をゲート配線G_{2r+5}に供給する。モジュール１５m_{2r+7}（図示せず）は、ゲートクロック信号ＧＣＫ３およびＧＣＫ７に基づいて生成したゲート信号をゲート配線G_{2r+7}（図示せず）に供給する。このように、ゲートドライバ１５ａのモジュール１５m_{4x+}

$_1$（ｘは０以上の整数）は、ゲートクロック信号ＧＣＫ１およびＧＣＫ５に基づいてゲート信号を生成し、モジュール１５ｍ$_{4x+3}$は、ゲートクロック信号ＧＣＫ３およびＧＣＫ７に基づいてゲート信号を生成する。

[0082] 次に、ゲートドライバ１５ｂのモジュール１５ｍに着目する。モジュール１５ｍ$_{2r+2}$は、ゲートクロック信号ＧＣＫ２およびＧＣＫ６に基づいて生成したゲート信号をゲート配線Ｇ$_{2r+2}$に供給する。モジュール１５ｍ$_{2r+4}$は、ゲートクロック信号ＧＣＫ４およびＧＣＫ８に基づいて生成したゲート信号をゲート配線Ｇ$_{2r+4}$に供給する。同様に、モジュール１５ｍ$_{2r+6}$は、ゲートクロック信号ＧＣＫ２およびＧＣＫ６に基づいて生成したゲート信号をゲート配線Ｇ$_{2r+6}$に供給する。モジュール１５ｍ$_{2r+8}$（図示せず）は、ゲートクロック信号ＧＣＫ４およびＧＣＫ８に基づいて生成したゲート信号をゲート配線Ｇ$_{2r+8}$（図示せず）に供給する。このように、ゲートドライバ１５ｂのモジュール１５ｍ$_{4x+2}$（ｘは０以上の整数）はゲートクロック信号ＧＣＫ２およびＧＣＫ６に基づいてゲート信号を生成し、モジュール１５ｍ$_{4x+4}$はゲートクロック信号ＧＣＫ４およびＧＣＫ８に基づいてゲート信号を生成する。

[0083] 本実施形態の液晶表示装置１００では、モジュール１５ｍを異なる領域１０４ａ、１０４ｂに設けることにより、列方向に配列されるモジュール１５ｍの間隔を増大させることができ、額縁領域１０４の列方向の長さの短縮が可能となる。また、各領域１０４ａ、１０４ｂのゲートクロック配線ＬＧＣＫ１～ＬＧＣＫ８の数が低減するため、ゲートクロック配線間の干渉を低減させることができる。

[0084] なお、ここでは、各モジュール１５ｍは２つのゲートクロック信号に基づいてゲート信号を生成したが、本発明はこれに限定されない。各モジュール１５ｍは３つのゲートクロック信号に基づいてゲート信号を生成してもよい。例えば、ゲートドライバ１５ａのモジュール１５ｍ$_{4x+1}$（ｘは０以上の整数）は、ゲートクロック信号ＧＣＫ１、ＧＣＫ３およびＧＣＫ５に基づいてゲート信号を生成し、モジュール１５ｍ$_{4x+3}$は、ゲートクロック信号ＧＣＫ１、ＧＣＫ３およびＧＣＫ７に基づいてゲート信号を生成してもよい。また、ゲ

ートドライバ１５ｂのモジュール１５ｍ$_{4x+2}$（ｘは０以上の整数）はゲートクロック信号ＧＣＫ２、ＧＣＫ４およびＧＣＫ６に基づいてゲート信号を生成し、モジュール１５ｍ$_{4x+4}$はゲートクロック信号ＧＣＫ２、ＧＣＫ４およびＧＣＫ８に基づいてゲート信号を生成してもよい。

[0085] （実施形態３）

以下、図７～図９を参照して本発明による液晶表示装置の第３実施形態を説明する。図７に、本実施形態の液晶表示装置１００の模式図を示す。本実施形態の液晶表示装置１００は、モジュール１５ｍが縦続接続されて、各モジュール１５ｍが２つのゲートクロック信号および隣接するモジュール１５ｍからの信号に基づいてゲート信号を生成する点を除いて実施形態２において上述した液晶表示装置と同様の構成を有しており、冗長を避けるために重複する説明を省略する。

[0086] 図７において、ゲートドライバ１５は、奇数行のゲート配線Ｇにゲート信号を供給するモジュール１５ｍを有するゲートドライバ１５ａと、偶数行のゲート配線Ｇにゲート信号を供給するモジュール１５ｍを有するゲートドライバ１５ｂとを有しており、ゲートドライバ１５ａ、１５ｂはそれぞれ額縁領域１０４の第１領域１０４ａ、第２領域１０４ｂに設けられている。本実施形態の液晶表示装置１００では、モジュール１５ｍが縦続接続されており、モジュール１５ｍには隣接するモジュール１５ｍからカスケード信号が入力され、また、このモジュール１５ｍは隣接するモジュール１５ｍにカスケード信号を出力する。

[0087] 図８に、ゲートドライバ１５ａのモジュール１５ｍ$_{2r+1}$、１５ｍ$_{2r+3}$、１５ｍ$_{2r+5}$のそれぞれの入力信号および出力信号の一例を示す。なお、上述したように、モジュール１５ｍは、ステージ部１５ｓと、バッファ部１５ｔとを有している。以下の説明において、モジュール１５ｍ$_{2r+1}$、１５ｍ$_{2r+3}$、１５ｍ$_{2r+5}$・・・のステージ部１５ｓをそれぞれステージ部１５ｓ$_{2r+1}$、１５ｓ$_{2r+3}$、１５ｓ$_{2r+5}$・・・と示すことがあり、モジュール１５ｍ$_{2r+1}$、１５ｍ$_{2r+3}$、１５ｍ$_{2r+5}$・・・のバッファ部１５ｔをそれぞれバッファ部１５ｔ$_{2r+1}$、１５ｔ$_{2r+3}$、１５ｔ$_{2r+5}$・

・・と示すことがある。

[0088] モジュール１５m_{2r+1}はゲートドライバ１５ａの第ｒ＋１番目に位置しており、モジュール１５m_{2r-1}、１５m_{2r+3}・・・はそれぞれゲートドライバ１５ａの第ｒ番目、第ｒ＋２番目・・・に位置している。上述したように、あるモジュール１５ｍから隣接するモジュール１５ｍにカスケード信号が出力され、当該モジュール１５ｍに隣接するモジュール１５ｍからカスケード信号が入力される。以下の説明において、モジュール１５m_{2r+1}から出力される信号をカスケード信号Z_{r+1}と示し、モジュール１５m_{2r-1}、１５m_{2r+3}・・・から出力される信号をカスケード信号Z_r、Z_{r+2}・・・と示すことがある。

[0089] まず、モジュール１５m_{2r+1}に着目する。モジュール１５m_{2r+1}において、ステージ部１５s_{2r+1}にはゲートクロック信号ＧＣＫ１およびカスケード信号Z_r、Z_{r+2}が入力される。ステージ部１５s_{2r+1}は、これらの信号に基づいてカスケード信号Z_{r+1}および信号ＶＣを生成する。なお、カスケード信号Z_r、Z_{r+2}はステージ部１５s_{2r-1}、１５s_{2r+3}から出力される信号である。バッファ部１５t_{2r+1}にはゲートクロック信号ＧＣＫ５、信号ＶＣ（必要に応じてカスケード信号Z_{r+2}）が入力される。バッファ部１５t_{2r+1}は、これらの信号に基づいてゲート信号ＧＬ$_{2r+1}$を生成する。なお、信号ＶＣが選択されている場合、バッファ部１５t_{2r+1}は、ゲートクロック信号ＧＣＫ５をゲート信号ＧＬ$_{2r+1}$として出力する。このため、信号ＶＣは選択信号とも呼ばれる。

[0090] 次に、モジュール１５m_{2r+3}に着目する。モジュール１５m_{2r+3}において、ステージ部１５s_{2r+3}にはゲートクロック信号ＧＣＫ３およびカスケード信号Z_{r+1}、Z_{r+3}が入力される。ステージ部１５s_{2r+3}は、これらの信号に基づいてカスケード信号Z_{r+2}、信号ＶＣを生成する。バッファ部１５t_{2r+3}にはゲートクロック信号ＧＣＫ７、信号ＶＣ（必要に応じてカスケード信号Z_{r+3}）が入力される。バッファ部１５t_{2r+3}は、これらの信号に基づいてゲート信号ＧＬ$_{2r+3}$を生成する。

[0091] このようにモジュール１５ｍのステージ部１５ｓは隣接するモジュール１５ｍのステージ部１５ｓと信号の入出力を行う。このため、複数のモジュー

ル１５ｍのステージ部１５ｓからシフトレジスタが構成される。

[0092] ここで、図９（ａ）を参照してモジュール１５m_{2r+1}の一例を説明する。上述したように、モジュール１５m_{2r+1}はステージ部１５s_{2r+1}およびバッファ部１５t_{2r+1}を有している。また、モジュール１５m_{2r+1}には、ゲートクロック信号ＧＣＫ１、ＧＣＫ５が入力される端子ＧＣＫ１、ＧＣＫ５と、カスケード信号Z_r、Z_{r+2}が入力される端子Z_r、Z_{r+2}と、ゲート信号GL_{2r+1}およびカスケード信号Zr_{+1}が出力される端子GL_{2r+1}、Z_{r+1}とが設けられている。

[0093] 図９（ａ）に示すように、ステージ部１５s_{2r+1}は、プルアップ部１５１、プルダウン部１５２およびプルアップ駆動部１５３を含む。プルアップ部１５１は、ＮＭＯＳトランジスタＭ１を有している。トランジスタＭ１は、端子ＧＣＫ１に接続されたドレインと、ノードＮ１に接続されたゲートと、ノードＮ２に接続されたソースとを有している。ノードＮ２は端子Z_{r+1}に接続されている。

[0094] プルダウン部１５２はＮＭＯＳトランジスタＭ２を有している。トランジスタＭ２は、ノードＮ２に接続されたドレインと、端子Z_{r+2}に接続されたゲートと、端子ＶＳＳに接続されたソースとを有している。端子ＶＳＳは、例えば、接地されている。

[0095] プルアップ駆動部１５３は、キャパシタＣおよびトランジスタＭ３、Ｍ４を有している。キャパシタＣは、ノードＮ１とノードＮ２との間に配置されており、ブートストラップキャパシタとも呼ばれる。トランジスタＭ３は、端子Z_rにそれぞれが接続されたドレインおよびゲートと、ノードＮ１に接続されたソースとを有している。トランジスタＭ４は、ノードＮ１に接続されたドレインと、端子Z_{r+2}に接続されたゲートと、端子ＶＳＳに接続されたソースとを有している。

[0096] バッファ部１５t_{2r+1}は、トランジスタＭ５、Ｍ６を有している。トランジスタＭ５は、端子ＧＣＫ５に接続されたドレインと、ノードＮ１と接続されたゲートと、端子GL_{2r+1}に接続されたソースとを有している。トランジスタＭ６は、端子GL_{2r+1}に接続されたドレインと、端子Z_{r+2}に接続されたゲート

と、端子ＶＳＳに接続されたソースとを有している。なお、ここでは、トランジスタＭ２、Ｍ４およびＭ６のソースは端子ＶＳＳに接続されているが、これらの端子ＶＳＳの電位は必ずしも等しくなくてもよい。

[0097] 図９（ｂ）に、ゲートクロック信号ＧＣＫ１、ＧＣＫ３、ＧＣＫ５、ＧＣＫ７、カスケード信号Z_r、選択信号ＶＣ、カスケード信号Z_{r+1}、ゲート信号GL_{2r+1}、カスケード信号Z_{r+2}の波形を示す。選択信号ＶＣはノードＮ１の電位を示している。ゲートクロック信号ＧＣＫ３の位相は、ゲートクロック信号ＧＣＫ１に対してほぼ２水平走査期間ずれている。また、ゲートクロック信号ＧＣＫ７の位相はゲートクロック信号ＧＣＫ５に対してほぼ２水平走査期間ずれている。

[0098] 以下、図９（ａ）および図９（ｂ）を参照して液晶表示装置１００のモジュール$15m_{2r+1}$における信号の電圧の変化の一例を説明する。カスケード信号Z_rがローからハイに立ち上がると、トランジスタＭ３がオン状態になり、信号ＶＣがローからミドルに立ち上がり、これに伴い、トランジスタＭ５がオン状態になる。ここでは、カスケード信号Z_rがローからハイに立ち上がるときにゲートクロック信号ＧＣＫ５はローを示している。

[0099] また、カスケード信号Z_rの立ち上がりに応じてキャパシタＣが充電され始める。キャパシタＣの充電電圧がトランジスタＭ１のゲートソース間スレッショルド電圧以上に充電されると、トランジスタＭ１がオン状態になる。ここでは、カスケード信号Z_rがローからハイに立ち上がるときにゲートクロック信号ＧＣＫ１はローを示している。その後、カスケード信号Z_rはハイからローに立ち下がるが、キャパシタＣに起因してノードＮ１の電位（すなわち、選択信号ＶＣ）はミドルに維持される。

[0100] 次に、ゲートクロック信号ＧＣＫ１がローからハイに立ち上がると、ノードＮ２（およびカスケード信号Z_{r+1}）がローからハイに変化する。また、ノードＮ２の電位の変化に応じてノードＮ１の電位（および信号ＶＣ）がミドルからハイに変化する。このようにゲートクロック信号ＧＣＫ１によって信号ＶＣがさらに立ち上がることはブートストラップとも呼ばれる。これにより

、トランジスタＭ５のオン状態が確実に維持される。

[0101] また、カスケード信号Z_rがハイからローに立ち下がった後に、ゲートクロック信号ＧＣＫ５はローからミドルを介してハイに立ち上がる。このとき、選択信号ＶＣがミドルまたはハイを示すと、ゲートクロック信号ＧＣＫ５は端子GL_{2r+1}からゲート信号GL_{2r+1}として出力される。このようにして、３ステートのゲート信号GL_{2r+1}が出力される。

[0102] その後、ゲートクロック信号ＧＣＫ１がハイからローに立ち下がると、選択信号ＶＣはハイからミドルに立ち下がる。さらに、カスケード信号Z_{r+2}がローからハイに立ち上がることにより、トランジスタＭ２がオン状態となり、選択信号ＶＣはミドルからローに立ち下がる。その後、次の書き込みまで、バッファ部$15t_{2r+1}$は選択されない。以上のようにしてゲート信号GL_{2r+1}が生成される。以上のように、ゲートクロック信号ＧＣＫ５がミドルおよびハイを示す期間に選択信号ＶＣの電位がブートストラップによって突き上げられると、バッファ部$15t_{2r+1}$においてゲートクロック信号ＧＣＫ５を実質的に減衰させることなくゲート信号GL_{2r+1}として出力することができる。

[0103] なお、上述した説明では、モジュール$15m_{2r+1}$のステージ部$15s_{2r+1}$およびバッファ部$15t_{2r+1}$について説明したが、領域１０４ａの他のモジュール１５ｍも同様の構成を有しており、また、領域１０４ｂのモジュール１５ｍも同様の構成を有している。

[0104] 上述したように、モジュール$15m_{2r+1}$においてゲートクロック信号ＧＣＫ１がローからハイに立ち上がるのに伴いカスケード信号Z_{r+1}はローからハイに立ち上がり、ゲートクロック信号ＧＣＫ１がハイからローに立ち下がるのに伴いカスケード信号Z_{r+1}はハイからローに立ち下がる。同様に、モジュール$15m_{2r+3}$においてゲートクロック信号ＧＣＫ３がローからハイに立ち上がるのに伴いカスケード信号Z_{r+2}はローからハイに立ち上がり、ゲートクロック信号ＧＣＫ３がハイからローに立ち下がるのに伴いカスケード信号Z_{r+2}はハイからローに立ち下がる。

[0105] また、モジュール$15m_{2r+1}$においてゲートクロック信号ＧＣＫ１がローか

らハイに立ち上がるのに伴い、選択信号ＶＣはミドルからハイに立ち上がり、ゲートクロック信号ＧＣＫ５がゲート信号$ＧＬ_{2r+1}$として出力される。このとき、仮に、カスケード信号$Ｚ_{r+2}$がハイであるとすると、ゲートクロック信号ＧＣＫ５が端子ＶＳＳを介して出力されてしまうことになる。このため、選択信号ＶＣがハイである場合（すなわち、ゲートクロック信号ＧＣＫ１がハイの場合）、カスケード信号$Ｚ_{r+2}$はローである（すなわち、ゲートクロック信号ＧＣＫ３がローである）ことが好ましい。

[0106] このように、ゲートクロック信号ＧＣＫ１、ＧＣＫ３が同時にハイにならないことが好ましい。具体的には、ゲートクロック信号ＧＣＫ３がハイからローに立ち下がった後に、ゲートクロック信号ＧＣＫ１がローからハイに立ち上がることが好ましい。同様に、ゲートクロック信号ＧＣＫ１がハイからローに立ち下がった後に、ゲートクロック信号ＧＣＫ３がローからハイに立ち上がることが好ましい。これにより、モジュール１５ｍにおいてゲートクロック信号ＧＣＫ５が端子ＶＳＳを介して出力されることを抑制することができる。

[0107] なお、ここでは、ゲートドライバ１５ａのモジュール１５ｍに着目して説明したが、ゲートドライバ１５ｂのモジュール１５ｍも同様である。例えば、ゲートクロック信号ＧＣＫ４がハイからローに立ち下がった後に、ゲートクロック信号ＧＣＫ２がローからハイに立ち上がることが好ましい。同様に、ゲートクロック信号ＧＣＫ２がハイからローに立ち下がった後に、ゲートクロック信号ＧＣＫ４がローからハイに立ち上がることが好ましい。なお、各モジュール１５ｍがゲート信号を生成することを確実にするために、ゲートドライバ１５ａ、１５ｂのそれぞれのモジュール１５ｍの両端にダミーモジュール（ここでは図示せず）を設けてもよい。

[0108] また、上述した説明では、ゲートドライバ１５は、額縁領域１０４のうち表示領域１０２を介して行方向に対向する領域１０４ａ、１０４ｂにそれぞれ設けられたゲートドライバ１５ａ、１５ｂを有していたが、本発明はこれに限定されない。図１～図５を参照して上述した実施形態１と同様に、ゲー

トドライバ１５は表示領域１０２に対して一方の側に設けられてもよい。この場合も、モジュール１５m_{2r+3}には、モジュール１５m_{2r+1}、１５m_{2r+5}からのカスケード信号Z_{2r+1}、Z_{2r+5}が入力され、同様に、モジュール１５m_{2r+4}には、モジュール１５m_{2r+2}、１５m_{2r+6}からのカスケード信号Z_{2r+2}、Z_{2r+6}が入力される。

[0109] （実施形態４）

以下、図１０および図１１を参照して本発明による液晶表示装置の第４実施形態を説明する。本実施形態の液晶表示装置１００は、ゲートクロック信号ＧＣＫ１～ＧＣＫ８の立ち上がり、および、立ち下がりが所定の関係を満たしている点を除いて上述した液晶表示装置と同様の構成を有しており、冗長を避けるために重複する説明を省略する。

[0110] 図１０（ａ）に、本実施形態の液晶表示装置１００におけるゲートクロック信号ＧＣＫ１～ＧＣＫ８の波形図を示す。本実施形態の液晶表示装置１００では、ゲートクロック信号ＧＣＫ１はゲートクロック信号ＧＣＫ５のローからミドルへの立ち上がりと同期してローからハイに立ち上がる。同様に、ゲートクロック信号ＧＣＫ２はゲートクロック信号ＧＣＫ６のローからミドルへの立ち上がりと同期してローからハイに立ち上がり、ゲートクロック信号ＧＣＫ３はゲートクロック信号ＧＣＫ７のローからミドルへの立ち上がりと同期してローからハイに立ち上がり、ゲートクロック信号ＧＣＫ４はゲートクロック信号ＧＣＫ８のローからミドルへの立ち上がりと同期してローからハイに立ち上がる。これにより、ブートストラップの突き上げ効率を向上できる。

[0111] ここで、図１０（ｂ）を参照して、モジュール１５m_{2r+1}においてゲートクロック信号ＧＣＫ１の立ち上がりがゲートクロック信号ＧＣＫ５のローからミドルへの立ち上がりと同期していることによる利点を説明する。図１０（ｂ）に、モジュール１５m_{2r+1}の模式図を示す。なお、図１０（ｂ）は図９（ａ）と同様の構成を示しており、冗長を避けるために重複する説明を省略する。

[0112] ゲートクロック信号ＧＣＫ１の立ち上がりがゲートクロック信号ＧＣＫ５と同期していない場合、ゲートクロック信号ＧＣＫ１の立ち上がりに起因するノードＮ１の電位変化量ΔＶＣは、

$$\Delta VC = \Delta GCK \times (C_C + C_{M1}) / (C_C + C_{M1} + C_{M3} + C_{M4} + C_{M5})$$

と表される。ここで、ΔＧＣＫは、ＧＣＫ１がローからハイに変化する際の電位変化量を示し、C_CはキャパシタＣの容量値を示し、C_{M1}～C_{M6}はトランジスタＭ１～Ｍ６のそれぞれの容量値を示す。

[0113] これに対して、ゲートクロック信号ＧＣＫ１の立ち上がりがゲートクロック信号ＧＣＫ５と同期している場合、ゲートクロック信号ＧＣＫ１の立ち上がりに起因するノードＮ１の電位変化量ΔＶＣは、

$$\Delta VC = \Delta GCK \times (C_C + C_{M1} + C_{M5}) / (C_C + C_{M1} + C_{M3} + C_{M4} + C_{M5})$$

と表される。電位変化量ΔＶＣの比較から理解されるように、ゲートクロック信号ＧＣＫ１、ＧＣ５が同期していることによって電位変化量ΔＶＣが増加するため、トランジスタＭ５の駆動力が増大し、これにより、ゲート信号GL_{2r+1}の立ち上がり時間を短縮できる。以上のように、ゲートクロック信号ＧＣＫ１～ＧＣＫ４のローからハイへの立ち上がりのタイミングが、同一のモジュール１５ｍに入力されるＧＣＫ５～ＧＣＫ８のローからミドルへの立ち上がりのタイミングと同期していることにより、ゲート信号の立ち上がり時間を短縮できる。

[0114] なお、あるゲート配線Ｇのゲート信号の電圧がミドルからハイに立ち上がるよりも前に、隣接するゲート配線Ｇのゲート信号がローからミドルに立ち上がることが好ましい。また、あるゲート配線Ｇのゲート信号の電圧がハイからローに立ち下がった後に、隣接するゲート配線Ｇのゲート信号がミドルからハイに立ち上がることが好ましい。

[0115] 以下、図１１を参照して、本実施形態の液晶表示装置１００におけるゲート配線Ｇに供給されるゲート信号GL_{p+1}～GL_{p+8}およびゲートクロック信号ＧＣＫ１～ＧＣＫ８の電圧波形の関係を説明する。

[0116] ここでも、ゲート信号GL_{p+1}～GL_{p+8}は３ステートの信号であり、ゲート信

号GL_{p+1}～GL_{p+8}のそれぞれの電圧はＬ（ロー）、Ｍ（ミドル）、Ｈ（ハイ）のレベルに変化する。ゲート信号GL_{p+1}～GL_{p+8}は、それぞれ、書き込み時にハイとなり、書き込み直前または書き込み直後にミドルとなり、他の期間はローとなる。ここでは、ゲート信号GL_{p+1}～GL_{p+8}は、書き込み直前にミドルとなり、書き込み時にハイとなり、その後、ローとなる。ゲート信号GL_{p+2}の位相はゲート信号GL_{p+1}に対して１水平走査期間遅れており、ゲート信号GL_{p+3}の位相はゲート信号GL_{p+2}に対して１水平走査期間遅れている。このように、ゲート信号GL_{p+1}～GL_{p+8}の位相は１水平走査期間ずつずれている。

[0117] まず、ゲート信号GL_{p+1}およびゲート信号GL_{p+2}に着目する。水平走査期間１において、ゲート信号GL_{p+1}およびゲート信号GL_{p+2}の両方がローである。この場合、$TFT12_{p+1}$、$TFT12_{p+2}$はいずれも非選択である。

[0118] 水平走査期間２において、ゲート信号GL_{p+1}はミドルとなり、ゲート信号GL_{p+2}はローのままである。ゲート信号GL_{p+1}はミドルであるが、この電圧は$TFT12_{p+1}$の閾値電圧よりも低いため、$TFT12_{p+1}$は非選択のままである。

[0119] 水平走査期間３において、ゲート信号GL_{p+1}がハイとなり、ゲート信号GL_{p+2}はミドルとなる。ゲート信号GL_{p+1}はハイであり、この電圧は$TFT12_{p+1}$の閾値電圧よりも高いため、$TFT12_{p+1}$は選択されて、書き込みが行われる。上述したように、$TFT12_{p+1}$のドレインｄは画素電極11_{p+1}と接続されており、$TFT12_{p+1}$のソースｓはゲート配線G_{p+2}と接続されている。ゲート信号GL_{p+2}のミドルレベルは基準電位に相当するため、画素電極11_{p+1}は基準電位に設定され、画素電極11_{p+1}と信号電極２１との間の液晶層３０には水平走査期間３における信号電極２１の電位に対応する所定の電圧が印加される。

[0120] 本実施形態の液晶表示装置１００では、この水平走査期間３において、ゲート信号GL_{p+1}の電位がミドルからハイに変化するよりも前に、ゲート信号GL_{p+2}の電位がローからミドルに変化する。これにより、$TFT12_{p+1}$がオンしている期間に、画素電極11_{p+1}の基準電位の変動を抑制し、ノイズの影響を低減させることができる。

[0121] 水平走査期間４において、ゲート信号GL_{p+1}はローとなり、ゲート信号ＧＬ

$_{p+2}$はハイとなる。ゲート信号ＧＬ$_{p+1}$はローであるため、ＴＦＴ１２$_{p+1}$は非選択であり、画素電極１１$_{p+1}$と信号電極２１との間の電圧は水平走査期間３における信号電極２１と画素電極１１との間の電圧に維持される。

[0122] 本実施形態の液晶表示装置１００では、この水平走査期間４において、ゲート信号ＧＬ$_{p+1}$の電位がハイからローに立ち下がるよりも後に、ゲート信号ＧＬ$_{p+2}$の電位がミドルからハイに立ち上がる。これにより、ＴＦＴ12$_{p+1}$がオンしている期間の画素電極１１$_{p+1}$の基準電位の変動を抑制し、ノイズの影響を低減させることができる。

[0123] このように、あるゲート配線Ｇのゲート信号の電圧がミドルからハイに立ち上がるよりも前に、隣接するゲート配線Ｇのゲート信号がローからミドルに立ち上がることが好ましい。また、あるゲート配線Ｇのゲート信号の電圧がハイからローに立ち下がった後に、隣接するゲート配線Ｇのゲート信号がミドルからハイに立ち上がることが好ましい。

[0124] なお、上述したように、ゲートクロック信号ＧＣＫ５～ＧＣＫ８は、選択信号ＶＣによって選択された期間において、ゲート信号として出力される。したがって、ゲートクロック信号ＧＣＫ５がミドルからハイに立ち上がるよりも前に、ゲートクロック信号ＧＣＫ６がローからミドルに立ち上がることが好ましい。また、ゲートクロック信号ＧＣＫ５がハイからローに立ち下がった後に、ゲートクロック信号ＧＣＫ６がミドルからハイに立ち上がることが好ましい。

[0125] 同様に、ゲートクロック信号ＧＣＫ６がミドルからハイに立ち上がるよりも前に、ゲートクロック信号ＧＣＫ７がローからミドルに立ち上がることが好ましく、ゲートクロック信号ＧＣＫ６がハイからローに立ち下がった後に、ゲートクロック信号ＧＣＫ７がミドルからハイに立ち上がることが好ましい。また、ゲートクロック信号ＧＣＫ７がミドルからハイに立ち上がるよりも前に、ゲートクロック信号ＧＣＫ８がローからミドルに立ち上がることが好ましく、ゲートクロック信号ＧＣＫ７がハイからローに立ち下がった後に、ゲートクロック信号ＧＣＫ８がミドルからハイに立ち上がることが好まし

い。さらに、ゲートクロック信号ＧＣＫ８がミドルからハイに立ち上がるよりも前に、ゲートクロック信号ＧＣＫ５がローからミドルに立ち上がることが好ましく、ゲートクロック信号ＧＣＫ８がハイからローに立ち下がった後に、ゲートクロック信号ＧＣＫ５がミドルからハイに立ち上がることが好ましい。

[0126] （実施形態５）

以下、図１２を参照して本発明による液晶表示装置の第５実施形態を説明する。本実施形態の液晶表示装置１００は、ゲートクロック信号ＧＣＫ５～ＧＣＫ８のロー、ミドルおよびハイの電位が所定の関係を満たす点を除いて上述した液晶表示装置と同様の構成を有しており、冗長を避けるために重複する説明を省略する。ここでも、図５（ｂ）を参照して上述したように、ゲートクロック信号ＧＣＫ５、ＧＣＫ６、ＧＣＫ７およびＧＣＫ８のそれぞれの電圧は、ロー、ミドルおよびハイの順番に変化する。また、図４、図５、図７、図８および図９を参照して上述したように、ゲートクロック信号ＧＣＫ５、ＧＣＫ６、ＧＣＫ７およびＧＣＫ８は、選択信号で選択された期間、ゲート信号として出力される。

[0127] 本実施形態の液晶表示装置１００では、ゲートクロック信号ＧＣＫ５、ＧＣＫ６、ＧＣＫ７およびＧＣＫ８のそれぞれにおいてハイおよびミドルの電位差は、信号電極２１の最大電位差とスイッチング素子１２の閾値電圧との和よりも大きい。ここで、ΔＶＳはビデオ信号の振幅の最大値を示し、Ｖｔはスイッチング素子１２の閾値電圧を示すとすると、ゲートクロック信号ＧＣＫ５におけるハイおよびミドルの電位差はΔＶＳ＋Ｖｔ以上である。

[0128] 一般に、信号電極２１の電位は基準電位に対して水平走査期間ごとに反転して、表示特性の低下を抑制している。信号電極２１の電位と基準電位との関係は極性とも呼ばれ、極性が水平走査期間ごとに反転する。例えば、液晶表示装置１００がノーマリブラックの場合、複数の水平走査期間にわたって白を表示するとき、信号電極２１の電位の変化量は最大値を示す。基準電位を書込む際に、画素電極１１の電位は最大でビデオ信号の振幅分高い（＋側

にある）可能性があるが、ミドルおよびハイの電位差を以上のように設定することにより、スイッチング素子（例えばＴＦＴ）１２を線形領域で確実に動作させることができる。

[0129] また、ゲートクロック信号ＧＣＫ５、ＧＣＫ６、ＧＣＫ７およびＧＣＫ８のそれぞれにおいて、ミドルおよびローの電位差は、信号電極２１の最大電位差とスイッチング素子１２の閾値電圧との差よりも大きいことが好ましい。すなわち、ミドルおよびローの電位差は、ΔＶＳ－Ｖｔ以上である。ΔＶＳ、Ｖｔは、上述したように、それぞれ、ビデオ信号の振幅の最大値、および、スイッチング素子１２の閾値電圧である。このように、ミドルおよびローの電位差を設定することにより、非選択時にスイッチング素子１２をオフ状態に維持することができる。

[0130] （実施形態６）

以下、図１３を参照して本発明による液晶表示装置の第６実施形態を説明する。本実施形態の液晶表示装置１００は、画素電極、スイッチング素子およびゲート配線の配置関係ならびにゲートクロック信号ＧＣＫ５～ＧＣＫ８およびゲート信号のレベルの変化の順番が異なる点を除いて上述した液晶表示装置と同様の構成を有しており、冗長を避けるために重複する説明を省略する。

[0131] 図１３（ａ）に本実施形態の液晶表示装置１００の等価回路を示す。ゲート配線G_{p+1}とゲート配線G_{p+2}との間に画素電極11_{p+2}が配置されており、ゲート配線G_{p+2}とゲート配線G_{p+3}との間に画素電極11_{p+3}が配置されている。本実施形態の液晶表示装置１００では、ＴＦＴ１２のソースｓは上記ＴＦＴ１２のゲートｇよりも前に選択されるゲート配線Ｇに接続されている。例えば、$TFT12_{p+2}$のドレインｄは画素電極11_{p+2}に電気的に接続されており、$TFT12_{p+2}$のソースｓはゲート配線G_{p+1}に電気的に接続されている。

[0132] また、各モジュール１５ｍは、ステージ部１５ｓおよびバッファ部１５ｔを有している。ステージ部１５ｓにはゲートクロック信号ＧＣＫ１～ＧＣＫ４が入力され、ステージ部１５ｓはゲートクロック信号ＧＣＫ１～ＧＣＫ４

から選択信号を生成する。バッファ部１５ｔにはゲートクロック信号ＧＣＫ５～ＧＣＫ８が入力され、バッファ部１５ｔはステージ部１５ｓの選択信号およびゲートクロック信号ＧＣＫ５～ＧＣＫ８からゲート信号GL_{p+1}～GL_{p+8}を生成する。

[0133] 図１３（ｂ）に液晶表示装置１００のゲートクロック信号ＧＣＫ１～ＧＣＫ８およびゲート信号GL_{p+1}～GL_{p+8}の電圧波形を示す。

[0134] まず、ゲート信号GL_{p+1}～GL_{p+8}に着目する。ゲート信号GL_{p+2}の位相はゲート信号GL_{p+1}に対して１水平走査期間遅れており、ゲート信号GL_{p+3}の位相はゲート信号GL_{p+2}に対して１水平走査期間遅れている。このように、ゲート信号GL_{p+1}～GL_{p+8}の位相は１水平走査期間ずつずれている。

[0135] ここで、第ｐ＋２行の画素（すなわち、ゲート配線G_{p+2}、ゲート信号GL_{p+2}、画素電極11_{p+2}および$TFT12_{p+2}$）、および、第ｐ＋３行の画素（すなわち、ゲート配線G_{p+3}、ゲート信号GL_{p+3}、画素電極11_{p+3}および$TFT12_{p+3}$）に着目する。水平走査期間１において、ゲート信号GL_{p+2}およびゲート信号GL_{p+3}の両方がローである。この場合、$TFT12_{p+2}$、$TFT12_{p+3}$はいずれも非選択である。

[0136] 水平走査期間２において、ゲート信号GL_{p+2}はハイとなり、ゲート信号GL_{p+3}はローのままである。ゲート信号GL_{p+2}はハイであり、この電圧は$TFT12_{p+2}$の閾値電圧よりも高いため、$TFT12_{p+2}$は選択されて、書き込みが行われる。$TFT12_{p+2}$のドレインｄは画素電極11_{p+2}に接続されており、$TFT12_{p+2}$のゲートｇはゲート配線G_{p+2}に接続されており、$TFT12_{p+2}$のソースｓはゲート配線G_{p+1}に接続されている。このとき、ゲート配線G_{p+1}はミドルである。ゲート信号GL_{p+1}のミドルレベルは基準電位に相当するため、画素電極11_{p+2}は基準電位に設定され、画素電極11_{p+2}と信号電極２１との間の液晶層３０には水平走査期間２における信号電極２１の電位に対応する所定の電圧が印加される。

[0137] 水平走査期間３において、ゲート信号GL_{p+2}がミドルとなり、ゲート信号GL_{p+3}はハイとなる。ゲート信号GL_{p+2}はミドルであるが、この電圧はＴＦＴ１

２_{p+2}の閾値電圧よりも低いため、ＴＦＴ１２$_{p+2}$は非選択となる。ゲート信号ＧＬ$_{p+3}$はハイであり、この電圧はＴＦＴ１２$_{p+3}$の閾値電圧よりも高いため、ＴＦＴ１２$_{p+3}$は選択されて、書き込みが行われる。上述したように、ＴＦＴ１２$_{p+3}$のドレインｄは画素電極１１$_{p+3}$と接続されており、ＴＦＴ１２$_{p+3}$のソースｓはゲート配線Ｇ$_{p+2}$と接続されている。ゲート信号ＧＬ$_{p+2}$のミドルレベルは基準電位に相当するため、画素電極１１$_{p+3}$は基準電位に設定され、画素電極１１$_{p+3}$と信号電極２１との間の液晶層３０には水平走査期間３における信号電極２１の電位に対応する所定の電圧が印加される。

[0138] 水平走査期間４において、ゲート信号ＧＬ$_{p+2}$はローとなり、ゲート信号ＧＬ$_{p+3}$はミドルとなる。ゲート信号ＧＬ$_{p+2}$はローであるため、ＴＦＴ１２$_{p+2}$は非選択であり、画素電極１１$_{p+2}$と信号電極２１との間の電圧は水平走査期間２における信号電極２１と画素電極１１との間の電圧に維持される。なお、ＴＦＴ１２$_{p+4}$のドレインｄは画素電極１１$_{p+4}$と接続されており、ＴＦＴ１２$_{p+4}$のソースｓはミドルであるゲート配線Ｇ$_{p+3}$と接続されている。このため、画素電極１１$_{p+4}$は基準電位に設定され、画素電極１１$_{p+4}$と信号電極２１との間の液晶層３０には水平走査期間４における信号電極２１の電位に対応する所定の電圧が印加される。

[0139] 次にゲートクロック信号ＧＣＫ１～ＧＣＫ８に着目する。ゲートクロック信号ＧＣＫ１～ＧＣＫ４はそれぞれ２水平走査期間ごとにローおよびハイに反転する。ゲートクロック信号ＧＣＫ２の位相はゲートクロック信号ＧＣＫ１に対して１水平走査期間遅れており、ゲートクロック信号ＧＣＫ３の位相はゲートクロック信号ＧＣＫ２に対して１水平走査期間遅れており、ゲートクロック信号ＧＣＫ４の位相はゲートクロック信号ＧＣＫ３に対して１水平走査期間遅れている。このように、ゲートクロック信号ＧＣＫ１～ＧＣＫ４の位相は１水平走査期間ずつずれている。

[0140] ゲートクロック信号ＧＣＫ５～ＧＣＫ８は３ステートの信号であり、ゲートクロック信号ＧＣＫ５～ＧＣＫ８のそれぞれの電圧はＬ（ロー）、Ｍ（ミドル）、Ｈ（ハイ）のレベルに変化する。ゲートクロック信号ＧＣＫ５～Ｇ

ＣＫ８の電圧は４水平走査期間ごとに周期的に変化する。ゲートクロック信号ＧＣＫ５～ＧＣＫ８のそれぞれの電圧は、ロー、ミドルおよびハイを所定の順番に繰り返す。ここでは、ほぼ２水平走査期間ローの後、ほぼ１水平走査期間ハイとなり、その後、ほぼ１水平走査期間ミドルとなり、再び、ほぼ２水平走査期間ローとなる。

[0141] ゲートクロック信号ＧＣＫ６の位相はゲートクロック信号ＧＣＫ５に対して１水平走査期間遅れており、ゲートクロック信号ＧＣＫ７の位相はゲートクロック信号ＧＣＫ６に対して１水平走査期間遅れており、ゲートクロック信号ＧＣＫ８の位相はゲートクロック信号ＧＣＫ７に対して１水平走査期間遅れている。このように、ゲートクロック信号ＧＣＫ５～ＧＣＫ８の位相も１水平走査期間ずつずれている。図９を参照して上述したように、選択信号によって選択されたとき、ゲートクロック信号ＧＣＫ５～ＧＣＫ８はゲート信号ＧＬとして出力される。

[0142] ここで、モジュール１５m_{p+2}およびモジュール１５m_{p+3}に着目する。モジュール１５m_{p+2}のステージ部１５ｓは、ゲートクロック信号ＧＣＫ２に基づいて選択信号を生成する。バッファ部１５ｔは、選択信号およびゲートクロック信号ＧＣＫ６に基づいてゲート信号GL_{p+2}を生成する。選択信号によって選択されると、バッファ部１５ｔはゲートクロック信号ＧＣＫ６をゲート信号GL_{p+2}として出力する。

[0143] モジュール１５m_{p+3}のステージ部１５ｓは、ゲートクロック信号ＧＣＫ３に基づいて選択信号を生成する。バッファ部１５ｔは、選択信号およびゲートクロック信号ＧＣＫ７に基づいてゲート信号GL_{p+3}を生成する。選択信号によって選択されると、バッファ部１５ｔはゲートクロック信号ＧＣＫ７をゲート信号GL_{p+3}として出力する。

[0144] 本実施形態の液晶表示装置１００では、ゲートクロック信号ＧＣＫ１およびゲートクロック信号ＧＣＫ５の立ち上がりにおいて、上述した実施形態１の液晶表示装置と比べて、ゲートクロック信号ＧＣＫ５の電圧振幅を大きくできるので、ブートストラップの立ち上げ効果をより増大させることができ

、ゲート信号の立ち上がり時間をより短縮することができる。

[0145] なお、上述した説明では、スイッチング素子１２のソースｓは隣接するゲート配線Ｇと電気的に接続されており、スイッチング素子１２をオンする際に画素電極１１の電位を基準電位に設定するために、このゲート配線Ｇの電位を基準電位に設定したが、本発明はこれに限定されない。スイッチング素子１２のソースｓが２行以上離れたゲート配線Ｇと電気的に接続されており、スイッチング素子１２をオンする際に画素電極１１の電位を基準電位に設定するために、このゲート配線Ｇの電位を基準電位に設定してもよい。

[0146] なお、冗長を避けるために、重複する説明を省略するが、ゲートドライバ１５は、図６～図８を参照して上述したように、異なる領域１０４ａ、１０４ｂに設けられたゲートドライバ１５ａ、１５ｂを有してもよい。

[0147] また、上述した説明では、８つのゲートクロック信号ＧＣ１～ＧＣＫ８の少なくとも２つに基づいてゲート信号が生成されたが、本発明はこれに限定されない。ゲートクロック信号の種類は８種類でなくてもよい。

産業上の利用可能性

[0148] 本発明によれば、額縁領域の狭小化に適した液晶表示装置を提供できる。特に、このような液晶表示装置は、例えば、電子ブック、携帯電話およびスマートフォンなどの中小型のデバイスに好適に用いられる。

符号の説明

[0149] １０ 基板
１１ 画素電極
１２ スイッチング素子
１５ ゲートドライバ
２０ 基板
２１ 信号電極
２４ 外部接続端子部

請求の範囲

［請求項1］ 複数の行および複数の列のマトリクス状に配列された複数の画素電極と、それぞれが行方向に延びる複数のゲート配線と、それぞれがゲート、ソースおよびドレインを有する複数のスイッチング素子であって、前記複数のスイッチング素子のそれぞれの前記ドレインは対応する画素電極と電気的に接続されており、前記複数のスイッチング素子のそれぞれの前記ゲートは対応するゲート配線と電気的に接続されており、前記複数のスイッチング素子のうちの行方向に配列されたスイッチング素子の前記ソースは互いに電気的に接続されている、複数のスイッチング素子とを有する第１基板と、

互いに電気的に独立した複数の信号電極を有する第２基板と、

前記第１基板と前記第２基板との間に位置する液晶層と

を備える液晶表示装置であって、

前記第１基板は、前記ゲート配線に供給されるゲート信号を生成するゲートドライバをさらに有し、

前記第２基板は、外部接続端子部をさらに有し、

前記ゲートドライバには前記外部接続端子部を介して入力された信号が供給される、液晶表示装置。

［請求項2］ 前記ゲートドライバは、ロー、ミドルおよびハイに変化するゲート信号を生成し、

前記複数のスイッチング素子のそれぞれの前記ソースは、前記対応するゲート配線とは異なるゲート配線と電気的に接続されている、請求項１に記載の液晶表示装置。

［請求項3］ 前記複数のスイッチング素子のそれぞれの前記ソースは、前記対応するゲート配線に隣接するゲート配線と電気的に接続されている、請求項２に記載の液晶表示装置。

［請求項4］ 前記第２基板は、前記信号電極にビデオ信号を供給するソースドライバをさらに有する、請求項１から３のいずれかに記載の液晶表示装

置。

[請求項5] 前記第１基板は、表示領域および前記表示領域の周囲に位置する額縁領域を有しており、

前記ゲートドライバは、前記額縁領域のうちの、前記表示領域を介して行方向に対向する第１領域および第２領域にそれぞれ設けられた第１ゲートドライバおよび第２ゲートドライバを有する、請求項１から４のいずれかに記載の液晶表示装置。

[請求項6] 前記ゲートドライバは、前記複数のゲート配線に供給されるゲート信号をそれぞれ生成する複数のゲートドライバモジュールを有する、請求項１から５のいずれかに記載の液晶表示装置。

[請求項7] 前記複数のゲートドライバモジュールのそれぞれは、

隣接するゲートドライバモジュールと互いに信号の入出力を行うステージ部と、

バッファ部と

を有する、請求項６に記載の液晶表示装置。

[請求項8] 前記ステージ部はブートストラップキャパシタを含み、

前記ステージ部は前記ブートストラップキャパシタに接続された配線を介して信号を前記バッファ部に出力する、請求項７に記載の液晶表示装置。

[請求項9] 前記ゲートドライバは、複数のゲートクロック信号に基づいてゲート信号を生成し、

前記ゲートドライバは、所定の期間、一部のゲートクロック信号をゲート信号として出力する、請求項１から８のいずれかに記載の液晶表示装置。

[請求項10] 前記複数のゲートクロック信号は、

２水平走査期間ごとに反転する第１ゲートクロック信号と、

前記第１ゲートクロック信号に対して位相が１水平走査期間シフトしている第２ゲートクロック信号と、

前記第２ゲートクロック信号に対して位相が１水平走査期間シフトしている第３ゲートクロック信号と、

前記第３ゲートクロック信号に対して位相が１水平走査期間シフトしている第４ゲートクロック信号と、

所定の順番に４水平走査期間周期でロー、ミドルおよびハイに変化する第５ゲートクロック信号と、

前記第５ゲートクロック信号に対して位相が１水平走査期間シフトしている第６ゲートクロック信号と、

前記第６ゲートクロック信号に対して位相が１水平走査期間シフトしている第７ゲートクロック信号と、

前記第７ゲートクロック信号に対して位相が１水平走査期間シフトしている第８ゲートクロック信号と

を含む、請求項９に記載の液晶表示装置。

[請求項11] 前記第１ゲートクロック信号は前記第５ゲートクロック信号と同期して立ち上がる、請求項１０に記載の液晶表示装置。

[請求項12] 前記第５ゲートクロック信号がミドルからハイに立ち上がるよりも先に、前記第６ゲートクロック信号がローからミドルに立ち上がる、請求項１０または１１に記載の液晶表示装置。

[請求項13] 前記第５ゲートクロック信号がハイからローに立ち下がった後に、前記第６ゲートクロック信号がミドルからハイに立ち上がる、請求項１０から１２のいずれかに記載の液晶表示装置。

[請求項14] 前記第５ゲートクロック信号、前記第６ゲートクロック信号、前記第７ゲートクロック信号および前記第８ゲートクロック信号のそれぞれにおけるハイおよびミドルの電位差は、前記信号電極の最大電位差と前記スイッチング素子の閾値電圧との和よりも大きい、請求項１０から１３のいずれかに記載の液晶表示装置。

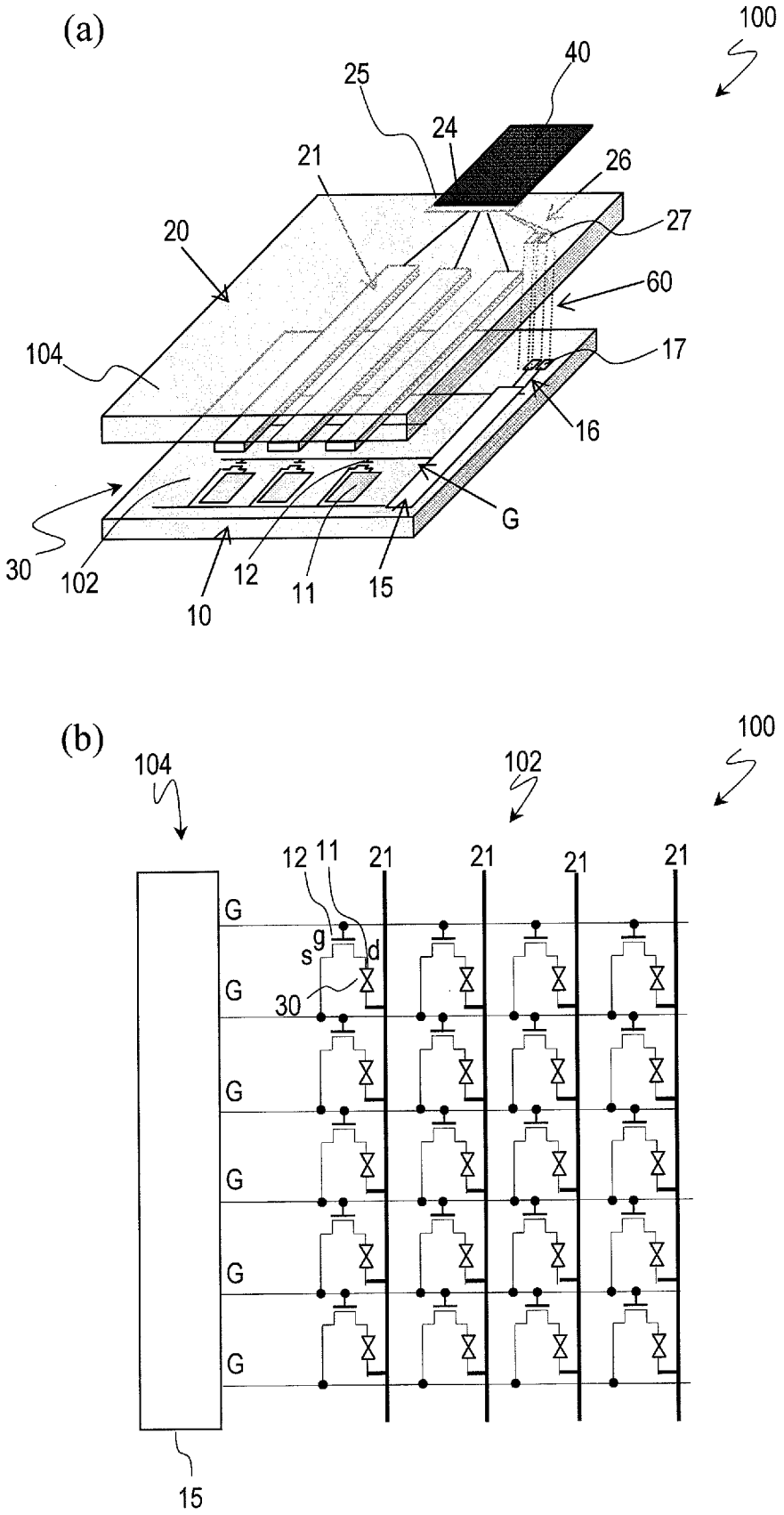
[請求項15] 前記第５ゲートクロック信号、前記第６ゲートクロック信号、前記第７ゲートクロック信号および前記第８ゲートクロック信号のそれぞ

れにおけるミドルおよびローの電位差は、前記信号電極の最大電位差と前記スイッチング素子の閾値電圧との差よりも大きい、請求項１０から１４のいずれかに記載の液晶表示装置。

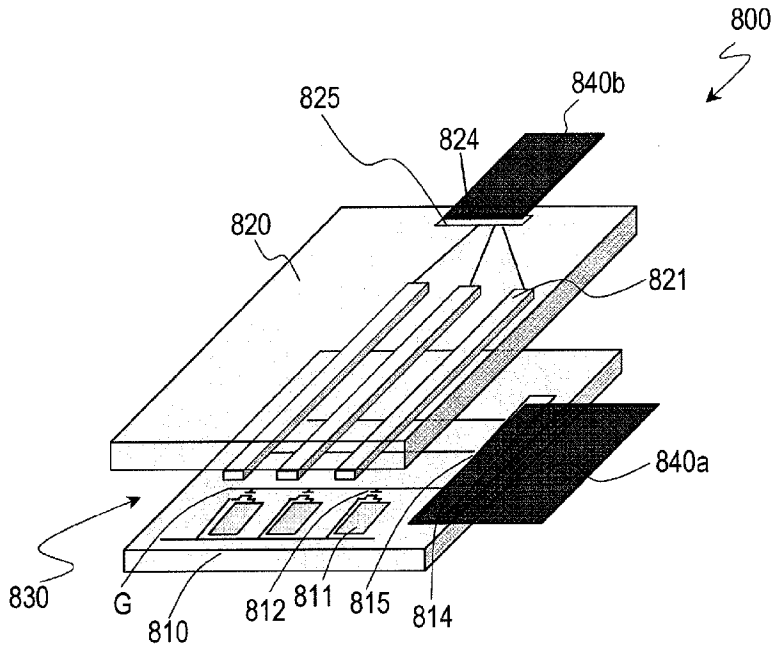
［請求項16］ 前記第５ゲートクロック信号、前記第６ゲートクロック信号、前記第７ゲートクロック信号および前記第８ゲートクロック信号のそれぞれは、ロー、ミドルおよびハイの順番に変化する、請求項１０から１５のいずれかに記載の液晶表示装置。

［請求項17］ 前記第５ゲートクロック信号、前記第６ゲートクロック信号、前記第７ゲートクロック信号および前記第８ゲートクロック信号のそれぞれは、ロー、ハイおよびミドルの順番に変化する、請求項１０から１５のいずれかに記載の液晶表示装置。

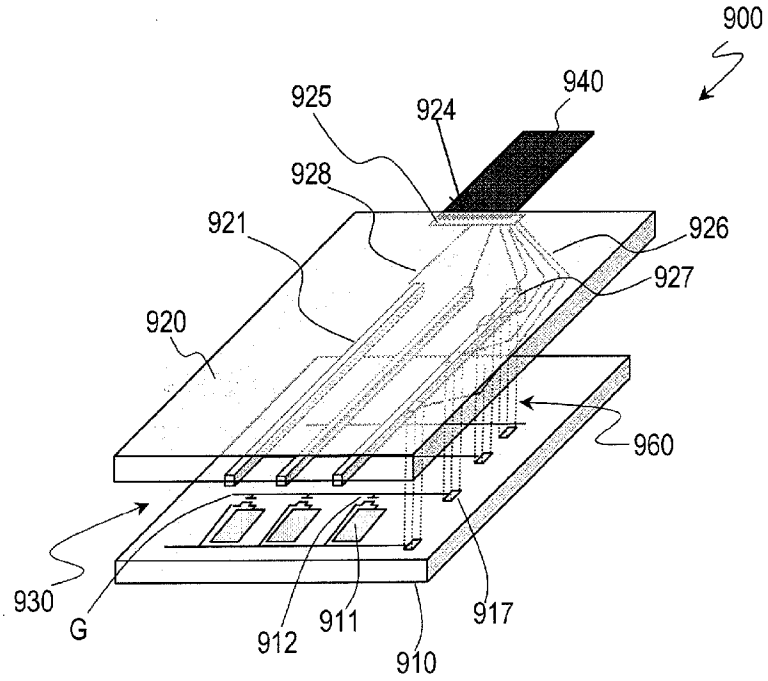
[図1]


(a)
100
40
25
24
21
26
27
20
60
104
17
16
G
30
102
12
11
15
10
(b)
100
104
102
12
11
21
21
21
21
G
G
G
G
G
G
g
s
d
30
15

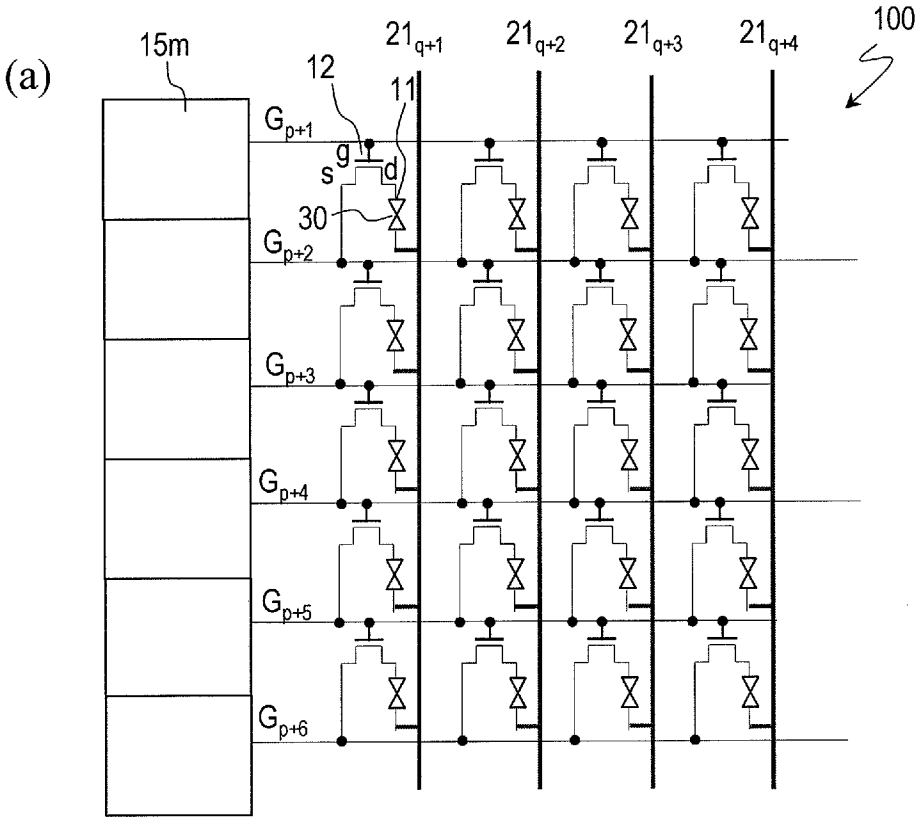
[図2]

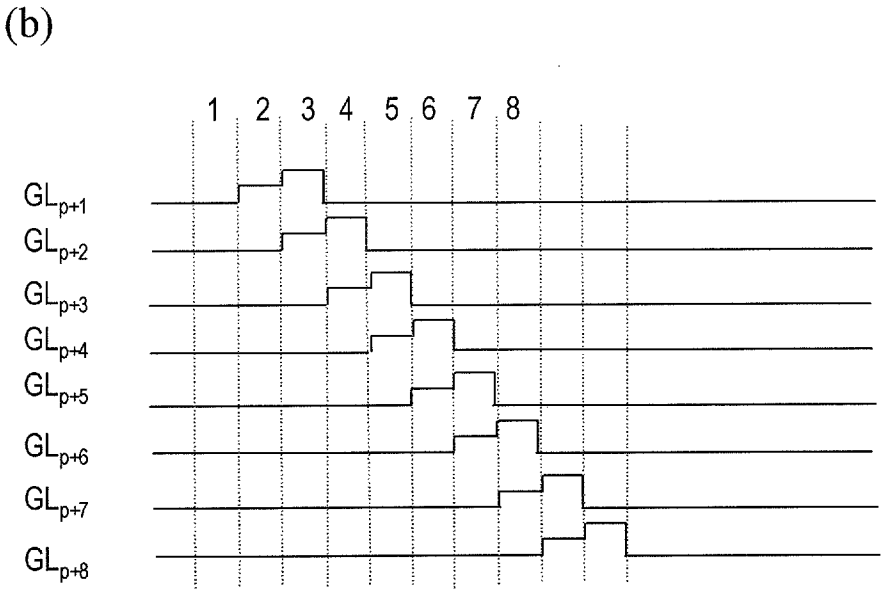

800
825
840b
824
820
821
840a
830
G
810
812
811
815
814

[図3]

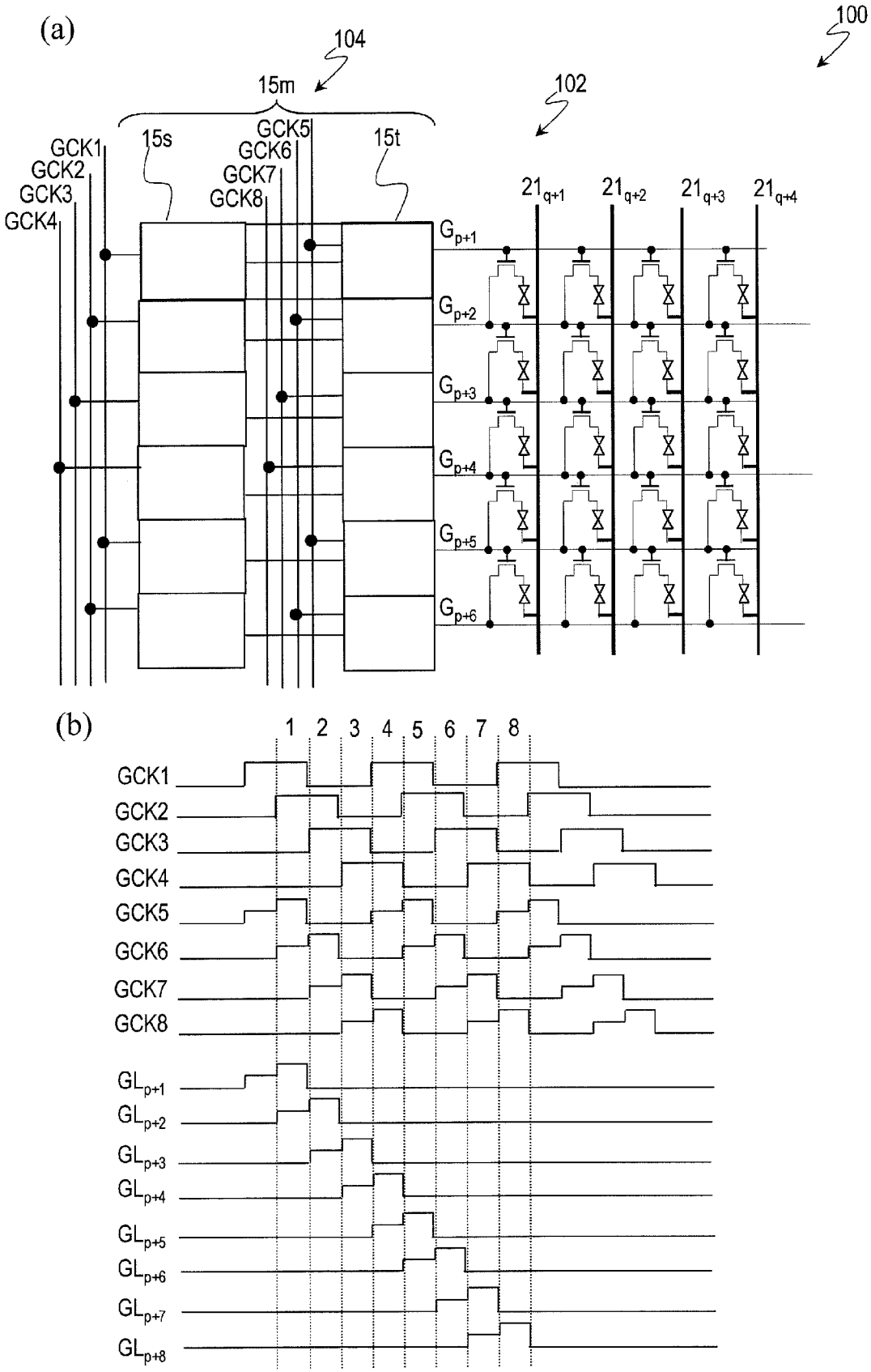

900
925
924
940
928
921
926
927
920
960
930
G
912
911
917
910

[図4]

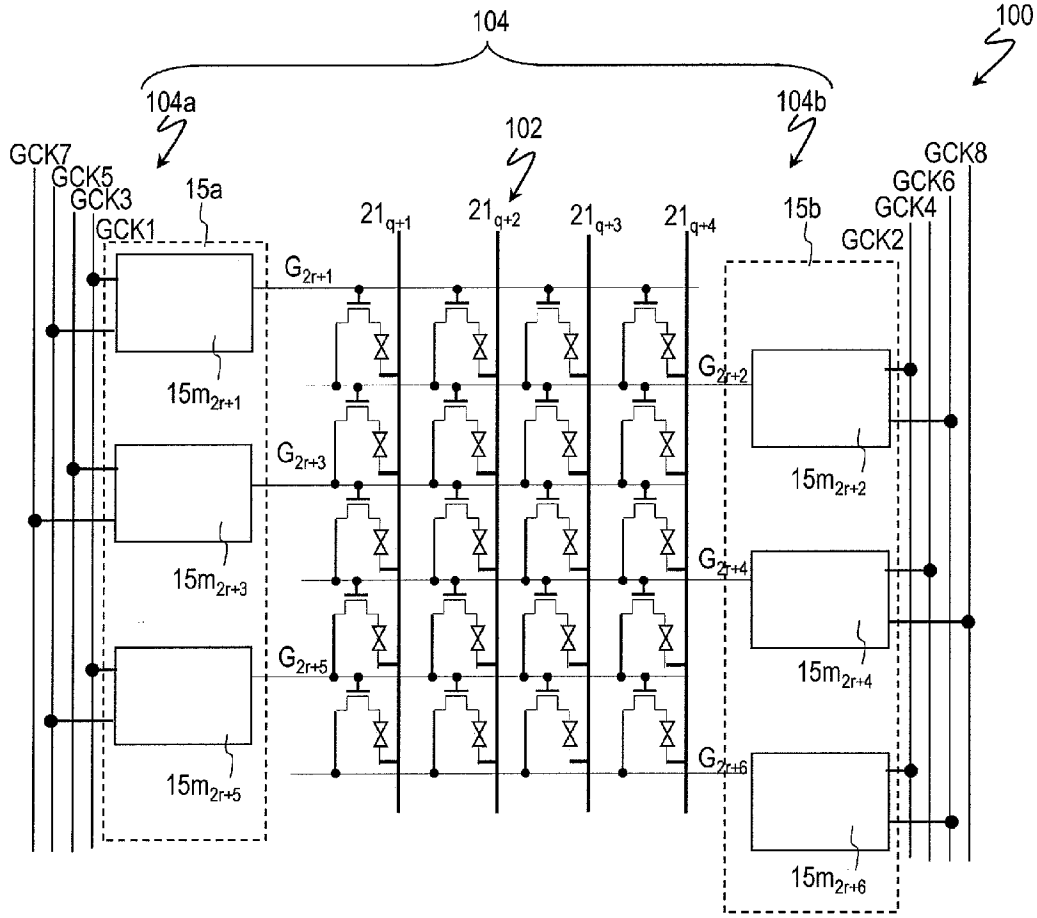

(a)
15m
12
11
21_{q+1}
21_{q+2}
21_{q+3}
21_{q+4}
100
g
s
d
30
G_{p+1}
G_{p+2}
G_{p+3}
G_{p+4}
G_{p+5}
G_{p+6}


(b)
1 2 3 4 5 6 7 8
GL_{p+1}
GL_{p+2}
GL_{p+3}
GL_{p+4}
GL_{p+5}
GL_{p+6}
GL_{p+7}
GL_{p+8}

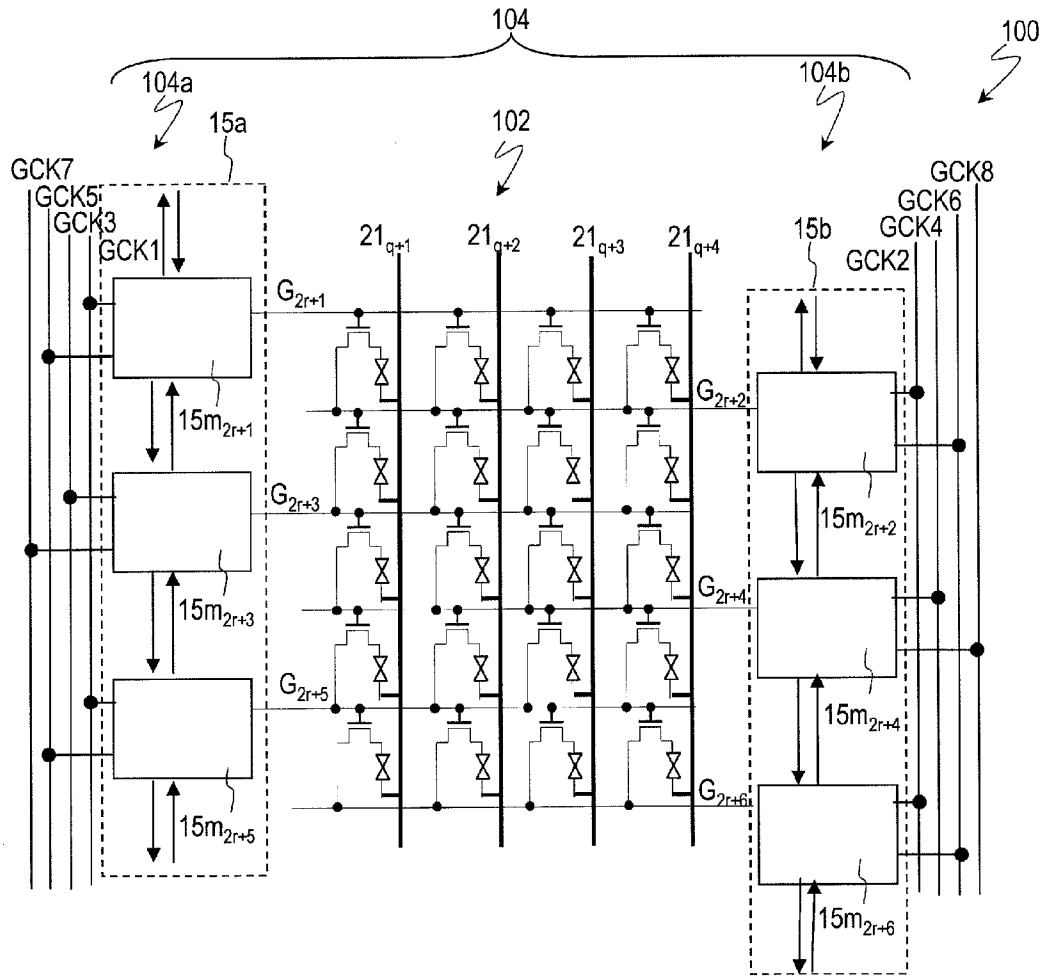
[図5]


(a)
100
104
15m
102
15s
15t
GCK1
GCK2
GCK3
GCK4
GCK5
GCK6
GCK7
GCK8
21_{q+1}
21_{q+2}
21_{q+3}
21_{q+4}
G_{p+1}
G_{p+2}
G_{p+3}
G_{p+4}
G_{p+5}
G_{p+6}
(b)
1 2 3 4 5 6 7 8
GCK1
GCK2
GCK3
GCK4
GCK5
GCK6
GCK7
GCK8
GL_{p+1}
GL_{p+2}
GL_{p+3}
GL_{p+4}
GL_{p+5}
GL_{p+6}
GL_{p+7}
GL_{p+8}

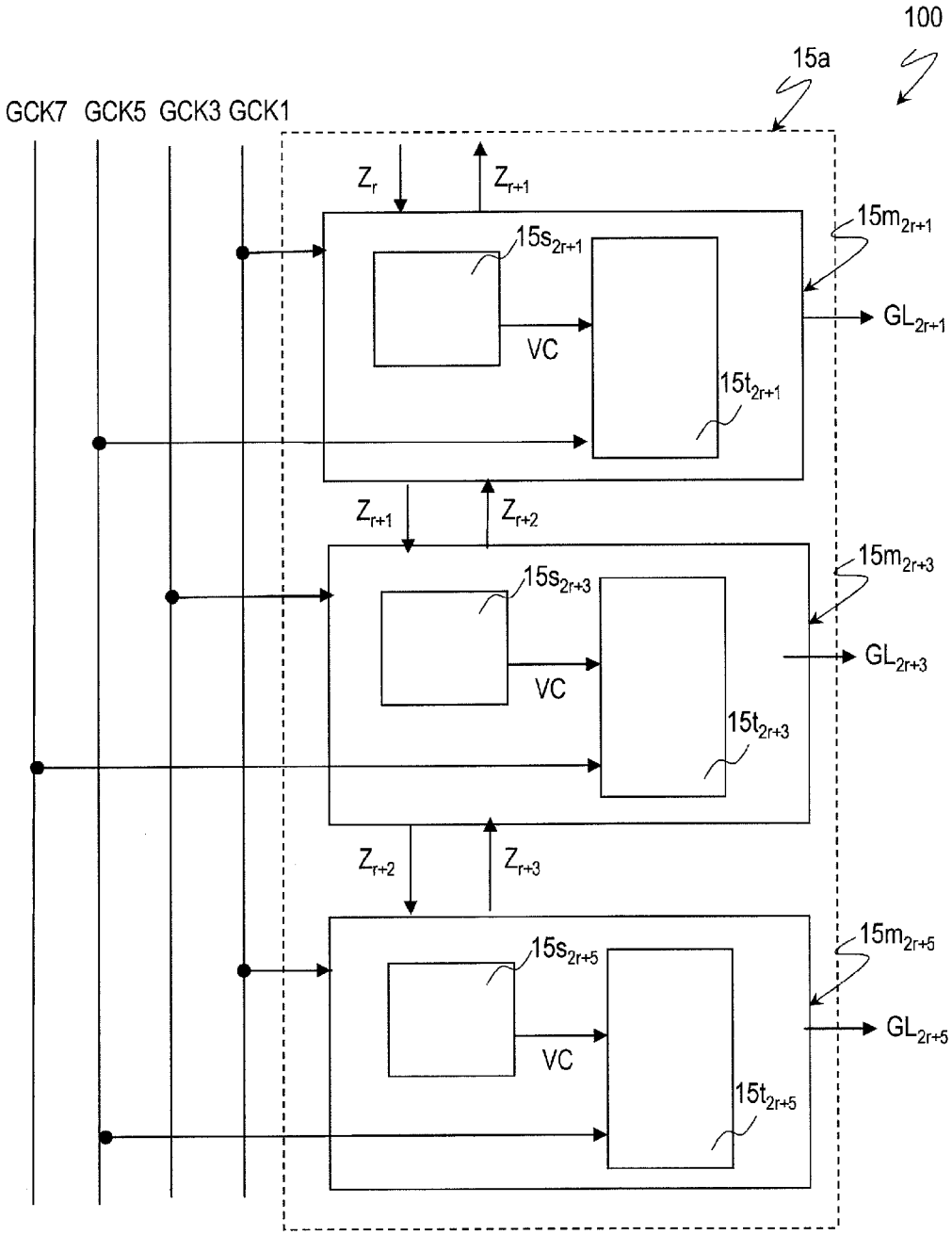
[図6]


104
100
104a
104b
102
GCK7
GCK5
GCK3
GCK1
15a
GCK8
GCK6
GCK4
GCK2
15b
21_{q+1}
21_{q+2}
21_{q+3}
21_{q+4}
G_{2r+1}
G_{2r+2}
G_{2r+3}
G_{2r+4}
G_{2r+5}
G_{2r+6}
$15m_{2r+1}$
$15m_{2r+2}$
$15m_{2r+3}$
$15m_{2r+4}$
$15m_{2r+5}$
$15m_{2r+6}$

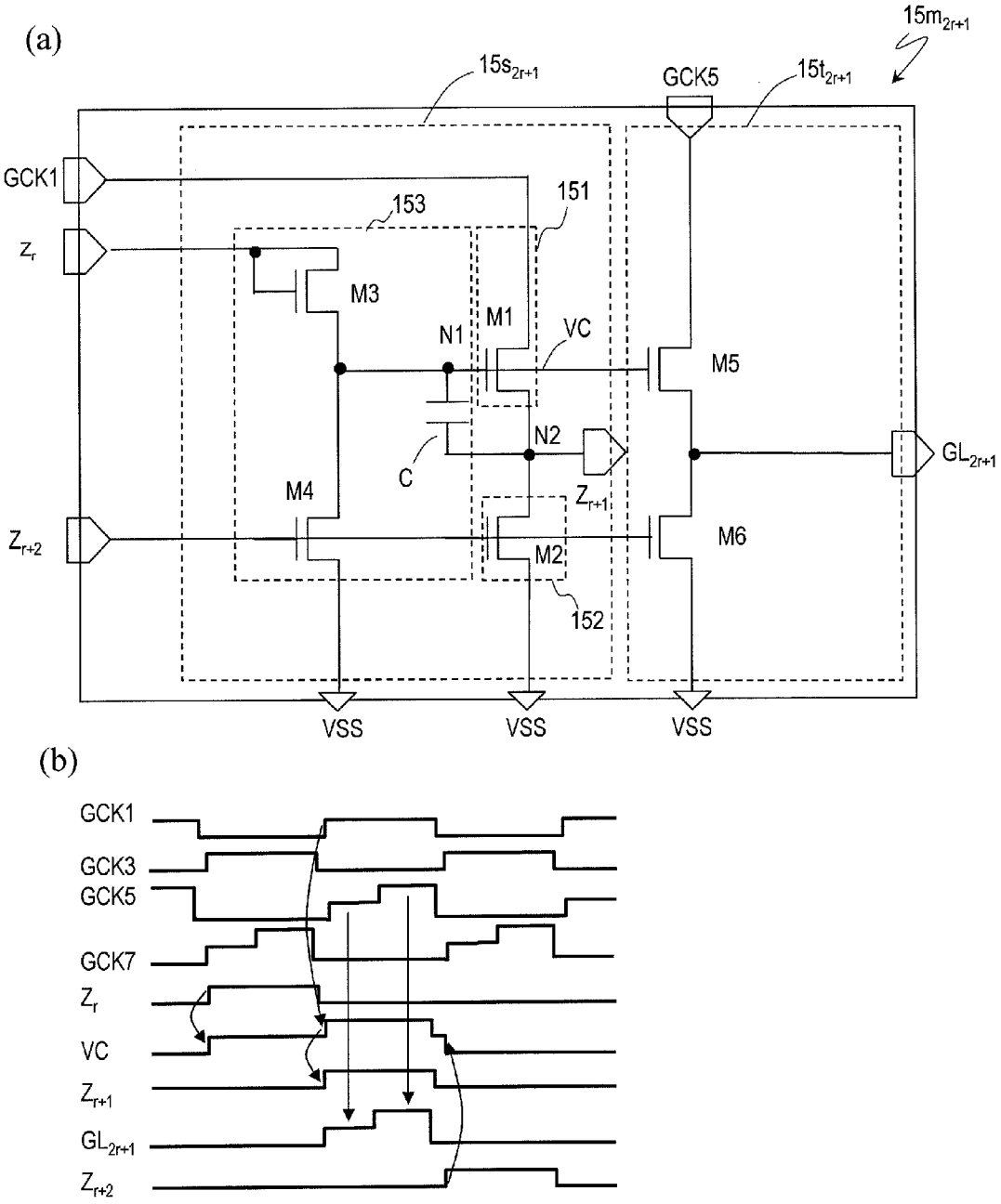
[図7]


104
100
104a
15a
102
104b
GCK7
GCK5
GCK3
GCK1
GCK8
GCK6
GCK4
GCK2
15b
21_{q+1}
21_{q+2}
21_{q+3}
21_{q+4}
G_{2r+1}
G_{2r+2}
G_{2r+3}
G_{2r+4}
G_{2r+5}
G_{2r+6}
$15m_{2r+1}$
$15m_{2r+2}$
$15m_{2r+3}$
$15m_{2r+4}$
$15m_{2r+5}$
$15m_{2r+6}$

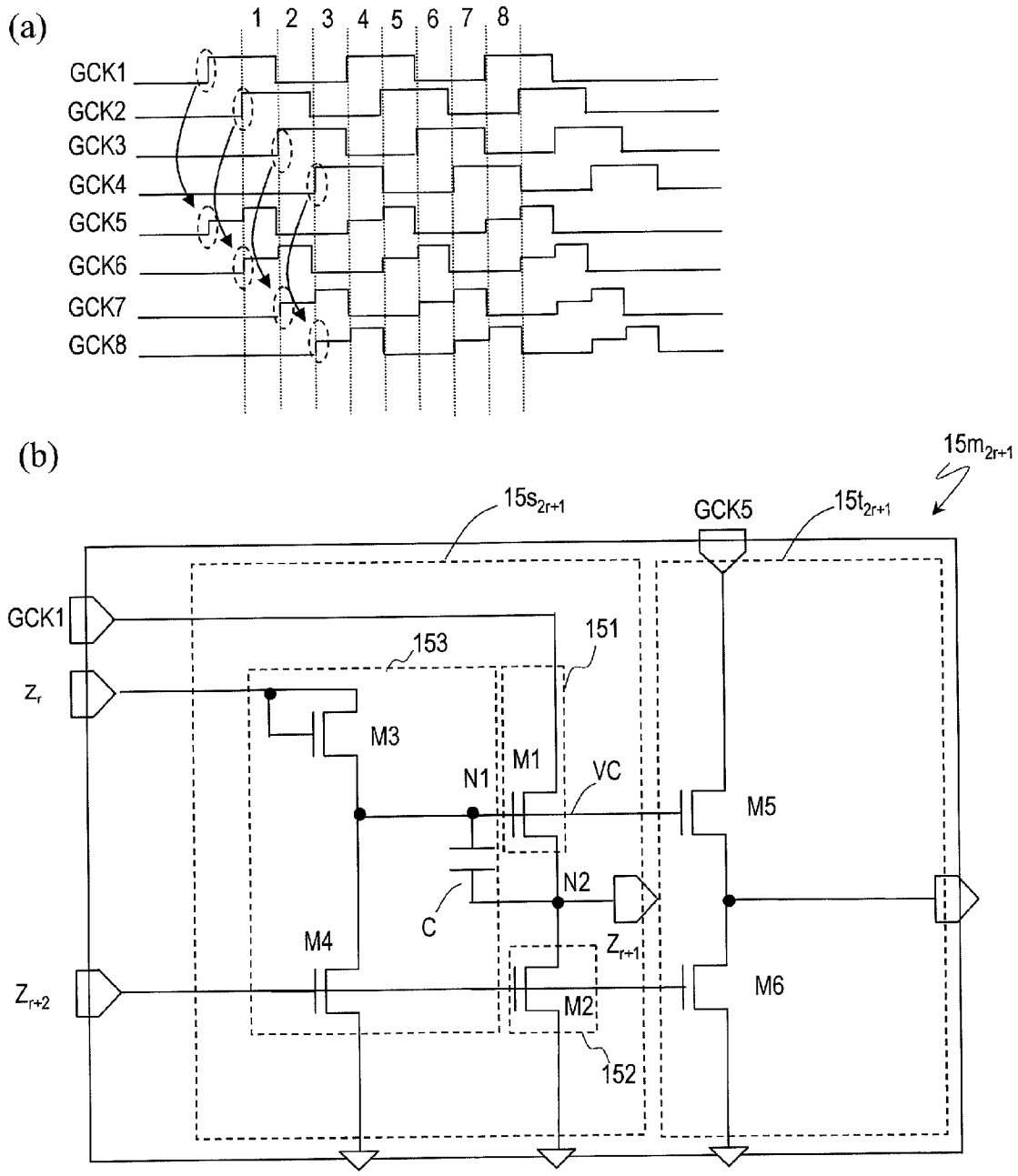
[図8]


100
15a
GCK7 GCK5 GCK3 GCK1
Z_r
Z_{r+1}
$15m_{2r+1}$
$15s_{2r+1}$
VC
$15t_{2r+1}$
GL_{2r+1}
Z_{r+1}
Z_{r+2}
$15m_{2r+3}$
$15s_{2r+3}$
VC
$15t_{2r+3}$
GL_{2r+3}
Z_{r+2}
Z_{r+3}
$15m_{2r+5}$
$15s_{2r+5}$
VC
$15t_{2r+5}$
GL_{2r+5}

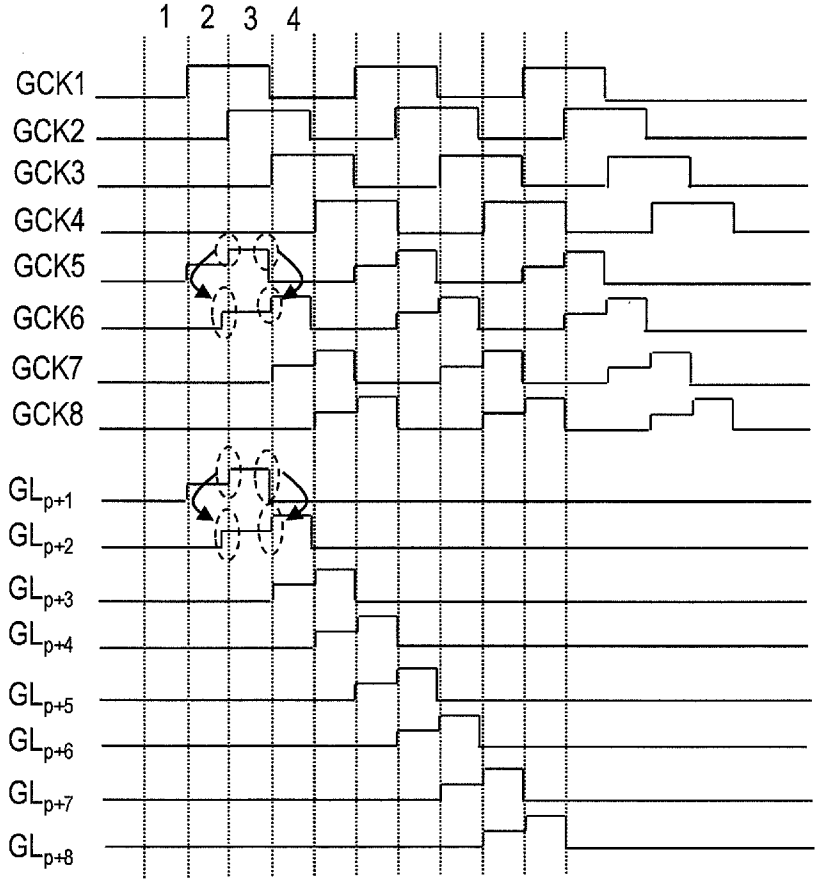
[図9]


(a)
15m2r+1
15s2r+1
GCK5
15t2r+1
GCK1
153
151
Zr
M3
M1
VC
N1
M5
N2
GL2r+1
C
M4
Zr+1
Zr+2
M6
M2
152
VSS
VSS
VSS
(b)
GCK1
GCK3
GCK5
GCK7
Zr
VC
Zr+1
GL2r+1
Zr+2

[図10]

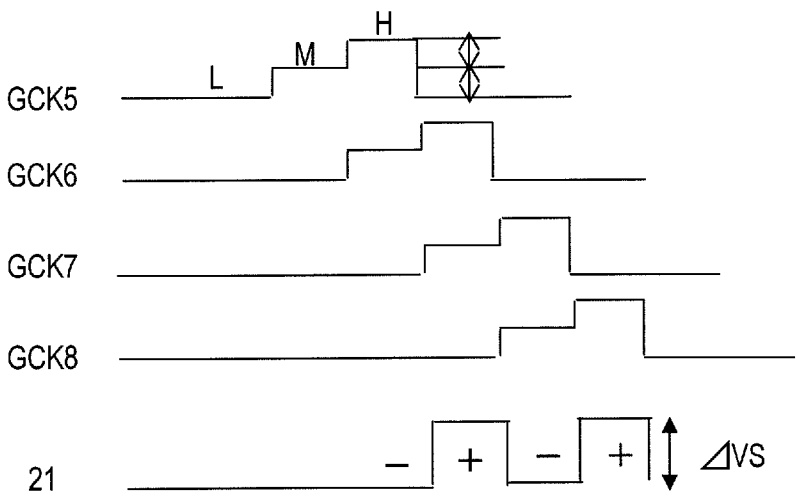

(a)
1 2 3 4 5 6 7 8
GCK1
GCK2
GCK3
GCK4
GCK5
GCK6
GCK7
GCK8
(b)
15m2r+1
15s2r+1
GCK5
15t2r+1
GCK1
153
151
Zr
M3
M1
VC
N1
M5
N2
C
M4
Zr+1
Zr+2
M6
M2
152

[図11]

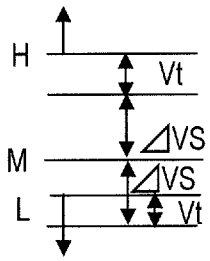

1
2
3
4
GCK1
GCK2
GCK3
GCK4
GCK5
GCK6
GCK7
GCK8
GL$_{p+1}$
GL$_{p+2}$
GL$_{p+3}$
GL$_{p+4}$
GL$_{p+5}$
GL$_{p+6}$
GL$_{p+7}$
GL$_{p+8}$

[図12]

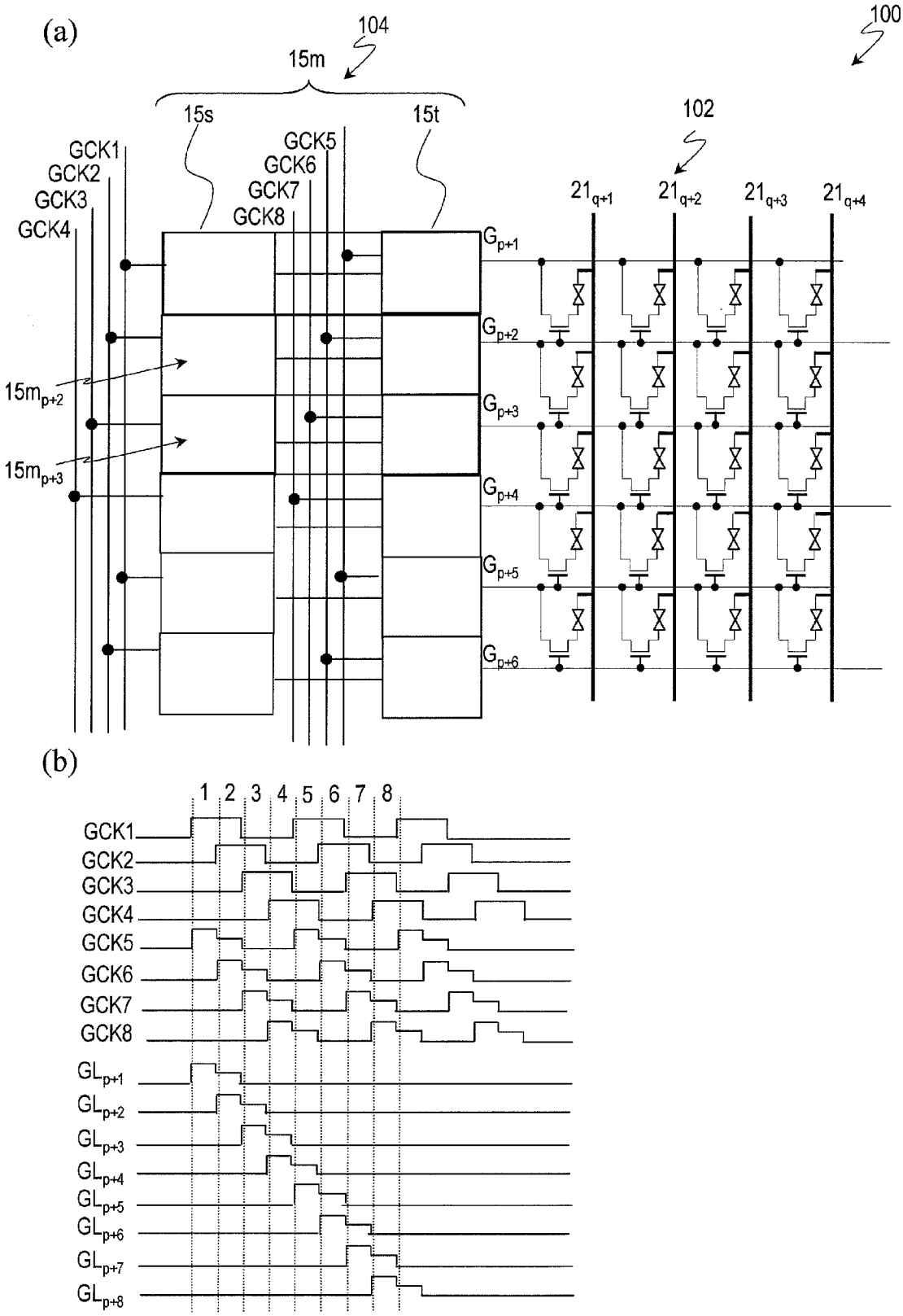
(a)



(b)



[図13]


(a)
104
15m
100
15s
15t
102
GCK1
GCK2
GCK3
GCK4
GCK5
GCK6
GCK7
GCK8
21_{q+1}
21_{q+2}
21_{q+3}
21_{q+4}
G_{p+1}
G_{p+2}
G_{p+3}
G_{p+4}
G_{p+5}
G_{p+6}
$15m_{p+2}$
$15m_{p+3}$
(b)
1 2 3 4 5 6 7 8
GCK1
GCK2
GCK3
GCK4
GCK5
GCK6
GCK7
GCK8
GL_{p+1}
GL_{p+2}
GL_{p+3}
GL_{p+4}
GL_{p+5}
GL_{p+6}
GL_{p+7}
GL_{p+8}

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/077808

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/133(2006.01)i, *G02F1/1345*(2006.01)i, *G02F1/1368*(2006.01)i, *G09G3/20*(2006.01)i, *G09G3/36*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/133, G02F1/1345, G02F1/1368, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-333639 A (Sharp Corp.), 22 November 2002 (22.11.2002), entire text; all drawings & US 2002/0171797 A1	1-17
A	JP 2001-51254 A (Sharp Corp.), 23 February 2001 (23.02.2001), entire text; all drawings & US 6433765 B1	1-17
A	JP 5-341263 A (Toshiba Corp.), 24 December 1993 (24.12.1993), entire text; all drawings (Family: none)	1-17

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 January, 2012 (18.01.12)	31 January, 2012 (31.01.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０７７８０８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/133(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/133, G02F1/1345, G02F1/1368, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	ＪＰ　２００２－３３３６３９　Ａ（シャープ株式会社） ２００２．１１．２２，全文，全図 ＆ US 2002/0171797 A1	１－１７
Ａ	ＪＰ　２００１－５１２５４　Ａ（シャープ株式会社） ２００１．０２．２３，全文，全図 ＆ US 6433765 B1	１－１７

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１８．０１．２０１２	３１．０１．２０１２

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｌ　３０１４
藤田　都志行
電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	ＪＰ　５－３４１２６３　Ａ（株式会社東芝） １９９３．１２．２４，全文，全図 （ファミリーなし）	１－１７