

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/768

(11) 공개번호 특2000-0057879
(43) 공개일자 2000년09월25일

(21) 출원번호	10-2000-0005131
(22) 출원일자	2000년02월02일
(30) 우선권 주장	11-028370 1999년02월05일 일본(JP)
(71) 출원인	닛본 덴기 가부시끼가이샤 가네꼬 히사시 일본국 도쿄도 미나토구 시바 5쵸메 7방 1고
(72) 발명자	다구와데쓰야 일본국도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤나이
(74) 대리인	조의제

심사청구 : 있음

(54) 고용점금속질화막 및 고용점금속실리사이드막을 이용한배선을 갖는 반도체장치 및 그 제조방법

요약

반도체집적회로장치는 회로소자들과 다층배선구조가 이용되고, 질화티타늄이 도전플러그, 축적전극, 그리고 도전라인등의 집적회로의 일부에 사용되며, 티타늄실리사이드막(105,107)상에 티타늄질화막(106,108)이 적층되어 티타늄질화막에 기인한 열스트레스를 흡수한다.

대표도

도2f

색인어

다층배선구조, 도전플러그, 티타늄질화막

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래의 방법을 나타내는 단면도이다.

도 2a 내지 도 2f는 본 발명에 따른 반도체장치 제조방법을 나타내는 단면도이다.

도 3a 내지 도 3e는 본 발명에 따른 반도체장치 다른 제조방법을 나타내는 단면도이다.

도 4a 내지 도 4c는 본 발명에 따른 반도체장치 또 다른 제조방법을 나타내는 단면도이다.

※도면의 주요부분에 대한 부호의 설명

101,201,401 : 실리콘기관 102,402 : 층간절연막

103 : 포토레지스트에칭마스크 104,209,403 : 티타늄막

105,107,210,212,404,406,411,413 : 티타늄실리사이드막

106,108,211,213,405,407,410,412,414 : 티타늄질화막

109 : 알루미늄합금스트립 110,215,415 : 콘택홀

202 : 필드산화막 203 : 소오스/드레인영역

204 : 상부층간절연막 206 : 워드라인

207,430 : 도전플러그 220 : 축적전극

221 : 유전막 223 : 카운터전극

420 : 도전스트립

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체장치에 관한 것으로서, 보다 상세하게는, 배선을 갖는 반도체장치 및 그 제조방법에 관한 것이다.

반도체제조업자들은 반도체기판상에 집적되는 구성소자들을 점차로 증가시켜왔다. 제조업자들이 반도체 소자들상에 구성소자를 제조하면서, 반도체/절연막들에 여러가지 패턴들을 전사하여 반도체기판상에 다층 구조를 형성하고, 층간절연막내에 콘택홀들을 형성하였다. 이 콘택홀들은 구성소자와 더불어 미세화되고, 따라서, 큰 애스펙트비, 즉 직경에 대한 깊이의 비를 갖는다. 이 콘택홀들은 상부배선을 위한 증착시에 도전물질로 충전되고, 상부 도전라인은 콘택홀내의 도전물질을 통해 하부도전라인에 전기적으로 접속된다. 따라서, 이 도전라인은 상이한 층상의 구성소자들간을 접속하고, 이 구성소자들이 조합하여 집적회로를 형성한다.

반도체제조업자들은 도전물질로서 알루미늄을 널리 사용하고 있다. 이 알루미늄은 스퍼터링을 통해 증착되고, 이 알루미늄층은 포토리소그래피 및 에칭을 통해 도전라인으로 패터닝된다. 그러나, 이 알루미늄은 스텝커버리지가 불량하고, 이 불량한 스텝커버리지는 큰 저항에 기인한 단선의 원인이 된다. 이 알루미늄이 단선없이 도전라인으로 패터닝되더라도, 이 도전라인은 내성이 작다. 즉, 이 도전라인은 불량한 스텝커버리지에서 일렉트로마이그레이션에 노출되어 단선되기 쉽다.

이 불량한 스텝커버리지에 대한 대책의 하나가 콘택홀내에 콘택플러그를 형성하는 것이다. 대표적인 예의 콘택플러그는 텅스텐으로 형성된다. 이 텅스텐플러그는 다음과 같이 형성된다. 먼저, 층간절연막내에 콘택홀이 형성되고, 이 콘택홀의 내면에 배리어메탈막이 형성된다. 티타늄막과 티타늄질화막이 조합하여 배리어메탈막을 형성하고, 이 티타늄막과 티타늄질화막은 스퍼터링기술로 증착된다. 이 티타늄막은 하부 반도체층에 대한 콘택저항을 저하시킨다. 한편, 티타늄질화막은 티타늄막과 텅스텐플러그간의 밀착성을 강화시키고, 하부반도체층으로 텅스텐이 확산되는 것을 방지한다. 이 배리어메탈막은 콘택홀내의 리세스를 정의하고, 양호한 스텝커버리지를 형성하는 화학적기상증착을 사용하여 텅스텐이 증착된다. 이 텅스텐은 리세스를 충전하고 층간절연막위로 부풀어 올라 텅스텐막을 형성한다. 이 텅스텐막은 마스크없이 균일하게 에칭되어, 리세스내에는 텅스텐플러그만 남는다.

이 텅스텐플러그는 스텝커버리지를 현저하게 개선시키지만, 티타늄막과 티타늄질화막은 ULSI에 요구되는 미세콘택홀내에 소망하는 두께로 증착되는 것이 곤란하다. 티타늄/티타늄질화막이 소망하는 두께를 갖지 못하는 경우에는, 콘택저항이 증가되고, 및/또는 이 텅스텐이 하부반도체층내에 형성된 구성소에 손상을 주게된다.

이 티타늄막과 티타늄질화막을 정밀하게 제어하기 위해서, 화학적기상증착이 바람직하다. 특히, 열반응을 이용하는 화학적기상증착은 스텝커버리지의 관점에서 티타늄질화막에 가장 적절하고, 배리어메탈막에 널리 사용된다. 따라서, 티타늄, 질화티타늄, 텅스텐 각각은 세 번의 화학적기상증착을 사용하여 증착된다. 그러나, 이 종래기술의 공정은 복잡하고 텅스텐은 비용이 높다. 그 결과 제조비용이 증가하게 된다.

화학적기상증착기술을 통해 증착된 질화티타늄으로 리세스를 충전하는 것이 제안되었다. 이 질화티타늄은 상당히 양호한 스텝커버리지를 형성하기 때문에, 텅스텐플러그는 배선으로부터 제거된다.

도 1a 내지 도 1d는 종래기술의 공정을 나타낸다. 이 종래기술의 공정은 필드산화막(미도시)이 선택적으로 성장된 실리콘기판(501)을 마련하는 것으로부터 시작된다. 화학적기상증착을 사용하여 산화실리콘 또는 BPSG를 1.5 μm 두께로 증착하여 층간절연막(502)을 형성한다. 포토리소그래피를 사용하여 층간절연막(502)상에 포토레지스트에칭마스크(미도시)를 형성하고, 드라이에칭을 사용하여 층간절연막(502)을 선택적으로 에칭한다. 다음에, 도 1a에 도시된 바와 같이, 층간절연막(502)내에 0.4 μm 의 직경을 갖는 콘택홀(503)을 형성한다.

이어서, 플라스마화학적기상증착을 사용하여 전면에 티타늄을 5~20nm의 두께로 증착하여, 티타늄막(504)을 형성한다. 이 티타늄막(504)은 적절하게 연장되어, 콘택홀(503)내에 리세스를 정의한다. 열화학적기상증착을 사용하여 전면에 질화티타늄을 증착한다. 이 질화티타늄은 리세스를 충전하고 부풀어올라 0.4 μm 의 두께를 갖는 티타늄질화막(505)을 형성한다. 따라서, 콘택홀(503)은 도 1b에 도시된 바와 같이 티타늄과 질화티타늄으로 완전하게 충전된다.

이어서, 티타늄질화막(505)과 티타늄막(504)은 층간절연막(502)이 다시 노출될 때까지 마스크없이 에칭된다. 이 드라이에칭에는 염소함유에칭가스가 사용된다. 그 결과, 도 1c에 도시된 바와 같이, 콘택홀(503)내에는 티타늄막(504a)과 일부의 질화티타늄이 남아 도전플러그로서 제공된다.

스퍼터링을 사용하여 전면에 알루미늄합금을 증착하여 알루미늄합금막을 형성한다. 포토리소그래피를 통해 포토레지스트에칭마스크(미도시)가 형성되고, 드라이에칭기술을 사용하여 이 알루미늄합금막이 선택적으로 에칭된다. 도 1d에 도시된 바와 같이, 층간절연막(502)상에 알루미늄합금스트립(506)이 형성된다.

따라서, 티타늄막(504)과 티타늄질화막(505)로부터 도전플러그가 형성되고, 도전플러그를 위해 어떤 텅스텐도 사용되지 않는다. 이 결과 제조비용이 감소된다. 그러나, 상술한 종래의 방법에서는 생산성이 저하된다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명자는 종래의 공정을 통해 제조된 제품의 결정을 조사하였다. 불량품 3부류로 분류된다. 제 1 부류는 층간절연막(502)의 손상에 의한 불량이다. 제 2 부류는 오염에 의한 불량이고, 제 3 부류는 실리콘기판(501) 또는 실리콘기판(501)내에 형성된 불순물영역으로 흐르는 리이크전류에 의한 불량이다.

제 1 부류로 분류된 불량품에 있어서, 층간절연막(502)은 티타늄막(504)의 패터닝을 위한 드라이에칭동안 심하게 에칭되었다. 본 발명자는 티타늄질화막(505)을 관찰하여, 내부에 많은 크랙과 티타늄질화막(50

5)과 티타늄막(504)사이의 분리를 발견하였다. 본 발명자는 층간절연막(502)이 크랙과 티타늄막(504)과 티타늄질화막(505)사이의 갭을 관통하는 에천트에 의해 손상을 입었다고 가정하였다.

제 2 부류로 분류된 불량품에 있어서, 오염원은 일부의 질화티타늄이었다. 이 일부의 질화티타늄은 크랙 및 분리에 의해 티타늄질화막(505)으로부터 생성된 것으로 가정된다.

제 3 부류로 분류된 불량품에 있어서, 실리콘기판(501)과 불순물영역은 에천트에 의해 손상을 입었고, 티타늄질화막(505)도 크랙되고 티타늄막(504)으로부터 분리되었다.

따라서, 모든 불량품은 티타늄질화막(505)의 크랙과 분리에 기인되었다. 본 발명자는 티타늄질화막(505)을 더 검사하여, 크랙 및 분리가, 각각 티타늄질화막(505)에 영향을 주는 열스트레스와 질화티타늄의 낮은 밀착성에 의한 것이라는 것을 알았다. 양호한 스텝커버리지를 얻기 위하여, 질화티타늄을 고온 분위기에서 큰 두께로 증착할 필요가 있었다. 티타늄질화막(505)이 실온으로 냉각되는 경우에, 티타늄과 질화티타늄간의 열팽창계수의 차이에 의해 큰 장력스트레스가 티타늄질화막(505)에 영향을 주게 된다. 이 장력스트레스는 2.5GPa 이상이다. 더욱이, 이 질화티타늄은 티타늄과의 밀착성이 작다. 이 상태에서, 큰 열스트레스가 분리와 많은 크랙의 원인이 된다. 에천트가 이 크랙과 갭, 그리고 손상된 층간절연막(502)과 실리콘기판(501)을 관통하였다.

본 발명의 목적은 생산성이 향상된 반도체장치 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 고용점금속실리사이드르 사용하여 열스트레스를 흡수하는 것을 제안한다.

본 발명의 일면에 따르면, 반도체기판과, 상기 반도체기판상에 제조된 적어도 하나의 회로소자와, 상기 반도체기판상에 형성된 층간절연막과, 그리고 상기 적어도 하나의 회로소자에 접속되는 배선구조를 구비하고, 상기 적어도 하나의 회로소자와 상기 배선구조중의 하나는 서로 적층된 고용점금속실리사이드 및 질화고용점금속을 포함하는 반도체장치가 제공된다.

본 발명의 다른 일면에 따르면, a)반도체기판을 마련하는 단계와, b)상기 반도체기판상에 층간절연막을 형성하는 단계와, c)상기 층간절연막내에 홀을 형성하는 단계와, 그리고 d)상기 홀내에서 화학적기상증착을 이용하여 서로 적층된 제 1 고용점금속실리사이드막 및 제 1 고용점금속질화막을 포함하는 다층도전구조를 형성하는 단계를 구비하는 반도체장치 제조방법이 제공된다.

본 발명의 또 다른 일면에 따르면, a)반도체기판을 마련하는 단계와, b)상기 반도체기판상에 층간절연막을 형성하는 단계와, 그리고 c)상기 층간절연막상에 화학적기상증착을 이용하여 서로 적층된 제 1 고용점금속실리사이드막 및 제 1 고용점금속질화막을 포함하는 다층도전구조를 형성하는 단계를 구비하는 반도체장치 제조방법이 제공된다.

본 발명의 특징 및 장점은 첨부도면을 참조한 하기의 설명으로 부터 보다 명백해질 것이다.

제 1 실시예

도 2a 내지 도 2f는 본 발명을 구체화하는 반도체장치 제조방법을 나타낸다. 본 공정은 격리산화막(미도시)이 선택적으로 성장된 실리콘기판(101)을 마련하는 것으로 부터 시작된다. 도시하지는 않았지만, 이 격리산화막은 실리콘기판(101)의 주요표면내에 복수개의 활성영역을 정의하고, 이 복수개의 활성영역상에 회로소자들이 제조된다. 이 회로소자들은 다층배선구조와 함께 집적회로를 형성한다.

도 2a에 도시된 바와 같이, 화학적기상증착을 사용하여 실리콘기판(101)의 전면에 BPSG를 증착하여 2.5 μ m 두께의 층간절연막(102)을 형성한다.

이 층간절연막(102)위에 포토레지스트용액을 도포하고 경화하여 포토레지스트막을 형성한다. 이 포토레지스트막에 콘택홀용 패턴이미지를 전사하여 포토레지스트막에 잠상을 형성한다. 이 잠상은 현상되어, 포토레지스트막이 포토레지스트에칭마스크(103)로 형성된다. 이 포토레지스트에칭마스크(103)내에 0.4 μ m의 직경을 갖는 홀들이 형성된다. 따라서, 포토레지스트에칭마스크(103)는 포토리소그래피를 통해 형성된다.

포토레지스트에칭마스크(103)를 이용하여, CHF₃와 CO를 함유하는 에칭가스를 사용하는 드라이에칭으로 층간절연막(102)을 선택적으로 에칭한다. 포토레지스트에칭마스크(103)는 층간절연막(102)을 선택적으로 에칭가스에 노출시켜, 층간절연막(102)내에 콘택홀(110)을 형성한다. 이 콘택홀(110)중의 하나가 도 2b에 도시되어 있고, 이 콘택홀(110)에 중점을 두고 설명한다.

이 포토레지스트에칭마스크(103)는 박리된다. 플라즈마화학적기상증착을 사용하여 전면에 티타늄을 증착하여 10nm두께의 티타늄막(104)을 형성한다. 상세하게는, 상기 구조는 반응기의 반응챔버내에 설치된 서셉터상에 위치되고 전극에 대향된다. 상기 반응챔버로부터 공기를 배출시키고, 웨이퍼의 온도는 500 $^{\circ}$ C 이상으로 조정된다. 반응챔버내로 반응가스가 주입되고, 반응챔버는 1~20torr로 유지된다. 이 반응가스는 TiCl₄ 5~20sccm 및 Ar 100~2000sccm을 함유하는 화학적기상증착에서 사용된다. 전극에는 rf 파워 수백W가 인가된다. 다음에, 반응챔버내에 플라즈마가 발생하여, 전면에 티타늄이 증착된다. 전면에 티타늄막(104)이 적절하게 확장하여, 도 2c에 도시된 리세스를 정의한다.

이어서, 티타늄막(104)상에 플라즈마화학적기상증착기술을 사용하여 티타늄실리사이드를 증착하여 10~20nm두께로 티타늄실리사이드막(105)을 형성한다. 이 티타늄실리사이드막(105)의 증착은 다음의 조건으로 수행된다. 반응가스는, TiCl₄ 5~20sccm, Ar 100~2000sccm, H₂ 1000~5000sccm, 그리고 SiH₄ 10~50sccm을 함유한다. 웨이퍼의 온도는 400 $^{\circ}$ C 이상이고, 반응챔버는 1~20torr로 유지된다. 전극에서의 rf 파워는 수백W이다.

이어서, 티타늄실리사이드막(105)상에 화학적기상증착기술을 사용하여 질화티타늄(TiN)을 증착하여, 티타늄질화막(106)을 120nm두께로 형성한다. 이 질화티타늄의 증착은 다음의 조건으로 수행된다. 반응가스는, $TiCl_4$ 30~50sccm, NH_3 40~70sccm, 그리고 N_2 30~50sccm을 함유한다. 웨이퍼의 온도는 600°C 이상 정도이고, 반응챔버는 15~30torr로 유지된다. 증착온도가 높을수록 스텝커버리지도 더욱 양호하다. 이러한 이유로, 질화티타늄은 600°C보다 높은 온도로 증착될 수 있다. 고온증착에서 열스트레스는 증가되지만, 티타늄실리사이드막(105)은 이 열스트레스를 흡수하고, 티타늄질화막(106)이 크랙되고 분리되는 것을 방지한다.

다음에, 플라즈마화학적기상증착기술을 사용하여 티타늄질화막(106)상에 티타늄실리사이드를 증착하여 티타늄실리사이드막(107)을 10nm두께로 형성한다. 티타늄실리사이드막(107)의 증착조건은 티타늄실리사이드막(105)과 유사하다.

이어서, 티타늄실리사이드막(107)상에 화학적기상증착기술을 사용하여 질화티타늄을 증착하여, 티타늄질화막(108)을 120nm두께로 형성한다. 티타늄질화막(108)의 증착조건은 티타늄질화막(106)과 유사하다. 티타늄막(104), 티타늄실리사이드막(105), 티타늄질화막(106), 티타늄실리사이드막(107)은 콘택홀(110)내에 리세스를 남기도록 얇게 형성된다. 질화티타늄은 리세스를 채우고 부풀어올라, 도 2d에 도시된 바와 같이, 층간절연막(102)상에 티타늄질화막(108)을 형성한다.

콘택홀(110)이 큰 직경을 갖는 경우에, 티타늄실리사이드의 증착과 질화티타늄의 증착은 반복된다. 티타늄실리사이드막과 티타늄질화막은 콘택홀(110)을 질화티타늄(108)으로 충전될 정도로 충분히 좁게 한다.

티타늄질화막(108), 티타늄실리사이드막(107), 티타늄질화막(106), 티타늄실리사이드막(105), 티타늄막(104)은, 층간절연막(102)이 다시 노출될 때까지 염소함유가스로 마스크없이 에칭된다. 그 결과, 도 2e에 도시된 바와 같이, 도전플러그(104, 105, 106, 107, 108)가 콘택홀(110)을 채운다.

이어서, 상기 구조의 전면에 알루미늄합금을 증착하여, 알루미늄합금막을 0.3~1.0 μ m의 두께로 형성한다. 알루미늄합금막상에 포토리소그래피를 통해 포토레지스트에칭마스크(미도시)를 형성하고, 드라이에칭기술을 사용하여 알루미늄합금막을 선택적으로 에칭한다. 따라서, 이 알루미늄합금막이 알루미늄합금스트립(109)으로 패터닝되어, 도 2f에 도시된 바와 같이, 도전플러그(104, 105, 106, 107, 108)와 접촉된 상태로 된다. 알루미늄합금스트립(109)과 도전플러그(104~108)는 다층배선구조의 일부분을 형성한다.

상술한 바로부터 이해되는 바와 같이, 티타늄실리사이드막(105, 107)이 티타늄막(104)과 티타늄질화막(106)사이와 티타늄질화막(106, 108)사이에 형성된다. 티타늄실리사이드막(105, 107)이 티타늄질화막(106, 108)에 의한 열스트레스를 흡수하기 때문에, 티타늄질화막(106, 108)은 고온분위기에서 증착되고, 고온증착을 통해 스텝커버리지가 개선된다. 열스트레스의 감소에 의해 티타늄질화막(106, 108)은 크랙되지 않고 분리되지 않는다. 더욱이, 티타늄실리사이드막(105, 107)과 두 티타늄 및 티타늄질화막(104, 106, 108)사이의 밀착성이 티타늄질화막과 티타늄막간의 밀착성보다 크다. 그 결과, 에칭가스는 티타늄질화막(106, 108)을 관통할 수 없고, 따라서, 티타늄질화막(106, 108)은 층간절연막(102)과 실리콘기판(101)을 에칭가스로부터 효과적으로 보호할 수 있다. 티타늄질화막(108)은 오염원으로서 제공되지 않는다. 따라서, 티타늄실리사이드막(105, 107)에 의해 생산성이 향상된다.

제 2 실시예

도 3a 내지 도 3e는 본 발명을 구체화하는 다른 반도체장치 제조방법을 나타낸다. p형 실리콘기판(201)상에 많은 회로소자들이 제조되고, 다층배선구조와 함께 집적회로를 형성한다. 본 발명은 회로소자의 하인 캐패시터의 축적전극에 적용된다.

본 공정은 p형 실리콘기판(201)을 마련하는 것으로 시작된다. p형 실리콘기판(201)이 주요표면상에 산화실리콘이 선택적으로 성장되고, 이 산화실리콘은 필드산화막(202)으로서 제공된다. 이 필드산화막(202)은 활성영역을 정의한다. 이 활성영역중의 하나에 중점을 두어 설명한다. 이 활성영역은 열산화되고, 이 활성영역내에 게이트절연막이 형성된다. 워드라인(206)이 패터닝되고, 게이트절연막상의 워드라인(206)의 일부는 게이트전극으로 제공된다. 이 워드라인(206)을 이온주입마스크로 사용하고, 활성영역으로 n형도펀트불순물을 주입하여, n형 소오스/드레인영역(203)을 형성한다.

상기 구조의 전면에 절연물질을 증착하여, 하부층간절연막을 형성한다. 포토리소그래피 및 드라이에칭기술을 사용하여 하부층간절연막내에 콘택홀을 형성하고, 이 콘택홀은 폴리실리콘의 도전플러그(207)로 채워진다. 이 도전플러그(207)은 n형 소오스/드레인영역(203)중 하나와 접촉된다. 하부층간절연막의 전면에 도전물질을 증착하고, 이 도전물질층은 비트라인(208)으로 패터닝된다. 이 비트라인(208)은 도전플러그(207)와 접촉된다.

상기 구조의 전면에 BPSG를 증착하여, 상부층간절연막(204)을 형성한다. 포토리소그래피 및 드라이에칭기술을 사용하여, 상부층간절연막(204)과 하부층간절연막이 선택적으로 에치제거되어, 도 3a에 도시된 바와 같이, 콘택홀(215)을 형성한다. 콘택홀(215)은 0.2 μ m의 직경과 1.0 μ m의 깊이를 갖는다. n형 소오스/드레인영역(203)상의 얇은 실리콘산화막이 콘택홀(215)에 각각 노출된다.

포토레지스트에칭마스크가 박리되고, 습식에칭기술을 사용하여 얇은 실리콘산화막이 에치제거된다. 습식에칭에는 플루오르화수소산을 1%함유하는 완충플루오르화수소(BHF)산이 사용된다. n형 소오스/드레인영역(203)은 콘택홀(215)에 각각 노출된다.

다음에, 플라즈마화학적기상증착을 사용하여 상기 구조의 전면에 티타늄을 증착하여, 티타늄막(209)을 10nm두께로 형성한다. 이 티타늄막(209)은 도 3b에 도시된 바와 같이 적절하게 연장된다.

다음에, 티타늄막(209)상에 티타늄실리사이드막을 증착하여 티타늄실리사이드막(210)을 20nm두께로 형성한다. 티타늄실리사이드막(210)상에 질화티타늄을 증착하여, 티타늄질화막(211)을 200nm두께로 형성한다. 티타늄질화막(211)상에 티타늄실리사이드를 증착하여 티타늄실리사이드막(212)을 10nm두께로 형성한다. 마지막으로, 티타늄실리사이드막(212)상에 질화티타늄을 증착한다. 이 질화티타늄은 티타늄실리사이드막(212)에 의해 정의된 리세스를 충전하고 부풀어올라, 도 3c에 도시된 바와 같이, 티타늄질화

막(213)을 500nm 두께로 형성한다.

이 막들(210, 211, 212, 213)의 증착조건은 제 1 실시예와 유사하다. 콘택홀(215)이 넓은 경우에는, 티타늄 실리사이드의 증착과 질화티타늄의 증착을 반복하여 리세스를 좁게한다.

이어서, 포토리소그래피를 사용하여 티타늄질화막(213)상에 포토레지스트에칭마스크를 패터닝하고, 드라이에칭기술을 사용하여 막(209, 213)을 선택적으로 에치제거한다. 티타늄질화막(213), 티타늄실리사이드막(212), 티타늄질화막(211), 티타늄실리사이드막(210), 그리고 티타늄막(209)을 도 3d에 도시된 바와 같이 축적전극(220)으로 패터닝한다.

다음에, 화학적기상증착을 사용하여 상기 구조의 전면에 산화탄탈륨(Ta_2O_5)을 증착하여, 탄탈산화막(214)을 10nm 두께로 형성한다. 증착조건은 다음과 같다. 반응가스는 에톡시탄탈륨과 산소를 함유하고, 반응 챔버는 1torr로 유지된다. 기판온도는 450°C 정도이다.

이어서, 탄탈산화막(214)상에 스퍼터링을 사용하여 질화탄탈륨을 증착하여, 탄탈질화막(215)을 20nm 두께로 형성한다. 마지막으로, 탄탈질화막(215)상에 스퍼터링을 사용하여 텅스텐실리사이드를 증착하여, 텅스텐실리사이드막(216)을 100nm 두께로 형성한다. 텅스텐실리사이드막(216)상에 포토레지스트에칭마스크를 형성하고, 탄탈산화막(214), 탄탈질화막(215), 그리고 텅스텐실리사이드막(216)을 도 3e에 도시된 바와 같이 유전막(221)과 카운터전극(223)으로 패터닝한다.

티타늄실리사이드막(210, 212)이 티타늄질화막(211, 213)의 아래에 형성되어 열스트레스를 흡수한다. 티타늄질화막(211, 213)은 고온분위기에서 증착되어, 스텝커버리지가 개선된다. 티타늄질화막(211, 213)은 크랙되거나 다른 막으로부터 분리되지 않는다. 티타늄질화막(211, 213)은 열스트레스에 의한 크랙과 분리에 대하여 효과적이다.

제 2 실시예에서, 티타늄실리사이드막(210)은 티타늄질화막(211)의 위에 올려질 수 있다.

제 3 실시예

도 4a 내지 도 4c는 본 발명을 구체화하는 또 다른 반도체장치 제조방법을 나타낸다. 실리콘기판(401)상에 많은 회로소자들이 제조되고, 다층배선구조와 함께 집적회로를 형성한다. 여기에서, 본 발명은 다층배선구조의 일부분을 형성하는 도전스트립에 적용된다.

본 공정은 실리콘기판(401)을 마련하는 것으로 부터 시작된다. 도시하지는 않았지만, 실리콘기판(401)상에 회로소자들이 제조된다. 화학적기상증착을 사용하여 BPSG를 증착하여 층간절연막(402)을 형성한다. 참조번호 408과 409는 각각 비트라인과 질화티타늄플러그를 나타낸다.

층간절연막(402)내에 와이드스텝이 형성되고, 이 층간절연막(402)내에 콘택홀(415)이 형성된다. 도전플러그(430)가 콘택홀(415)내에 형성된다. 이 도전플러그(430)는, 도 4a에 도시된 바와 같이, 티타늄막(403), 티타늄실리사이드막(404), 티타늄질화막(405), 티타늄실리사이드막(406), 그리고 티타늄질화막(407)을 포함한다. 이 막들(403~407)은 도전플러그(104, 105, 106, 107, 108)와 유사하게 형성된다.

다음에, 층간절연막(402)상에 질화티타늄을 증착하여, 티타늄질화막(410)을 80nm 두께로 형성한다. 티타늄질화막(410)상에 티타늄실리사이드를 증착하여, 티타늄실리사이드막(411)을 10nm 두께로 형성한다. 티타늄실리사이드막(411)상에 질화티타늄을 증착하여, 티타늄질화막(412)을 80nm 두께로 형성한다. 티타늄질화막(412)상에 티타늄실리사이드를 증착하여, 티타늄실리사이드막(413)을 10nm 두께로 형성한다. 티타늄실리사이드막(413)상에 질화티타늄을 증착하여, 티타늄질화막(414)을 80nm 두께로 형성한다. 따라서, 층간절연막(402)상에 적층구조(410~414)를 전체두께가 2.5 μ m가 되도록 형성한다. 이 막들(410, 411, 412, 413, 414)의 증착조건은 제 1 실시예와 유사하다. 이 구조를 도 4b에 도시하였다.

포토리소그래피를 사용하여 티타늄질화막(414)상에 포토레지스트에칭마스크를 패터닝하고, 드라이에칭기술을 사용하여, 적층구조(410~414)를 선택적으로 에치제거한다. 그 결과, 도 4c에 도시된 바와 같이, 층간절연막(402)상에 도전스트립(420)이 남게 된다. 이 도전스트립(420)은 도전플러그(430)와 접촉한다.

티타늄실리사이드막(411, 413)은 열스트레스를 흡수하여, 제조자가 고온분위기에서 두꺼운 티타늄질화막(412, 414)을 형성할 수 있게 한다. 제조자가 두꺼운 티타늄질화막(412, 414)을 증착하는 경우에도, 티타늄실리사이드막(411, 413)은 티타늄질화막(412, 414)이 크랙되거나 분리되는 것을 방지하여, 티타늄질화막(412, 414)이 와이드스텝위로 적절하게 확장된다. 그 결과, 생산성이 향상되고 신뢰성이 개선된다.

제 3 실시예에서, 티타늄질화막과 티타늄실리사이드막은 서로 바뀔 수 있다.

본 발명의 특정한 실시예들을 도시하고 설명하였지만, 당업자에게는 본 발명의 사상과 범위에서 벗어나지 않고 다양한 변경과 수정이 가능하다는 것은 분명하다.

예를들면, 티타늄실리사이드막은 티타늄막상에 증착된 티타늄질화막상에 적층될 수 있다. 이 조합은 한 번이상 반복될 수 있다.

제 3 실시예에 있어서, 도전플러그는, 예컨대, 폴리실리콘등의 도전물질로 형성될 수 있다.

상술한 실시예들에서, 티타늄, 티타늄실리사이드 및 질화티타늄은 도전플러그 및/또는 도전스트립용으로 사용될 수 있다. 본 발명은 티타늄, 티타늄실리사이드 및 질화티타늄에 한정되지 않는다. 본 발명에서는 다른 종류의 고용점금속, 고용점금속실리사이드, 질화고용점금속이 이용가능하다.

발명의 효과

상술한 바와 같이, 티타늄실리사이드막이 티타늄막과 티타늄질화막사이와 티타늄질화막사이에 형성된다. 티타늄실리사이드막이 티타늄질화막에 의한 열스트레스를 흡수하기 때문에, 티타늄질화막은 고온분위기에서 증착되고, 고온증착을 통해 스텝커버리지가 개선된다. 열스트레스의 감소에 의해 티타늄질화막은 크랙되지 않고 분리되지 않는다. 더욱이, 티타늄실리사이드막과 두 티타늄 및 티타늄질화막사이의 밀착성

이 티타늄질화막과 티타늄막간의 밀착성보다 크다. 그 결과, 에칭가스는 티타늄질화막을 관통할 수 없고, 따라서, 티타늄질화막은 층간절연막과 실리콘기판을 에칭가스로부터 효과적으로 보호할 수 있다. 티타늄질화막은 오염원으로서 제공되지 않는다. 따라서, 티타늄실리사이드막에 의해 생산성이 향상된다.

(57) 청구의 범위

청구항 1

반도체기판과, 상기 반도체기판상에 제조된 적어도 하나의 회로소자와, 상기 반도체기판상에 형성된 층간절연막과, 그리고 상기 적어도 하나의 회로소에 접속되는 배선구조를 구비하는 반도체장치에 있어서,

상기 적어도 하나의 회로소자와 상기 배선구조중의 하나는 서로 적층된 고용점금속실리사이드 및 질화고용점금속을 포함하는 반도체장치.

청구항 2

제 1 항에 있어서, 상기 배선구조는 상기 층간절연막에 형성된 도전플러그를 포함하고, 상기 도전플러그는 상기 다층구조를 갖는 것을 특징으로 하는 반도체장치.

청구항 3

제 2 항에 있어서, 상기 도전플러그는,

상기 층간절연막의 내면에 형성되어 제 1 리세스를 정의하는 고용점금속막과,

상기 제 1 리세스에 형성되어 제 2 리세스를 정의하며, 고용점금속실리사이드막으로서 역할하는 제 1 고용점금속실리사이드막과, 그리고

상기 제 2 리세스내에 형성되어, 고용점금속질화막으로서 역할하는 제 1 고용점금속질화막을 포함하는 것을 특징으로 하는 반도체장치.

청구항 4

제 3 항에 있어서, 상기 도전플러그는, 상기 고용점금속막과 상기 제 1 고용점금속실리사이드막사이에 형성된 제 2 고용점금속질화막을 추가로 포함하는 것을 특징으로 하는 반도체장치.

청구항 5

제 4 항에 있어서, 상기 도전플러그는, 상기 고용점금속막과 상기 제 2 고용점금속질화막사이에 형성된 제 2 고용점금속실리사이드막을 추가로 포함하는 것을 특징으로 하는 반도체장치.

청구항 6

제 3 항에 있어서, 상기 고용점금속막, 상기 제 1 고용점금속실리사이드막 및 제 1 고용점금속질화막은, 각각 티타늄, 티타늄실리사이드, 그리고 질화티타늄으로 형성되는 것을 특징으로 하는 반도체장치.

청구항 7

제 1 항에 있어서, 상기 적어도 하나의 회로소자는 캐패시터이고, 상기 캐패시터는 상기 다층구조가 적용된 전극을 갖는 것을 특징으로 하는 반도체장치.

청구항 8

제 7 항에 있어서, 상기 전극은,

상기 층간절연막의 내면에 형성되어 제 1 리세스를 정의하는 고용점금속막과,

상기 제 1 리세스에 형성되어 제 2 리세스를 정의하며, 고용점금속실리사이드막으로서 역할하는 제 1 고용점금속실리사이드막과, 그리고

상기 제 2 리세스내에 형성되어, 고용점금속질화막으로서 역할하는 제 1 고용점금속질화막을 포함하는 것을 특징으로 하는 반도체장치.

청구항 9

제 8 항에 있어서, 상기 전극은, 상기 고용점금속막과 상기 제 1 고용점금속실리사이드막사이에 형성된 제 2 고용점금속질화막을 추가로 포함하는 것을 특징으로 하는 반도체장치.

청구항 10

제 9 항에 있어서, 상기 전극은, 상기 고용점금속막과 상기 제 2 고용점금속질화막사이에 형성된 제 2 고용점금속실리사이드막을 추가로 포함하는 것을 특징으로 하는 반도체장치.

청구항 11

제 8 항에 있어서, 상기 고용점금속막, 상기 제 1 고용점금속실리사이드막 및 제 1 고용점금속질화막은, 각각 티타늄, 티타늄실리사이드, 그리고 질화티타늄으로 형성되는 것을 특징으로 하는 반도체장치.

청구항 12

제 1 항에 있어서, 상기 배선구조는 상기 층간절연막상에 형성된 도전스트립을 포함하고, 상기 도전스트

립은 다층구조를 갖는 것을 특징으로 하는 반도체장치.

청구항 13

제 12 항에 있어서, 상기 고용점금속실리사이드막 및 상기 고용점금속질화막은 한 쌍의 고용점금속합금막을 형성하고, 상기 도전스트립은 한 쌍이상의 고용점금속합금막을 포함하는 것을 특징으로 하는 반도체장치.

청구항 14

제 13 항에 있어서, 상기 고용점금속합금막쌍의 상기 고용점금속실리사이드막은 연계된 고용점금속질화막상에 놓여지는 것을 특징으로 하는 반도체장치.

청구항 15

제 14 항에 있어서, 상기 도전스트립은, 상기 층간절연막과 상기 한 쌍이상의 고용점금속합금막사이에 형성된 또 다른 고용점금속질화막을 추가로 포함하는 것을 특징으로 하는 반도체장치.

청구항 16

제 13 항에 있어서, 상기 배선구조는, 상기 층간절연막내에 형성된 도전플러그를 추가로 포함하고, 상기 또 다른 고용점금속질화막은 상기 도전플러그와 접촉하는 것을 특징으로 하는 반도체장치.

청구항 17

a)반도체기판을 마련하는 단계와, b)상기 반도체기판상에 층간절연막을 형성하는 단계와, c)상기 층간절연막내에 홀을 형성하는 단계와, 그리고 d)다층도전구조를 형성하는 단계를 구비하는 반도체장치 제조방법에 있어서,

상기 다층도전구조는, 상기 홀내에서 화학적기상증착을 이용하여 서로 적층된 제 1 고용점금속실리사이드막 및 제 1 고용점금속질화막을 포함하는 반도체장치 제조방법.

청구항 18

제 17 항에 있어서, 상기 d)단계는,

d-1)상기 홀을 정의하는 내면상에 고용점금속막을 형성하는 서브단계와,

d-2)상기 고용점금속막상에 상기 제 1 고용점금속실리사이드막을 형성하는 서브단계와, 그리고

d-3)상기 고용점금속실리사이드막상에 상기 제 1 고용점금속질화막을 형성하는 서브단계를 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 19

제 18 항에 있어서, 상기 제 1 고용점금속실리사이드막은 제 1 온도에서 증착되고, 상기 제 1 고용점금속질화막은 상기 제 1 온도보다 높은 제 2 온도에서 증착되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 20

제 18 항에 있어서, 상기 d)단계는,

d-4)상기 제 1 고용점금속질화막상에 화학적기상증착을 이용하여 리세스를 정의하는 제 2 고용점금속실리사이드막을 형성하는 서브단계와,

d-5)상기 리세스를 화학적기상증착을 사용하여 제 2 고용점금속질화막을 충전하는 서브단계를 추가로 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 21

제 20 항에 있어서, 상기 제 1 고용점금속질화막 상기 제 2 고용점금속질화막은, 각각, 상기 제 1 고용점금속실리사이드막 및 상기 제 2 고용점금속실리사이드막의 각 증착온도보다 높은 온도에서 증착되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 22

제 18 항에 있어서, 상기 d-1)서브단계에서 고용점금속막의 증착에 대하여 $TiCl_4$ 가 감소되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 23

제 18 항에 있어서, 상기 제 1 고용점금속질화막을 증착하는 d-3)단계에서 $TiCl_4$ 는 암모니아 및 질소중 하나와 반응하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 24

a)반도체기판을 마련하는 단계와, b)상기 반도체기판상에 층간절연막을 형성하는 단계와, 그리고 c)상기 층간절연막상에 다층도전구조를 형성하는 단계를 구비하는 반도체장치 제조방법에 있어서,

상기 다층도전구조는, 화학적기상증착을 이용하여 서로 적층된 제 1 고용점금속실리사이드막 및 제 1 고용점금속질화막을 포함하는 반도체장치 제조방법.

청구항 25

제 24 항에 있어서, 상기 c)단계는,

c-1)상기 층간절연막상에 상기 제 1 고용점금속질화막을 형성하는 서브단계와,

c-2)상기 제 1 고용점금속질화막상에 상기 제 1 고용점금속실리사이드막을 형성하는 서브단계를 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 26

제 24 항에 있어서, 상기 제 1 고용점금속실리사이드막은 제 1 온도에서 증착되고, 상기 제 1 고용점금속질화막은 상기 제 1 온도보다 높은 제 2 온도에서 증착되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 27

제 25 항에 있어서, 상기 c)단계는,

c-3)상기 c-1) 및 c-2)서브단계를 반복하여 상기 제 1 고용점금속질화막과 상기 제 1 고용점금속실리사이드막의 하나이상의 조합을 형성하는 서브단계와, 그리고

c-4)상기 하나이상의 조합상에 제 2 고용점금속질화막을 형성하는 서브단계를 추가로 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 28

제 27 항에 있어서, 상기 제 1 고용점금속질화막 상기 제 2 고용점금속질화막은, 각각, 상기 제 1 고용점금속실리사이드막의 증착온도보다 높은 온도에서 증착되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 29

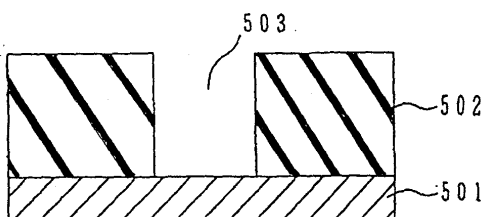
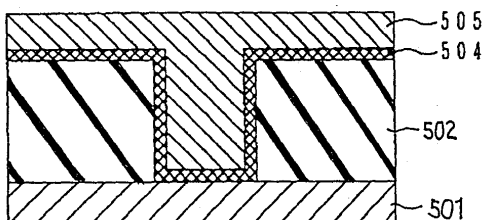
제 24 항에 있어서,

d)상기 b)단계 후에, 상기 층간절연막내에 홀을 형성하는 단계와, 그리고

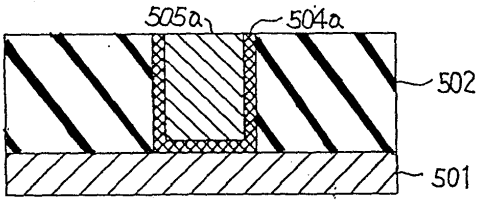
e)상기 d)단계와 c)단계사이에서 상기 홀내에 서로 적층된 제 2 고용점금속실리사이드막과 제 3 고용점금속질화막을 포함하는 도전플러그를 형성하는 단계를 추가로 구비하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 30

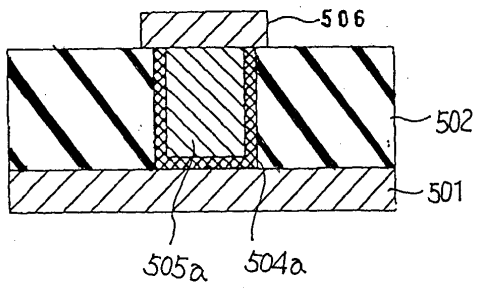
제 29 항에 있어서, 상기 제 1 및 제 2 고용점금속실리사이드막과 상기 제 1, 제 2 및 제 3 고용점금속질화막은 각각 티타늄실리사이드와 질화티타늄으로 형성되는 것을 특징으로 하는 반도체장치 제조방법.

도면**도면 1a****도면 1b**

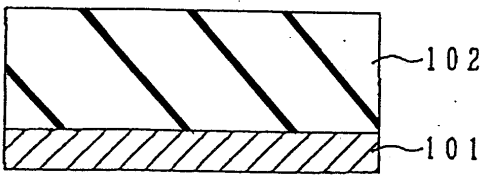
도면1c



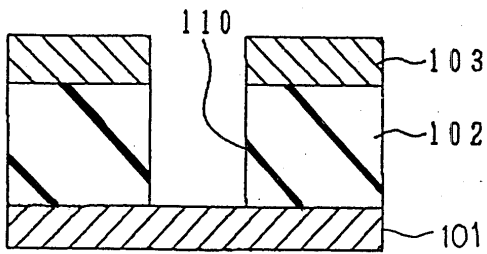
도면1d



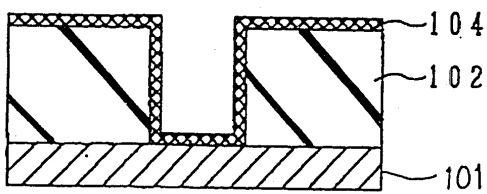
도면2a



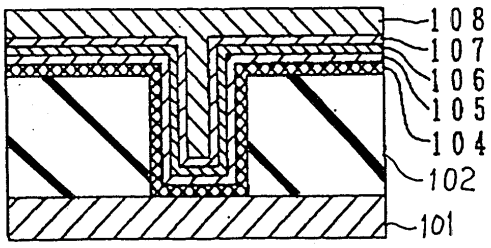
도면2b



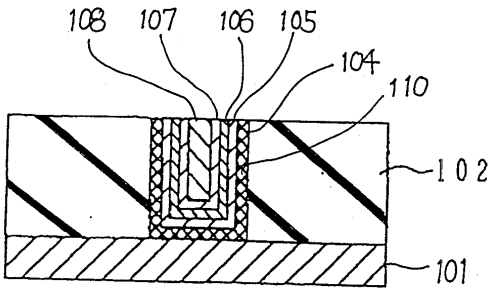
도면2c



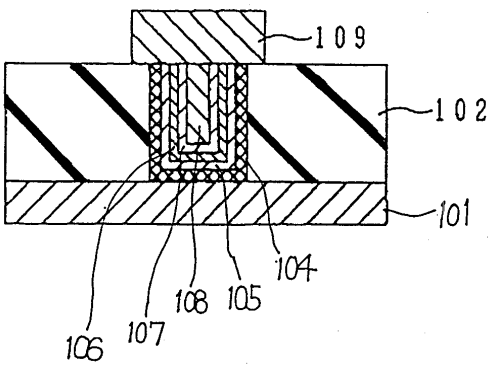
도면2d



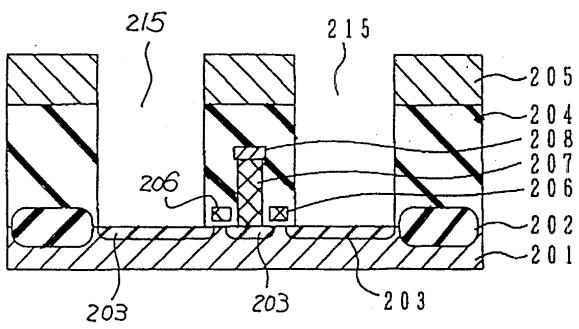
도면2e



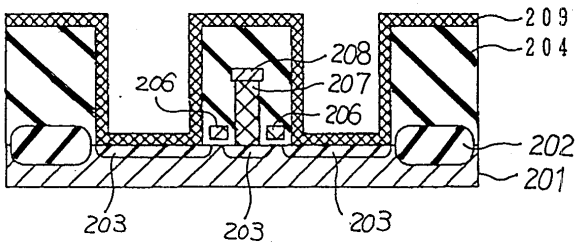
도면2f



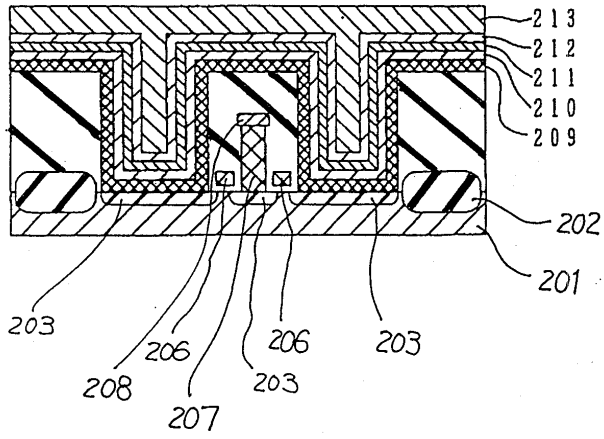
도면3a



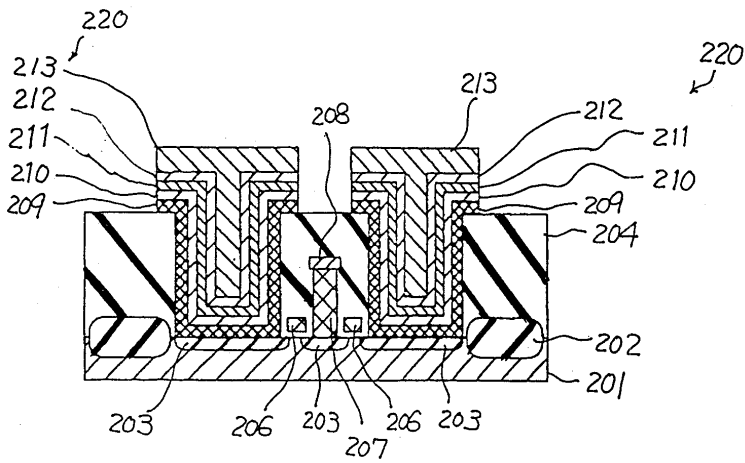
도면3b



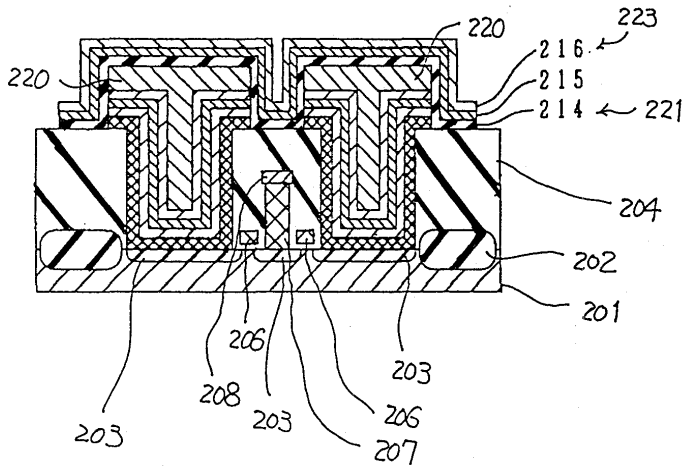
도면3c



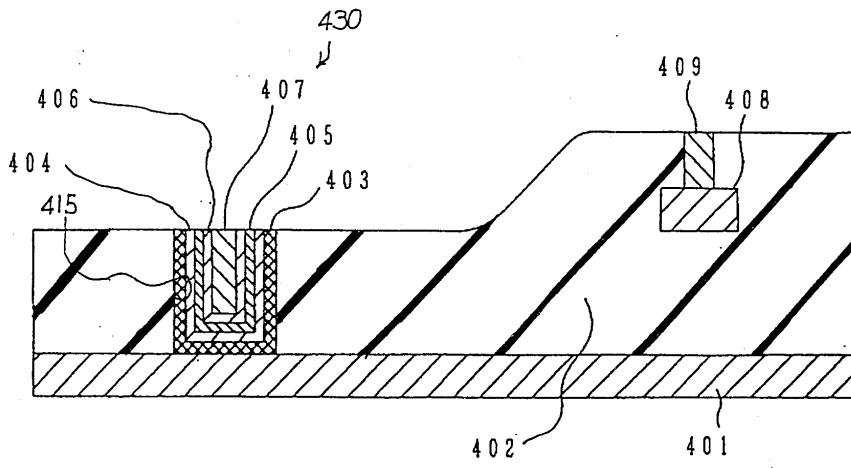
도면3d



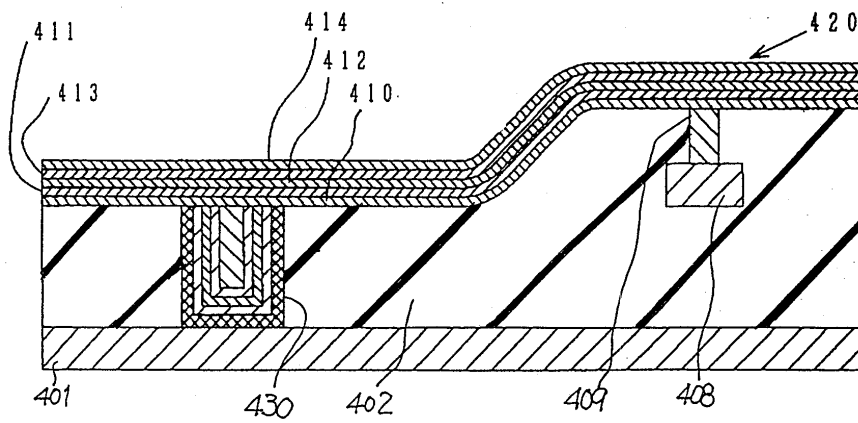
도면3e



도면4a



도면4b



도면4c

