



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I770287 B

(45)公告日：中華民國 111 (2022) 年 07 月 11 日

(21)申請案號：107134872

(22)申請日：中華民國 107 (2018) 年 10 月 03 日

(51)Int. Cl. : **H01L23/498 (2006.01)**

(30)優先權：2017/10/13 日本 2017-199633

(71)申請人：日商瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION  
(JP)

日本

(72)發明人：假屋崎修一 KARIYAZAKI, SHUUICHI (JP)；土屋惠太 TSUCHIYA, KEITA (JP)；  
岡安義隆 OKAYASU, YOSHITAKA (JP)；白井航 SHIROI, WATARU (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW	200529722A	JP	2001-148448A
JP	2006-344740A	JP	2014-175356A
US	6353540B1	US	2008/0290495A1

審查人員：謝介銘

申請專利範圍項數：18 項 圖式數：24 共 76 頁

(54)名稱

半導體裝置

(57)摘要

本發明之目的在於令半導體裝置的性能提高。本發明之半導體裝置，具有可搭載半導體晶片的配線基板 20。配線基板 20 的配線層 WL1，在俯視下，具有在 X 方向上延伸的主配線部 2wv1，以及在 Y 方向上延伸的複數個副配線部 2wv2，且具有可供給電源電位的配線 2wv。另外，配線層 WL1，在俯視下，具有在 X 方向上延伸的主配線部 2wg1，以及在 Y 方向上延伸的複數個副配線部 2wg2，且具有可供給基準電位的配線 2wg。複數個副配線部 2wv2 以及複數個副配線部 2wg2，各自具有端部 2we1 以及位於端部 2we1 的相反側的端部 2we2，且在主配線部 2wg1 與主配線部 2wv1 之間，沿著 X 方向交替地排列。另外，端部 2we1 以及端部 2we2，各自與介層配線 2vv、2vg 連接。

A semiconductor device has a wiring substrate on which a semiconductor chip is mounted. A wiring layer of the wiring substrate has a wiring. This wiring has a main wiring unit extending in a direction "X" and a plurality of sub-wiring units extending in a direction "Y", in a cross sectional view, and is supplied with a power source potential. The wiring layer has a wiring. This wiring has a main wiring unit extending in the direction "X" and a plurality of sub-wiring units extending in the direction "Y", in a cross sectional view, and is supplied with a reference potential. The sub-wiring units and the sub-wiring units have end units and end units on a side opposed to the end units, and are alternately arranged along the direction "X" between the main wiring units. To the end units, via wirings are coupled.

指定代表圖：

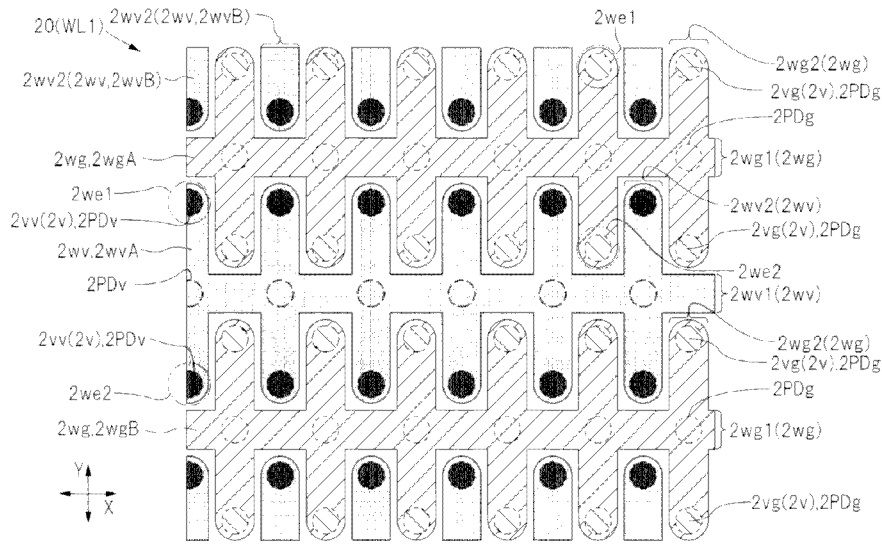


圖 9

符號簡單說明：

2PDg、2PDv . . .

端子(端子部、焊墊、半導體晶片連接用端子)

2v、2vg、2vv . . .

介層配線(介層、層間導電路)

2we1 . . . 端部(第 1 端部)

2we2 . . . 端部(第 2 端部)

2wg、2wgA、

2wgB、2wv、

2wvA、2wvB . . .

配線(導體圖案、配線圖案)

2wg1、2wv1 . . . 主配線部

2wg2、2wv2 . . . 副配線部

20 . . . 配線基板

WL1 . . . 配線層

X、Y . . . 方向



I770287

## 【發明摘要】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

## 【中文】

本發明之目的在於令半導體裝置的性能提高。本發明之半導體裝置，具有可搭載半導體晶片的配線基板20。配線基板20的配線層WL1，在俯視下，具有在X方向上延伸的主配線部2wv1，以及在Y方向上延伸的複數個副配線部2wv2，且具有可供給電源電位的配線2wv。另外，配線層WL1，在俯視下，具有在X方向上延伸的主配線部2wg1，以及在Y方向上延伸的複數個副配線部2wg2，且具有可供給基準電位的配線2wg。複數個副配線部2wv2以及複數個副配線部2wg2，各自具有端部2we1以及位於端部2we1的相反側的端部2we2，且在主配線部2wg1與主配線部2wv1之間，沿著X方向交替地排列。另外，端部2we1以及端部2we2，各自與介層配線2vv、2vg連接。

## 【英文】

A semiconductor device has a wiring substrate on which a semiconductor chip is mounted. A wiring layer of the wiring substrate has a wiring. This wiring has a main wiring unit extending in a direction "X" and a plurality of sub-wiring units extending in a direction "Y", in a cross sectional view, and is supplied with a power source potential. The wiring layer has a wiring. This wiring has a main wiring unit extending in the direction "X" and a plurality of sub-wiring units extending in the direction "Y",

in a cross sectional view, and is supplied with a reference potential. The sub-wiring units and the sub-wiring units have end units and end units on a side opposed to the end units, and are alternately arranged along the direction “X” between the main wiring units. To the end units, via wirings are coupled.

【指定代表圖】 圖9

【代表圖之符號簡單說明】

2PDg、2PDv：端子(端子部、焊墊、半導體晶片連接用端子)

2v、2vg、2vv：介層配線(介層、層間導電路)

2we1：端部(第1端部)

2we2：端部(第2端部)

2wg、2wgA、2wgB、2wv、2wvA、2wvB：配線(導體圖案、配線圖案)

2wg1、2wv1：主配線部

2wg2、2wv2：副配線部

20：配線基板

WL1：配線層

X、Y：方向

【特徵化學式】 無

## 【發明說明書】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

【技術領域】

【0001】

本發明係關於一種半導體裝置，且係關於一種適用於例如具備驅動高速運作之電路的電源電路的半導體裝置的有效技術。

【先前技術】

【0002】

例如，於專利文獻1(日本特開2011-165858號公報)，記載了搭載在配線基板上的半導體晶片與配線基板透過複數條導線電連接的半導體裝置。於專利文獻1，記載了「在俯視下，於接地電位供給用的梳齒狀的接地焊墊之間，排列著電源供給用的複數個電源焊墊，藉此，便可降低寄生電感」的技術內容。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1] 日本特開2011-165858號公報

【發明內容】

[發明所欲解決的問題]

**【0004】**

半導體晶片趨向高性能化，伴隨於此，零件尺寸的小型化、電路運作速度的高速化，或降低電路驅動電壓進而減少消耗電力等的技術，變得有其必要。本案發明人，從事令半導體裝置的性能提高的技術開發。作為其中的一環，針對「減少對搭載在配線基板上的半導體晶片供給電源電壓的電路中的雜訊」此點進行檢討，發現仍有改善的空間。

**【0005】**

例如，存在「半導體晶片所具有之端子的排列間隔雖狹小化，惟相對於此可搭載上述半導體晶片之配線基板所具有的貫通孔的排列間隔卻無法充分地狹小化」的情況。此時，在將半導體晶片的端子與配線基板的貫通孔連接的配線路徑中，會存在配線寬度較窄的部分。在配線寬度較窄的部分，電阻會變大。

**【0006】**

其他問題與新穎性特徵，根據本說明書的記述以及所附圖式應可明瞭。

[解決問題的手段]

**【0007】**

本發明一實施態樣之半導體裝置，具有可搭載半導體晶片的配線基板。上述配線基板的第1配線層，在俯視下，具有在第1方向上延伸的第1主配線部，以及在第2方向上延伸的複數個第1副配線部，且具有可供給第1電位的第1配線。另外，上述第1配線層，在俯視下，具有在上述第1方向上延伸的第2主配線部，以及在上述第2方向上延伸的複數個第2副配線部，且具有可供給第2電位的第2配線。另外，上述複數個第1副配線部以及上述複數個第2副配線部，各自具有第1端部以及位於上述第1端部的相反側的第2端部，且在上述第1主配線部與上

述第2主配線部之間，沿著上述第1方向交替地排列。另外，上述第1端部以及上述第2端部，各自與介層連接。

[發明的功效]

**【0008】**

根據上述一實施態樣，可令半導體裝置的性能提高。

**【圖式簡單說明】**

**【0009】**

[圖1] 係一實施態樣之半導體裝置的立體圖。

[圖2] 係圖1所示之半導體裝置的仰視圖。

[圖3] 係圖1所示之半導體裝置的俯視圖。

[圖4] 係沿著圖1的A-A線的剖面圖。

[圖5] 係將圖4所示之半導體晶片所具有的電路的構造例以示意方式表示的說明圖。

[圖6] 係圖1所示之半導體晶片的表面(電極配置面)的俯視圖。

[圖7] 係表示在圖3所示之配線基板的頂面中，將半導體晶片以及底部填充樹脂除去的状态的俯視圖。

[圖8] 係在圖7所示之配線基板中，將最上層的絕緣膜除去，以顯示出第1層的配線層的布局的例子的俯視圖。

[圖9] 係將圖8的中央部分放大的放大俯視圖。

[圖10] 係表示在圖7所示之配線基板中，第2層的配線層的布局的例子的俯視圖。

[圖11] 係在圖10所示之配線層之中，將與圖9所示之平面重疊的中央部分放大的放大俯視圖。

[圖12] 係圖11的A-A線的放大剖面圖。

[圖13] 係圖11的B-B線的放大剖面圖。

[圖14] 係圖11的C-C線的放大剖面圖。

[圖15] 係表示相對於圖11的變化實施例的放大俯視圖。

[圖16] 係表示圖11所示之電源供給用的導體圖案與基準電位供給用的導體圖案的放大俯視圖。

[圖17] 係表示在圖7所示之配線基板中，第3層的配線層的布局的例子的俯視圖。

[圖18] 係在圖17所示之配線層中，對應圖9的位置的放大俯視圖。

[圖19] 係表示在圖9所示之配線基板中，第4層的配線層的布局的例子的放大俯視圖。

[圖20] 係表示在圖9所示之配線基板中，第5層的配線層的布局的例子的放大俯視圖。

[圖21] 係表示在圖9所示之配線基板中，第6層的配線層的布局的例子的放大俯視圖。

[圖22] 係作為相對於圖4之變化實施例的半導體裝置的剖面圖。

[圖23] 係表示在圖22所示之配線基板中，第1層的配線層的布局的例子的放大俯視圖。

[圖24] 係表示在圖23所示之配線基板中，第2層的配線層的布局的例子的放大俯視圖。

**【實施方式】****【0010】**

(本案中的記載形式、基本用語、用法的說明)

在本案中，實施態樣的記載，係因應需要，於便宜作法上分成複數個段落等記載之，惟除了特別明示了並非如此之意旨的情況以外，該等段落並非彼此獨立個別的內容，不問記載的前後順序，單一實施例的各部分，其中一方係另一方的部分詳細內容或者部分或全部的變化實施例等。另外，原則上，同樣的部分省略重複說明。另外，實施態樣中的各構成要件，除了特別明示了並非如此之意旨的情況、理論上限定於該數目的情況以及根據文中脈絡明顯並非如此的情況以外，並非為必要構件。

**【0011】**

同樣地，在實施態樣等的記載中，關於材料、組成等，即便稱「由A所構成的X」等，除了特別明示了並非如此之意旨的情況以及根據文中脈絡明顯並非如此的情況以外，並未排除包含A以外之要件者。例如，針對成分而言，係「包含A作為主要成分的X」等的意思。例如，即便稱「矽構件」等，亦並非限定於純粹的矽，而係也包含SiGe(矽鍺)合金、其他以矽為主要成分的多元合金或包含其他添加物等的構件，自不待言。另外，即便稱金電鍍層、Cu層、鎳(電鍍層)等，除了特別明示了並非如此之意旨的情況以外，並非指純粹的金屬層，而係包含分別以金、Cu、鎳等為主要成分的構件者。

**【0012】**

再者，當提及特定的數值、數量時亦同，除了特別明示了並非如此之意旨的情況、理論上限定於該數目的情況以及根據文中脈絡明顯並非如此的情況以外，可為超過該特定數值的數值，亦可為小於該特定數值的數值。

#### 【0013】

另外，在實施態樣的各圖中，同一或同樣的部分會以同一或類似的記號或參照編號表示之，說明原則上不重複。

#### 【0014】

另外，在所附圖式中，當反而會變繁雜時或與空隙的區別很明確時，即使是剖面，有時也會省略影線等。關於此點，當根據說明內容等便能夠明確理解時，即使是在俯視下封閉的孔部，有時也會省略背景的輪廓線。再者，為了明示並非剖面，亦非空隙，或者為了明示區域的界線，有時會附上影線或點狀圖案。

#### 【0015】

##### <半導體裝置>

首先，針對本實施態樣之半導體裝置PKG1的概略構造，用圖1～圖4進行說明。圖1係本實施態樣之半導體裝置的立體圖，圖2係圖1所示之半導體裝置的仰視圖。另外，圖3係圖1所示之半導體裝置的俯視圖。另外，圖4係沿著圖1的A-A線的剖面圖。另外，在圖1～圖4中，為了容易觀察，會減少所顯示的端子數。另外，在圖4中，為了容易觀察，相較於圖2所示之例，會減少所顯示的外部端子30的數目。圖式雖省略，惟端子(端子2PD、端子塊2LD、外部端子30)的數目，除了圖1～圖4所示之態樣以外，亦可適用各種的變化態樣。

#### 【0016】

如圖1所示的，本實施態樣之半導體裝置PKG1，具有：半導體晶片10，以及具有可搭載半導體晶片10的頂面(平面、主面、晶片搭載面)20t的配線基板20。

#### 【0017】

如圖4所示的，半導體晶片10，具有：表面(主面、頂面)10t、位於表面10t的相反側的背面(主面、底面)10b，以及位於表面10t與背面10b之間的側面10s。另外，半導體晶片10，如圖3所示的，形成在俯視下平面面積比配線基板20更小的四角形的外形形狀。在圖3所示之例中，半導體晶片10，以四個側面10s分別沿著配線基板20的四個側面20s延伸的方式，搭載在配線基板20的頂面20t的中央部位。

#### 【0018】

另外，如圖4所示的，於半導體晶片10的表面10t，排列著複數個電極(晶片電極、電極焊墊、電極部)1PD。在本實施態樣中，於半導體晶片10的表面10t，複數個電極1PD配置成行列狀(矩陣狀、陣列狀)。藉由將作為半導體晶片10之外部輸入輸出端子的複數個電極1PD配置成行列狀，即使半導體晶片10所具備之電極數增加，仍可抑制平面面積擴大。另外，當在俯視下，於半導體晶片10的中央部分配置了電力供給用的電極1PD時，便可縮短相對於形成在半導體晶片10的中央部分的核心電路的電力供給路徑。

#### 【0019】

半導體晶片10的表面10t，與配線基板20的頂面20t互相對向。像這樣，以半導體晶片10的電極形成面(亦即表面10t)與配線基板20的晶片搭載面(亦即頂面20t)互相對向的態樣將半導體晶片10搭載於配線基板20的方式，稱為面朝下(face down)安裝方式，或倒裝晶片(flip chip)連接方式。

**【0020】**

在倒裝晶片連接方式的態樣中，排列於半導體晶片10的表面10t的電極1PD與排列於配線基板20的頂面20t的端子2PD，係透過突起電極SB連接。如圖4所示的，複數個電極1PD分別與突起電極SB連接，半導體晶片10的複數個電極1PD與配線基板20的複數個端子2PD，透過複數個突起電極SB，分別電連接。

**【0021】**

突起電極SB，係以在半導體晶片10的表面10t上突出的方式形成的金屬構件。突起電極SB，在本實施態樣中，係在電極1PD上，隔著基底金屬膜(under bump metal，凸塊下金屬膜)堆疊了焊接材料的所謂焊接凸塊。基底金屬膜，例如，可例示出從與電極1PD的連接面側開始依序堆疊了鈦(Ti)、銅(Cu)、鎳(Ni)的堆疊膜[有時會在鎳膜上更進一步形成金(Au)膜]。另外，構成焊接凸塊的焊接材料，例如，係由含鉛(Pb)的Sn-Pb焊接材料或實質上不含Pb的所謂無鉛焊料所構成。關於無鉛焊料的例子，例如，可列舉出：錫(Sn)、錫-鉍(Sn-Bi)、錫-銅-銀(Sn-Cu-Ag)，或錫-銅(Sn-Cu)等。在此，所謂無鉛焊料，係指鉛(Pb)的含有量在0.1wt%以下，該含有量，被定為RoHS(Restriction of Hazardous Substances，危害性物質限制)指令的基準。

**【0022】**

在將半導體晶片10搭載於配線基板20時，係於複數個電極1PD以及複數個端子2PD雙方預先形成好焊接凸塊，並在令雙方焊接凸塊互相接觸的狀態下實施加熱處理(回焊處理)，藉此，令雙方焊接凸塊一體化，以形成突起電極SB。另外，作為相對於本實施態樣的變化實施例，於由銅(Cu)或鎳(Ni)所構成之導體柱的前端面形成了焊接膜的柱狀凸塊，亦可作為突起電極SB使用。

**【0023】**

圖式雖省略，惟作為相對於本實施態樣的變化實施例，亦存在半導體晶片10的背面10b與配線基板20的晶片搭載面(頂面20t)互相對向的態樣(稱為面朝上安裝方式)。此時，半導體晶片10的電極1PD排列在表面10t的周緣部位。另外，半導體晶片10的電極1PD與配線基板20的端子2PD，透過圖中未顯示的導線電連接。像本實施態樣這樣，以面朝下方式將半導體晶片10搭載在配線基板20上的態樣，可令每單位面積的電極1PD的配置密度提高。另外，像本實施態樣這樣，半導體晶片10的電極1PD與配線基板20的端子2PD透過突起電極SB電連接的態樣，相較於導線連接方式，更可降低電極1PD與端子2PD之間的傳送路徑的阻抗。

**【0024】**

另外，圖式雖省略，惟於半導體晶片10的主面[詳細而言，係設置於半導體晶片10的基材(亦即半導體基板)的元件形成面的半導體元件形成區域]，形成了複數個半導體元件(電路元件)。複數個電極1PD，透過形成於配置在半導體晶片10的內部(詳細而言，係在表面10t與圖中未顯示的半導體元件形成區域之間)的配線層的配線(圖式省略)，與該複數個半導體元件分別電連接。

**【0025】**

半導體晶片10(詳細而言，係半導體晶片10的基材)，例如係由矽(Si)所構成。另外，於表面10t，形成了覆蓋半導體晶片10的基材以及配線的絕緣膜，複數個電極1PD各自的表面，在形成於該絕緣膜的開口部，從絕緣膜露出。另外，複數個電極1PD，各自係由金屬所構成，在本實施態樣中，例如係由鋁(Al)或銅(Cu)所構成。

**【0026】**

另外，可搭載半導體晶片10的配線基板20，如圖4所示的，具有：搭載了半導體晶片10的頂面20t、位於頂面20t的相反側的底面(平面、主面、安裝面)20b，以及配置在頂面20t與底面20b之間的複數個側面20s(參照圖1～圖3)。另外，如圖2所示的，配線基板20，在俯視下形成四角形的外形形狀。

#### 【0027】

配線基板20，具有將晶片搭載面(亦即頂面20t)的端子2PD與安裝面(亦即底面20b)的端子塊2LD電連接的複數個配線層。在圖4所示之例中，配線層，從頂面20t側依序具有配線層WL1、WL2、WL3、WL4、WL5以及WL6共6層的配線層。各配線層，被絕緣膜2e所覆蓋。於覆蓋各配線層的絕緣膜2e，設置了複數個開口部，於該複數個開口部，分別埋入了介層配線(介層、層間導電路)2v。配線層WL1、WL2、WL3分別透過複數條介層配線電連接，配線層WL4、WL5、WL6分別透過複數條介層配線電連接。

#### 【0028】

配線基板20的複數個配線層，例如，係在由玻璃纖維浸漬於樹脂之預浸材所構成的絕緣層(核心層、核心材、核心絕緣層)2CR的頂面2Ca以及底面2Cb，利用堆積(build-up)工法分別堆疊複數個配線層所形成。另外，位於絕緣層2CR的頂面2Ca的配線層WL3與位於底面2Cb的配線層WL4，透過埋入設置成從頂面2Ca與底面2Cb其中一方貫通到另一方的複數個貫通孔(貫通孔)的複數條貫通孔配線(層間導電路)2TW電連接。

#### 【0029】

另外，在圖4中，係顯示出具有核心層(亦即絕緣層2CR)的配線基板20作為配線基板的一例，惟作為相對於圖4的變化實施例，亦可使用不具有核心層的所

謂無核心基板。此時，於變化實施例的配線基板，並未形成貫通孔配線2TW。另外，在該變化實施例的配線基板中，所堆疊的複數個配線層之間，透過設置於各配線層之間的複數條介層配線2v電連接。

### 【0030】

於配線基板20的頂面20t，形成了與半導體晶片10電連接的複數個端子(端子部、焊墊、半導體晶片連接用端子)2PD。複數個端子2PD，係用來將半導體晶片10與配線基板20電連接的內部介面端子。另外，於配線基板20的底面20b，形成了作為半導體裝置PKG1之外部輸入輸出端子的複數個端子塊(端子、外部端子、電極、外部電極)2LD。端子塊2LD，係用來將配線基板20與外部裝置(例如圖中未顯示的安裝基板)電連接的外部介面端子。

### 【0031】

複數個端子2PD與複數個端子塊2LD，透過形成於配線基板20的複數條配線2w、作為層間導電路的複數條介層配線2v，以及將配線層WL3與配線層WL4電連接的貫通孔配線2TW電連接。在圖4所示之例中，核心層(亦即絕緣層2CR)位於配線基板20的配線層WL3與配線層WL4之間。核心層，相較於其他的絕緣膜2e，厚度更厚，硬度更硬。因此，於絕緣層2CR，設置了以從絕緣層2CR的頂面2Ca以及底面2Cb其中一方貫通到另一方的方式形成的複數個貫通孔。於該複數個貫通孔，分別埋入了導體(例如銅等的金屬)，構成發揮作為層間導電路之功能的貫通孔配線2TW。配線基板20所具有的各配線層的詳細構造後述之。

### 【0032】

另外，在圖4所示之例中，複數個端子塊2LD，分別與外部端子(焊接球、焊接材料、端子、電極、外部電極)30連接。外部端子30，係在將半導體裝置PKG1

安裝於圖中未顯示的安裝基板時，將安裝基板側的複數個端子(圖式省略)與複數個端子塊2LD電連接的導電性構件。外部端子30，與上述的突起電極SB同樣，係由例如無鉛焊料所構成。

### 【0033】

另外，如圖2所示的，複數個外部端子30配置成行列狀(陣列狀、矩陣狀)。另外，在圖2中雖省略圖式，惟複數個外部端子30所接合之複數個端子塊2LD(參照圖4)亦配置成行列狀(矩陣狀)。像這樣，於配線基板20的安裝面側，將複數個外部端子(外部端子30、端子塊2LD)配置成行列狀的半導體裝置，被稱為區域陣列型的半導體裝置。區域陣列型的半導體裝置，可將配線基板20的安裝面(底面20b)側，有效地活用作為外部端子的配置空間，故具有「即便外部端子數增加，仍可抑制半導體裝置的安裝面積擴大」的優點，而為較佳的態樣。亦即，可用較節省的空间安裝伴隨著高功能化、高積體化而外部端子數增加的半導體裝置。

### 【0034】

另外，在圖1、圖2以及圖4所示之例中，係例示地顯示出使用了球形的焊接材料(亦即焊接球)作為外部端子30的所謂BGA(Ball Grid Array，球柵陣列)型的半導體封裝件，惟外部端子的排列以及構造，存在各種的變化實施例。例如，存在「於圖4所示之底面20b令複數個端子塊2LD露出的構造」或「對在底面20b露出之複數個端子塊2LD接合了薄焊接材料的構造」等的變化實施例。該等變化實施例的半導體封裝件，被稱為LGA(Land Grid Array，平面網格陣列)型。

### 【0035】

另外，如圖4所示的，在半導體晶片10與配線基板20之間，配置了底部填充樹脂(絕緣性樹脂)40。底部填充樹脂40，以塞住半導體晶片10的表面10t與配線

基板20的頂面20t之間間隙的方式配置。另外，底部填充樹脂40，係由絕緣性(非導電性)的材料(例如樹脂材料)所構成，以封裝半導體晶片10與配線基板20的電連接部分(複數個突起電極SB的接合部)的方式配置。像這樣，藉由以封裝複數個突起電極SB的連接部的方式配置底部填充樹脂40，便可緩和在半導體晶片10與配線基板20的電連接部分所發生的應力。

### 【0036】

#### <電路構造例>

接著，針對圖4所示之半導體晶片所具備的電路構造例進行說明。圖5，係將圖4所示之半導體晶片所具有的電路構造例以示意方式表示的說明圖。另外，圖6，係圖1所示之半導體晶片的表面(電極配置面)的俯視圖。圖6係俯視圖，惟為了分別識別出複數個電極1PDv、複數個電極1PDg以及複數個電極1PDs，會附上點狀圖案或影線。在圖6中，在以圓形表示的複數個電極1PD之中，電極1PDs，以空白表示，電極1PDv，以點狀圖案表示，電極1PDg，以影線表示。

### 【0037】

如圖5所示的，半導體晶片10，具有：在半導體晶片10與外部之間實行電子信號SIG的輸入或輸出的輸入輸出電路11，以及與輸入輸出電路11連接，並對信號資料實行處理(例如運算處理等)的核心電路12。另外，半導體晶片10的複數個電極1PD，包含複數個電極1PDs、複數個電極1PDv，以及複數個電極1PDg。複數個電極1PDs，各自係與輸入輸出電路11連接，並傳送電子信號的信號端子。複數個電極1PDv，各自係與核心電路12連接，並供給驅動核心電路12之電源電位VD的電源端子。複數個電極1PDv之間互相連接。另外，複數個電極1PDg，

各自係與核心電路12連接，並對核心電路12供給基準電位VG的基準電位端子。複數個電極1PDg之間互相連接。

#### 【0038】

另外，在圖5所示之例中，複數個電極1PDv以及複數個電極1PDg，亦各自與輸入輸出電路11電連接。輸入輸出電路11，被電極1PDv供給電源電位VD，被電極1PDg供給基準電位VG。可利用該電源電位VD與基準電位VG的電位差，驅動輸入輸出電路11。另外，像圖5所示之例這樣，複數個電極1PDv互相電連接的狀態，例如當在核心電路12中瞬間電力需求變大時，電源電位會從複數個路徑供給。因此，只要可分別對複數個電極1PDv穩定地供給電源電位，便可令瞬間電力需求增大所導致之電壓下降等的現象不易發生。

#### 【0039】

另外，作為圖5所示之例的變化實施例，當輸入輸出電路11的驅動電壓與核心電路12的驅動電壓相異時，亦可對輸入輸出電路11供給與電源電位VD相異的電源電位。另外，當存在複數個核心電路12，且複數個核心電路12以彼此相異的驅動電壓動作時，亦可對複數個核心電路12供給彼此相異的電源電位。此時，複數個電極1PDv亦可分成複數個群組(電極群)。此時，若上述群組各自在電性上分離，便可對每個群組供給不同的電源電位。然而，為了抑制如上所述的瞬間電力需求的增加所導致的電壓下降，供給各電源電位的路徑宜各自存在複數條。

#### 【0040】

另外，如圖6所示的，在半導體晶片10的表面10t，複數個電極1PDs、複數個電極1PDv，以及複數個電極1PDg，各自規則地排列。複數個電極1PDv以及複

數個電極1PDg，在表面10t的中央部位排列得最多。另一方面，複數個電極1PDs，在表面10t的外周圍側，換言之，在位於表面10t的外緣與上述中央部位之間的周邊部位排列得最多。

#### 【0041】

在圖6所示之例中，複數個電極1PDs，各自排列於複數個電極1PD的排列之中的最外圈以及最外圈的內側的第一圈。傳送電子信號SIG(參照圖5)的配線路徑，如在後述的圖10中的配線2ws所顯示的，被拉到配線基板20的外周圍側。因此，在半導體晶片10的表面10t，藉由將傳送電子信號SIG的複數個電極1PDs都排列在外周圍側，便可縮短信號傳送路徑的路徑距離。

#### 【0042】

另外，複數個電極1PDv以及複數個電極1PDg，各自在表面10t中排列於複數個電極1PDs的內側。換言之，複數個電極1PDs，排列在複數個電極1PDv以及複數個電極1PDg與表面10t的外緣之間。上述的核心電路12(參照圖5)，以在俯視下與表面10t的中央部位(複數個電極1PDv以及複數個電極1PDg排列的部分)重疊(overlap)的方式形成。上述的輸入輸出電路11(參照圖5)，在俯視下形成於表面10t的中央部位與外緣之間。藉由設置成複數個電極1PDv以及複數個電極1PDg與核心電路12重疊，便可縮短相對於核心電路12的電源供給路徑。其結果，便可減少對核心電路12供給電力時的損失或雜訊。

#### 【0043】

另外，在圖6所示之例中，在表面10t的複數個電極1PD的排列之中，於最外圈以及最外圈的內側的第一圈，並未配置電極1PDv以及電極1PDg。另外，在表面10t的複數個電極1PD的排列之中，於最外圈的內側的第二圈以後(除了最外圈

以及最外圈的內側的第一圈以外)並未配置電極1PDs。另外，在圖6中，係顯示出「在半導體晶片10的表面10t，將信號傳送用的電極1PDs排列在外周圍側，並將驅動電壓供給用的電極1PDv、電極1PDg排列於中央部位」的理想構造。據此，電極1PD的排列存在各種的變化實施例。

#### 【0044】

例如，亦存在複數個電極1PDs之中的一部分排列於表面10t的複數個電極1PD的排列之中的最外圈的內側的第二圈以後的態樣。或者，亦存在電極1PDv或電極1PDg排列於最外圈以及最外圈的內側的第一圈的態樣。例如，有時在信號傳送中會令信號傳送路徑與參照路徑並行。當利用基準電位的傳送路徑作為該參照路徑時，基準電位用的電極1PDg宜排列在電極1PDs的附近。此時，複數個電極1PDg之中的一部分，宜排列於複數個電極1PD的排列之中的最外圈或最外圈的內側的第一圈。

#### 【0045】

另外，如圖6所示的，在表面10t的中央部位，複數個電極1PDv與複數個電極1PDg，以如下的方式配置。亦即，複數個電極1PDv以及複數個電極1PDg，各自以沿著X方向成列的方式配置。另外，在與X方向交叉(在圖6中為正交)的Y方向上，電極1PDv的列與電極1PDg的列交替地配置。複數個電極1PD排列成網點狀。

#### 【0046】

上述的「排列成網點狀」，可用如下的方式表現之。亦即，位於Y方向上的第1列的複數個電極1PD，各自配置在位於Y方向上的第2列的複數個電極1PD之中的相鄰的電極1PD之間，位於第2列的複數個電極1PD，各自配置在位於第1列

的複數個電極1PD之中的相鄰的電極1PD之間。另外，位於Y方向上的第3列的複數個電極1PD，各自配置在位於Y方向上的第2列的複數個電極1PD之中的相鄰的電極1PD之間，位於第2列的複數個電極1PD，各自配置在位於第3列的複數個電極1PD之中的相鄰的電極1PD之間。另外，位於X方向上的第1列的複數個電極1PD，各自配置在位於X方向上的第2列的複數個電極1PD之中的相鄰的電極1PD之間，位於第2列的複數個電極1PD，各自配置在位於第1列的複數個電極1PD之中的相鄰的電極1PD之間。另外，位於X方向上的第3列的複數個電極1PD，各自配置在位於X方向上的第2列的複數個電極1PD之中的相鄰的電極1PD之間，位於第2列的複數個電極1PD，各自配置在位於第3列的複數個電極1PD之中的相鄰的電極1PD之間。

#### 【0047】

為了令核心電路12穩定地動作，必須在核心電路12動作時，穩定地供給核心電路12用的驅動電壓。伴隨著半導體裝置的性能提高，核心電路12的動作速度(頻率)也趨向高速化。另外，在圖5中，係例示地顯示出1個核心電路12，惟為了提高半導體晶片10的性能，一個半導體晶片10會具有複數個(多數個)核心電路12，且該等核心電路12各自以高速動作。此時，有必要因應複數個核心電路12的動作並對應急遽地變動的電力需求而適時地供給必要且充分的電力。另外，因為要求消耗電力降低，故驅動電壓有降低的傾向。因此，對於所供給之電壓的參差不齊的容許餘裕變小，在低速動作時不會造成問題的小雜訊，有時會對核心電路12的動作造成影響。

#### 【0048】

尤其，當圖6中的半導體晶片10的表面10t中的電極1PD的配置密度很高時，相鄰的電極1PD之間間距便會縮窄。此時，將電力供給到電極1PD的導電路徑的路徑剖面積，在電極1PD的附近會變窄，故在路徑剖面積變窄的部分的配線電阻會增大。當利用半導體晶片10的內部配線，將複數個電極1PDv互相連接時，複數個電力供給路徑互相補強，可在電路上令路徑剖面積變大。然而，半導體晶片10的內部配線，比配線基板20的配線更細且更薄。因此，若在配線基板20(參照圖5)中配線電阻較大，則會在到達半導體晶片10之前便產生雜訊，而僅在半導體晶片10的內部配線實行因應該雜訊問題的對策便有其困難。

#### 【0049】

圖6所示之複數個電極1PDv以及複數個電極1PDg的排列圖案，係可藉由構思出圖4所示之配線基板的配線布局而令對核心電路12(參照圖5)的電力供給穩定化的布局。

#### 【0050】

從令對核心電路12(參照圖5)的電力供給穩定化的觀點來看，在配線基板20中實行對策的態樣，根據以下的特徵點，特別有其功效。

#### 【0051】

亦即，在配線基板20中，將分別與半導體晶片10的複數個電極1PDv(以及複數個電極1PDg)連接的導電路徑複數化。換言之，在配線基板20的各配線層(尤其是最上層的配線層)中，令在橫方向(配線層的延伸方向)上的電荷移動更容易。藉此，當電力需求在特定的電極1PDv瞬間變大時，便可經由複數條導電路徑對該當之電極1PDv適時地供給必要的電位。另外，藉由將一個電極1PDv所連

接的導電路徑複數化，便可令各導電路徑在電路上的路徑剖面積變大，故可降低配線電阻。

#### 【0052】

另外，將半導體晶片10的複數個電極1PDv(以及複數個電極1PDg)所連接之複數條導電路徑各自的路徑距離縮短。圖5所示之電源電位VD以及基準電位VG，從圖4所示之配線基板20的配線層WL6側供給。因此，在將各配線層電連接的複數條介層配線2v以及複數條貫通孔配線2TW之中，供給電源電位VD或基準電位VG者，配置於與圖6所示之複數個電極1PDv以及複數個電極1PDg重疊的位置。尤其，在圖4所示之配線層WL1、WL2以及WL3中，多數條配線連接於與半導體晶片10重疊的區域。因此，供給電源電位VD或基準電位VG的複數條貫通孔配線2TW，各自宜配置於與圖6所示之複數個電極1PDv以及複數個電極1PDg重疊的位置。另外，在位於圖4所示之配線層WL1與配線層WL3之間的複數條介層配線2v之中，供給電源電位VD或基準電位VG的複數條介層配線2v，各自宜配置於與圖6所示之複數個電極1PDv以及複數個電極1PDg重疊的位置。藉此，電荷便可沿著配線基板20的厚度方向(圖4所示的Z方向)直線地移動。其結果，便可縮短複數條導電路徑各自的路徑距離。若導電路徑的路徑距離縮短，則隨之便可降低導電路徑的阻抗。

#### 【0053】

另外，圖5所示之核心電路12的驅動電壓，係由電源電位VD與基準電位VG的電位差所限定。因此，複數個電極1PDv以及複數個電極1PDg宜配置在各核心電路12的附近。因此，複數個電極1PDv的群組以及複數個電極1PDg的群組，各

自局部地集中配置，藉此，複數個電極1PD<sub>v</sub>以及複數個電極1PD<sub>g</sub>均衡地分散(例如交替地)排列，為較佳的態樣。

#### 【0054】

例如，在圖6所示之例中，半導體晶片10所具備之複數個電極1PD以如下的方式排列。亦即，半導體晶片10，在俯視下，具有：複數個電極1PD<sub>v</sub>在X方向上排列的電源電位用電極群，以及複數個電極1PD<sub>g</sub>在X方向上排列的基準電位用電極群。該電源電位用電極群與基準電位用電極群各自具有複數列，在俯視下，沿著Y方向交替地排列。當為該排列方式時，電極1PD<sub>v</sub>，以與1個以上的電極1PD<sub>g</sub>相鄰的方式排列。另外，電極1PD<sub>g</sub>，以與1個以上的電極1PD<sub>v</sub>相鄰的方式排列。換言之，半導體晶片10，具有複數對彼此相鄰的電極1PD<sub>v</sub>與電極1PD<sub>g</sub>的端子對。另外，在上述複數對中，相鄰之電極1PD<sub>v</sub>與電極1PD<sub>g</sub>的間隔距離相等。如圖6所示之電極1PD的排列，可謂複數個電極1PD<sub>v</sub>以及複數個電極1PD<sub>g</sub>均衡地分散。

#### 【0055】

半導體晶片10與配線基板20，利用倒裝晶片連接方式連接。當為倒裝晶片連接方式時，配置於圖4所示之配線基板20的最上層的配線層WL1的複數個端子2PD的排列，與半導體晶片10的電極1PD的排列相同。因此，在配線層WL1中，複數個端子2PD<sub>v</sub>(參照圖5)與複數個端子2PD<sub>g</sub>，宜各自均衡地分散(例如交替地)排列。當像這樣將相異種類的端子2PD分散配置時，至少設置於最上層之配線層WL1的配線的配線寬度，必須比設置在其他配線層的配線等的導體圖案更狹窄。

#### 【0056】

根據上述的檢討結果，在配線基板20中，供給電源電位VD(參照圖5)或基準電位VG(參照圖5)的配線，宜構成「電荷在沿著配線基板20的各配線層的方向上容易移動，且經過各配線層的複數條電力供給路徑各自的路徑距離較短」的構造。然而，至少形成於最上層的配線層WL1的端子2PD周邊的配線，如上所述的配線寬度縮窄，故在配線基板20中，供給電源電位VD或基準電位VG的配線路徑，各自必須構成立體的網狀構造，以抑制配線層WL1的配線電阻的增大。

### 【0057】

#### <配線布局的詳細構造>

以下，針對圖4所示之配線基板20所具有的各配線層中的配線布局用圖式詳細進行說明。圖7，係表示在圖3所示之配線基板的頂面中，將半導體晶片以及底部填充樹脂除去的状态的俯視圖。圖8，係在圖7所示之配線基板中，將最上層的絕緣膜除去，以顯示出第1層的配線層的布局的例子的俯視圖。在圖7以及圖8中，將與圖7所示之晶片搭載區域重疊的區域放大表示之。圖9，係將圖8的中央部分放大的放大俯視圖。在圖9中，將圖8的放大圖的一部分更進一步放大。圖10，係表示在圖7所示之配線基板中，第2層的配線層的布局的例子的俯視圖。圖11，係在圖10所示之配線層中，將與圖9所示之平面重疊的中央部分放大的放大俯視圖。圖7~圖11各自為俯視圖，惟為了分別識別出信號傳送路徑、電源電位的供給路徑，以及基準電位的供給路徑，會附上與圖6同樣的圖案。亦即，在圖7~圖11中，信號傳送路徑以空白圖案表示，電源電位的供給路徑以點狀圖案表示，基準電位的供給路徑以影線圖案表示。另外，在圖9以及圖11中，配線基板20所具有之端子2PD的位置(換言之，與圖6所示之半導體晶片10的電極1PD重疊的位置)，以點線表示之。另外，在圖9以及圖11中，於配線2wv的正下方存在

介層配線2vv的位置，以比周邊更濃的點狀圖案表示之。另外，在圖9以及圖11中，於配線2wg的正下方存在介層配線2vg的位置，以與周邊反向的影線表示之。另外，在圖11中，將圖9所示之配線2wv以及配線2wg的輪廓以點線表示之。

#### 【0058】

另外，圖12係圖11的A-A線的放大剖面圖，圖13係圖11的B-B線的放大剖面圖，圖14係圖11的C-C線的放大剖面圖。在圖12～圖14中，顯示出半導體晶片的表面10t側的一部分，以及配線基板之中的比核心絕緣層更上層的配線層。另外，在圖12～圖14中，為了令從配線層WL1到貫通孔配線的連接關係更容易觀察，將位於與各剖面相異之位置的介層配線或貫通孔配線以點線表示之。

#### 【0059】

比較圖7與圖8可知，配線基板20的最上層的配線層WL1，大部分被絕緣膜2e1所覆蓋。絕緣膜2e1，係保護配線基板20的頂面20t側的抗焊膜。於絕緣膜2e1，設置了複數個開口部，位於絕緣膜2e1的下層的導體圖案的一部分，分別從複數個開口部露出。在該複數個開口部從絕緣膜2e1露出的部分，係配線基板20的端子2PD。

#### 【0060】

圖7所示的複數個端子2PD，配置於分別與圖6所示之半導體晶片10的複數個電極1PD互相對向的位置。換言之，在配線基板20的頂面20t，複數個開口部，形成於與半導體晶片10(參照圖1)重疊的區域(亦即晶片搭載區域10r)。再換言之，在配線基板20的頂面20t，複數個端子2PD，配置於晶片搭載區域10r。因此，用圖5以及圖6所說明之關於複數個電極1PD的布局的說明內容，可用來當作關於

圖7所示之複數個端子2PD的布局的說明內容。亦即，配線基板20的複數個端子2PD，包含複數個端子2PDs、複數個端子2PDv，以及複數個端子2PDg。

#### 【0061】

在配線基板20的頂面20t，複數個端子2PDs、複數個端子2PDv，以及複數個端子2PDg，各自規則地排列。複數個端子2PDv以及複數個端子2PDg，在頂面20t的中央部位排列得最多。另一方面，複數個端子2PDs，在頂面20t的外周圍側，換言之，在位於頂面20t的外緣與上述中央部位之間的周邊部位排列得最多。

#### 【0062】

詳細而言，複數個端子2PDs，各自排列於複數個端子2PD的排列之中的最外圈以及最外圈的內側的第一圈。在配線基板20的頂面20t，藉由將傳送電子信號SIG(參照圖5)的複數個端子2PDs都排列在外周圍側，便可縮短信號傳送路徑的路徑距離。

#### 【0063】

複數個端子2PDs，各自透過設置於圖10所示之配線層WL2的複數條配線2ws與配置於配線基板20的外周圍側的複數條介層配線(介層)2vs電連接。在配線層WL2中，於配線2ws以及介層配線2vs的周圍，配置了導體平面2PL。另外，配線2ws以及介層配線2vs，被形成於圖8所示之配線層WL1的導體平面2PL所覆蓋。另外，複數條介層配線2vs，與圖4所示之信號傳送用的貫通孔配線2TWs電連接。複數條貫通孔配線2TWs，各自配置於與半導體晶片10並未重疊的位置(配線基板20的周邊區域)。

#### 【0064】

另外，複數個端子2PDv以及複數個端子2PDg，各自在頂面20t，排列於複數個端子2PDs的內側。換言之，複數個端子2PDs，排列在複數個端子2PDv以及複數個端子2PDg與頂面20t的外緣之間。如圖1所示的，在半導體晶片10搭載於配線基板20的狀態下，上述的核心電路12(參照圖5)，與排列了複數個端子2PDv以及複數個端子2PDg的部分重疊。如圖4所示的，半導體晶片10的電極1PD與配線基板20的端子2PD透過突起電極SB連接。因此，藉由複數個端子2PDv以及複數個端子2PDg與核心電路12重疊，便可縮短相對於核心電路12的電源供給路徑。其結果，便可降低對核心電路12供給電力時的損失或雜訊。

#### 【0065】

另外，在圖7所示之例中，在頂面20t的複數個端子2PD的排列之中，於最外圈以及最外圈的內側的第一圈，並未配置端子2PDv以及端子2PDg。另外，在頂面20t的複數個端子2PD的排列之中，於最外圈的內側的第二圈以後並未配置端子2PDs。然而，與用圖6所說明的變化實施例同樣，圖7所示的端子2PD的排列存在各種的變化實施例。

#### 【0066】

另外，如圖7所示的，在頂面20t的中央部位，複數個端子2PDv與複數個端子2PDg，以如下的方式配置。亦即，複數個端子2PDv以及複數個端子2PDg，各自以沿著X方向成列的方式配置。另外，在與X方向交叉(在圖7中為正交)的Y方向上，端子2PDv的列與端子2PDg的列交替地配置。複數個端子2PD排列成網點狀。所謂的「排列成網點狀」，可在上述的說明中，將電極1PD的部分置換成端子2PD而適用之，故重複說明省略。

#### 【0067】

另外，圖7所示之複數個端子2PDv，各自為配置於圖8所示之第1層的配線層WL1的配線(導體圖案、配線圖案)2wv的一部分。同樣地，圖7所示之複數個端子2PDg，各自為配置於圖8所示之第1層的配線層WL1的配線(導體圖案、配線圖案)2wg的一部分。複數條配線2wv以及複數條配線2wg，各自配置於與圖1所示之半導體晶片10重疊的位置。另外，複數條配線2wv以及複數條配線2wg，各自在X方向上延伸，並沿著Y方向交替地配置。另外，在配線層WL1中，於與半導體晶片10(參照圖1)重疊之區域的周圍，配置了導體平面2PL。導體平面2PL，相較於配線2w或介層配線2v(參照圖9)，係面積較大的大面積導體圖案。對導體平面2PL，例如供給了接地電位。在如圖4所示之半導體裝置PKG1的配線基板20的狀態中，信號傳送用的配線2ws配置於配線層WL2，與設置於配線層WL1的導體平面2PL重疊。如是，當被供給了固定電位的大面積導體圖案覆蓋信號傳送用的配線2ws時，便可阻擋電磁雜訊。由於配線(信號配線)2ws被拉出到與半導體晶片10重疊之區域的外側，故藉由在配線層WL1中將導體平面2PL配置於與半導體晶片10並未重疊的區域，配線2ws的大部分便會被導體平面2PL所覆蓋。

#### 【0068】

另外，如圖8所示的，在配線層WL1中，在與半導體晶片10(參照圖4)重疊的區域，配置了複數個端子2PDs、複數條配線2wg以及複數條配線2wv。複數個端子2PDs，配置於複數條配線2wg以及複數條配線2wv所配置之區域的周圍，並透過信號傳送用的介層配線(介層)2vs(參照圖4)與配線層WL2電連接。

#### 【0069】

複數條配線2wv，各自如圖9所示的，具有：在X方向上延伸的主配線部(第1主配線部)2wv1，以及在與X方向交叉的Y方向上延伸，且與主配線部2wv1交叉

的複數個副配線部(第1副配線部)2wv2。對複數條配線2wv，分別供給了圖5所示的電源電位VD。

#### 【0070】

另外，複數條配線2wg，各自如圖9所示的，具有：在X方向上延伸的主配線部(第2主配線部)2wg1，以及在與X方向交叉的Y方向上延伸，且與主配線部2wg1交叉的複數個副配線部(第2副配線部)2wg2。對複數條配線2wg，分別供給了圖5所示的基準電位VG。

#### 【0071】

配線2wv的複數個副配線部2wv2，以及配線2wg的複數個副配線部2wg2，各自具有：端部(第1端部)2we1，以及在Y方向上，隔著主配線部2wv1或主配線部2wg1位於端部2we1的相反側的端部(第2端部)2we2。另外，配線2wv的複數個副配線部2wv2，以及配線2wg的複數個副配線部2wg2，各自在主配線部2wv1與主配線部2wg1之間，沿著X方向交替地排列。

#### 【0072】

另外，如圖11所示的，配線層WL2，具有：與配線2wg的主配線部2wg1以及配線2wv的複數個副配線部2wv2的端部2we1重疊，且在X方向上延伸的導體圖案(第1導體圖案)2Pv1。另外，配線層WL2，具有：與配線2wv的主配線部2wv1以及配線2wg的複數個副配線部2wg2的端部2we2重疊的導體圖案2Pg1。在圖11所示之例中，配線層WL2，具有在X方向上排列的複數個導體圖案(第2導體圖案)2Pg1。複數個副配線部2wv2的端部2we1，透過複數條介層配線(第1介層)2vv與導體圖案2Pv1電連接。複數個副配線部2wg2的端部2we2，透過複數條介層配線(第2介層)2vg與複數個導體圖案2Pg1電連接。

**【0073】**

本實施態樣之半導體裝置PKG1，藉由如上所述地構成供給電源電位VD(參照圖5)的配線路徑以及供給基準電位VG(參照圖5)的配線路徑，便可令對核心電路12(參照圖5)的電力供給穩定化。

**【0074】**

首先，圖9所示之配線2wv以及配線2wg，各自具有：在X方向上延伸的一個主配線部(2wv1或2wg1)，以及在Y方向上延伸的複數個副配線部(2wv2或2wg2)。複數個副配線部，各自以跨主配線部的方式配置。然後，副配線部的兩端，各自與圖11所示之配線層WL2的導體圖案(2Pv1或2Pg1)連接。藉此，例如在配線2wv的一部分中，當瞬間電力需求變大時，便從構成配線2wv的複數個副配線部2wv2的端部供給電源電位VD。同樣地，例如在配線2wg的一部分中，當瞬間電力需求變大時，便從構成配線2wg的複數個副配線部2wg2的端部供給基準電位VG。像這樣，根據半導體裝置PKG1的配線構造，分別對配線2wv以及配線2wg供給電位的導電路徑被複數化。因此，配線2wv以及配線2wg，各自的電荷在沿著配線層WL1的方向上移動變得更容易。其結果，即使構成配線2wv以及配線2wg的主配線部以及副配線部各自的配線寬度很狹窄，仍可抑制配線電阻的增大。

**【0075】**

另外，配線2wv的複數個副配線部2wv2，以及配線2wg的複數個副配線部2wg2，各自在主配線部2wv1與主配線部2wg1之間，沿著X方向交替地排列。此時，便可縮小配線2wv的複數個副配線部2wv2以及配線2wg的複數個副配線部2wg2各自的間隔距離。因此，當於配線2wv的複數部位設置端子2PDv，並於配

線2wg的複數部位設置端子2PDg時，複數個端子2PDv與複數個端子2PDg，各自便均衡地分散(例如交替地)排列。

#### 【0076】

例如，在圖7所示之例中，配線基板20所具備之複數個端子2PD以如下的方式排列。亦即，配線基板20，在俯視下，具有：複數個端子2PDv在X方向上排列的電源電位用端子群，以及複數個端子2PDg在X方向上排列的基準電位用端子群。該電源電位用端子群與基準電位用端子群各自有複數列，在俯視下，沿著Y方向交替地排列。當為該排列方法時，端子2PDv，以與1個以上的端子2PDg相鄰的方式排列。另外，端子2PDg，以與1個以上的端子2PDv相鄰的方式排列。換言之，配線基板20，具有複數對彼此相鄰的端子2PDv與端子2PDg的端子對。另外，在上述複數對中，相鄰的端子2PDv與端子2PDg的間隔距離相等。如圖7所示之端子2PD的排列，可謂複數個端子2PDv與複數個端子2PDg均衡地分散。

#### 【0077】

另外，藉由將圖9所示之複數個副配線部2wv2以及複數個副配線部2wg2分別交替地排列，便可降低於配線2wv的複數個副配線部2wv2以及配線2wg的複數個副配線部2wg2分別所產生的寄生電感。其結果，便可減少於配線2wv以及配線2wg所產生的雜訊。

#### 【0078】

另外，如圖8以及圖9所示的，配線層WL1，具有複數條配線2wv以及複數條配線2wg。在俯視下，複數條配線2wv以及複數條配線2wg，各自在X方向上延伸(主配線部在X方向上延伸)，並沿著Y方向交替地配置。

#### 【0079】

另外，若著眼於配線2wg，則可用如下的方式表現之。亦即，如圖9所示的，配線層WL1，具有可供給基準電位VG(參照圖5)的配線(第2配線)2wgA以及配線(第3配線)2wgB。配線2wgA以及配線2wgB，各自在俯視下，具有：在X方向上延伸的主配線部2wg1，以及在Y方向上延伸，且與主配線部2wg1交叉的複數個副配線部2wg2。配線2wvA，在Y方向上，配置在配線2wgA與配線2wgB之間。另外，配線2wvA的複數個副配線部2wv2，以及配線2wgB的複數個副配線部2wg2，在主配線部2wv1與主配線部2wg1之間，沿著X方向交替地排列。另外，如圖11所示的，配線層WL2，具有：與配線2wgB的主配線部2wg1以及配線2wvA的複數個副配線部2wv2的端部2we2重疊的導體圖案2PvB。配線2wvA的複數個副配線部2wv2的端部2we2，透過複數條介層配線2vv與導體圖案2PvB電連接，配線2wvA的複數個副配線部2wv2的端部2we1，透過複數條介層配線2vv與導體圖案2PvA電連接。

#### 【0080】

另外，若著眼於配線2wv，則可用如下的方式表現之。亦即，如圖9所示的，配線層WL1，具有可供給電源電位VD(參照圖5)的配線(第1配線)2wvA以及配線(第4配線)2wvB。配線2wvA以及配線2wvB，各自在俯視下，具有：在X方向上延伸的主配線部2wv1，以及在Y方向上延伸，且與主配線部2wv1交叉的複數個副配線部2wv2。配線2wgA，在Y方向上，配置在配線2wvA與配線2wvB之間。另外，配線2wgA的複數個副配線部2wg2，以及配線2wvB的複數個副配線部2wv2，在主配線部2wg1與主配線部2wv1之間，沿著X方向交替地排列(在圖9中省略配線2wvB的主配線部2wv1的圖式)。另外，如圖11所示的，配線層WL2，具有：與配線2wvB的主配線部2wv1(在圖11中省略圖式)以及配線2wgA的複數個

副配線部2wg2的端部2we1重疊的導體圖案2PgB。配線2wgA的複數個副配線部2wg2的端部2we1，透過複數條介層配線2vg與導體圖案2PgB電連接，配線2wgA的複數個副配線部2wg2的端部2we2，透過複數條介層配線2vg與導體圖案2PgA電連接。

### 【0081】

另外，在半導體裝置PKG1的態樣中，半導體晶片10與配線基板20係利用倒裝晶片連接方式電連接。亦即，如圖12以及圖13所示的，半導體晶片10的表面10t，與配線基板20的頂面20t互相對向。另外，半導體晶片10的複數個電極1PD(參照圖4)，具有：與配線基板20的配線2wv(參照圖9)電連接的複數個電極1PDv，以及與配線基板20的配線2wg(參照圖9)電連接的複數個電極1PDg。另外，配線基板20，具有：與半導體晶片10的複數個電極1PDv互相對向且電連接的複數個端子2PDv，以及與半導體晶片10的複數個電極1PDg互相對向且電連接的複數個端子2PDg。藉由像這樣適用倒裝晶片連接方式，將半導體晶片10與配線基板20電連接的導電路徑會變短。藉此，便可降低導電路徑的阻抗。

### 【0082】

另外，在半導體裝置PKG1的態樣中，配線基板20的複數個端子2PD，各自與形成圖9所示之配線2wv以及配線2wg的配線層WL1形成於同一層。換言之，如圖12所示的，配線基板20，具有覆蓋配線層WL1且具備複數個開口部2eH的絕緣膜2e1。配線2wv(參照圖9)，具有在絕緣膜2e1所具備之複數個開口部2eH從絕緣膜2e1露出的複數個端子2PDv。另外，配線2wg(參照圖9)，具有在絕緣膜2e1所具備之複數個開口部2eH從絕緣膜2e1露出的複數個端子2PDg。半導體晶片10的複數個電極1PDv與複數個端子2PDv，透過突起電極SBv分別連接。另外，半

導體晶片10的複數個電極1PDg與複數個端子2PDg，透過突起電極SBg(參照圖14)分別連接。像這樣，藉由將配線2wv的一部分設為端子2PDv，便可縮短電源電位的供給路徑。另外，藉由將配線2wg的一部分設為端子2PDg，便可縮短基準電位的供給路徑。

#### 【0083】

另外，如圖9所示的，構成配線2wv的一部分的複數個端子2PDv之中的一部分，位於複數個副配線部2wv2各自的端部。另外，構成配線2wg的一部分的複數個端子2PDg之中的一部分，位於複數個副配線部2wg2各自的端部。換言之，複數個端子2PDv，包含位於複數個副配線部2wv2的端部(第1端部)2we1以及端部(第2端部)2we2的複數個端子2PDv。另外，複數個端子2PDg，包含位於複數個副配線部2wg2的端部2we1以及端部2we2的複數個端子2PDg。像這樣，藉由將與主配線部2wv1、2wg1交叉的複數個副配線部2wv2、2wg2各自的端部設為端子2PDv、2PDg，便可令電源電位的供給路徑與基準電位的供給路徑均衡地分布。

#### 【0084】

另外，如圖13所示的，位於端部2we1以及端部2we2的複數個端子2PDv，各自與複數條介層配線2vv分別重疊。另外，如圖14所示的，位於端部2we1以及端部2we2的複數個端子2PDg，各自與複數條介層配線2vg分別重疊。像這樣，藉由端子2PDv與介層配線2vv重疊，便可縮短配線基板20的厚度方向上的電源電位的供給路徑。同樣地，藉由端子2PDg與介層配線2vg重疊，便可縮短配線基板20的厚度方向上的基準電位的供給路徑。

#### 【0085】

另外，在半導體裝置PKG1的態樣中，如圖9所示的，構成配線2wv的一部分的複數個端子2PDv之中的一部分，位於主配線部2wv1。另外，構成配線2wg的一部分的複數個端子2PDg之中的一部分，位於主配線部2wg1。換言之，複數個端子2PDv，包含位於主配線部2wv1的(複數個)端子2PDv。另外，複數個端子2PDg，包含位於主配線部2wg1的(複數個)端子2PDg。像這樣，除了副配線部2wv2、2wg2的端部之外，於主配線部2wv1、2wg1亦設置端子2PDv、2PDg，藉此，便可將電源電位的供給路徑以及基準電位的供給路徑複數化。

#### 【0086】

然而，如圖11所示的，配線2wv(參照圖13)的主配線部2wv1，與配線層WL2的導體圖案2Pg1重疊。另外，配線2wg(參照圖14)的主配線部2wg1，與配線層WL2的導體圖案2Pv1重疊。因此，如圖13所示的，在複數個端子2PDv之中，位於主配線部2wv1(參照圖11)的端子2PDv，並未與介層配線2vv重疊。同樣地，如圖14所示的，在複數個端子2PDg之中，位於主配線部2wg1(參照圖11)的端子2PDg，並未與介層配線2vg重疊。

#### 【0087】

另外，配線層WL2，具有電源供給用的複數個導體圖案與基準電位供給用的複數個導體圖案。圖15，係表示相對於圖11的變化實施例的放大俯視圖。如圖11所示的，配線層WL2，具有：與複數個副配線部2wv2的端部2we1重疊，且在X方向上延伸的導體圖案(部分)2PvA，以及與複數個副配線部2wv2的端部2we2重疊，且在X方向上延伸的導體圖案(部分)2PvB。在俯視下，導體圖案2PgA(複數個導體圖案2PgA)，位於導體圖案2PvA與導體圖案2PvB之間。另外，複數個副配線部2wv2的端部2we2，透過複數條介層配線2vv與導體圖案2PvB電

連接。換言之，導體圖案2PvA與導體圖案2PvB，透過複數個副配線部2wv2電連接。

#### 【0088】

如圖15所示的，作為相對於本實施態樣的變化實施例，存在「導體圖案2PvA與導體圖案2PvB為彼此分離的導體圖案」的態樣。此時，位於導體圖案2PvA與導體圖案2PvB之間的導體圖案2PgA，以在X方向上延伸的方式形成。該等變化實施例的態樣，在配線層WL2中，複數個導體圖案2Pv1以及複數個導體圖案2Pg1，彼此分離。在圖15所示之變化實施例的態樣中，導體圖案2PvA與導體圖案2PvB，透過複數個副配線部2wv2電連接，藉此，便可令供給電源電位的路徑數增加。

#### 【0089】

另外，如圖15所示的，配線層WL2，具有：與複數個副配線部2wg2的端部2we2重疊，且在X方向上延伸的導體圖案2PgA，以及與複數個副配線部2wg2的端部2we1重疊，且在X方向上延伸的導體圖案2PGB。導體圖案2PvA，在俯視下位於導體圖案2PgA與導體圖案2PGB之間。複數個副配線部2wg2的端部2we1，透過複數條介層配線2vg與導體圖案2PGB電連接，而且，端部2we2，透過複數條介層配線2vg與導體圖案2PgA電連接。換言之，導體圖案2PgA與導體圖案2PGB，透過複數個副配線部2wg2電連接。在圖15所示之變化實施例的態樣中，導體圖案2PgA與導體圖案2PGB，透過複數個副配線部2wg2電連接，藉此，便可令供給基準電位的路徑數增加。

#### 【0090】

另外，在圖11所示之例中，配線層WL2，具有：與複數個副配線部2wg2的端部2we2重疊，且在X方向上排列的複數個導體圖案2PgA，以及與複數個副配線部2wg2的端部2we1重疊，且在X方向上排列的複數個導體圖案2PGB。如圖11所示的，當配置了沿著X方向彼此分離的複數個導體圖案2Pg1時，複數個導體圖案2Pg1透過設置於配線層WL1(參照圖9)的配線2wg電連接，藉此，便可令供給基準電位的路徑數增加。

#### 【0091】

另外，圖16，係顯示出圖11所示之電源供給用的導體圖案與基準電位供給用的導體圖案的放大俯視圖。如圖16所示的，配線層WL2，具有在Y方向上，配置在導體圖案2PvA與導體圖案2PvB之間，且沿著X方向排成一列的複數個導體圖案2PgA。導體圖案2PvA與導體圖案2PvB，透過位於複數個導體圖案2PgA之間的連結部2Pvc電連接。像這樣，在圖11以及圖16所示之例的狀態中，在配線層WL2的X方向上，導體圖案2PgA分割成複數個。藉此，便可將連結部2Pvc配置於相鄰的導體圖案2PgA之間。另外，如圖16所示的，導體圖案2PvA與導體圖案2PvB，透過複數個連結部2Pvc連接。藉此，便可令供給電源電位的路徑數更進一步增加。

#### 【0092】

另外，配線基板20，具有圖17所示的配線層WL3。圖17，係表示在圖7所示之配線基板中，第3層的配線層的布局的例子的俯視圖。另外，圖18，係在圖17所示之配線層中，對應圖9的位置的放大俯視圖。

#### 【0093】

如圖4所示的，配線層WL3，位於配線層WL2與底面20b之間，而且，在與頂面20t交叉之方向上的俯視下，位於配線層WL2的旁邊。另外，如圖18所示的，配線層WL3，具有與導體圖案2Pv1(參照圖12)重疊，且透過複數條介層配線(第3介層)2vv2與導體圖案2Pv1電連接，且在X方向上延伸的導體圖案2Pv2。另外，配線層WL3，具有與複數個導體圖案2Pg1(參照圖14)重疊，且透過複數條介層配線(第4介層)2vg2與導體圖案2Pg1電連接，且在X方向上延伸的導體圖案2Pg2。在圖17以及圖18所示之例中，配線層WL3具有複數個導體圖案2Pv2以及複數個導體圖案2Pg2。複數個導體圖案2Pv2以及複數個導體圖案2Pg2，沿著Y方向交替地排列。像這樣，藉由在比絕緣層(核心層、核心材、核心絕緣層)2CR(參照圖4)更上層的配線層中，令構成電源電位的供給路徑的導體圖案2Pv1與導體圖案2Pv2重疊，便可透過多數條介層配線2vv2將導體圖案2Pv1與導體圖案2Pv2電連接。藉此，便可令供給電源電位的路徑數增加。同樣地，藉由在比絕緣層(核心層、核心材、核心絕緣層)2CR(參照圖4)更上層的配線層中，令構成基準電位的供給路徑的導體圖案2Pg1與導體圖案2Pg2重疊，便可透過多數條介層配線2vg2將導體圖案2Pg1與導體圖案2Pg2電連接。藉此，便可令供給基準電位的路徑數增加。

#### 【0094】

另外，複數個導體圖案2Pv2，各自與複數條貫通孔配線2TWv連接。再者，複數個導體圖案2Pg2，各自與複數條貫通孔配線2TWg連接。換言之，如圖4所示的，配線基板20，具有位於配線層WL3與底面20b之間的配線層WL4。另外，配線基板20，具有將配線層WL3與配線層WL4電連接的複數條貫通孔配線2TW。複數條貫通孔配線2TW，包含：在配線層WL3中與導體圖案2Pv2連接的

複數條貫通孔配線2TW<sub>v</sub>，以及在配線層WL3中與導體圖案2Pg2連接的複數條貫通孔配線2TW<sub>g</sub>。

#### 【0095】

另外，圖6所示之複數個電極1PD的排列間隔雖趨向狹小化，惟相較於電極1PD的排列間隔的狹小化，複數條貫通孔配線2TW的排列間隔，卻難以狹小化。因此，圖6所示之半導體晶片10的複數個電極1PD的排列間隔，比圖17所示之配線基板20的複數條貫通孔配線2TW的排列間隔更小。詳細而言，在圖17所示的配線層WL3之中，圖4所示之配置於與半導體晶片10重疊的區域的複數條貫通孔配線2TW(換言之，貫通孔配線2TW<sub>v</sub>以及貫通孔配線2TW<sub>g</sub>)的配置間隔，比圖6所示之半導體晶片10的複數個電極1PD的排列間隔更大。因此，圖18所示之導體圖案2Pv2以及導體圖案2Pg2的寬度[相對於延伸方向(亦即X方向)交叉之方向上的長度]，比圖9所示之配線2wv的主配線部2wv1的寬度更大。另外，圖18所示之導體圖案2Pv2以及導體圖案2Pg2的寬度，比配線2wg的主配線部2wg1的寬度更大。

#### 【0096】

另外，圖19，係表示在圖9所示之配線基板中，第4層的配線層的布局的例子之放大俯視圖。如圖4所示的，配線層WL4，位於配線層WL3與底面20b之間，而且，在與頂面20t交叉之方向上的剖面視圖中，位於配線層WL3的旁邊。如圖19所示的，配線層WL4，具有與導體圖案2Pv2(參照圖18)重疊，且透過複數條貫通孔配線2TW<sub>v</sub>與導體圖案2Pv2電連接，且在X方向上延伸的導體圖案2Pv3。另外，配線層WL4，具有與複數個導體圖案2Pg2(參照圖18)重疊，且透過複數條貫通孔配線2TW<sub>g</sub>與導體圖案2Pg2電連接，且在X方向上延伸的導體圖案2Pg3。在

圖19所示之例中，配線層WL4具有複數個導體圖案2Pv3以及複數個導體圖案2Pg3。複數個導體圖案2Pv3以及複數個導體圖案2Pg3，沿著Y方向交替地排列。複數個導體圖案2Pv3，各自與將配線層WL4與配線層WL5(參照圖4)電連接的複數條介層配線2vv3連接。另外，複數個導體圖案2Pg3，各自與將配線層WL4與配線層WL5電連接的複數條介層配線2vg3連接。

#### 【0097】

另外，圖20，係表示在圖9所示之配線基板中，第5層的配線層的布局的例子之放大俯視圖。如圖4所示的，配線層WL5，位於配線層WL4與底面20b之間，且在與頂面20t交叉之方向上的剖面視圖中，位於配線層WL4的旁邊。如圖20所示的，配線層WL5，具有與導體圖案2Pv3(參照圖19)重疊，且透過複數條介層配線2vv3與導體圖案2Pv3電連接的複數個導體圖案2Pv4。另外，配線層WL5，具有與導體圖案2Pg3(參照圖19)重疊，且透過複數條介層配線2vg3與導體圖案2Pg3電連接的導體圖案2Pg4。在本實施態樣中，導體圖案2Pg4，係與導體平面2PL形成一體的大面積導體圖案。另一方面，複數個導體圖案2Pv4，各自係將介層配線2vv3與介層配線2vv4電連接的配線圖案。複數個導體圖案2Pv4，各自比導體圖案2Pg4面積更小，且與導體圖案2Pg4分開。複數個導體圖案2Pv4，各自與將配線層WL5與配線層WL6(參照圖4)電連接的介層配線2vv4連接。另外，導體圖案2Pg4，與將配線層WL5與配線層WL6電連接的複數條介層配線2vg4連接。

#### 【0098】

另外，圖21，係表示在圖9所示之配線基板中，第6層的配線層的布局的例子之放大俯視圖。如圖4所示的，配線層WL6，位於配線層WL5與底面20b之間，而且，在與頂面20t交叉之方向上的剖面視圖中，位於配線層WL5的旁邊。如圖

21所示的，配線層WL6，具有與導體圖案2Pv4(參照圖20)重疊，且透過複數條介層配線2vv4與導體圖案2Pv4電連接的導體圖案2Pv5。另外，配線層WL6，具有與導體圖案2Pg4(參照圖20)重疊，且透過複數條介層配線2vg4與導體圖案2Pg4電連接的導體圖案2Pg5。在本實施態樣中，導體圖案2Pg5，係發揮作為配線基板20的基準電位供給用的外部端子的功能的端子塊2LD。另外，在本實施態樣中，導體圖案2Pv5，係比導體圖案2Pg5面積更大的大面積圖案。導體圖案2Pv5的一部分，構成發揮作為配線基板20的電源電位供給用的外部端子的功能的端子塊2LD。

#### 【0099】

如圖20以及圖21所示的，在本實施態樣中，存在對配線層WL5傳送基準電位的大面積導體圖案，且存在對配線層WL6供給電源電位的大面積導體圖案。像這樣，藉由在配線基板20內，設置電源電位用以及基準電位用的大面積導體圖案，便可令電源電位的供給路徑以及基準電位的供給路徑的電位穩定化。

#### 【0100】

另外，在上述實施態樣中雖已針對若干變化實施例進行說明，惟以下仍針對上述實施態樣所說明之變化實施例以外的代表性變化實施例進行說明。

#### 【0101】

##### <變化實施例1>

例如，在圖4所示之半導體裝置PKG1中，作為配線基板的構造例，係選擇具有6層配線層的配線基板20進行說明。然而，配線層的數目，不限於6層，可適用各種變化實施例。圖22，係作為相對於圖4的變化實施例的半導體裝置的剖面圖。另外，圖23，係表示在圖22所示之配線基板中，第1層的配線層的布局的

例子的放大俯視圖。另外，圖24，係表示在圖23所示之配線基板中，第2層的配線層的布局的例子放大俯視圖。

### 【0102】

圖22所示之半導體裝置PKG2所具有的配線基板21，具備4層的配線層，此點與圖4所示之半導體裝置PKG1相異。在半導體裝置PKG2的態樣中，係在核心絕緣層(亦即絕緣層2CR)上設置配線層WL2。因此，設置於配線層WL1的配線2wv以及配線2wg的圖案，必須對應貫通孔配線2TW的排列而形成之。例如，當相較於貫通孔配線2TW的排列間隔，複數個電極1PD的排列間隔非常小時，若將與圖9所示之配線基板20的配線層WL1同樣的布局適用於圖22所示的配線基板21，則會有無法配合複數個副配線部2wv2、2wg2的兩端部與配線層WL2的導體圖案2Pv2、2Pg2的位置關係的可能性存在。因此，亦可如圖23所示的，令複數個副配線部2wv2在Y方向上的長度，以及複數個副配線部2wg2在Y方向上的長度，分別比圖9所示之例更長。

### 【0103】

在圖23所示之例中，在配線2wv中，端子2PDv，設置於複數個副配線部2wv2各自的兩端部以及主配線部2wv1，而且，亦設置於主配線部2wv1與副配線部2wv2的端部之間。另一方面，複數條介層配線2vv，與複數個副配線部2wv2各自的兩端部連接，與其他的部分並未連接。同樣地，在配線2wg中，端子2PDg，設置於複數個副配線部2wg2各自的兩端部以及主配線部2wg1，而且，亦設置於主配線部2wg1與副配線部2wg2的端部之間。複數條介層配線2vg，與複數個副配線部2wg2各自的兩端部連接，與其他的部分並未連接。

### 【0104】

在圖24所示之例中，為了減少電源電位以及基準電位的供給路徑的阻抗，複數條貫通孔配線2TW<sub>v</sub>以及複數條貫通孔配線2TW<sub>g</sub>，各自在Y方向上排列了複數列(在圖24中為2列)。因此，與配線2w<sub>g</sub>的主配線部2w<sub>g</sub>1重疊的導體圖案2P<sub>v</sub>2以及與配線2w<sub>v</sub>的主配線部2w<sub>v</sub>1重疊的導體圖案2P<sub>g</sub>2各自在Y方向上的寬度(長度)，比圖11所示之導體圖案2P<sub>v</sub>1以及導體圖案2P<sub>g</sub>1的寬度(長度)更大。根據本變化實施例，即使在導體圖案2P<sub>v</sub>2以及導體圖案2P<sub>g</sub>2的寬度很大的情況下，仍可將電源電位的供給路徑以及基準電位的供給路徑複數化。

#### 【0105】

另外，若令複數個副配線部2w<sub>v</sub>2以及複數個副配線部2w<sub>g</sub>2各自的Y方向的長度增長，則電源電位的供給路徑以及基準電位的供給路徑相較於圖9所示之例也會變長。從縮短導電路徑的路徑距離的觀點來看，如圖9所示的，端子2PD<sub>v</sub>，設置於複數個副配線部2w<sub>v</sub>2各自的兩端部以及主配線部2w<sub>v</sub>1，而且，並未設置在主配線部2w<sub>v</sub>1與副配線部2w<sub>v</sub>2的端部之間，為較佳的態樣。另外，端子2PD<sub>g</sub>，設置於複數個副配線部2w<sub>g</sub>2各自的兩端部以及主配線部2w<sub>g</sub>1，而且，並未設置在主配線部2w<sub>g</sub>1與副配線部2w<sub>g</sub>2的端部之間，為較佳的態樣。

#### 【0106】

另外，在圖4所示之半導體裝置PKG1或圖22所示之半導體裝置PKG2的態樣中，配線2w<sub>g</sub>以及配線2w<sub>v</sub>配置於最上層的配線層WL1，配線2w<sub>g</sub>以及配線2w<sub>v</sub>的一部分構成配線基板20、21的端子2PD。然而，作為變化實施例，亦可於配線層WL1的更上層(頂面20t側)設置配置端子2PD的配線層。此時，配線2w<sub>g</sub>以及配線2w<sub>v</sub>，設置於形成了複數個端子2PD的配線層的下層，並透過圖中未顯示的介層配線電連接。該變化實施例的態樣，於端子2PD的配置空間留有餘裕，故可擴

大端子2PD的導體圖案的面積。另一方面，從縮短電源電位或基準電位的導電路徑的觀點來看，如圖4或圖22所示的，配線2wg以及配線2wv配置於最上層，為較佳的態樣。

#### 【0107】

除了上述的相異點以外，圖22～24所示的配線基板21與圖4所示的配線基板20相同。因此，省略重複說明。

#### 【0108】

##### <變化實施例2>

另外，例如，在圖4中，係針對半導體晶片10與配線基板20透過突起電極SB電連接的實施態樣進行說明。上述的技術，並未排除適用於半導體晶片10與配線基板20透過導線電連接的配線裝置。然而，從降低將配線基板20與半導體晶片10電連接的導電路徑的阻抗的觀點來看，如上所述的適用倒裝晶片連接方式尤為適當。另外，從縮短配線基板20內的電源電位的供給路徑以及基準電位的供給路徑的觀點來看，亦宜適用倒裝晶片連接方式。

#### 【0109】

##### <變化實施例3>

另外，例如，如上所述的係針對各種變化實施例進行說明，惟亦可將上述所說明的各變化實施例組合並適用之。

#### 【0110】

以上，係根據實施態樣具體說明本發明人之發明，惟本發明並非僅限於上述實施態樣，在不超出其發明精神的範圍內可作出各種變更，自不待言。

## 【符號說明】

## 【0111】

1PD、1PDg、1PDs、1PDv：電極(晶片電極、電極焊墊、電極部)

2Ca：頂面

2Cb：底面

2CR：絕緣層(核心層、核心材、核心絕緣層)

2e、2e1：絕緣膜

2eH：開口部

2LD：端子塊(端子、外部端子、電極、外部電極)

2PD、2PDg、2PDs、2PDv：端子(端子部、焊墊、半導體晶片連接用端子)

2Pg1、2Pg2、2Pg3、2Pg4、2Pg5、2PgA、2PGB、2Pv1、2Pv2、2Pv3、2Pv4、

2Pv5、2PvA、2PvB：導體圖案

2PL：導體平面

2Pvc：連結部

2TW、2TWg、2TWs、2TWv：貫通孔配線(層間導電路)

2v、2vg、2vg2、2vg3、2vg4、2vs、2vv、2vv2、2vv3、2vv4：介層配線(介層、層間導電路)

2we1：端部(第1端部)

2we2：端部(第2端部)

2w、2wg、2wv、2wgA、2wgB、2ws、2wv、2wvA、2wvB：配線(導體圖案、配線圖案)

2wg1、2wv1：主配線部

2wg2、2wv2：副配線部

10：半導體晶片

10b：背面(主面、底面)

10r：晶片搭載區域

10s：側面

10t：表面(主面、頂面)

11：輸入輸出電路

12：核心電路

20、21：配線基板

20b：底面(面、主面、安裝面)

20s：側面

20t：頂面(面、主面、晶片搭載面)

30：外部端子(焊接球、焊接材料、端子、電極、外部電極)

40：底部填充樹脂(絕緣性樹脂)

A-A、B-B、C-C：剖面線

PKG1、PKG2：半導體裝置

SB、SBg、SBv：突起電極

SIG：電子信號

VD：電源電位

VG：基準電位

WL1、WL2、WL3、WL4、WL5、WL6：配線層

X、Y、Z：方向

## 【發明申請專利範圍】

### 【第1項】

一種半導體裝置，其特徵為包含：

半導體晶片，其具有第1表面、位於該第1表面的相反側的第1背面，以及排列於該第1表面的複數個電極；以及

配線基板，其具有可搭載該半導體晶片的第1主面、位於該第1主面的相反側的第2主面、位於該第1主面與該第2主面之間的第1配線層，以及位於該第1配線層與該第2主面之間，且在與該第1主面交叉之方向上的剖面視圖中位於該第1配線層的旁邊的第2配線層；

該第1配線層，包含：

第1配線，其在俯視下，具有在第1方向上延伸的第1主配線部，以及在與該第1方向交叉的第2方向上延伸，且與該第1主配線部交叉的複數個第1副配線部，且可供給第1電位；以及

第2配線，其在俯視下，具有在該第1方向上延伸的第2主配線部，以及在該第2方向上延伸，且與該第2主配線部交叉的複數個第2副配線部，且可供給與該第1電位相異的第2電位；

該第1配線的該複數個第1副配線部，以及該第2配線的該複數個第2副配線部，各自具有第1端部，以及在該第2方向上，隔著該第1主配線部或該第2主配線部位於該第1端部的相反側的第2端部，且在該第1主配線部與該第2主配線部之間，沿著該第1方向交替地排列；

該第2配線層，包含：

第1導體圖案，其與該第2配線的該第2主配線部以及該第1配線的該複數個第1副配線部的該第1端部重疊，且在該第1方向上延伸；以及

第2導體圖案，其與該第1配線的該第1主配線部以及該第2配線的該複數個第2副配線部的該第2端部重疊；

該複數個第1副配線部的該第1端部，透過複數個第1介層與該第1導體圖案電連接；

該複數個第2副配線部的該第2端部，透過複數個第2介層與該第2導體圖案電連接。

### 【第2項】

如申請專利範圍第1項之半導體裝置，其中，

該半導體晶片的該第1表面，與該配線基板的該第1主面互相對向；

該半導體晶片的該複數個電極，包含：

複數個第1電極，其與該配線基板的該第1配線電連接；以及

複數個第2電極，其與該配線基板的該第2配線電連接；

該配線基板，包含：

複數個第1端子，其與該半導體晶片的該複數個第1電極互相對向且電連接；以及

複數個第2端子，其與該半導體晶片的該複數個第2電極互相對向且電連接。

### 【第3項】

如申請專利範圍第2項之半導體裝置，其中，

該配線基板，具有覆蓋該第1配線層，且具備複數個開口部的第1絕緣膜；

該第1配線，具有在該第1絕緣膜所具備之該複數個開口部從該第1絕緣膜露出的該複數個第1端子；

該第2配線，具有在該第1絕緣膜所具備之該複數個開口部從該第1絕緣膜露出的該複數個第2端子；

該半導體晶片的該複數個第1電極與該複數個第1端子，透過第1突起電極分別連接；

該半導體晶片的該複數個第2電極與該複數個第2端子，透過第2突起電極分別連接。

#### 【第4項】

如申請專利範圍第3項之半導體裝置，其中，

該複數個第1端子，包含位於該複數個第1副配線部的該第1端部以及該第2端部的複數個第3端子；

該複數個第2端子，包含位於該複數個第2副配線部的該第1端部以及該第2端部的複數個第4端子。

#### 【第5項】

如申請專利範圍第4項之半導體裝置，其中，

該複數個第3端子，各自與該複數個第1介層分別重疊；

該複數個第4端子，各自與該複數個第2介層分別重疊。

#### 【第6項】

如申請專利範圍第4項之半導體裝置，其中，

該複數個第1端子，包含位於該第1主配線部的第5端子；

該複數個第2端子，包含位於該第2主配線部的第6端子。

**【第7項】**

如申請專利範圍第6項之半導體裝置，其中，  
該第5端子，與該複數個第1介層並未重疊；  
該第6端子，與該複數個第2介層並未重疊。

**【第8項】**

如申請專利範圍第1項之半導體裝置，其中，  
該第2配線層，具有與該第1配線的該複數個第1副配線部的該第2端部重疊，且在該第1方向上延伸的第3導體圖案；  
在俯視下，該第2導體圖案，位於該第1導體圖案與該第3導體圖案之間；  
該複數個第1副配線部的該第2端部，透過該複數個第1介層與該第3導體圖案電連接。

**【第9項】**

如申請專利範圍第8項之半導體裝置，其中，  
該第2配線層，具有在該第2方向上，配置於該第1導體圖案與該第3導體圖案之間，且沿著該第1方向排成一列的複數個該第2導體圖案；  
該第1導體圖案與該第3導體圖案，透過位於該複數個第2導體圖案之間的連結部電連接。

**【第10項】**

如申請專利範圍第8項之半導體裝置，其中，  
該第2配線層，具有與該第2配線的該複數個第2副配線部的該第1端部重疊的第4導體圖案；  
在俯視下，該第1導體圖案，位於該第2導體圖案與該第4導體圖案之間；

該複數個第2副配線部的該第1端部，透過該複數個第2介層與該第4導體圖案電連接。

**【第11項】**

如申請專利範圍第10項之半導體裝置，其中，

該第2配線層，具有在該第2方向上，配置於該第1導體圖案與該第3導體圖案之間，且沿著該第1方向排成一列的複數個該第2導體圖案；

該複數個第2導體圖案，透過該第1配線層的該第2配線互相電連接。

**【第12項】**

如申請專利範圍第1項之半導體裝置，其中，

該配線基板，具有位於該第2配線層與該第2主面之間，且在與該第1主面交叉之方向上的剖面視圖中位於該第2配線層的旁邊的第3配線層；

該第3配線層，包含：

第3導體圖案，其與該第1導體圖案重疊，且透過複數個第3介層與該第1導體圖案電連接，且在該第1方向上延伸；以及

第4導體圖案，其與該第2導體圖案重疊，且透過複數個第4介層與該第2導體圖案電連接，且在該第1方向上延伸。

**【第13項】**

如申請專利範圍第12項之半導體裝置，其中，

該配線基板，包含：

第4配線層，其位於該第3配線層與該第2主面之間；以及

複數條貫通孔配線，其將該第3配線層與該第4配線層電連接；

該複數條貫通孔配線，包含：

複數條第1貫通孔配線，其在該第3配線層中，與該第3導體圖案連接；以及  
複數條第2貫通孔配線，其在該第3配線層中，與該第4導體圖案連接。

**【第14項】**

如申請專利範圍第13項之半導體裝置，其中，

該半導體晶片的該複數個電極的排列間隔，比該配線基板的該複數條貫通孔配線的排列間隔更小。

**【第15項】**

如申請專利範圍第1項之半導體裝置，其中，

該配線基板的該第1配線層，具有複數條該第1配線以及複數個該第2配線；  
在俯視下，沿著該第2方向，該複數條第1配線與該複數條第2配線交替地排列。

**【第16項】**

如申請專利範圍第1項之半導體裝置，其中，

該第1配線層包含第3配線；

該第3配線，在俯視下，具有在該第1方向上延伸的第3主配線部，以及在該第2方向上延伸，且與該第3主配線部交叉的複數個第3副配線部，且可供給該第2電位；

該第1配線，在該第2方向上，配置於該第2配線與該第3配線之間；

該第3配線的該複數個第3副配線部，各自具有該第1端部，以及在該第2方向上，隔著該第3主配線部位於該第1端部的相反側的該第2端部；

該複數個第1副配線部與該複數個第3副配線部，在該第1主配線部與該第3主配線部之間，沿著該第1方向交替地排列；

該第2配線層，具有與該第3配線的該第3主配線部以及該第1配線的該複數個第1副配線部的該第2端部重疊的第3導體圖案；

該複數個第1副配線部的該第2端部，透過該複數個第1介層與該第3導體圖案電連接；

該複數個第3副配線部的該第1端部，透過該複數個第2介層與該第2導體圖案電連接。

### 【第17項】

如申請專利範圍第1項之半導體裝置，其中，

該第1配線層包含第4配線；

該第4配線，在俯視下，具有在該第1方向上延伸的第4主配線部，以及在該第2方向上延伸，且與該第4主配線部交叉的複數個第4副配線部，且可供給該第1電位；

該第2配線，在該第2方向上，配置於該第1配線與該第4配線之間；

該第4配線的該複數個第4副配線部，各自具有該第1端部，以及在該第2方向上，隔著該第4主配線部位於該第1端部的相反側的該第2端部；

該複數個第2副配線部與該複數個第4副配線部，在該第2主配線部與該第4主配線部之間，沿著該第1方向交替地排列；

該第2配線層，具有與該第4配線的該第4主配線部以及該第2配線的該複數個第2副配線部的該第1端部重疊的第4導體圖案；

該複數個第2副配線部的該第1端部，透過該複數個第2介層與該第4導體圖案電連接；

該複數個第4副配線部的該第1端部，透過該複數個第1介層與該第1導體圖案電連接。

**【第18項】**

如申請專利範圍第1項之半導體裝置，其中，

該半導體晶片，具有被該第1電位與該第2電位的電位差所驅動的電路；

該第2電位為接地電位，該第1電位為與該接地電位相異的電源電位。

【發明圖式】

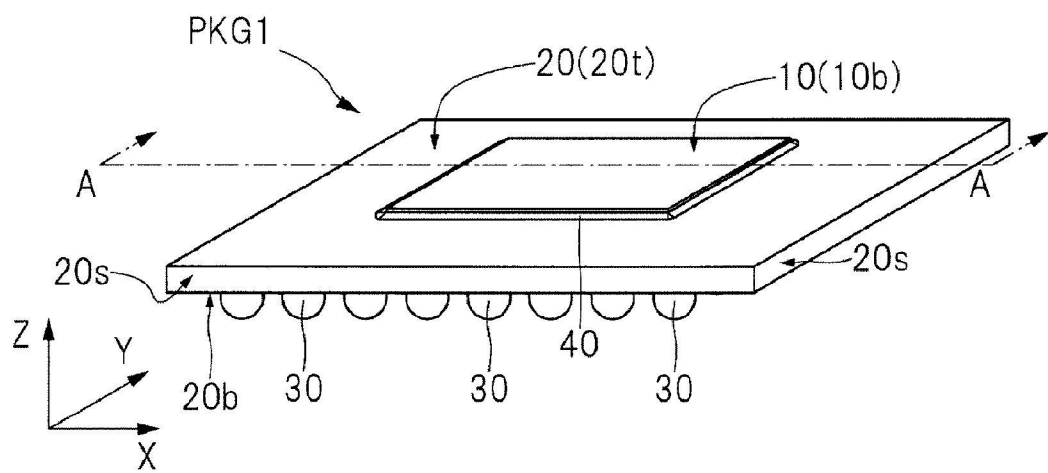


圖 1

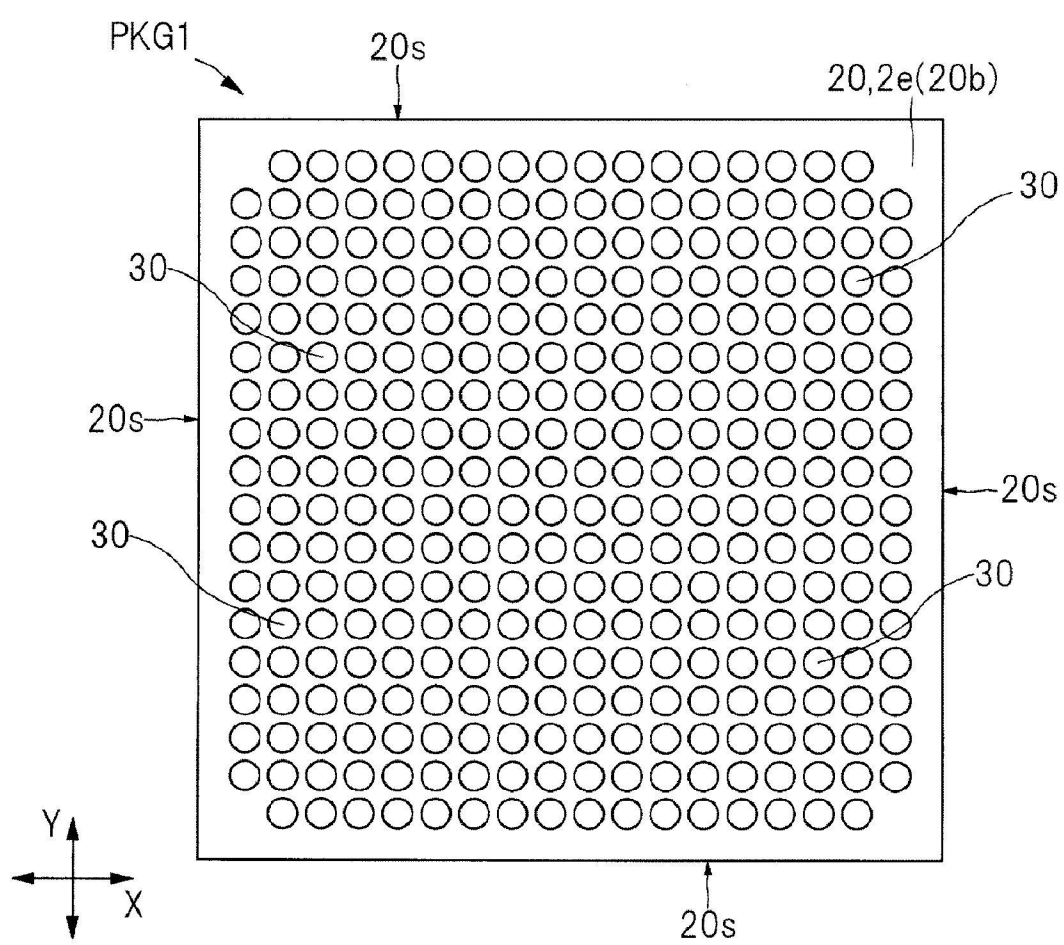


圖 2

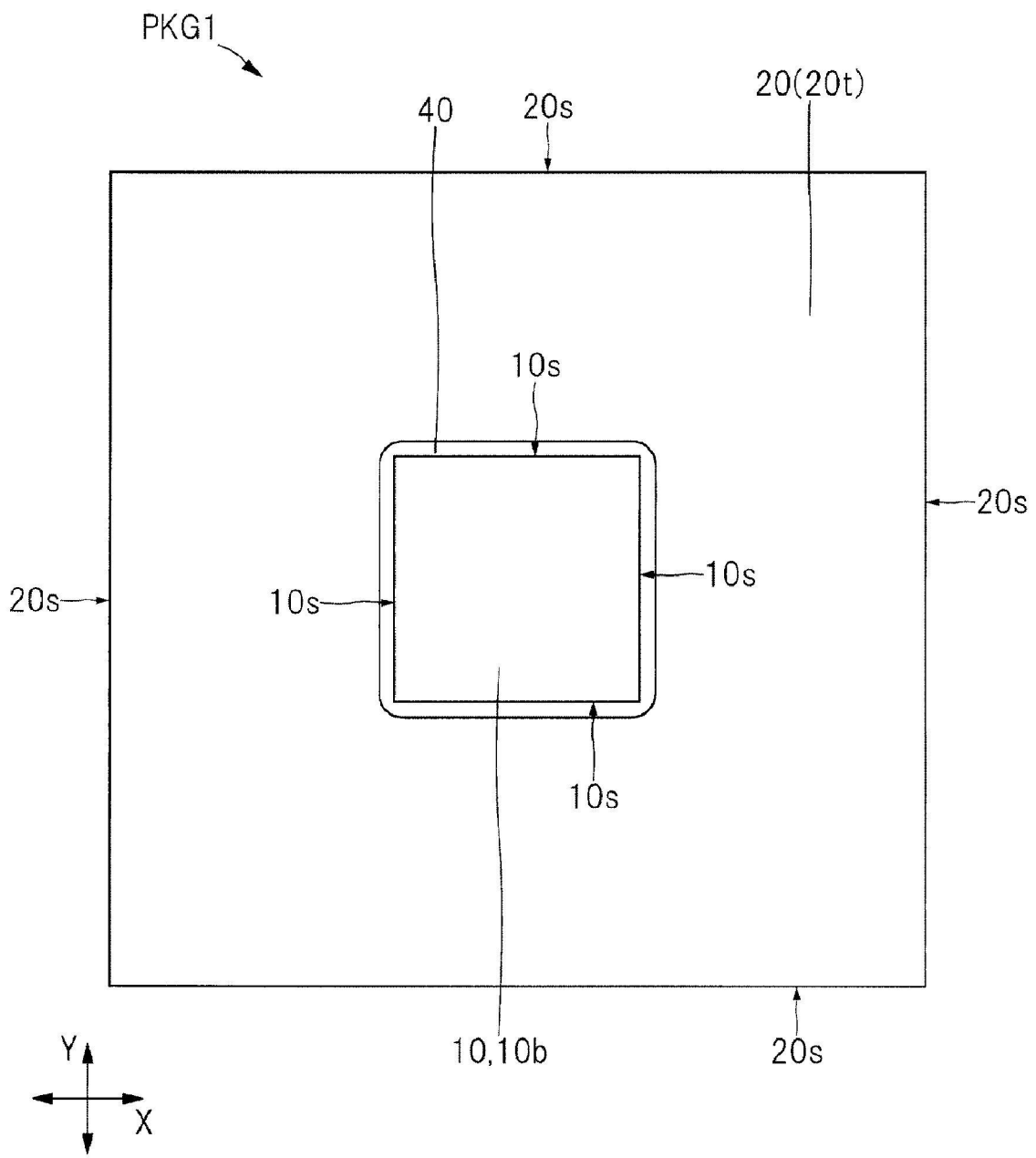


圖 3

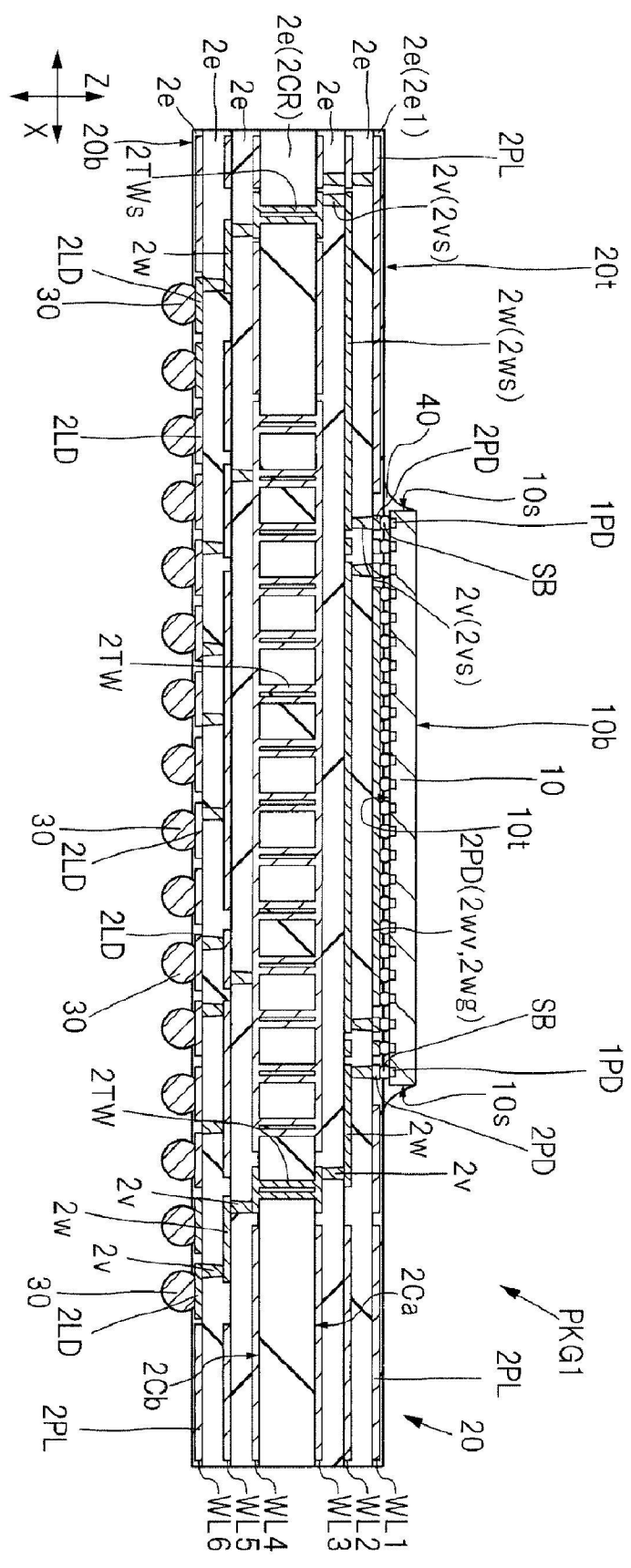


圖 4

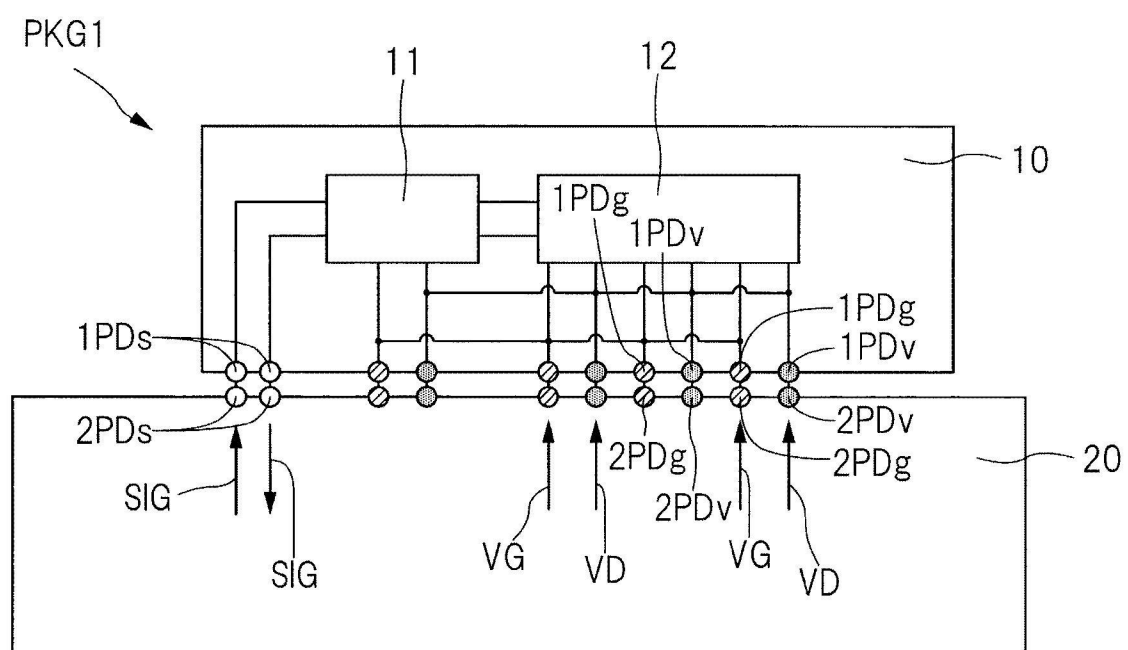


圖 5

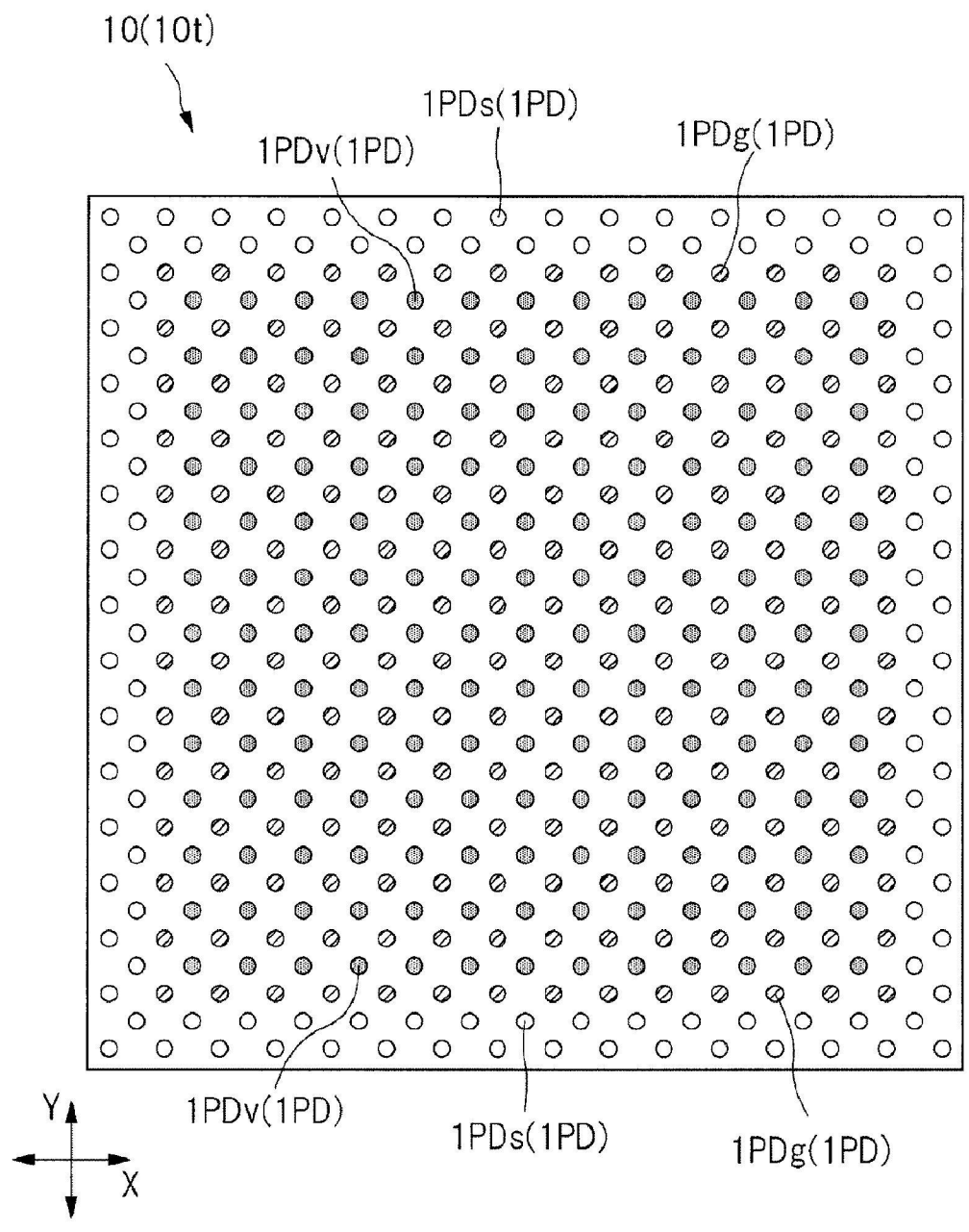


圖 6

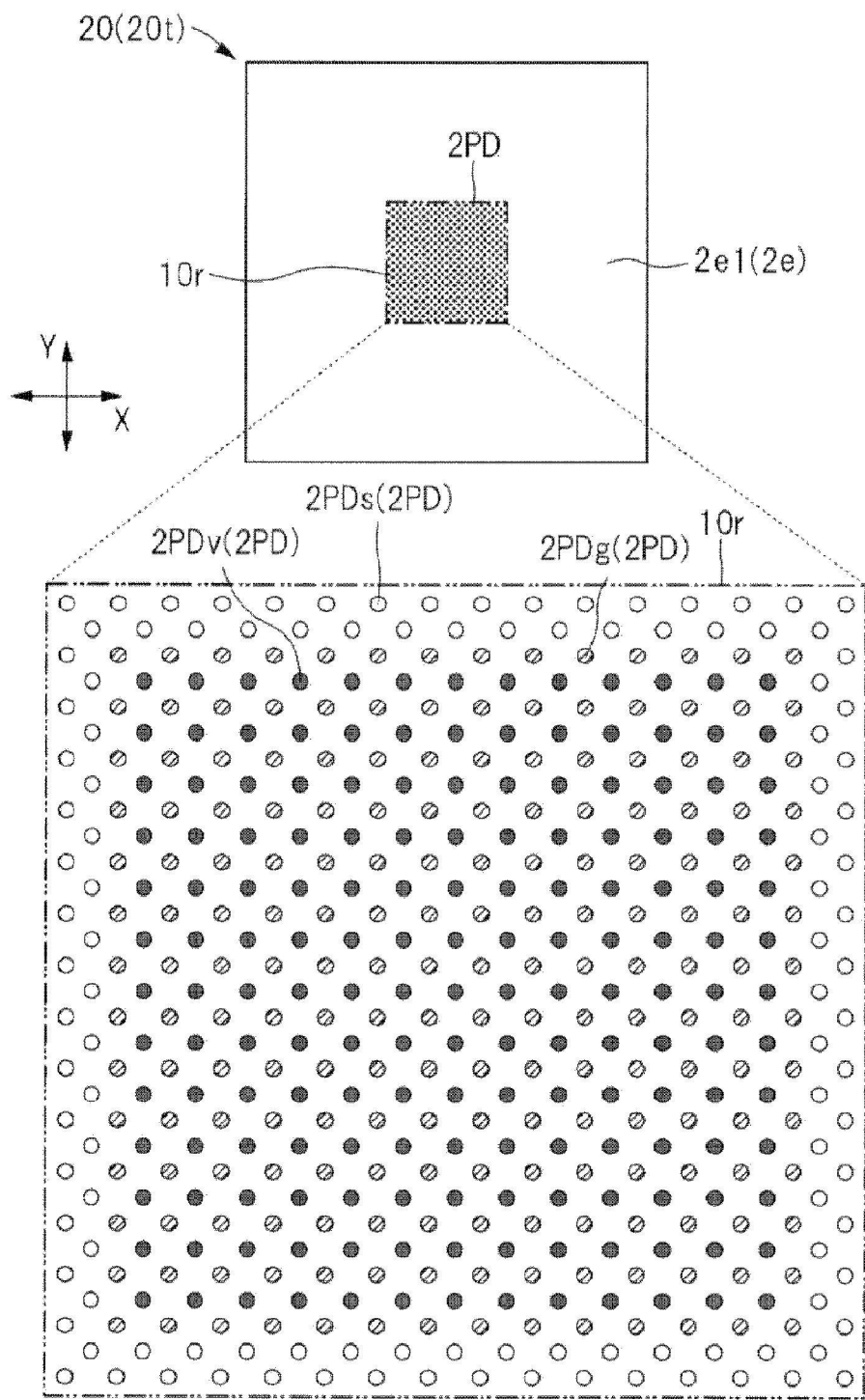


圖 7

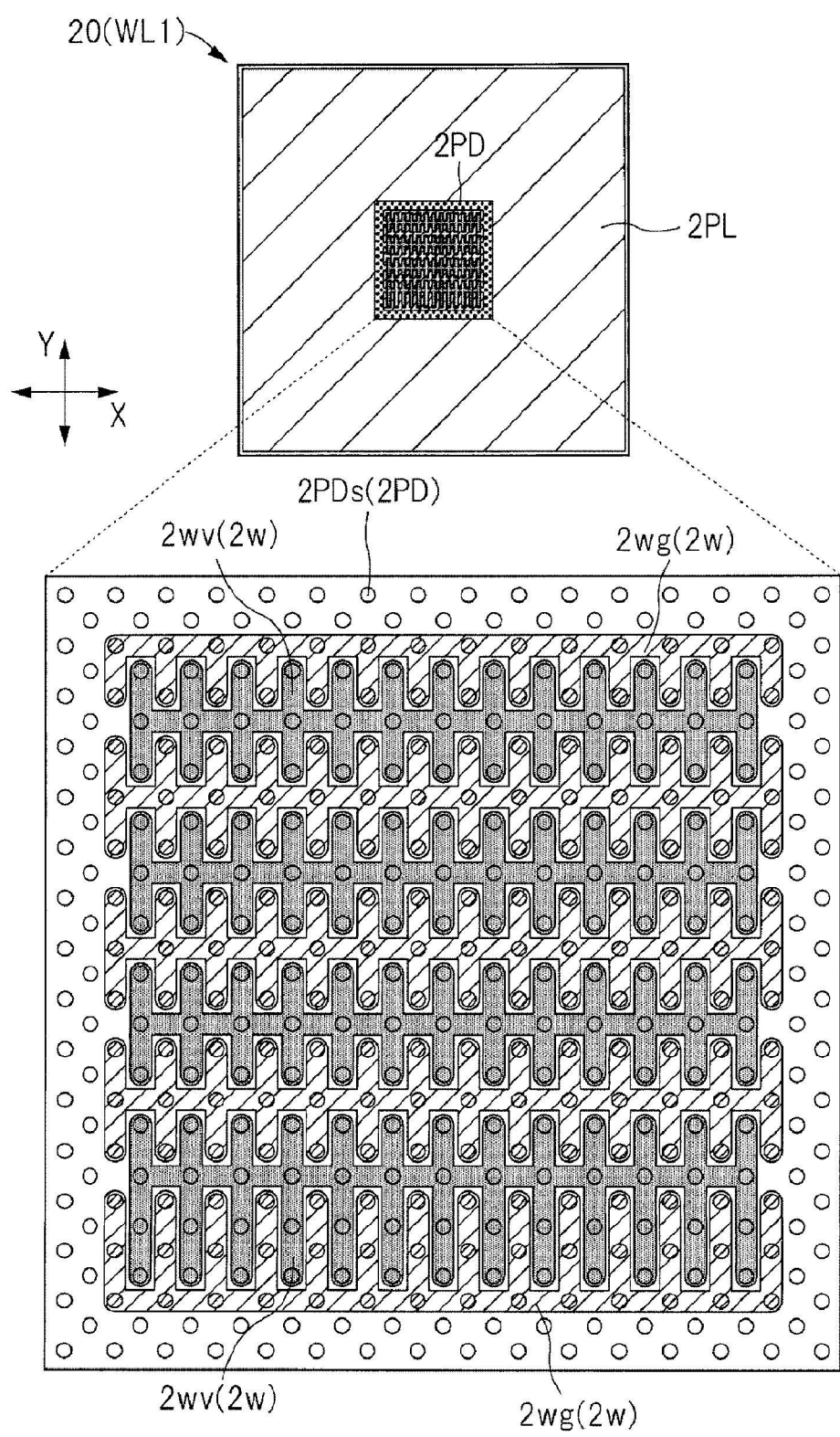


圖 8

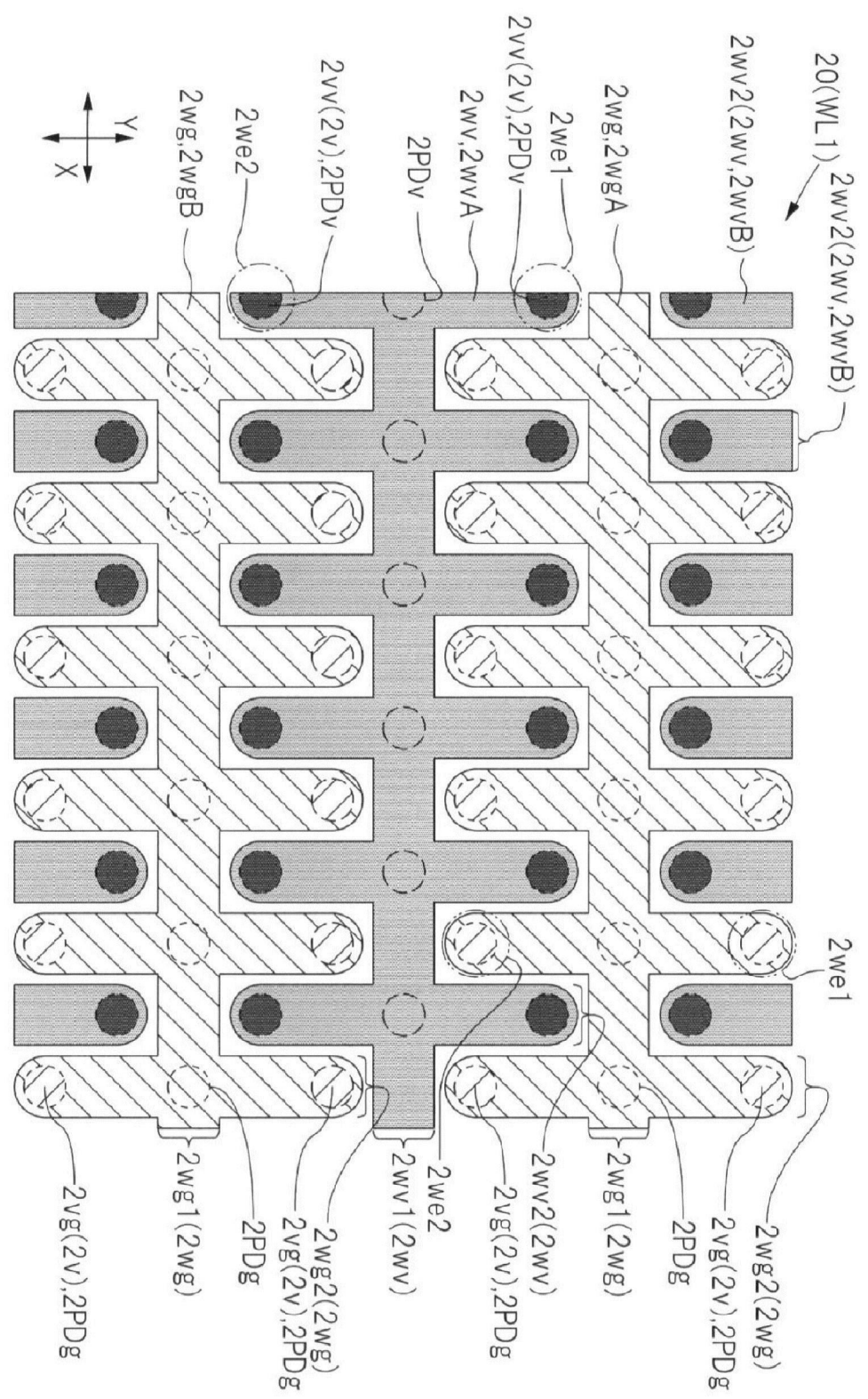


圖 9

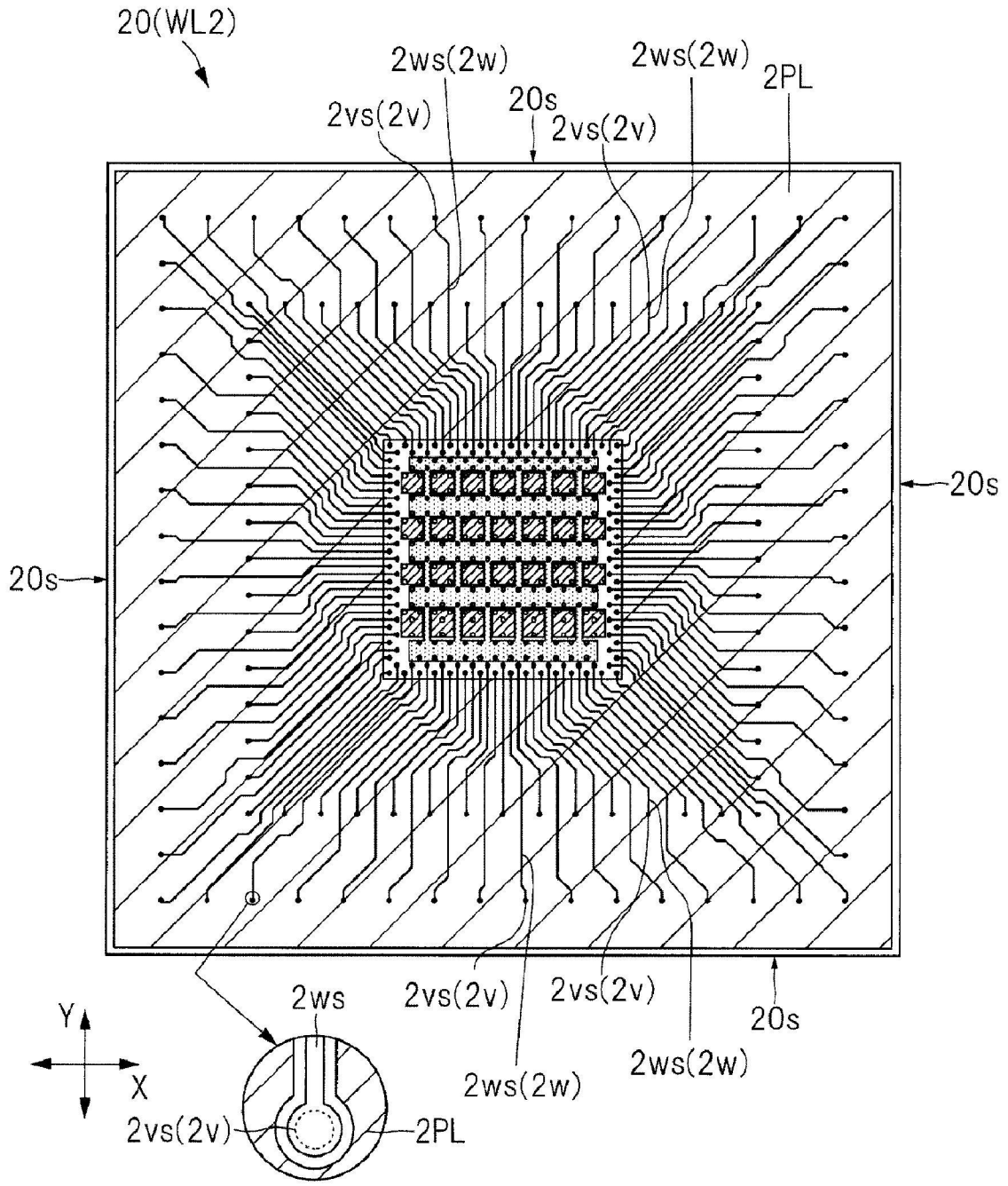


圖 10







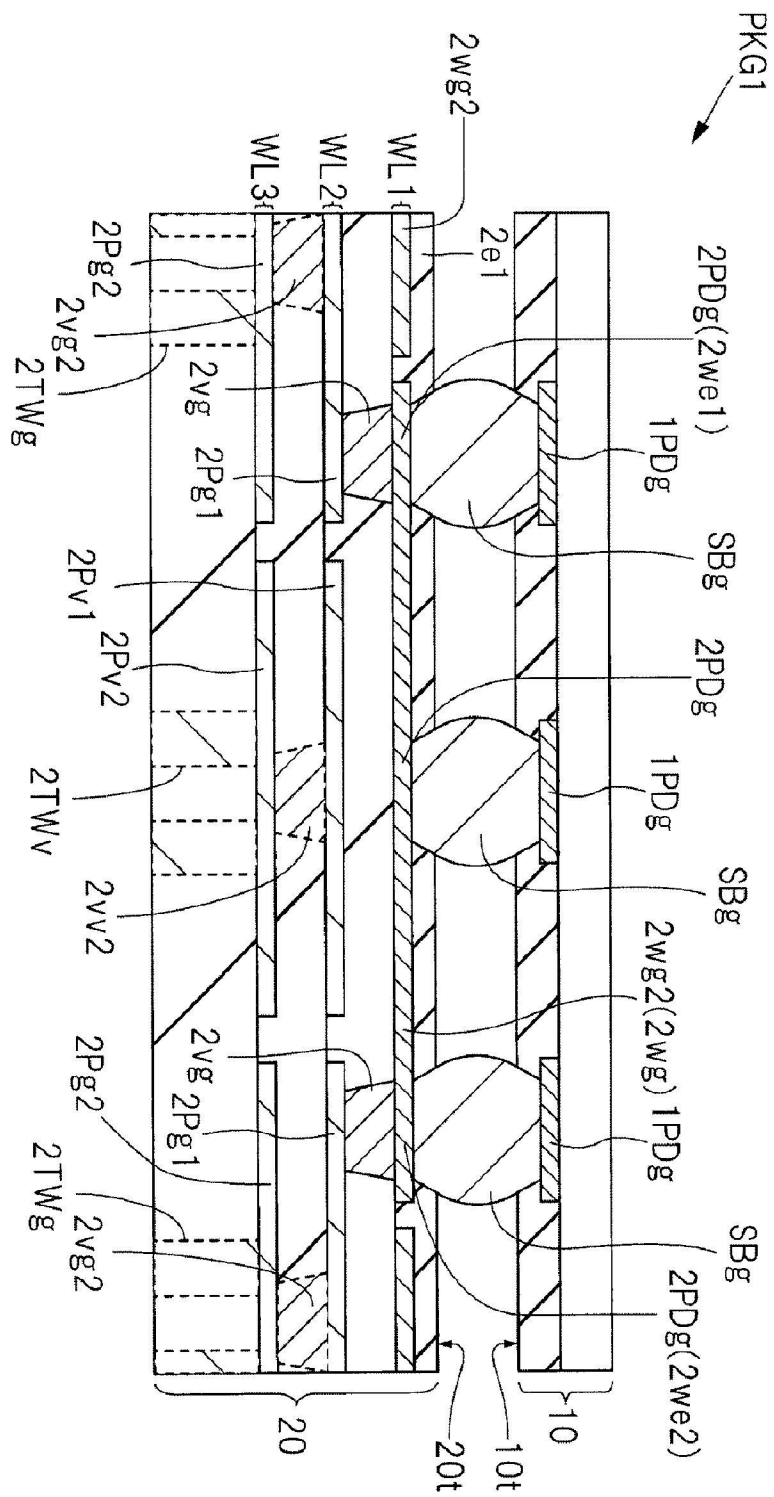


圖 14

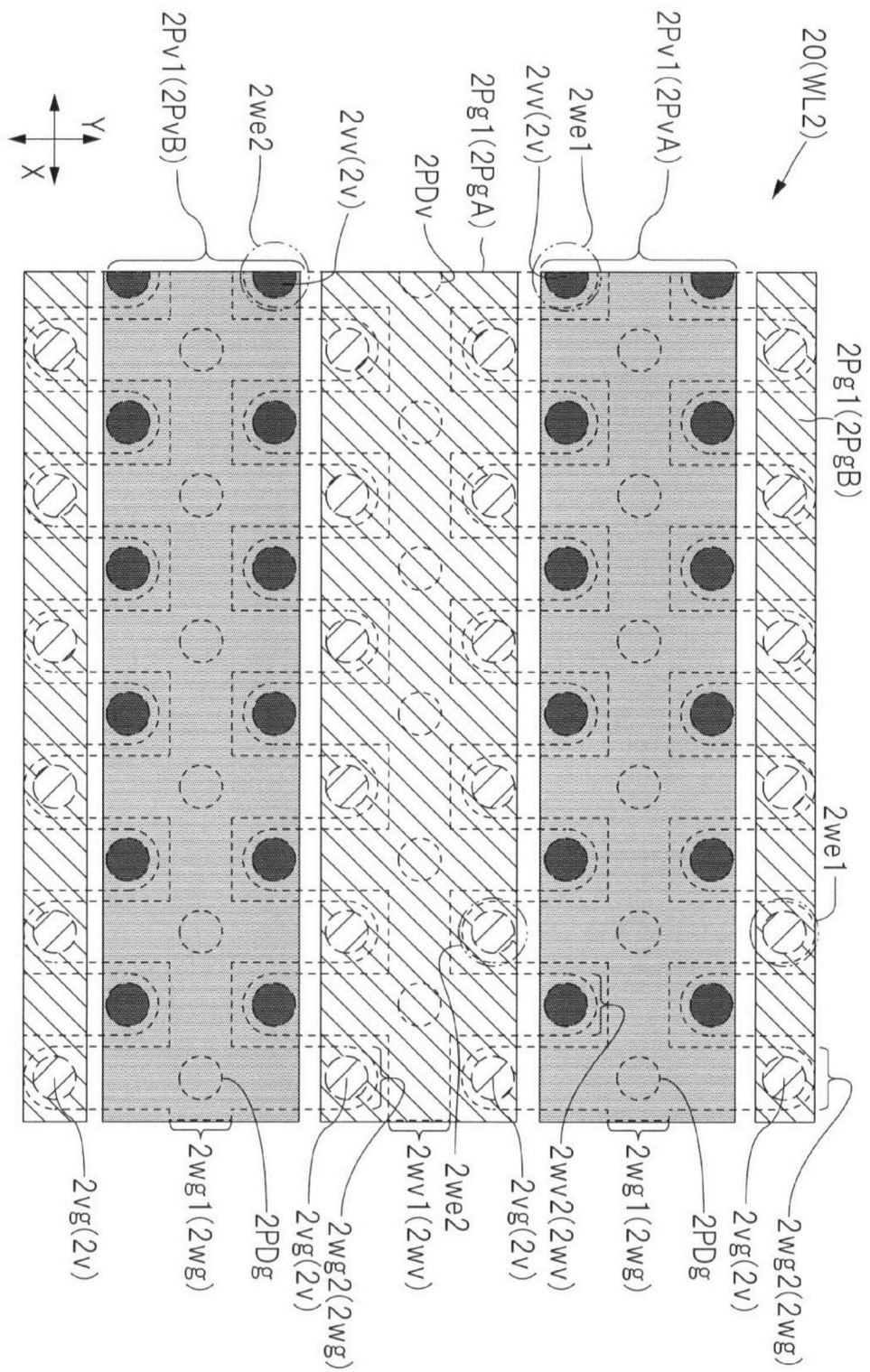


圖 15

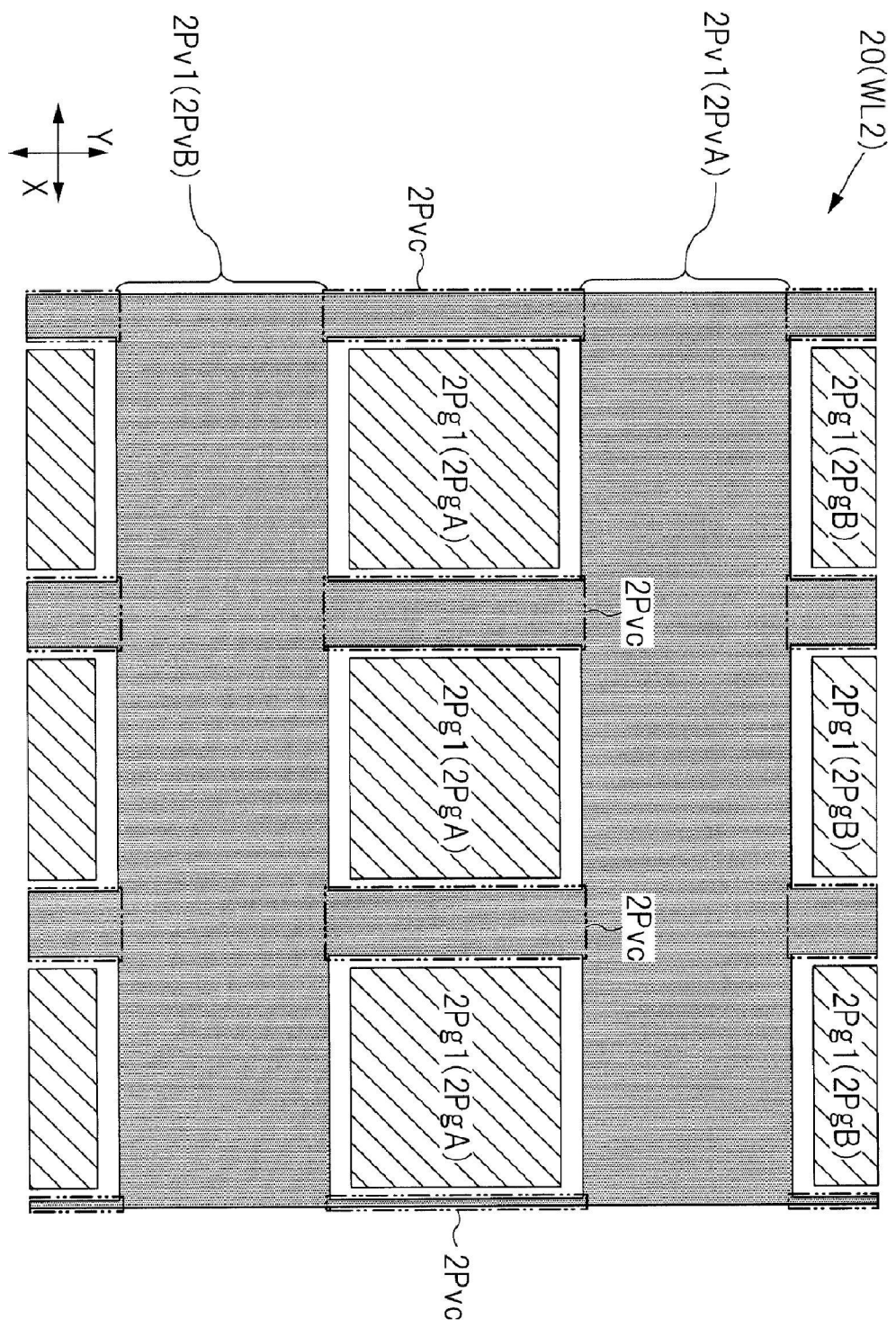


圖 16

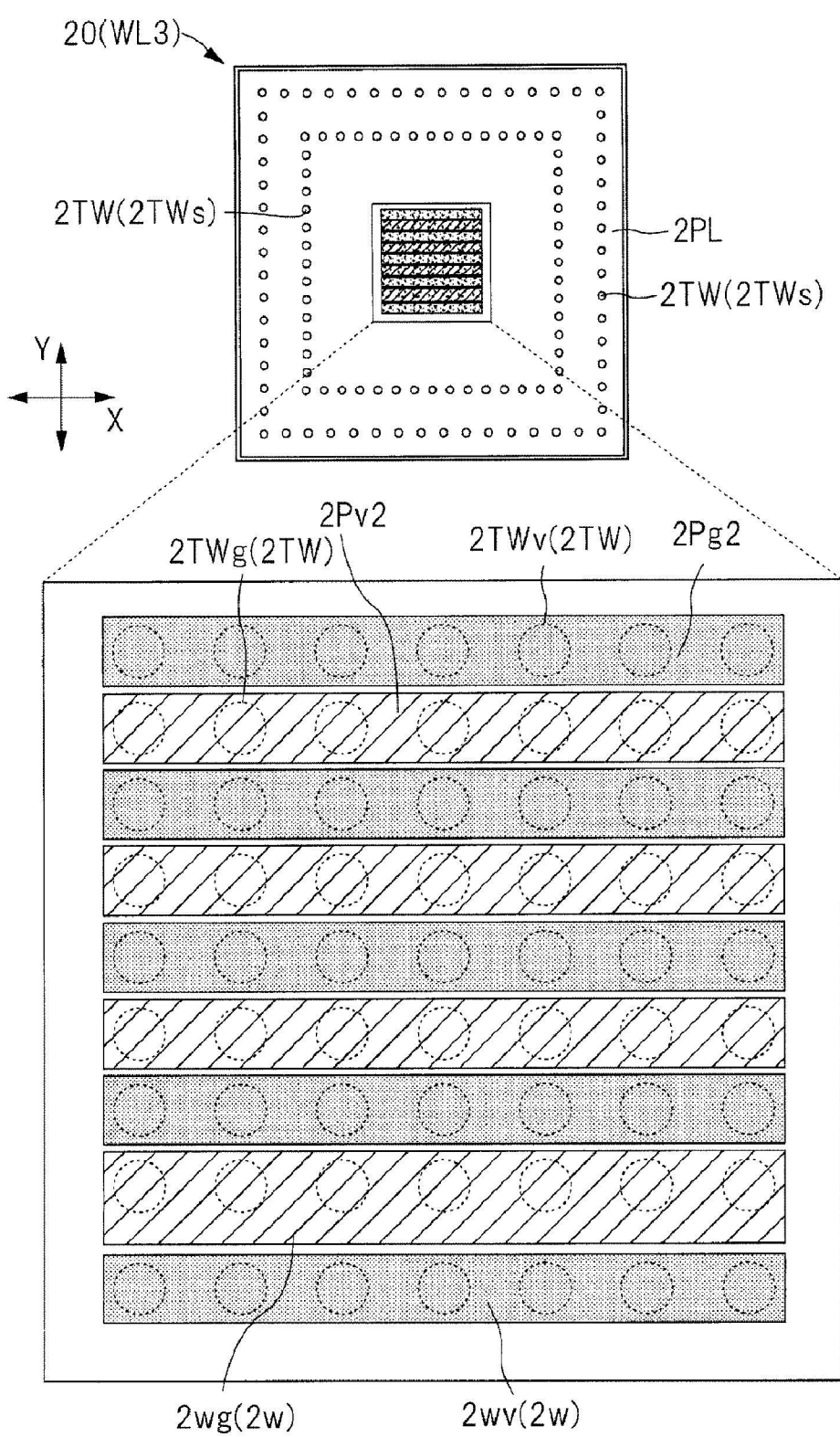


圖 17

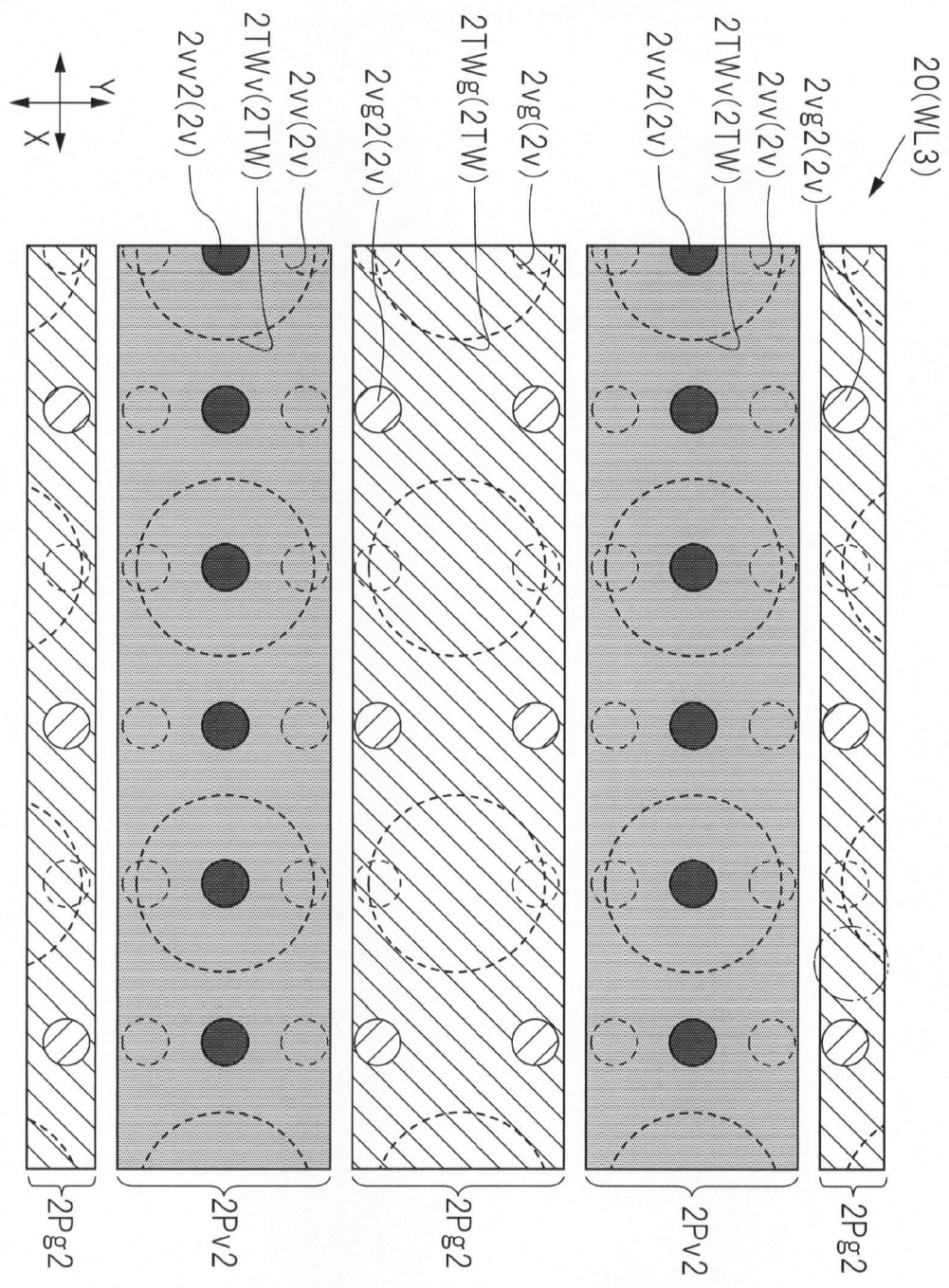


圖 18

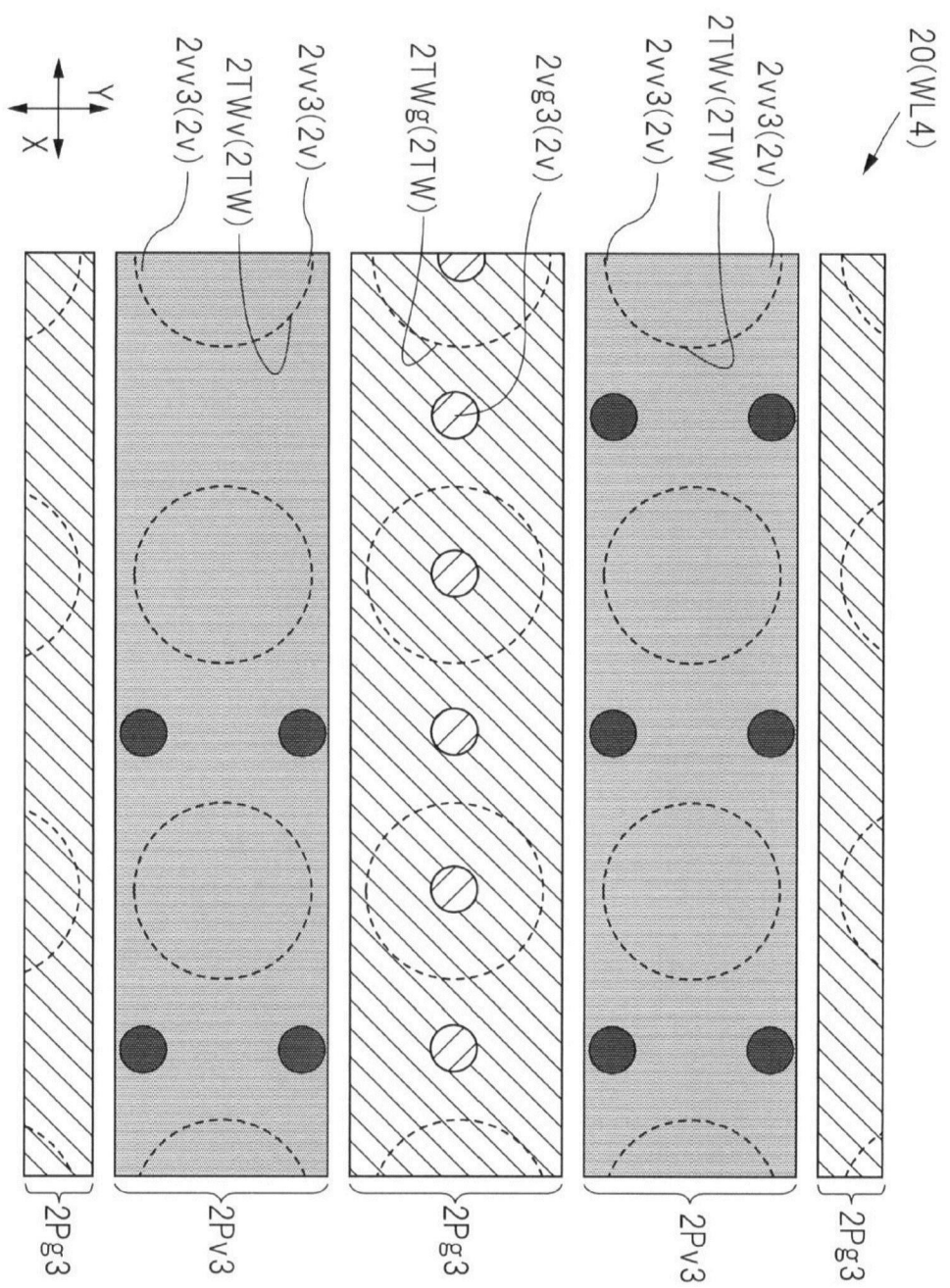


圖 19



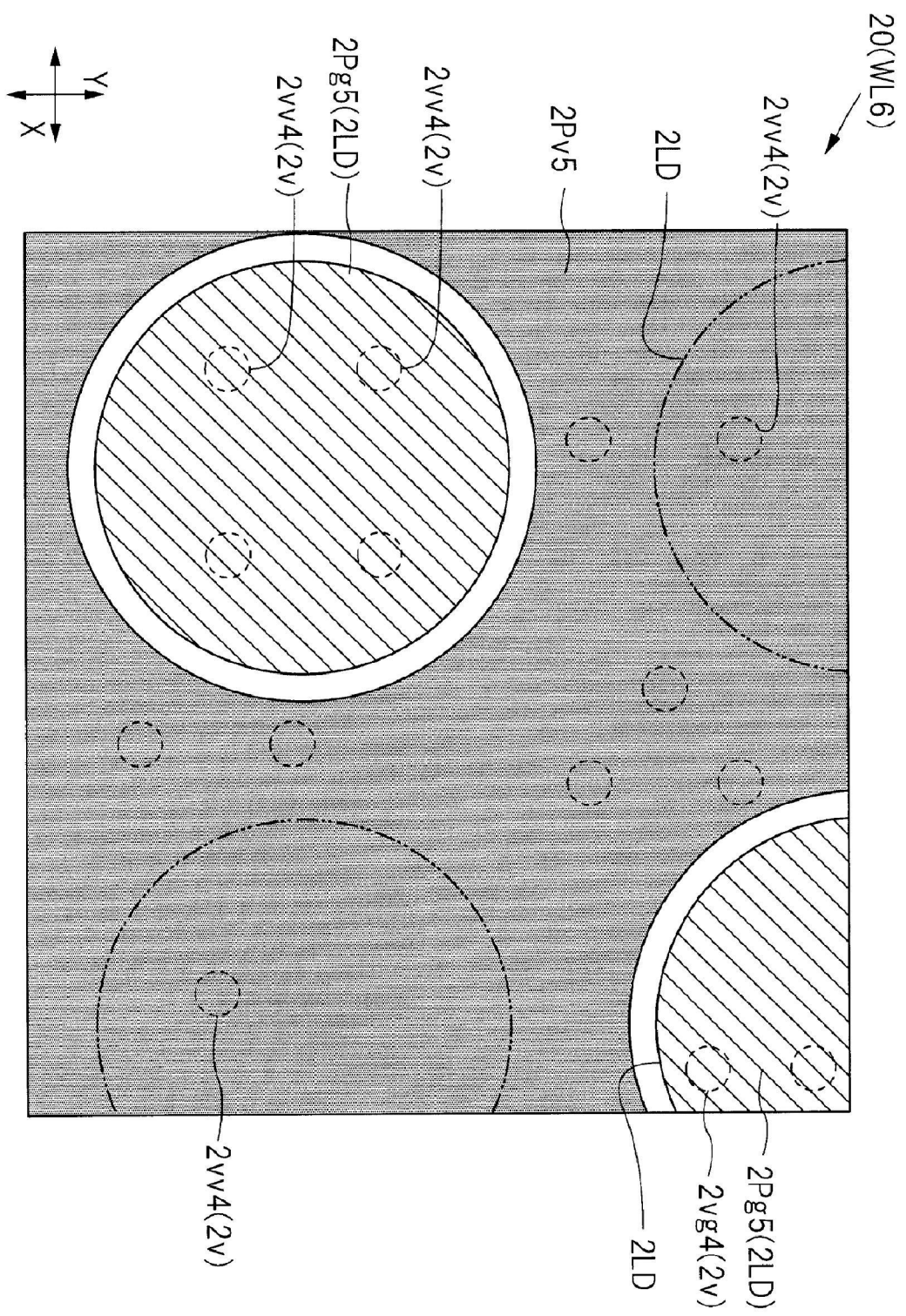


圖 21



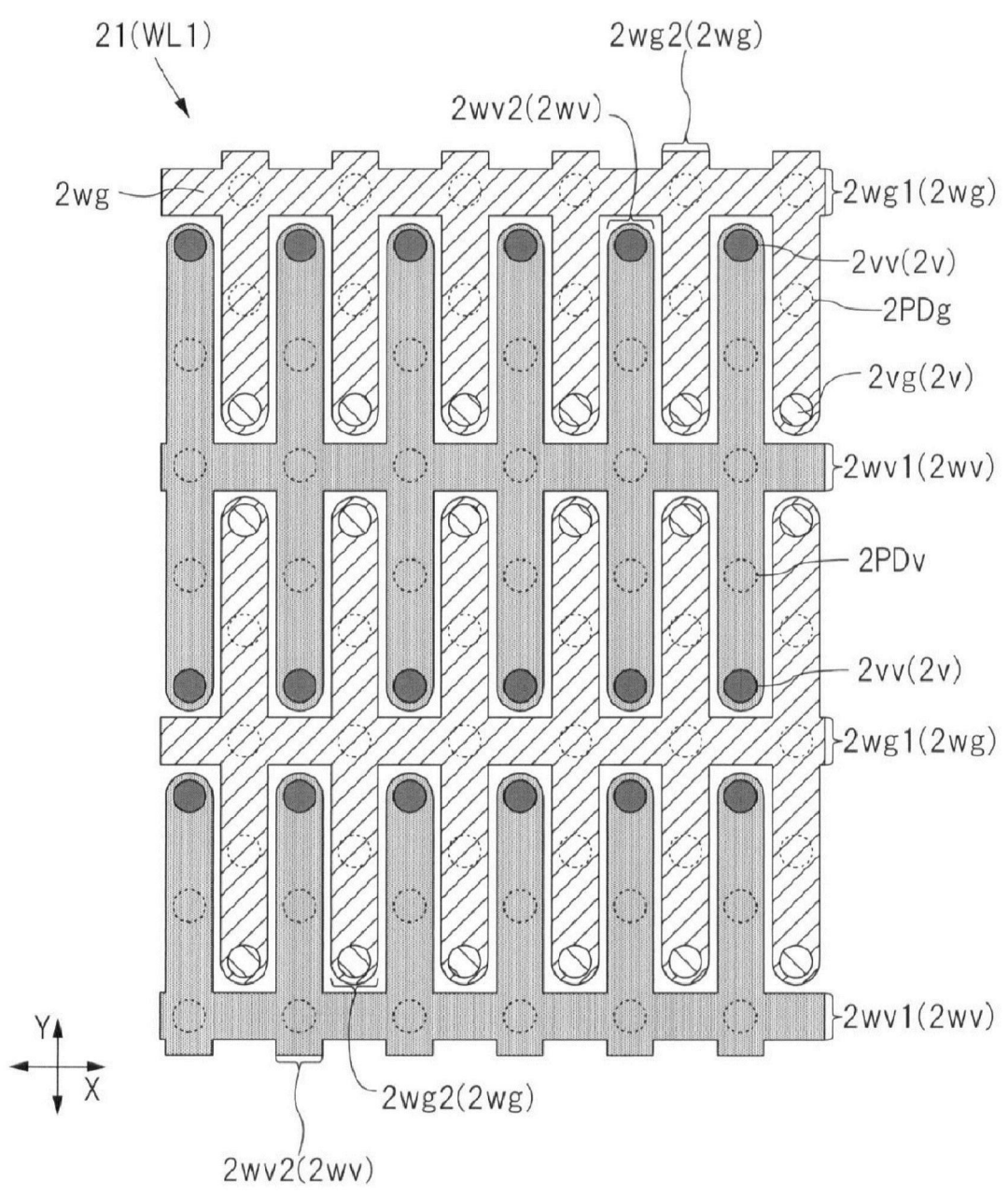


圖 23

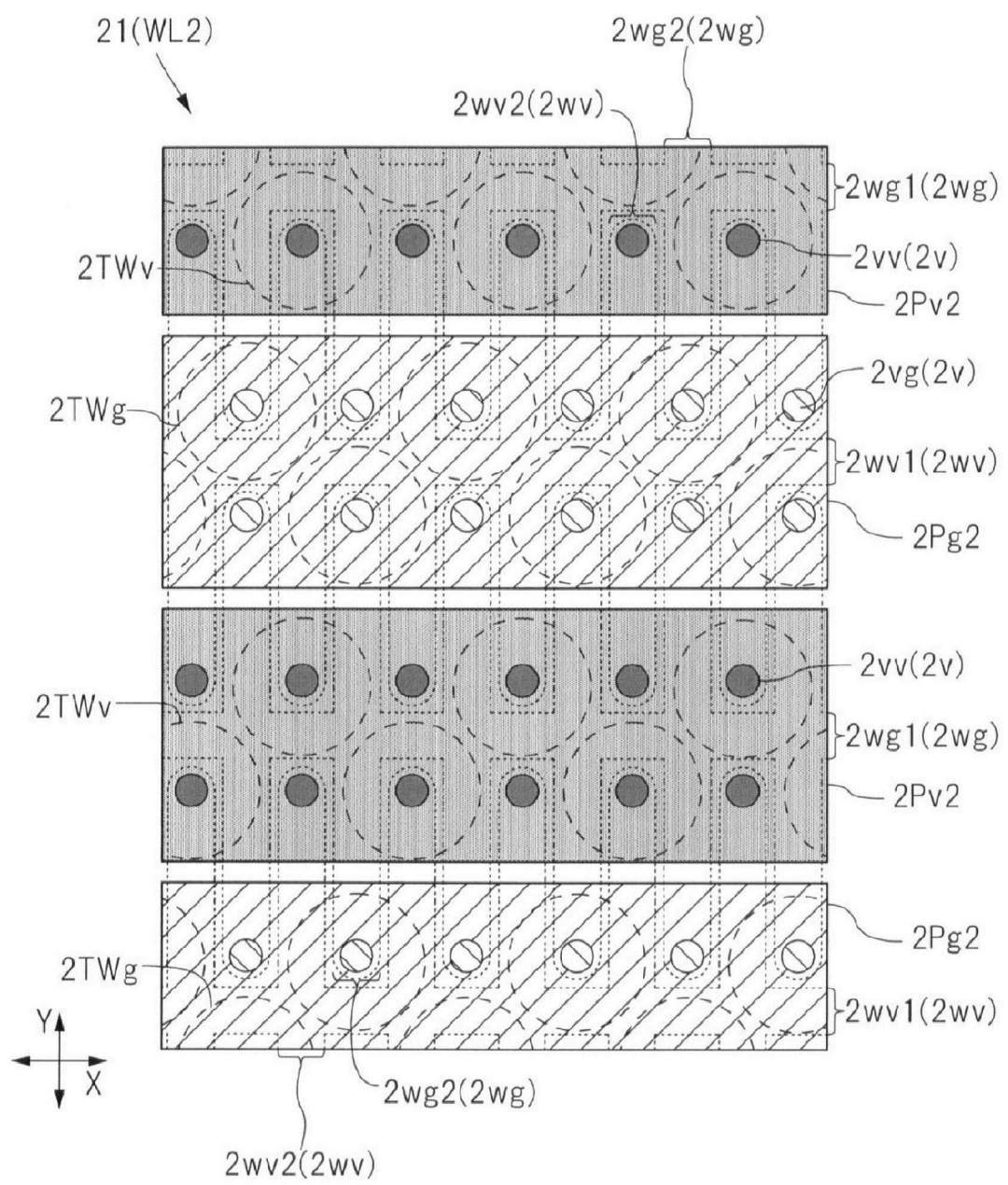


圖 24