

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年7月27日(27.07.2023)



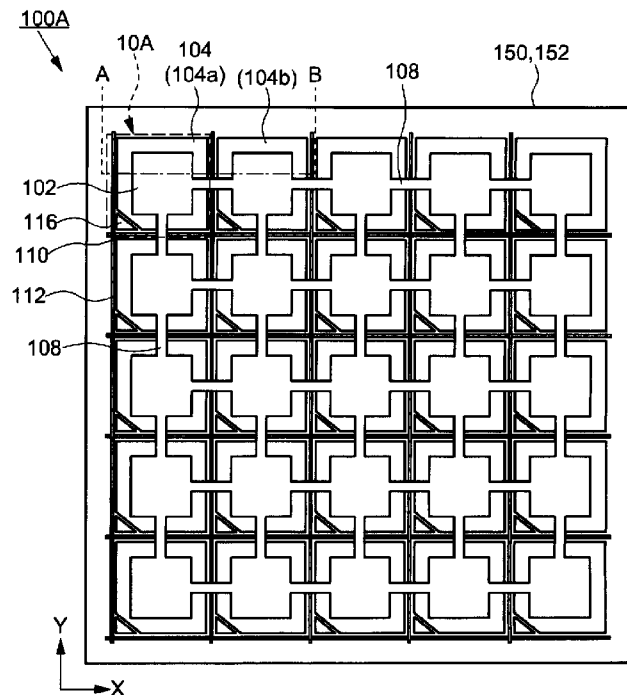
(10) 国際公開番号

WO 2023/140243 A1

- (51) 国際特許分類:
H01Q 15/14 (2006.01) *G02F 1/13* (2006.01) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).
- (21) 国際出願番号: PCT/JP2023/001140 (72) 発明者: 沖田 光隆 (OKITA Mitsutaka); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 新木 盛右 (ARAKI Shigesumi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 岡 真一郎 (OKA Shinichiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 鈴木 大一 (SUZUKI Daiichi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 陳 強 (CHEN Qiang); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立
- (22) 国際出願日: 2023年1月17日(17.01.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-008668 2022年1月24日(24.01.2022) JP
- (71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP). 国立大学法人東北大学 (TOHOKU UNIVERSITY)

(54) Title: REFLECTARRAY

(54) 発明の名称: リフレクトアレイ



(57) **Abstract:** This reflectarray comprises: at least one common electrode disposed on the side on which radio waves are incident; at least one bias electrode disposed so as to overlap a back surface of the at least one common electrode; a bias signal line disposed on the back surface side of the at least one common electrode and connected to the at least one bias electrode; and a liquid crystal layer between the at least one common electrode and the at least one bias electrode. The at least one common electrode has a constant potential. A bias voltage for changing the dielectric constant of the liquid

[続葉有]

大学法人東北大学内 Miyagi (JP). 佐藤 弘康 (SATO Hiroyasu); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 藤掛 英夫(FUJIKAKE Hideo); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP).

(74) 代理人: 弁理士法人高橋・林アンドパートナーズ(TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田 5 - 2 4 - 2 損保ジャパン蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

crystal layer is applied to the at least one bias electrode via the bias signal line.

(57) 要約: リフレクトアレイは、電波の入射側に配置された少なくとも1つのコモン電極と、少なくとも1つのコモン電極の背面に重なるように配置された少なくとも1つのバイアス電極と、少なくとも1つのコモン電極の背面側に配置され少なくとも1つのバイアス電極に接続されるバイアス信号線と、少なくとも1つのコモン電極と少なくとも1つのバイアス電極との間の液晶層とを有する。少なくとも1つのコモン電極は一定電位を有し、少なくとも1つのバイアス電極にバイアス信号線を介して液晶層の誘電率を変化させるバイアス電圧が印加される。

明 細 書

発明の名称： リフレクトアレイ

技術分野

[0001] 本発明の一実施形態は、入射波の散乱方向を制御することのできるリフレクトアレイの電極構造に関する。

背景技術

[0002] リフレクトアレイは、入射波を所望の方向に散乱する機能を有し、例えば、高層ビルの谷間の電波が届きにくい地帯（不感地帯）に電波を散乱させるときに使用される。リフレクトアレイとして、例えば、メインアレイ素子（ダイポール素子）及びサブアレイ素子（無給電素子）とコモン電極（接地電極）とが誘電体基板を挟んで設けられ、メインアレイ素子にサブアレイ素子が近接して配置された構成（特許文権1）、アレイ素子とコモン電極（接地電極）が誘電体基板を挟む構造において、コモン電極が周期的なループ形状を有する構成（特許文献2）が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-019021号公報

特許文献2：特開2010-226695号公報

発明の概要

発明が解決しようとする課題

[0004] リフレクトアレイの誘電体基板に相当する部分を液晶層に置き換えると、液晶材料の誘電率異方性を利用することができ、反射波の指向性を可変にすることが可能となる。誘電率を変化させるためには液晶層に電圧を印加する必要がある、そのためにバイアス用の配線を設ける必要がある。しかし、バイアス用の配線を不用意に設けるとアレイ素子間の電界に影響を及ぼし、意図する反射特性が得られないことが問題となる。

課題を解決するための手段

[0005] 本発明の一実施形態に係るリフレクトアレイは、電波の入射側に配置された少なくとも1つのコモン電極と、少なくとも1つのコモン電極の背面に重なるように配置された少なくとも1つのバイアス電極と、少なくとも1つのコモン電極の背面側に配置され少なくとも1つのバイアス電極に接続されるバイアス信号線と、少なくとも1つのコモン電極と少なくとも1つのバイアス電極との間の液晶層とを有する。少なくとも1つのコモン電極は一定電位を有し、少なくとも1つのバイアス電極にバイアス信号線を介して液晶層の誘電率を変化させるバイアス電圧が印加される。

図面の簡単な説明

[0006] [図1A]本発明の一実施形態に係るリフレクトアレイの平面図を示す。

[図1B]本発明の一実施形態に係るリフレクトアレイの断面図を示す。

[図2A]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの平面図を示す。

[図2B]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの断面図を示す。

[図3A]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの動作を説明する図であり、液晶層にバイアス電圧が印加されない状態を示す。

[図3B]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの動作を説明する図であり、液晶層にバイアス電圧が印加された状態を示す。

[図4]本発明の一実施形態に係るリフレクトアレイによって散乱波の進行方向が変化することを模式的に示す。

[図5A]本発明の一実施形態に係るリフレクトアレイの平面図を示す。

[図5B]本発明の一実施形態に係るリフレクトアレイの断面図を示す。

[図6A]本発明の一実施形態に係るリフレクトアレイのバイアス電極の構成及び電気的な状態を示す。

[図6B]本発明の一実施形態に係るリフレクトアレイのバイアス電極の構成及

び電氣的な状態を示す。

[図6C]本発明の一実施形態に係るリフレクトアレイのバイアス電極の構成及び電氣的な状態を示す。

[図7A]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの構成を説明する図であり、バイアス電極にキャパシタが接続された回路構成を示す。

[図7B]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの構成を説明する図であり、バイアス電極にキャパシタが接続されたときの構造を示す。

[図8]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの構成を説明する図であり、バイアス電極にキャパシタが接続されたときの構造を示す。

[図9]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの構成を説明する図であり、コモン電極にコイルが接続されたときの構成を示す。

[図10A]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの構成を説明する図であり、バイアス電極にインダクタが接続された回路構成を示す。

[図10B]本発明の一実施形態に係るリフレクトアレイを構成するユニットセルの構成を説明する図であり、バイアス電極にインダクタが接続されたときの構造を示す。

発明を実施するための形態

[0007] 以下、本発明の実施の形態を、図面などを参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、以下に例示する実施の形態の記載内容に限定して解釈されるものではない。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状などについて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述

したものと同様の要素には、同一の符号（又は数字の後に a、b などを付した符号）を付して、詳細な説明を適宜省略することがある。さらに各要素に対する「第 1」、「第 2」と付記された文字は、各要素を区別するために用いられる便宜的な標識であり、特段の説明がない限りそれ以上の意味を有しない。

[0008] 本明細書において、ある部材又は領域が他の部材又は領域の「上に（又は下に）」あるとする場合、特段の限定がない限りこれは他の部材又は領域の直上（又は直下）にある場合のみでなく他の部材又は領域の上方（又は下方）にある場合を含み、すなわち、他の部材又は領域の上方（又は下方）において間に別の構成要素が含まれている場合も含む。

[0009] [第 1 実施形態]

本実施形態に係るリフレクトアレイは、誘電体層として用いられる液晶層を挟んで、コモン電極とバイアス電極とが配置された構造を有する。以下、その詳細について図面を参照して説明する。

[0010] 1-1. リフレクトアレイ

図 1 A は、第 1 実施形態に係るリフレクトアレイ 100 A の平面図を示し、図 1 B は平面図に示す A-B 間に対応する断面構造を示す。以下の説明では、図 1 A 及び図 1 B の両方を適宜参照するものとする。

[0011] リフレクトアレイ 100 A は、少なくとも 1 つのコモン電極 102 と、少なくとも 1 つのバイアス電極 104 と、これらの電極の間に配置された液晶層 106 と、を含む。図 1 A に示すように、コモン電極 102 は X 軸方向及び Y 軸方向に配列され、バイアス電極 104 はコモン電極 102 に対応するように X 軸方向及び Y 軸方向にマトリクス状に配列される。したがって、リフレクトアレイ 100 A は、コモン電極 102 及びバイアス電極 104 がそれぞれ複数個、マトリクスを形成するように配列された構成を有する。なお、X 軸方向及び Y 軸方向は説明のために用いられ、具体的には図 1 A に表示される方向を示す。X 軸方向及び Y 軸方向は、一方向及び一方向に交差する方向と読み替えることもできる。

- [0012] コモン電極 102 は、隣接するもの同士がコモン配線 108 により相互に連結される。これに対し、バイアス電極 104 は、隣接するもの同士が間隙を有するように配置され、物理的に分離された状態で配置される。コモン電極 102 は第 1 基板 150 に設けられ、バイアス電極 104 は第 2 基板 152 に設けられる。リフレクトアレイ 100A は入射面に入射した電波を所定の方向に散乱するデバイスであり、第 1 基板 150 が入射面側に配置され、第 2 基板 152 が入射面の裏側に配置される。すなわち、入射面にコモン電極 102 が配置され、コモン電極 102 の背面に液晶層 106 を挟んでバイアス電極 104 が配置される。
- [0013] リフレクトアレイ 100A は、コモン電極 102、液晶層 106、バイアス電極 104 が平面視で重畳するように配置された構造を有する。また、リフレクトアレイ 100A は、第 1 基板 150 のコモン電極 102 が設けられた面と、第 2 基板 152 のバイアス電極 104 が設けられた面とが対向するように配置され、その間に液晶層 106 が配置される。リフレクトアレイ 100A は、一組のコモン電極 102、液晶層 106、及びバイアス電極 104 の積層構造（第 1 基板 150 及び第 2 基板 152 も含み得る）が基本単位となる。以下においては、この基本単位をユニットセル 10A と呼ぶ。
- [0014] 第 2 基板 152 には、X 方向に延伸する選択信号線 110 と、Y 方向に延伸するバイアス信号線 112 と、スイッチング素子 116 が設けられる。スイッチング素子 116 はバイアス電極 104 に 1 対 1 で対応するように設けられる。スイッチング素子 116 は選択信号線 110 の選択信号によりスイッチング動作（オン／オフ状態）が制御され、バイアス信号線 112 からバイアス信号（バイアス電圧）が入力される。バイアス電極 104 はスイッチング素子 116 により個別にバイアス信号が入力される。すなわち、マトリクス状に配列されるバイアス電極 104 は、スイッチング素子 116 により個別にバイアス信号が入力される。
- [0015] 第 1 配向膜 114A が第 1 基板 150 に設けられ、第 2 配向膜 114B が第 2 基板 152 に設けられる。第 1 配向膜 114A はコモン電極 102 を覆

うように設けられ、第2配向膜114Bはバイアス電極104を覆うように設けられる。第1配向膜114A及び第2配向膜114Bは、液晶層106の配向状態を制御するために設けられる。液晶層106は細長い棒状の液晶分子を含む。液晶分子は第1配向膜114A及び第2配向膜114Bによって初期配向状態（電界が作用しない状態の配向状態）が制御される。

[0016] 液晶層106の液晶分子の配向状態は、バイアス電極104によって制御される。バイアス電極104に印加されるバイアス電圧は、ユニットセル10Aごとに制御可能であるため、液晶層106の液晶分子の配向状態もユニットセル10Aごとに制御することができる。液晶層106は、液晶分子の配向状態で誘電率が変化する。リフレクトアレイ100Aの散乱波は、液晶層106の誘電率によって位相が変化する。したがって、ユニットセル10Aごとに液晶層106の誘電率を変化させることで、リフレクトアレイ100Aの面内で位相差を生じさせ、散乱波の進行方向を制御することが可能となる。

[0017] リフレクトアレイ100Aは、コモン電極102が配列する面で入射する入射波を散乱するため、コモン電極102は散乱体とも呼ばれる。また、ユニットセル10Aは、誘電体（液晶層106）の上面にパッチ電極（コモン電極102）が設けられ、背面に反射電極（バイアス電極104）が設けられたパッチアンテナとみなすこともでき、リフレクトアレイ100Aは、リフレクトアレイアンテナと呼ぶこともできる。

[0018] バイアス電極104は反射板としての機能を有するため、隣接するバイアス電極との間隔が極力狭くなるように配置されることが好ましい。第2基板152に設けられる選択信号線110及びバイアス信号線112は、絶縁層118を挟んでバイアス電極104と異なる層（下層側）に設けられる。このような多層構造により、バイアス電極104を配線の影響を受けずに狭ピッチで配列することができる。例えば、図1Bに示すように、バイアス電極104aとバイアス電極104bとの間隔W1を、コモン電極102の隣接間隔W2より狭くすることができる（ $W1 < W2$ ）。

[0019] なお、図 1 A 及び図 1 B に図示されないが、第 2 基板 1 5 2 には選択信号線 1 1 0 に選択信号を出力する駆動回路、バイアス信号線 1 1 2 にバイアス信号を出力する駆動回路が設けられていてもよい。また、これらの駆動回路を駆動する信号及び駆動電力を入力する入力端子が設けられていてもよい。

[0020] 1-2. ユニットセル

図 2 A 及び図 2 B は、リフレクトアレイ 1 0 0 A を構成するユニットセル 1 0 A の詳細を示す。図 2 A はユニットセル 1 0 A の平面図を示し、図 2 B は平面図に示す C-D 間の断面構造を示す。図 2 A 及び図 2 B に示すように、ユニットセル 1 0 A は、平面視において、コモン電極 1 0 2、液晶層 1 0 6、及びバイアス電極 1 0 4 が平面視で重畳するように配置される。

[0021] 本実施形態で用いられるコモン電極 1 0 2 は、入射する電波の垂直偏波及び水平偏波に対して対象な形状を有する。図 2 A は、コモン電極 1 0 2 が正方形である一例を示す。コモン電極 1 0 2 の大きさ（縦及び横の寸法）は、対象とする電波の周波数に応じて適宜設定される。なお、コモン電極 1 0 2 の形状は正方形に限定されず、長方形であってもよいし、他の幾何学的な形状を有していてもよい。

[0022] コモン電極 1 0 2 は、コモン配線 1 0 8 と接続される。コモン配線 1 0 8 とコモン電極 1 0 2 との接続構造に限定はないが、例えば、コモン配線 1 0 8 及びコモン電極 1 0 2 は同じ導電層で形成される。コモン配線 1 0 8 は、図示されない電源回路に接続される。または、コモン配線 1 0 8 は接地され、若しくは接地された配線と接続される。図 1 A に示すように、コモン配線 1 0 8 は隣接するコモン電極 1 0 2 同士を接続する。コモン電極 1 0 2 がコモン配線 1 0 8 で相互に接続されることで、マトリクス状に配列されたコモン電極 1 0 2 は等電位を有する。

[0023] バイアス電極 1 0 4 は、反射板としての機能を有するために大面積に形成される。図 2 A に示すように、ユニットセル 1 0 A の中でバイアス電極 1 0 4 はコモン電極 1 0 2 より大きな面積を有する。バイアス電極 1 0 4 とコモン電極 1 0 2 は重畳するように設けられ、このときコモン電極 1 0 2 がバイ

アス電極 104 の内側の領域に配置される。

- [0024] スイッチング素子 116、選択信号線 110、及びバイアス信号線 112 が第 2 基板 152 に設けられる。スイッチング素子 116 は、バイアス信号線 112 とバイアス電極 104 とを接続する。スイッチング素子 116 のスイッチング動作（オン／オフ動作）は、選択信号線 110 の選択信号により制御される。
- [0025] バイアス電極 104 はスイッチング素子 116 を介してバイアス信号線 112 と接続される。図 2 A 及び図 2 B は、スイッチング素子 116 がトランジスタで形成される一例を示す。トランジスタは、半導体層 120、ゲート絶縁層 122、及びゲート電極 124 が積層された構造を有する。ゲート電極 124 の上には層間絶縁層 126 が設けられ、その上にバイアス信号線 112 が設けられる。スイッチング素子 116 及びバイアス信号線 112 は平坦化層 128 で埋められる。バイアス電極 104 は平坦化層 128 の上に設けられる。バイアス電極 104 は、コンタクトホールを介してスイッチング素子（トランジスタ） 116 の入出力端子（ソース又はドレイン）と接続される。また、スイッチング素子（トランジスタ） 116 のゲート電極 124 が選択信号線 110 と接続され、バイアス電極 104 と接続されない入出力端子（ソース又はドレイン）がバイアス信号線 112 と接続される。
- [0026] 個々のバイアス電極 104 がスイッチング素子 116 を介してバイアス信号線 112 と接続されることで、バイアス電極 104 の電位が個別に制御される。バイアス電極 104 の下層側に設けられる選択信号線 110、バイアス信号線 112、及びスイッチング素子 116 は平坦化層 128 によって埋め込まれる。バイアス電極 104 は平坦化層 128 の上に設けられるので、選択信号線 110、バイアス信号線 112、及びスイッチング素子 116 の影響を受けずに大面積化を図ることができる。また、マトリクス状に配置されるバイアス電極 104 の隣接間隔を狭めることができる。
- [0027] 液晶層 106 はバイアス電極 104 によって液晶分子の配向状態が制御される。すなわち、液晶層 106 の液晶分子はバイアス電極 104 に印加され

るバイアス信号により配向状態が制御される。バイアス信号は、直流電圧信号又は正の直流電圧と負の直流電圧が交互に反転する極性反転直流電圧信号である。

[0028] 液晶層 106 は誘電異方性を有する液晶材料で形成される。例えば、液晶層 106 を形成する液晶材料として、ネマチック液晶、スメクチック液晶、コレステリック液晶、ディスコティック液晶を用いることができる。液晶層 106 は液晶分子の配向状態により誘電率が変化する。液晶分子の配向状態は、バイアス電極 104 によって制御される。入射波がユニットセル 10A で散乱されるとき、液晶層 106 の誘電率に応じて散乱波の位相が変化する。

[0029] リフレクトアレイ 100A が適用対象とする周波数帯は、超短波（VHF : Very High Frequency）帯、極超短波（UHF : Ultra-High Frequency）帯、マイクロ波（SHF : Super High Frequency）帯、サブミリ波（THF : Tremendously high frequency）、ミリ波（EHF : Extra High Frequency）帯である。液晶層 106 の液晶分子はバイアス電極 104 に印加されるバイアス電圧によって液晶分子の配向が変化するが、コモン電極 102 に入射する電波の周波数にはほとんど追従しない。液晶分子のこのような特性により、バイアス電極 104 によって液晶層 106 の誘電率を変化させつつ、コモン電極 102 で電波を散乱させ、散乱される電波の位相を制御することができる。

[0030] 第 1 基板 150 は、ガラス、石英などで形成される。第 2 基板 152 は、ガラス、石英、樹脂などの誘電体材料で形成される。また、第 1 基板 150 上及び第 2 基板 152 上に設けられる各層は、以下のような材料を用いて形成される。半導体層 120 は、アモルファスシリコン、多結晶シリコンのようなシリコン半導体、酸化インジウム、酸化亜鉛、酸化ガリウムなどの金属酸化物を含む酸化物半導体で形成される。ゲート絶縁層 122 及び層間絶縁層 126、例えば、酸化シリコン膜、又は酸化シリコン膜と窒化シリコン膜の積層構造で形成される。選択信号線 110 及びゲート電極 124 は、例えば、モリブデン（Mo）、タングステン（W）又はこれらの合金で構成され

る。バイアス信号線 112 は、チタン (Ti)、アルミニウム (Al)、モリブデン (Mo) などの金属材料を用いて形成される。例えば、バイアス信号線 112 は、チタン (Ti) / アルミニウム (Al) / チタン (Ti) の積層構造、又はモリブデン (Mo) / アルミニウム (Al) / モリブデン (Mo) の積層構造で構成される。平坦化層 128 は、アクリル、ポリイミドなどの樹脂材料で形成される。コモン電極 102 及びバイアス電極 104 は、アルミニウム (Al)、銅 (Cu) などの金属膜、酸化インジウムスズ (ITO) などの透明導電膜で形成される。

[0031] また、図 2 B には示されないが、第 1 基板 150 と第 2 基板 152 とは間隙を有するように配置され、シール材により貼り合わされる。液晶層 106 は、第 1 基板 150、第 2 基板 152、及びシール材で囲まれる領域内に封入される。第 1 基板 150 と第 2 基板 152 との間隙は概略 $20\mu\text{m} \sim 100\mu\text{m}$ であり、例えば、 $50\mu\text{m}$ の間隔を有する。図示されないが、第 1 基板 150 と第 2 基板 152 との間には、間隔を一定に保つためのスペーサが設けられていてもよい。

[0032] 図 1 A 及び図 1 B に示すように、マトリクス状に配列されたコモン電極 102 がコモン配線 108 により相互に接続され、バイアス電極 104 がスイッチング素子 116 を介してバイアス信号線 112 に接続されて個別に電位を制御可能となることで、ユニットセル 10A ごとに液晶層 106 の誘電率を変化させることができる。それにより散乱波の位相をユニットセル 10A ごとに制御することができる。

[0033] 1-3. ユニットセルの動作

図 3 A 及び図 3 B は、ユニットセル 10A の動作を示す。ここで、図 3 A 及び図 3 B は、第 1 配向膜 114 A 及び第 2 配向膜 114 B が水平配向膜である場合を示す。図 3 A は、バイアス電極 104 にバイアス電圧が印加されない状態を示す。別言すれば、図 3 A は、バイアス電極 104 に液晶分子の配向状態を変化させるレベルの直流電圧が印加されない状態を示す。以下、この状態を「第 1 の状態」と呼ぶ。図 3 A は、第 1 の状態において、液晶分

子 1 3 0 の長軸が第 1 配向膜 1 1 4 A 及び第 2 配向膜 1 1 4 B の配向規制力により水平に配向する状態（初期配向状態）を示す。別言すれば、第 1 状態は、液晶分子 1 3 0 の長軸方向が、コモン電極 1 0 2 及びバイアス電極 1 0 4 の表面に対し水平に配向する状態を有する。

[0034] 図 3 B は、バイアス電極 1 0 4 に、液晶分子 1 3 0 の配向状態を変化させる電圧レベルのバイアス電圧が印加された状態を示す。以下、この状態を「第 2 の状態」と呼ぶ。第 2 の状態では、液晶分子 1 3 0 の長軸方向がバイアス電圧によって生成される電界の影響を受けて、コモン電極 1 0 2 及びバイアス電極 1 0 4 の表面に対し垂直方向に配向する。液晶分子 1 3 0 の長軸が配向する角度は、バイアス電極 1 0 4 に印加するバイアス信号の大きさによって制御することができ、水平と垂直の中間の角度に配向させることもできる。

[0035] 液晶分子 1 3 0 が正の誘電異方性を有する場合、第 1 の状態（図 3 A）に対して第 2 の状態（図 3 B）の方が、誘電率が大きくなる。また、液晶分子 1 3 0 が負の誘電異方性を有する場合、第 1 の状態（図 3 A）に対して第 2 の状態（図 3 B）の方が見かけ上の誘電率が小さくなる。誘電異方性を有する液晶で形成された液晶層 1 0 6 は可変誘電体層とみなすこともできる。ユニットセル 1 0 A は、液晶層 1 0 6 の誘電異方性を利用することで、コモン電極 1 0 2 で散乱する電波の位相を遅らせる（又は遅らせない）ように制御することができる。

[0036] 図 4 は、第 1 ユニットセル 1 0 A - 1 及び第 2 ユニットセル 1 0 A - 2 によって反射波の進行方向が変化する様子を模式的に示す。第 1 ユニットセル 1 0 A - 1 のバイアス電極 1 0 4 a には、バイアス信号線 1 1 2 a からバイアス信号 V 1 が印加され、第 2 ユニットセル 1 0 A - 2 のバイアス電極 1 0 4 b には、バイアス信号線 1 1 2 b からバイアス信号 V 2 が印加される。ここでバイアス信号 V 1 とバイアス信号 V 2 の電圧レベルは異なっている（ $V 1 \neq V 2$ ）。第 1 ユニットセル 1 0 A - 1 及び第 2 ユニットセル 1 0 B - 1 のコモン電極 1 0 2 は接地されている。

[0037] 図4は、第1ユニットセル10A-1と第2ユニットセル10A-2に同じ位相で電波が入射したとき、第1ユニットセル10A-1と第2ユニットセル10A-2に異なるバイアス信号($V1 \neq V2$)が印加されているため、第1ユニットセル10A-1に比べ第2ユニットセル10A-2による散乱波の位相変化が大きいことを模式的に示す。その結果、第1ユニットセル10A-1で散乱した散乱波R1の位相と、第2ユニットセル10A-2で散乱した散乱波R2の位相が異なり(図4では散乱波R2の位相が散乱波R1の位相より進んでいる)、見かけ上、散乱波の進行方向が斜め方向に変化する。

[0038] 図4に示すように、リフレクトアレイ100Aは、入射波に対して散乱波の位相を第1ユニットセル10A-1と第2ユニットセル10A-2とで異ならせることができる。図4は、模式的に2つのユニットセルを示すが、実際にはマトリクス状に配列されるユニットセル10Aを個別に制御することで、リフレクトアレイ100Aの方向を変えずに、散乱波の進行方向を任意の方向に制御することができる。リフレクトアレイ100Aの反射面に配置される複数のコモン電極102は一定電位(例えば、接地電位)に保持されており、液晶層106にバイアス電圧を印加するバイアス電極104a、104b、及びバイアス信号線112a、112bはコモン電極102の背面に配置されるため、リフレクトアレイ100Aの前面側にバイアス信号線112a、112bにより生成される電界の影響を及ぼさないようにすることができる。

[0039] このように、本実施形態に係るリフレクトアレイ100Aは、電波の入射面にコモン電極102が配置され一定電位に保持されるので、バイアス電圧が印加されるバイアス信号線112によって電界が乱されないようにすることができ、散乱波の進行方向を正確に制御することができる。

[0040] [第2実施形態]

本実施形態は、コモン電極の構造が第1実施形態と異なるリフレクトアレイの一例を示す。以下の説明では第1実施形態と相違する部分を中心に説明

し、重複する分部については適宜省略するものとする。

[0041] 図5 Aは、第2実施形態に係るリフレクタレイ100Bの平面図を示し、図5 Bは平面図中に示すA－B間に対応する断面構造を示す。リフレクタレイ100Bは、第1基板150及び第2基板152を有し、この2つの基板間にコモン電極102b、液晶層106、及びバイアス電極104が積層された構造を有する。

[0042] リフレクタレイ100Bは、多重共振ユニットセル10Bが配列された形態を有する。多重共振ユニットセル10Bは、第1実施形態に示すユニットセル10Aに対してコモン電極102bの形状が異なっている。コモン電極102bは、複数の平行ダイポールが配置された構造を有する。複数の平行ダイポールは長さが異なり、共振周波数が異なるようにされている。図5 Aは、長さが異なる4本の平行ダイポールが、Y軸方向に沿って配置された形態を示す。なお、平行ダイポールの長さ及び本数は任意であり、適宜設定することができる。

[0043] コモン電極102bはコモン配線108bで接続される。第1実施形態ではコモン配線108がX軸方向及びY軸方向の両方向に配設されるが、本実施形態ではコモン配線108bが平行ダイポールと交差するY軸方向のみに配設される。図5 Aには示されないが、コモン配線108bは、多重共振ユニットセル10Bが配列する外側の領域で相互に接続されてもよい。コモン配線108bには、一定電位（例えば、接地電位）が与えられる。

[0044] 本実施形態によれば、コモン電極102bが複数の平行ダイポールで構成することで、多重共振ユニットセル10Bを構成することができる。本実施形態に係るリフレクタレイ100Bは、コモン電極102bの形態が異なる他は第1実施形態に係るリフレクタレイ100Aと同じであり、同様の作用効果を得ることができる。さらに、本実施形態に係るリフレクタレイ100Bは、多重共振ユニットセル10Bで構成されることにより、帯域幅、位相範囲、損失を大幅に改善することができる。

[0045] [第3実施形態]

本実施形態は、バイアス電極 104 の構成について詳細に説明する。以下の説明では第 1 実施形態及び第 2 実施形態と相違する部分を中心に説明し、重複する分については適宜省略するものとする。

[0046] 図 6 A はリフレクトアレイ 100 の断面模式構造を示す。図 6 A に示すように、コモン電極 102 が設けられた第 1 基板 150 とバイアス電極 104 が設けられた第 2 基板 152 が対向配置され、その間に液晶層 106 が設けられる。リフレクトアレイ 100 は、バイアス電極 104 が反射板として機能するため、ユニットセル 10 ごとに分割されているバイアス電極 104 が高周波的には連続する 1 つの導体板とみなされるようにすることが好ましい。

[0047] そこで、図 6 A に示すように、バイアス電極 104 a と隣接するバイアス電極 104 b との間隔 W1 を狭くして見かけ上キャパシタが形成されるようにし、容量結合が形成されるようにする。間隔 W1 は、5 μ m 以下、例えば、1 μ m とすることが好ましい。また、図 6 B に示すように、バイアス電極 104 a とバイアス電極 104 b との間に絶縁部材 132 を設けて容量を調整してもよい。絶縁部材 132 は、液晶の誘電率より高い誘電率を有する絶縁材料を用いることが好ましい。絶縁部材 132 としては、比誘電率が 3 以上の絶縁材料を用いることが好ましく、例えば、窒化シリコン、酸化アルミニウム、酸化ハフニウム、ケイ酸ハフニウム、酸化タンタルなどを用いることが好ましい。これらの誘電体材料は比誘電率が 7 ~ 18 程度であるため、液晶材料より高い誘電率を有する。したがって、図 6 A に示す構造よりより効果的にバイアス電極同士を容量結合することができる。

[0048] また、図 6 C に示すように、図 6 A 又は図 6 B に示すようにバイアス電極同士を容量結合させ、さらに終端部においてコンデンサ 134 を介して接地させてもよい。

[0049] 図 7 A は、ユニットセル 10 の回路構成を示す。図 7 A に示すように、バイアス電極 104 はスイッチング素子 116 を介してバイアス信号線 112 と接続されるが、さらに、バイアス電極 104 とスイッチング素子 116 との

間にキャパシタ 136 を並列に接続し、キャパシタ 136 を介して接地してもよい。例えば、接地されたコモン配線 138 を設け、バイアス電極 104 とコモン配線 138 との間にキャパシタ 136 を接続してもよい。

[0050] 図 7 B は、図 7 A に示す回路構成を具体化した一例を示す。図 7 B に示すように、キャパシタ 136 は、バイアス電極 104 と、図示されない絶縁層を挟んで重なる容量電極 140 を設けることにより形成することができる。容量電極 140 をコモン配線 138 と接続することで、図 7 A に示す回路構成とすることができる。

[0051] また、図 8 のユニットセル 10 の断面図に示すように、バイアス電極 104 の下層側に、絶縁層 118 を介して第 2 基板 152 の略全面に広がる容量電極 140 を設け、容量電極 140 を接地させてもよい。

[0052] このように、本実施形態によれば、複数のバイアス電極 104 を容量結合させ、高周波的には連続する反射板とすることで、リフレクトアレイ 100 の利得を向上させることができる。なお、本実施形態に示す構成は、第 1 実施形態に示すリフレクトアレイ 100 A 及び第 2 実施形態に示すリフレクトアレイ 100 B と適宜組み合わせる実施することができる。

[0053] [第 4 実施形態]

本実施形態は、コモン電極 102 の構成について詳細に説明する。以下の説明では第 1 実施形態及び第 2 実施形態と相違する部分を中心に説明し、重複する分については適宜省略するものとする。

[0054] 図 9 は、リフレクトアレイ 100 B の平面図を示す。図 9 に示すように、Y 軸方向に延伸するコモン配線 108 b で接続されたコモン電極 102 b は、端部で X 軸方向に延伸するコモン配線 108 a で連結され、電源回路 144 と接続されてもよい。コモン配線 108 b と電源回路 144 との間には、コイル 142 が直列に接続されていることが好ましい。電源回路 144 はコモン電極 102 b を所定の電位に制御するために用いられる。コモン電極 102 b と電源回路 144 との間にコイル 142 を設けることで、高周波をカットして回路の故障を防止することができる。なお、図 9 は、リフレクトア

レイ 100B のコモン電極 102b を示すが、第 1 実施形態に示すリフレクトアレイ 100A にも同様の構成を適用することができる。

[0055] 図 10A は、ユニットセル 10 の回路構成を示す。図 10A に示すように、バイアス電極 104 とスイッチング素子 116 との間にインダクタ 146 が直列に接続されてもよい。インダクタ 146 は、図 10B に示すように、インダクタ 146 は、バイアス電極 104 を形成する導電膜を使って形成することができる。このような構成を有することにより、スイッチング素子 116 及びバイアス信号線 112 に高周波電流が流れ込まないようにすることができ、スイッチング素子 116 及び制御回路の故障を防止することができる。

[0056] 本実施形態に示す構成は、第 1 実施形態に示すリフレクトアレイ 100A 及び第 2 実施形態に示すリフレクトアレイ 100B と適宜組み合わせて実施することができる。

[0057] 本発明の一実施形態として例示したリフレクトアレイの各種構成は、相互に矛盾しない限り適宜組み合わせることができる。また、本明細書及び図面に開示されたリフレクトアレイを基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0058] 本明細書に開示された実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0059] 10、10A：ユニットセル、10B：多重共振ユニットセル、100、100A、100B：リフレクトアレイ、102：コモン電極、104：バイアス電極、106：液晶層、108：コモン配線、110：選択信号線、112：バイアス信号線、114A：第 1 配向膜、114B：第 2 配向膜、1

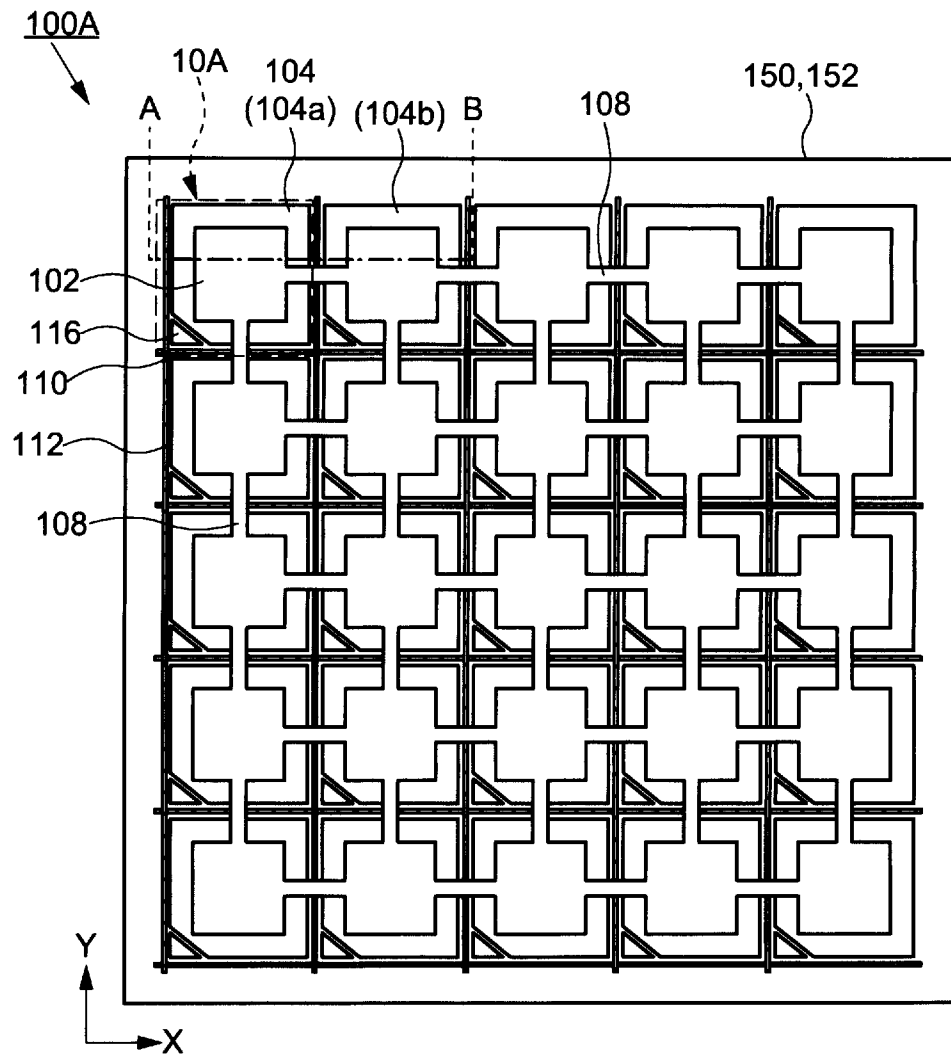
１６：スイッチング素子、１１８：絶縁層、１２０：半導体層、１２２：ゲート絶縁層、１２４：ゲート電極、１２６：層間絶縁層、１２８：平坦化層、１３０：液晶分子、１３２：絶縁部材、１３４：コンデンサ、１３６：キャパシタ、１３８：コモン配線、１４０：容量電極、１４２：コイル、１４４：電源回路、１４６：インダクタ、１５０：第１基板、１５２：第２基板

請求の範囲

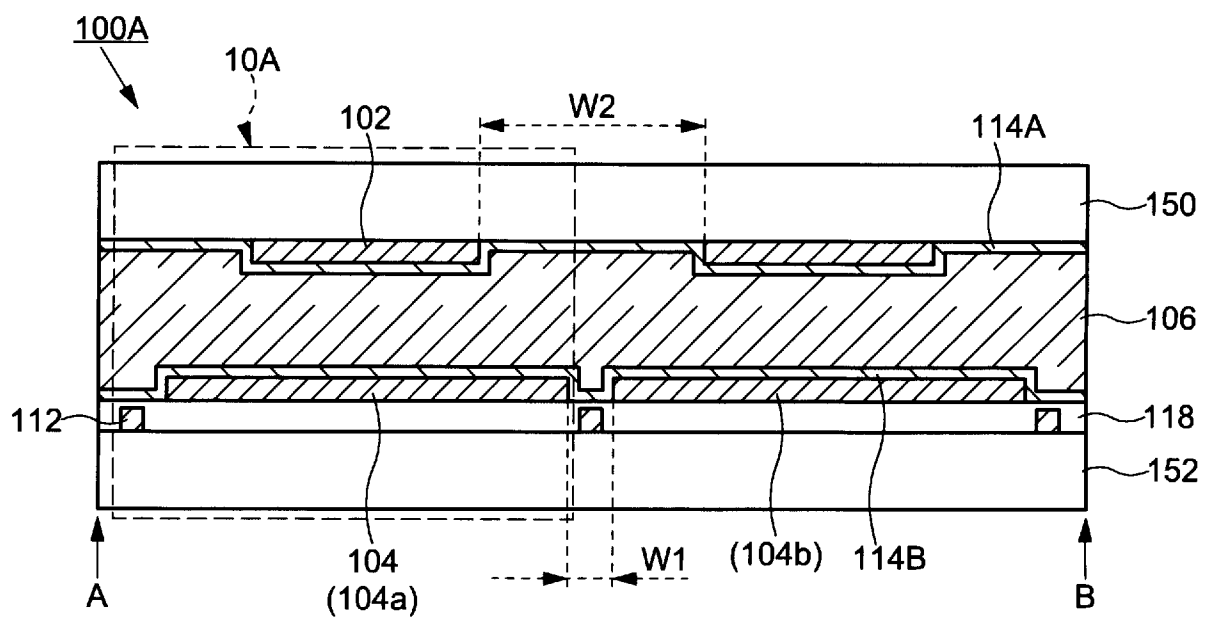
- [請求項1] 電波の入射側に配置された少なくとも1つのコモン電極と、
前記少なくとも1つのコモン電極の背面に重なるように配置された少なくとも1つのバイアス電極と、
前記少なくとも1つのコモン電極の背面側に配置され、前記少なくとも1つのバイアス電極に接続されるバイアス信号線と、
前記少なくとも1つのコモン電極と前記少なくとも1つのバイアス電極との間の液晶層と、を有し、
前記少なくとも1つのコモン電極は一定電位を有し、
前記少なくとも1つのバイアス電極に前記バイアス信号線を介して前記液晶層の誘電率を変化させるバイアス電圧が印加されることを特徴とするリフレクトアレイ。
- [請求項2] 前記少なくとも1つのコモン電極が、矩形状のパターン又は相互に長さが異なる複数の平行ダイポールパターンを有する、請求項1に記載のリフレクトアレイ。
- [請求項3] 前記少なくとも1つのコモン電極が複数のコモン電極から成り、
前記少なくとも1つのバイアス電極が複数のバイアス電極から成り、
前記複数のコモン電極及び前記複数のバイアス電極がマトリクス状に配列されている、請求項2に記載のリフレクトアレイ。
- [請求項4] 前記複数のコモン電極を相互に接続するコモン配線を有する、請求項3に記載のリフレクトアレイ。
- [請求項5] 前記複数のバイアス電極の間隔が前記複数のコモン電極の間隔より狭い、請求項3に記載のリフレクトアレイ。
- [請求項6] 前記複数のバイアス電極の間を埋める絶縁部材が設けられている、請求項3に記載のリフレクトアレイ。
- [請求項7] 前記複数のバイアス電極がコンデンサを介して接地されている、請求項3に記載のリフレクトアレイ。

- [請求項8] 前記少なくとも1つのバイアス電極がスイッチング素子を介して前記バイアス信号線と接続されている、請求項1に記載のリフレクトアレイ。
- [請求項9] 前記少なくとも1つのバイアス電極が、前記スイッチング素子との間で、キャパシタを介して接地されている、請求項8に記載のリフレクトアレイ。
- [請求項10] 接地された接地電極を有し、
前記接地電極が、絶縁層を介して前記少なくとも1つのバイアス電極と重なっている、請求項8に記載のリフレクトアレイ。
- [請求項11] 前記少なくとも1つのコモン電極に所定の電圧を印加する電源回路を有し、
前記少なくとも1つのコモン電極と前記電源回路との間にインダクタが接続されている、請求項1に記載のリフレクトアレイ。
- [請求項12] 前記少なくとも1つのバイアス電極と前記スイッチング素子との間にインダクタが直列に接続されている、請求項8に記載のリフレクトアレイ。

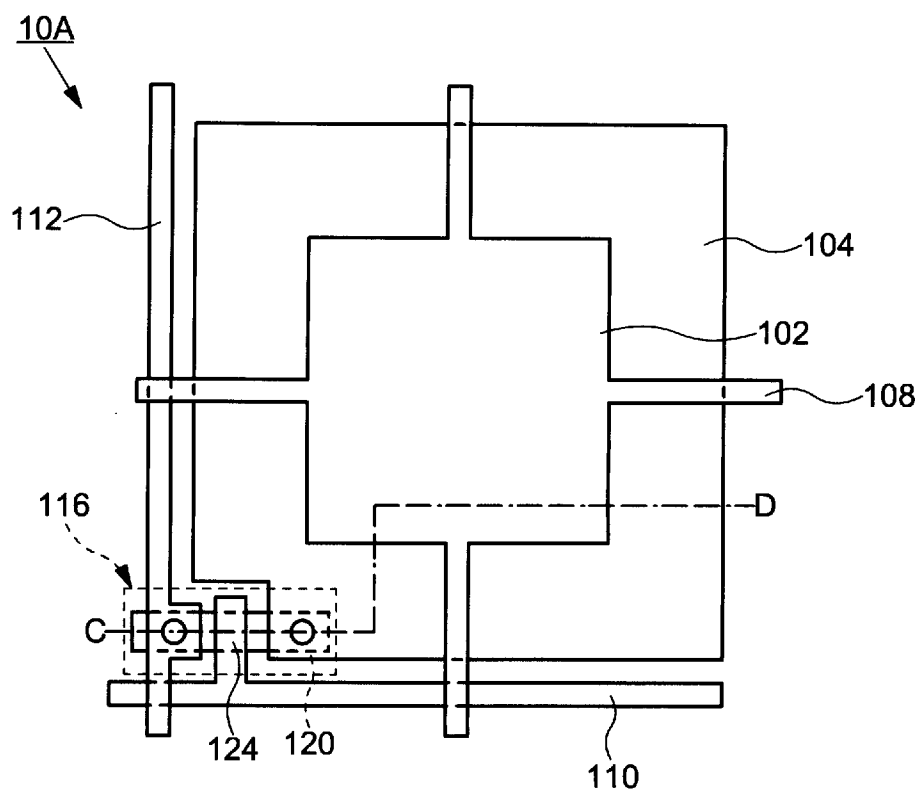
[図1A]



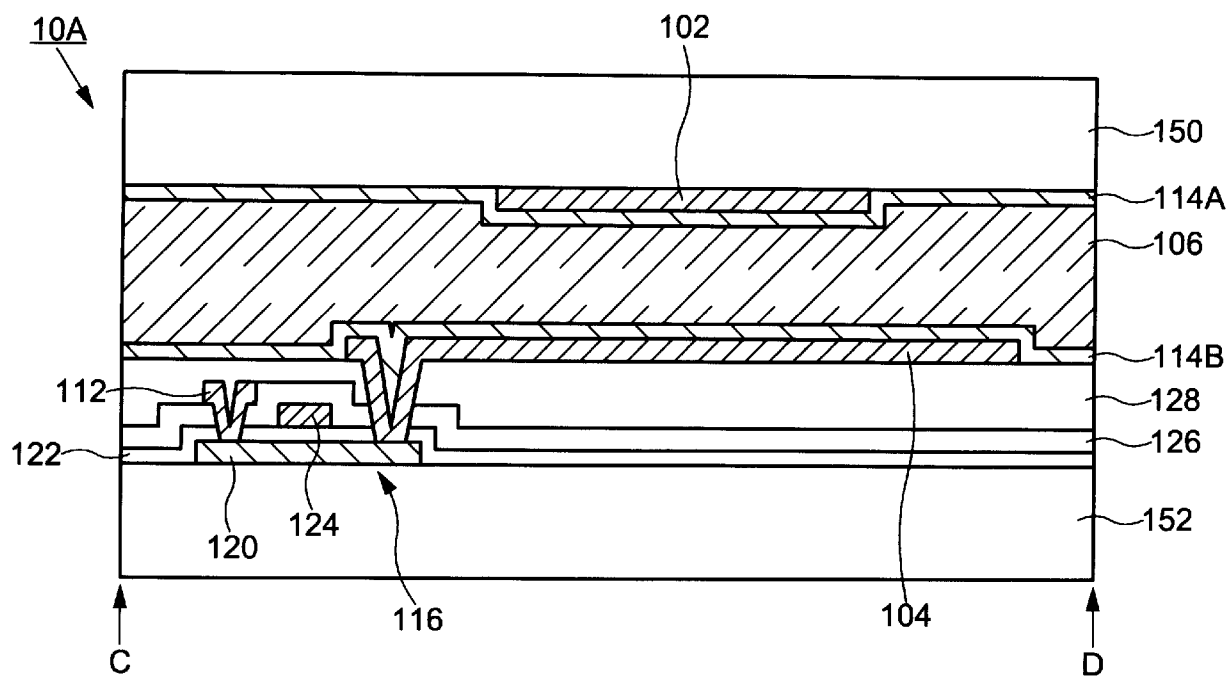
[図1B]



[図2A]



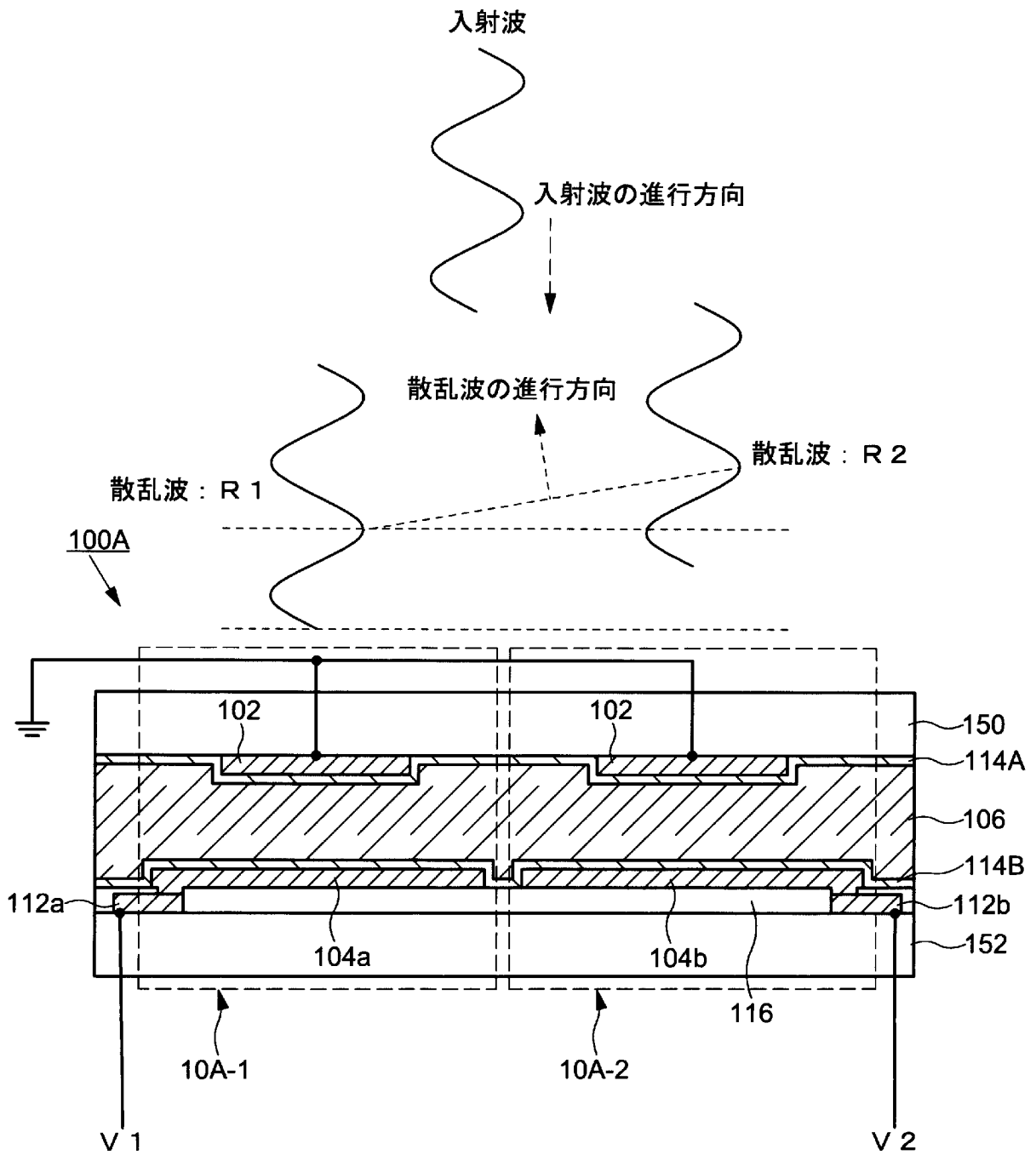
[図2B]



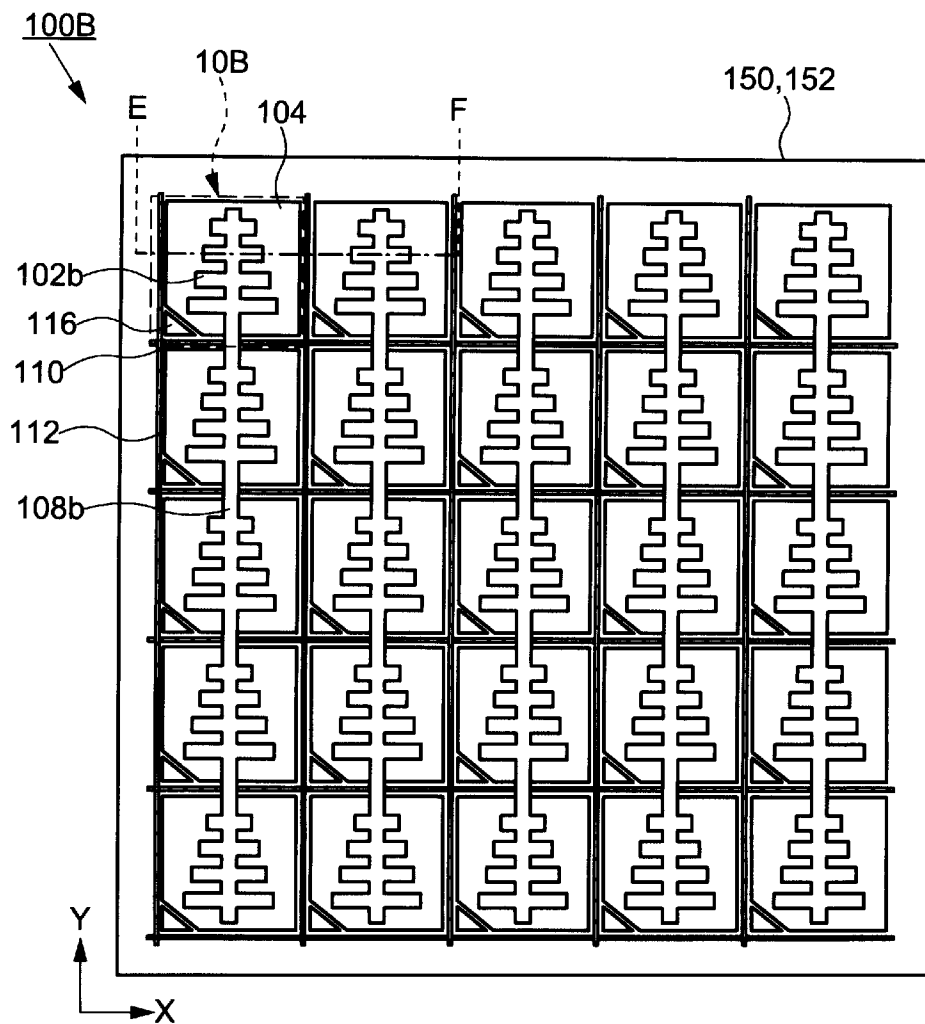
A cross-sectional view of a semiconductor device 10A. The device is shown within a rectangular frame. It features a substrate 102 with a top layer 114A and a bottom layer 114B. A central region 104 is defined by a layer 112. A layer 106 is positioned above the central region 104. A layer 130 is located between the top layer 114A and the central region 104. A layer 150 is on the right side, and a layer 152 is on the bottom. A power source is connected to the device through a switch and a terminal 118.

A cross-sectional view of a semiconductor device 10A. The device is shown within a rectangular frame. It features a substrate 102 with a top layer 114A and a bottom layer 114B. A central region 104 is defined by a top layer 112 and a bottom layer 118. A series of vertical structures 130 are located between the top and bottom layers. A top layer 150 is connected to a ground symbol, and a bottom layer 152 is connected to a ground symbol. A top layer 106 is also shown. The device is labeled 10A in the top left corner.

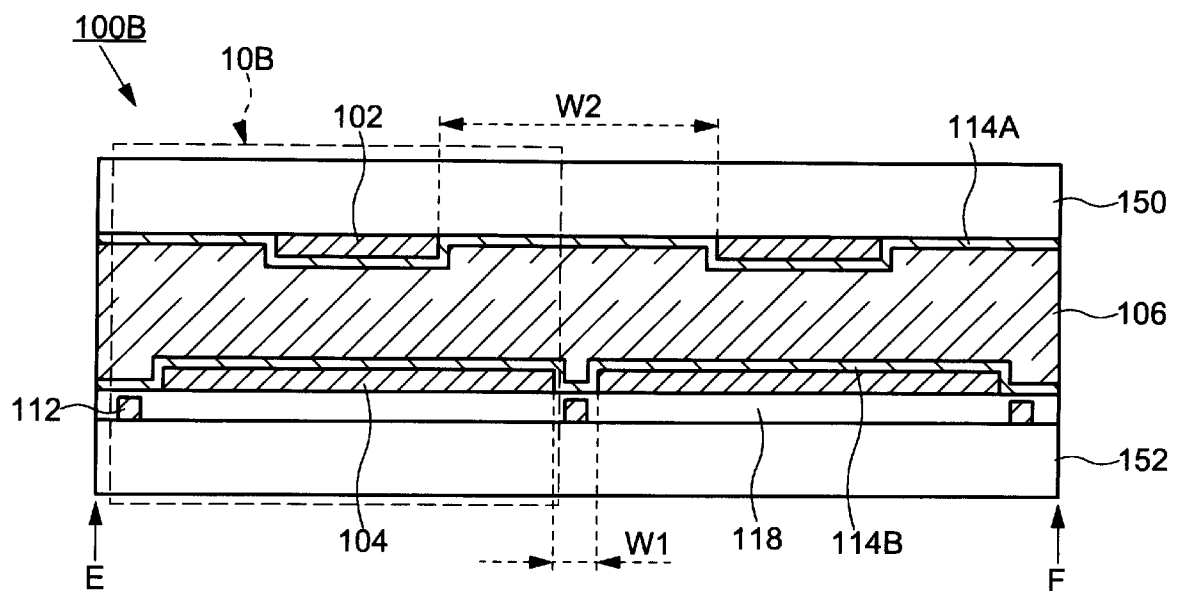
[図4]



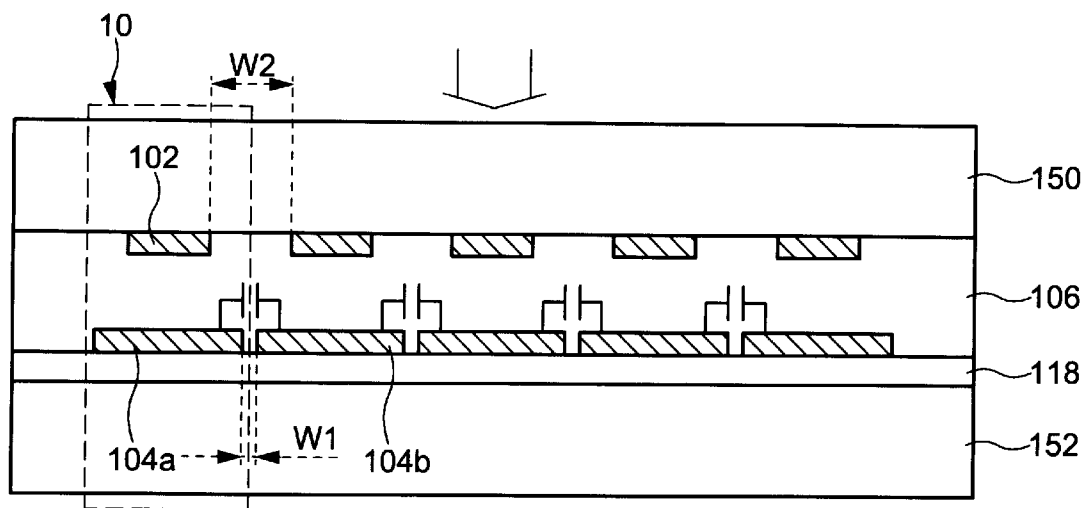
[図5A]



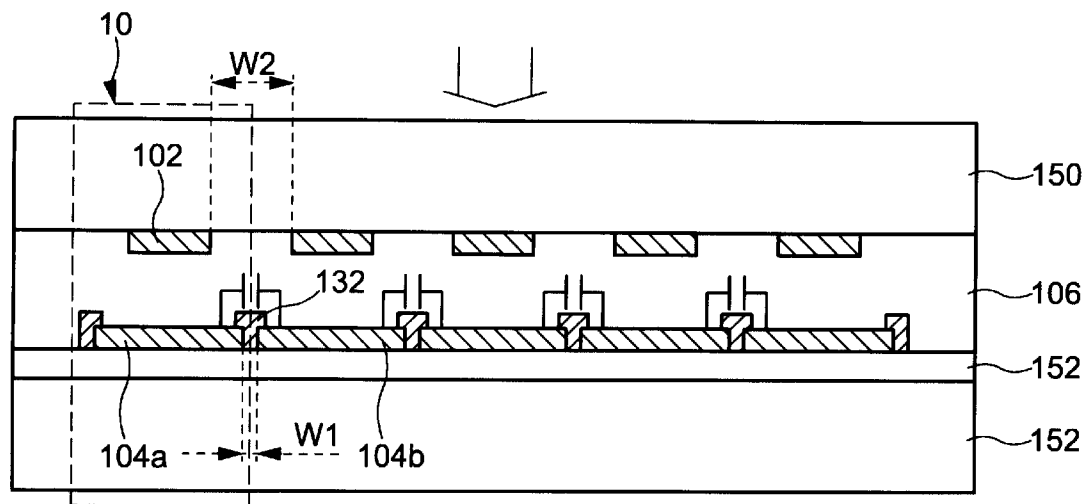
[図5B]



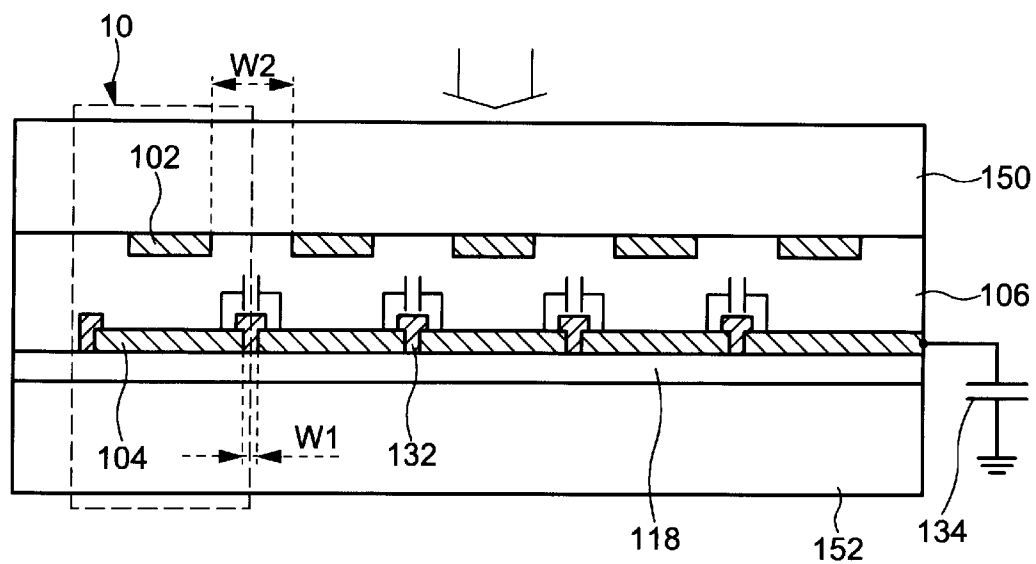
[図6A]



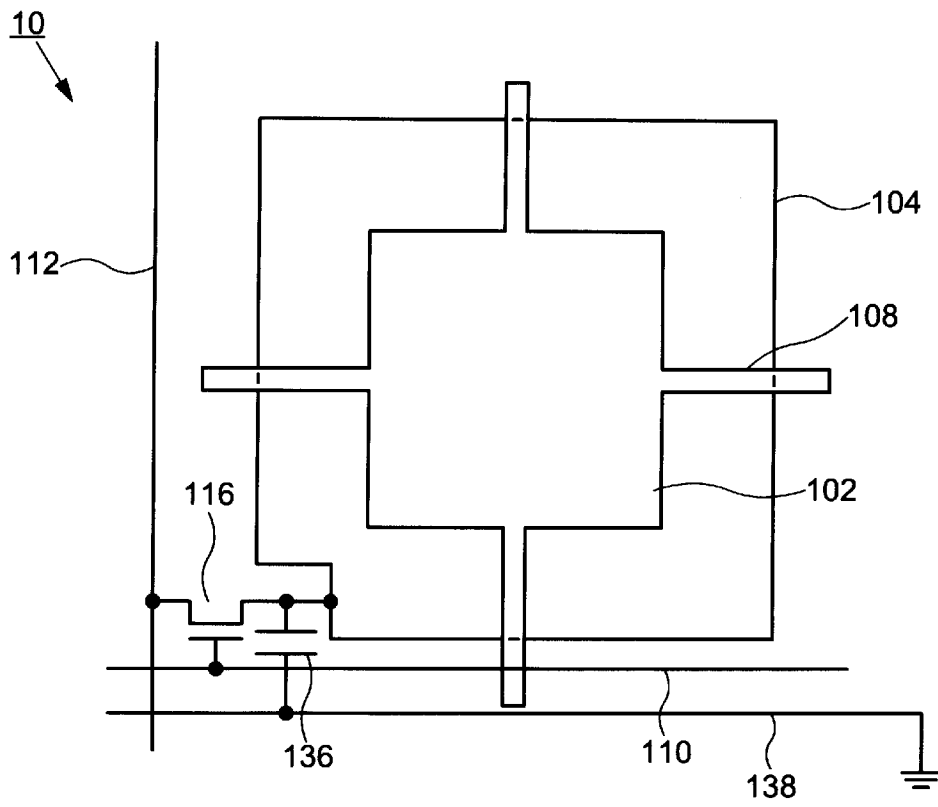
[図6B]



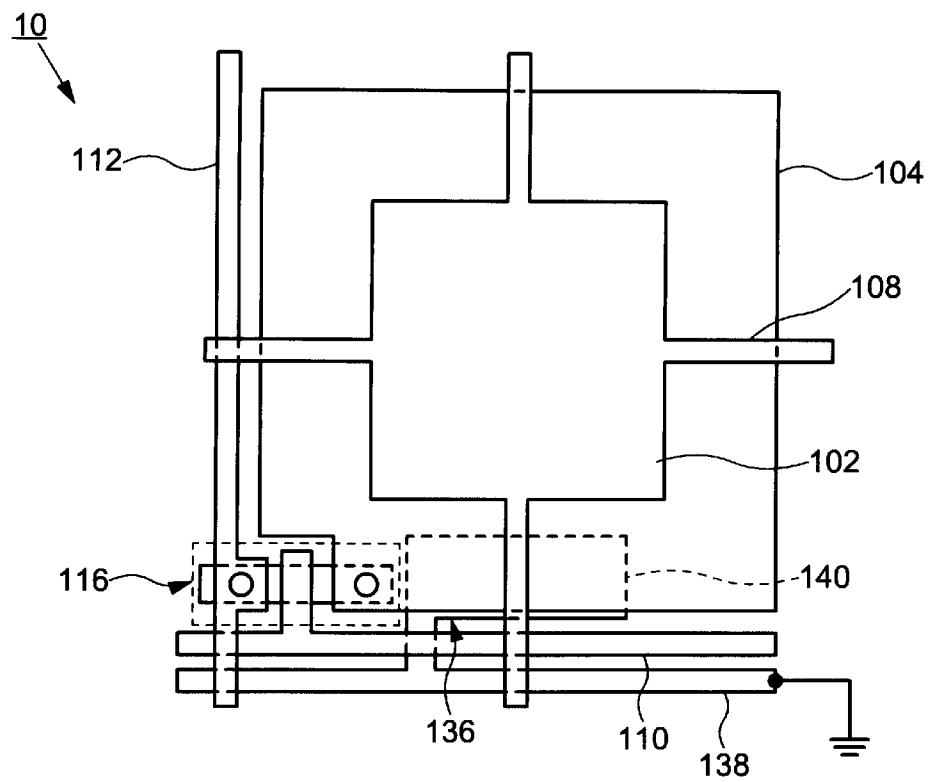
[図6C]



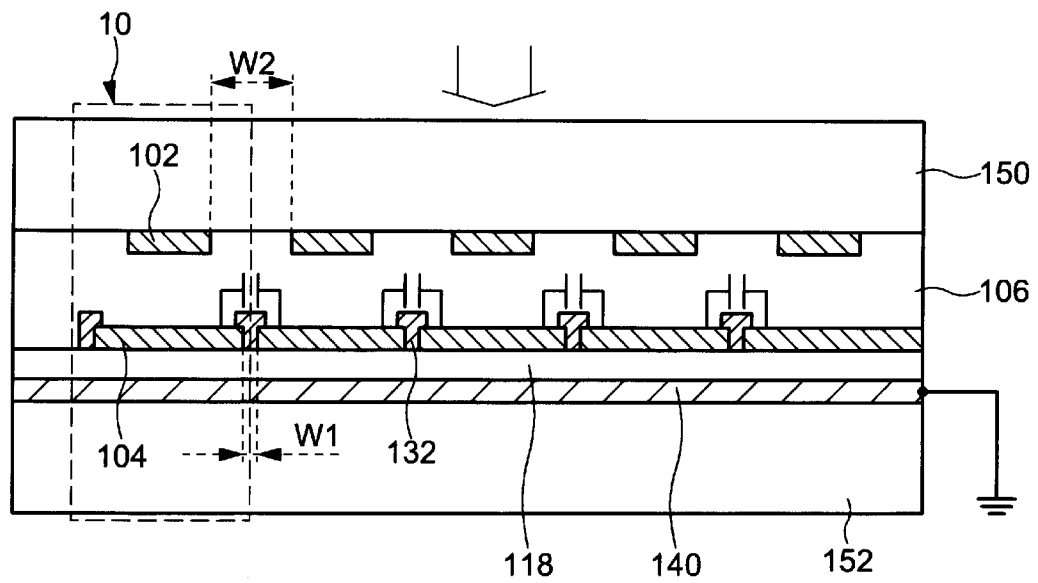
[図7A]



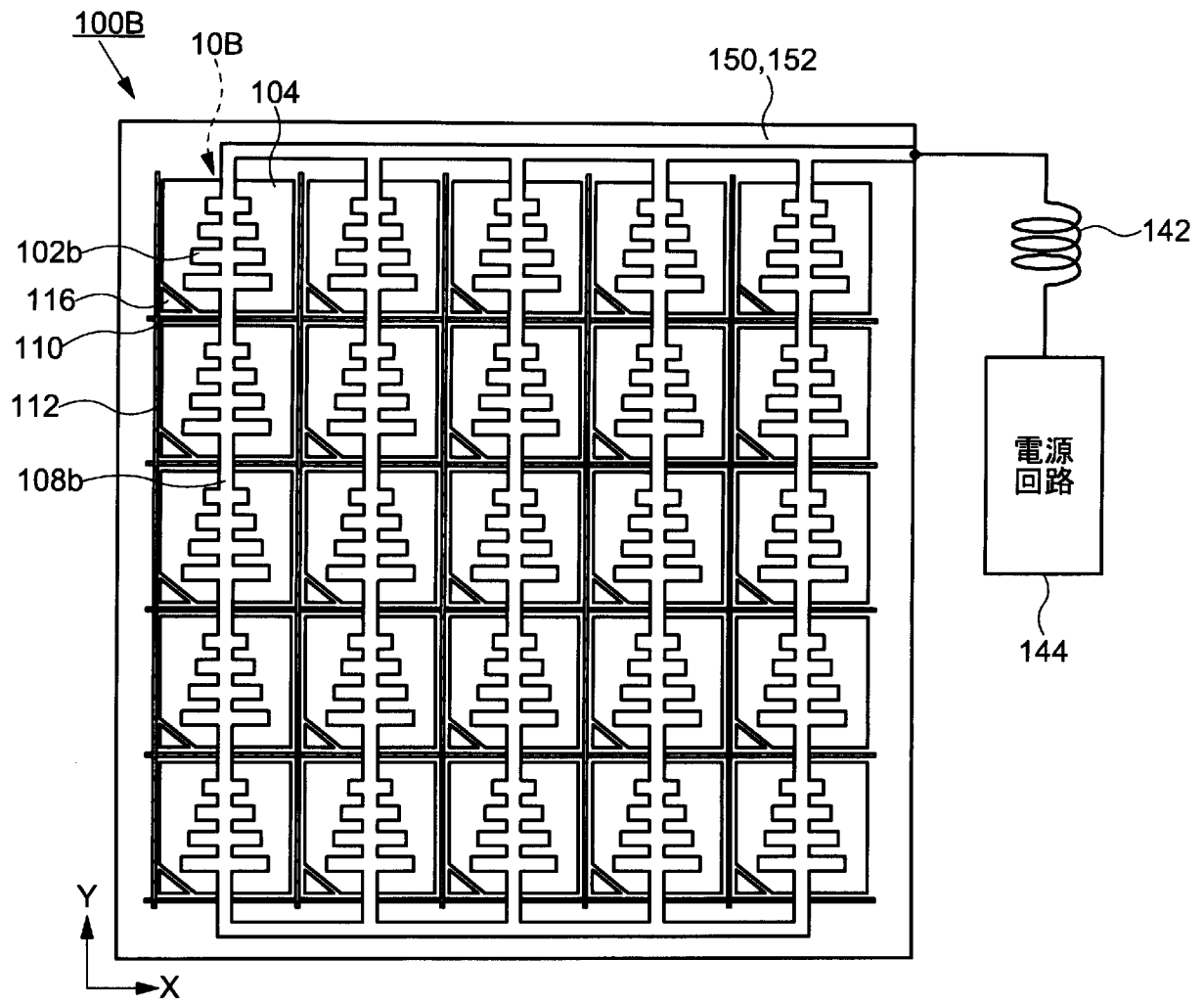
[図7B]



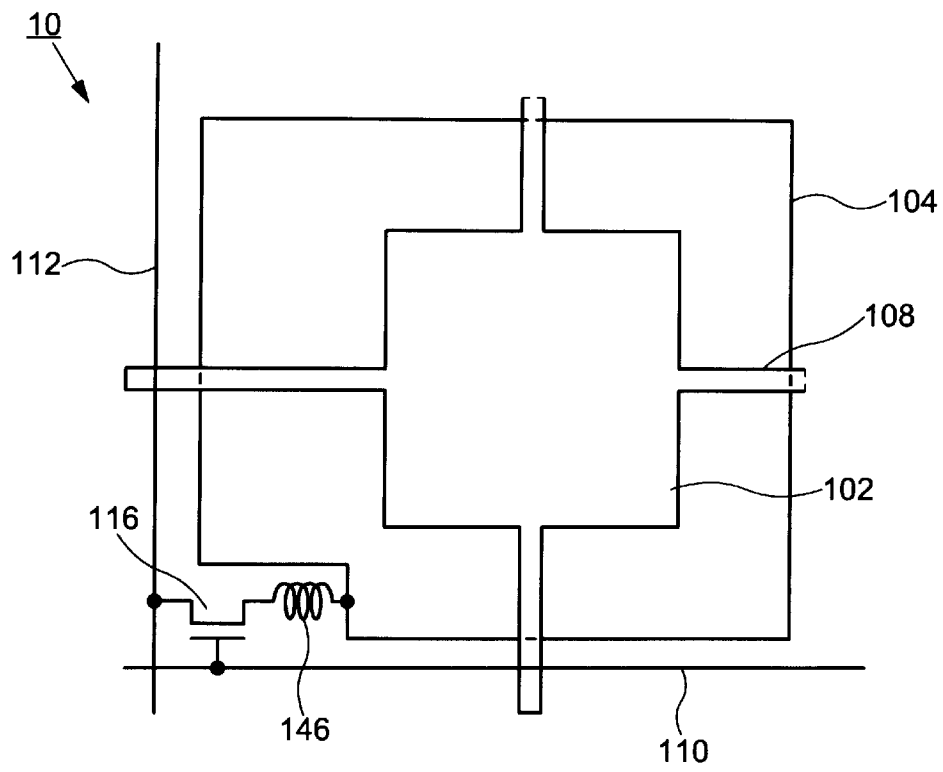
[図8]



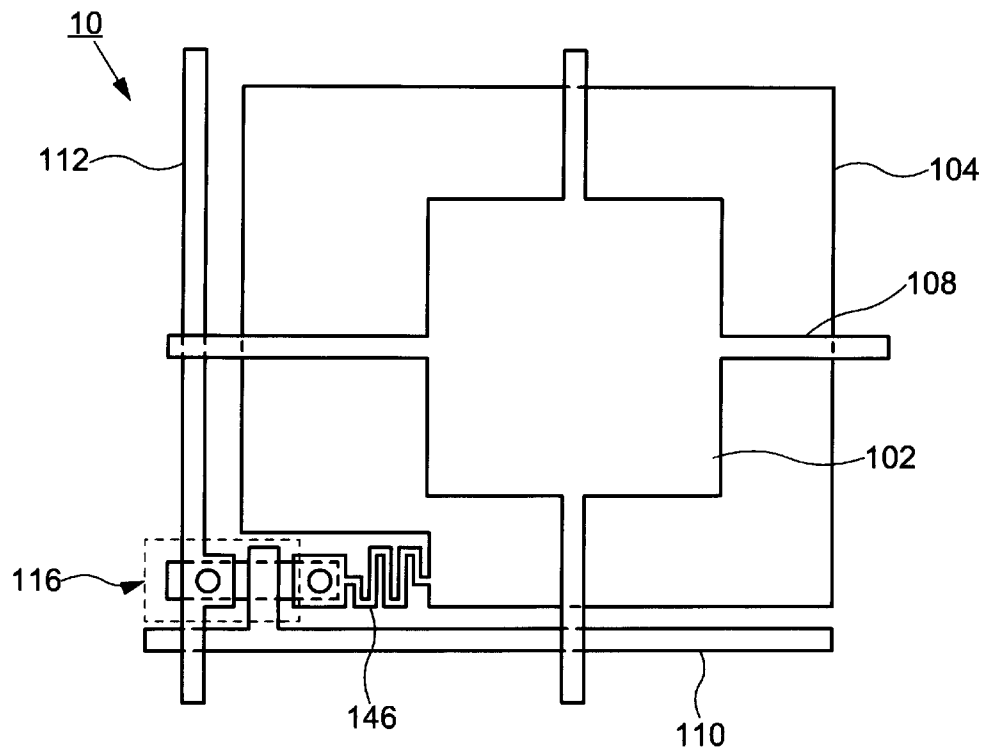
[図9]



[図10A]



[図10B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/001140

A. CLASSIFICATION OF SUBJECT MATTER**H01Q 15/14**(2006.01)i; **G02F 1/13**(2006.01)i

FI: H01Q15/14 Z; G02F1/13 505

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01Q15/14; G02F1/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-529259 A (HRL LABORATORIES, LLC.) 30 September 2003 (2003-09-30)	1-12
A	DOYLE, D.T. Development of Liquid Crystal Reflectarrays Utilizing a Passive Matrix Control Scheme. 2014 IEEE Antennas and Propagation Society International Symposium. 2014, pp.1031-1032, DOI: 10.1109/APS.2014.6904842 fig. 1	1-12
A	CN 106450765 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 22 February 2017 (2017-02-22)	1-12
P, A	WO 2022/259789 A1 (JAPAN DISPLAY INC.) 15 December 2022 (2022-12-15)	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

27 March 2023

Date of mailing of the international search report

04 April 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/001140

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2003-529259	A	30 September 2003	US	6552696 B1
				WO	2001/073891 A1
				AU	4526001 A
CN	106450765	A	22 February 2017	(Family: none)	
WO	2022/259789	A1	15 December 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01Q 15/14(2006.01)i; G02F 1/13(2006.01)i FI: H01Q15/14 Z; G02F1/13 505										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01Q15/14; G02F1/13										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2003-529259 A (エイチアールエル ラボラトリーズ, エルエルシー) 30.09.2003 (2003 - 09 - 30)	1-12								
A	DOYLE, D. T., "Development of Liquid Crystal Reflectarrays Utilizing a Passive Matrix Control Scheme", 2014 IEEE Antennas and Propagation Society International Symposium, 2014, pp.1031-1032, DOI: 10.1109/APS.2014.6904842 Figure 1	1-12								
A	CN 106450765 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 22.02.2017 (2017 - 02 - 22)	1-12								
P, A	WO 2022/259789 A1 (株式会社ジャパンディスプレイ) 15.12.2022 (2022 - 12 - 15)	1-12								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー "A" 特に関連のある文献ではなく、一般的技术水準を示すもの "E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの "L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） "O" 口頭による開示、使用、展示等に言及する文献 "P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> "T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの "X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの "Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの "&" 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー "A" 特に関連のある文献ではなく、一般的技术水準を示すもの "E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの "L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） "O" 口頭による開示、使用、展示等に言及する文献 "P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの "X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの "Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの "&" 同一パテントファミリー文献						
* 引用文献のカテゴリー "A" 特に関連のある文献ではなく、一般的技术水準を示すもの "E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの "L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） "O" 口頭による開示、使用、展示等に言及する文献 "P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの "X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの "Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの "&" 同一パテントファミリー文献									
国際調査を完了した日 27.03.2023	国際調査報告の発送日 04.04.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 岸田 伸太郎 5K 9183 電話番号 03-3581-1101 内線 3556									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/001140

引用文献			公表日	パテントファミリー文献			公表日
JP	2003-529259	A	30.09.2003	US	6552696	B1	
				WO	2001/073891	A1	
				AU	4526001	A	
CN	106450765	A	22.02.2017	(ファミリーなし)			
WO	2022/259789	A1	15.12.2022	(ファミリーなし)			