

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 30 日(30.12.2015)



(10) 国際公開番号

WO 2015/198367 A1

- (51) 国際特許分類:
G06F 11/22 (2006.01) *G01R 31/28* (2006.01)
- (21) 国際出願番号: PCT/JP2014/003410
- (22) 国際出願日: 2014 年 6 月 25 日(25.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 小野 滝男 (ONO, Takio); 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 古谷 史旺, 外(FURUYA, Fumio et al.); 〒1600023 東京都新宿区西新宿 1 丁目 9 番 5 号第 2 明宝ビル 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

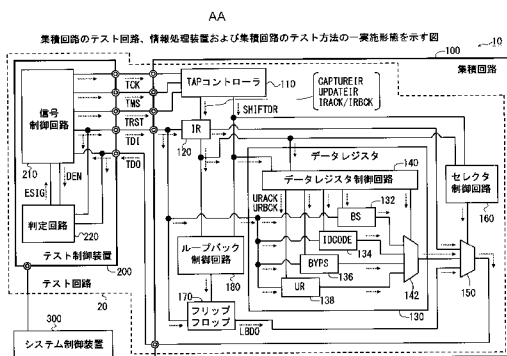
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: TEST CIRCUIT FOR INTEGRATED CIRCUIT, INFORMATION PROCESSING DEVICE, AND TEST METHOD FOR INTEGRATED CIRCUIT

(54) 発明の名称: 集積回路のテスト回路、情報処理装置および集積回路のテスト方法



- 20 Test circuit
100 Integrated circuit
110 TAP controller
130 Data register
140 Data register control circuit
160 Selector control circuit
170 Flip-flop
180 Loop-back control circuit
200 Test control device
210 Signal control circuit
220 Determination circuit
300 System control device
AA Diagram for illustrating embodiments of test circuit for integrated circuit, information processing device, and test method for integrated circuit

(57) Abstract: This test circuit for an integrated circuit comprises a test control unit which supplies scan-in data to an integrated circuit via a first signal line and receives scan-out data from the integrated circuit via a second signal line, said test control unit comprising: a signal control unit which controls the integrated circuit so that the scan-in data is returned through the integrated circuit, and which supplies the original scan-in data to the integrated circuit via the first signal line; and a determination unit which receives, from the signal control unit, the original scan-in data to be supplied to the integrated circuit, receives the returned version of the scan-in data from the integrated circuit via the second signal line, and compares the original scan-in data with the returned version to determine whether the returned version is valid.

(57) 要約: 集積回路のテスト回路は、スキャンインデータを第 1 信号線を介して集積回路に供給し、スキャンアウトデータを集積回路から第 2 信号線を介して受けるテスト制御部を有し、テスト制御部は、スキャンインデータが集積回路で折り返されるように集積回路を制御し、スキャンインデータを第 1 信号線を介して集積回路に供給する信号制御部と、集積回路に供給するスキャンインデータを信号制御部から受け、スキャンインデータの折り返しデータを集積回路から第 2 信号線を介して受け、スキャンインデータと折り返しデータとを比較して、折り返しデータが正しいか否かを判定する判定部とを有している。

WO 2015/198367 A1

明 細 書

発明の名称：

集積回路のテスト回路、情報処理装置および集積回路のテスト方法

技術分野

[0001] 本発明は、集積回路のテスト回路、情報処理装置および集積回路のテスト方法に関する。

背景技術

[0002] L S I (Large Scale Integration) の高集積化やプリント基板の高密度化に伴い、L S I やプリント基板のテストが困難になってきている。このため、例えば、I E E E 1 1 4 9 . 1 として J T A G (Joint Test Action Group) により標準化されたテスト手法に対応する集積回路が普及している。以下、I E E E 1 1 4 9 . 1 を J T A G とも称する。J T A G に対応した集積回路では、T A P (Test Access Port) と呼ばれるインターフェース信号用の端子、T A P コントローラ、スキャン可能な命令レジスタ、スキャン可能な複数のデータレジスタ等を有している。

[0003] T A P コントローラは、例えば、テストモードを選択するためのインターフェース信号 T M S (Test Mode Select) 等を受け、命令レジスタやデータレジスタを制御するための制御信号を出力する。命令レジスタは、例えば、スキャン動作させるデータレジスタの選択に使用される。データレジスタは、例えば、T A P コントローラおよび命令レジスタからの制御信号等に基づいて、スキャン動作を実行する。

[0004] これにより、集積回路のテストが実行される。例えば、スキャン動作では、インターフェース信号 T D I (Test Data In) の値（論理値）がデータレジスタに順次書き込まれる（スキャンイン）。そして、スキャンインによりデータレジスタに書き込まれた値は、インターフェース信号 T D O (Test Data Out) としてデータレジスタから順次読み出される（スキャンアウト）。例えば、集積回路のテスト装置は、スキャンインでデータレジスタに書き込

んだ値と、スキャンアウトでデータレジスタから読み出した値とを比較して、エラーの有無を判定する。

[0005] この種のテストでは、集積回路の本来の機能を実現する回路の異常かテスト回路の異常かを判別することは困難である。このため、TAPコントローラから出力される制御信号を外部から確認するための制御出力ピンを有する付加回路を追加したバウンダリスキャンテスト回路が提案されている（例えば、特許文献1参照）。例えば、ユーザは、付加回路の制御出力ピンをテスト等で観測することにより、TAPコントローラの状態遷移が正常か否かを確認する。

先行技術文献

特許文献

[0006] 特許文献1：特開平7-72203号公報

発明の概要

発明が解決しようとする課題

[0007] 集積回路のテスト装置と集積回路との間のインターフェース信号用の信号線に対するエラーチェック機能が設けられていない場合、テスト用インターフェース（例えば、インターフェース信号用の信号線）のエラー検出に時間がかかるおそれがある。例えば、集積回路のテスト装置は、スキャンインを実行した後にスキャンアウトを実行してエラーを検出する。この場合、スキャンインおよびスキャンアウトの2段階の処理を実行するため、テスト用インターフェースのエラーが判明するまでに時間がかかる。なお、付加回路の制御出力ピンを観測する方法では、集積回路等の端子数が増加する。

[0008] 1つの側面では、本件開示の集積回路のテスト回路、情報処理装置および集積回路のテスト方法は、テスト用インターフェースのエラー検出の時間を短縮することを目的とする。

課題を解決するための手段

[0009] 一観点によれば、集積回路のテスト回路は、スキャンインデータを第1信

号線を介して集積回路に供給し、スキャンアウトデータを集積回路から第2信号線を介して受けるテスト制御部を有し、テスト制御部は、スキャンインデータが集積回路で折り返されるように集積回路を制御し、スキャンインデータを第1信号線を介して集積回路に供給する信号制御部と、集積回路に供給するスキャンインデータを信号制御部から受け、スキャンインデータの折り返しデータを集積回路から第2信号線を介して受け、スキャンインデータと折り返しデータとを比較して、折り返しデータが正しいか否かを判定する判定部とを有している。

[0010] 別の観点によれば、情報処理装置は、集積回路と、集積回路をテストするテスト回路とを有し、テスト回路は、スキャンインデータを第1信号線を介して集積回路に供給し、スキャンアウトデータを集積回路から第2信号線を介して受けるテスト制御部を有し、テスト制御部は、スキャンインデータが集積回路で折り返されるように集積回路を制御し、スキャンインデータを第1信号線を介して集積回路に供給する信号制御部と、集積回路に供給するスキャンインデータを信号制御部から受け、スキャンインデータの折り返しデータを集積回路から第2信号線を介して受け、スキャンインデータと折り返しデータとを比較して、折り返しデータが正しいか否かを判定する判定部とを有している。

[0011] 別の観点によれば、集積回路のテスト方法では、スキャンインデータが集積回路で折り返されるように集積回路を制御し、スキャンインデータをテスト制御部から第1信号線を介して集積回路に転送し、スキャンインデータの折り返しデータを集積回路から第2信号線を介してテスト制御部に転送し、テスト制御部で保持しているスキャンインデータとテスト制御部に転送された折り返しデータとを比較して、折り返しデータが正しいか否かを判定する。

発明の効果

[0012] 本件開示の集積回路のテスト回路、情報処理装置および集積回路のテスト方法は、テスト用インターフェースのエラー検出の時間を短縮できる。

図面の簡単な説明

[0013] [図1]集積回路のテスト回路、情報処理装置および集積回路のテスト方法の一実施形態を示す図である。

[図2]図1に示した判定回路の一例を示す図である。

[図3]図1に示したTAPコントローラの状態遷移の一例を示す図である。

[図4]図1に示したテスト回路の動作の一例を示す図である。

[図5]図1に示した各信号のタイムチャートの一例を示す図である。

[図6]図1に示した各信号のタイムチャートの別の例を示す図である。

[図7]図1に示した各信号のタイムチャートの別の例を示す図である。

発明を実施するための形態

[0014] 以下、実施形態を図面を用いて説明する。図1および図2の破線の矢印は、データや制御信号の流れの一例を示している。また、集積回路100とテスト制御装置200とを接続する信号線には、信号線に伝達される信号に付した符号と同じ符号を使用する。同様に、集積回路100およびテスト制御装置200の端子（図1の二重の丸印）にも、端子に伝達される信号に付した符号と同じ符号を使用する。端子は、例えば、半導体チップ上のパッド、あるいは半導体チップが収納されるパッケージのリードである。

[0015] 図1は、集積回路のテスト回路、情報処理装置および集積回路のテスト方法の一実施形態を示している。この実施形態の情報処理装置10は、例えば、IEEE1149.1としてJTAG（Joint Test Action Group）により標準化されたテスト手法に対応するLSI（Large Scale Integration）等の集積回路100を有している。以下、IEEE1149.1をJTAGとも称する。

[0016] 例えば、情報処理装置10は、JTAGに対応したテスト回路を含む集積回路100と、JTAGに対応したテスト回路を制御するテスト制御装置200と、テスト制御装置200を制御するシステム制御装置300とを有している。また、集積回路100のテスト回路20は、例えば、テスト制御装置200と、集積回路100内に設けられたテスト回路とを有している。

[0017] 集積回路１００には、例えば、ＴＡＰ（Test Access Port）と呼ばれるインターフェース信号用の端子ＴＣＫ（Test Clock）、ＴＭＳ（Test Mode Select）、ＴＲＳＴ（Test ReSeT）、ＴＤＩ（Test Data In）、ＴＤＯ（Test Data Out）が設けられている。例えば、集積回路１００の端子ＴＣＫ、ＴＭＳ、ＴＲＳＴ、ＴＤＩ、ＴＤＯは、信号線ＴＣＫ、ＴＭＳ、ＴＲＳＴ、ＴＤＩ、ＴＤＯにより、テスト制御装置２０の端子ＴＣＫ、ＴＭＳ、ＴＲＳＴ、ＴＤＩ、ＴＤＯに接続されている。なお、図１では、図を見やすくするために、集積回路１００の本来の機能を実現する回路の記載を省略している。

[0018] 例えば、集積回路１００は、テスト回路２０の一部として、ＴＡＰコントローラ１１０、命令レジスタ１２０、データレジスタ１３０、セクタ１５０、セクタ制御回路１６０、フリップフロップ１７０およびループバック制御回路１８０を有している。以下、命令レジスタ１２０をＩＲ（Instruction Register）１２０とも称し、データレジスタ１３０をＤＲ（Data Register）１３０とも称する。

[0019] 端子ＴＣＫには、インターフェース信号の１つであるテストクロックＴＣＫが伝達される。テストクロックＴＣＫは、例えば、集積回路１００内のステートマシンの動作を同期させるクロック信号（テスト用のクロック）である。以下、テストクロックＴＣＫを信号ＴＣＫとも称する。なお、図１では、図を見やすくするために、信号ＴＣＫ等のクロックが伝達される信号線の一部の記載を省略している。

[0020] 端子ＴＭＳには、インターフェース信号の１つであるテストモードセレクトＴＭＳが伝達される。テストモードセレクトＴＭＳは、ＴＡＰコントローラ１１０の状態遷移を制御するための信号である。すなわち、テストモードセレクトＴＭＳは、テストモードを選択するための信号である。例えば、テストモードセレクトＴＭＳは、テストクロックＴＣＫの立ち上がりで読み込まれる。以下、テストモードセレクトＴＭＳを信号ＴＭＳとも称する。

[0021] 端子ＴＲＳＴには、インターフェース信号の１つであるテストリセットＴＲＳＴが伝達される。テストリセットＴＲＳＴは、ＴＡＰコントローラ１１

0の状態マシーンをリセットする信号である。以下、テストリセットTRSTを信号TRSTとも称する。なお、IEEE1149.1では、テストリセットTRSTは、オプション信号である。

[0022] 端子TDIには、インターフェース信号の1つであるデータTDIが伝達される。データTDIは、例えば、集積回路100にスキャンインされるデータである。例えば、データTDIは、テストクロックTCKの立ち上がりで読み込まれる。以下、データTDIを、スキャンインデータTDIあるいは信号TDIとも称する。

[0023] 端子TDOには、インターフェース信号の1つであるデータTDOが伝達される。データTDOは、例えば、集積回路100からのスキャンアウトデータである。例えば、データTDOは、テストクロックTCKの立ち下がりで出力される。以下、データTDOを、スキャンアウトデータTDOあるいは信号TDOとも称する。

[0024] TAPコントローラ110は、信号TCK、TMS、TRSTにより制御される同期式の状態マシーンである。例えば、TAPコントローラ110は、信号TCK、TMS、TRSTをテスト制御装置200から受け、命令レジスタ120やデータレジスタ130を制御するための制御信号を出力する。例えば、TAPコントローラ110は、テストクロックTCKの立ち上がりエッジで、テストモードセレクトTMSの値に応じた状態遷移を実行する。各状態に応じて、JTAG回路（集積回路100に含まれる部分のテスト回路20）の動作が決定される。

[0025] 命令レジスタ120は、例えば、スキャン動作させるデータレジスタ130（データレジスタ134、136、138、138のいずれか）の選択に使用される。例えば、命令レジスタ120は、信号CAPTUREIR、UPDATEIR、IRACK、IRBCK等の制御信号をTAPコントローラ110から受け、命令コード等を示すデータTDIをテスト制御装置200から受ける。そして、命令レジスタ120は、例えば、セットされた命令コードを出力する。ここで、例えば、信号IRACK、IRBCKは、

スキャンシフトを実行するためのスキャンクロックである。以下、信号 I R A C K、I R B C K をスキャンクロック I R A C K、I R B C K とも称する。

[0026] 例えば、命令レジスタ 120 は、スキャンシフトが実行されるシフトレジスタと、シフトレジスタの値を保持するフリップフロップとを有している。すなわち、命令レジスタ 120 は、スキャン可能なレジスタである。例えば、TAP コントローラ 110 の状態が Capture I R 状態に遷移したとき、ユーザ定義の固定値がシフトレジスタにセットされる。

[0027] また、TAP コントローラ 110 の状態が Shift I R 状態に遷移したとき、データ TDI の値がシフトレジスタにシフト動作により順次伝達される。これにより、命令コード等がシフトレジスタにセットされる。そして、TAP コントローラ 110 の状態が Update I R 状態に遷移したとき、シフトレジスタの値がフリップフロップにセットされ、フリップフロップの値が集積回路 100 の内部に伝達される。

[0028] なお、この実施形態の命令レジスタ 120 には、IEEE 1149.1 に規定された必須の命令の他に、ユーザ定義の命令もセット可能である。例えば、この実施形態では、UR スキャンイン命令（例えば、I R = 1100）やループバック付き UR スキャンイン命令（例えば、I R = 1101）がユーザ定義の命令として実装されている。ループバック付き UR スキャンイン命令は、例えば、スキャンインデータ TDI がデータレジスタ 138 に書き込まれている期間に、スキャンインデータ TDI の折り返しデータを集積回路 100 の端子 TDO に出力させる命令である。

[0029] データレジスタ 130 は、例えば、TAP コントローラ 110 および命令レジスタ 120 からの制御信号等に基づいて、スキャン動作を実行する。例えば、データレジスタ 130 は、スキャン可能な複数のデータレジスタ 132、134、136、138 と、データレジスタ制御回路 140 と、セクタ 142 とを有している。

[0030] データレジスタ 132 は、バウンダリスキャンレジスタである。以下、デ

ータレジスタ132をバウンダリスキャンレジスタ132あるいはBS (Boundary Scan register) 132とも称する。BS132は、例えば、集積回路100の各端子に設けられたシフトレジスタである。例えば、テスト制御装置200は、BS132をスキャン動作させることにより、集積回路100の各端子に対する読み書きを実行できる。

[0031] データレジスタ134は、デバイス（例えば、集積回路100）のID (Identification) 等の情報を保持するレジスタである。以下、データレジスタ134をIDCODEレジスタ134あるいはIDCODE (ID CODE register) 134とも称する。

[0032] データレジスタ136は、バイパスレジスタである。以下、データレジスタ136をバイパスレジスタ136あるいはBYPASS (BYPaSS register) 136とも称する。BYPASS136は、例えば、1段のシフトレジスタである。例えば、BYPASS136は、データTDIを順次受け、受けたデータTDIをデータTDOとして順次出力する。例えば、テスト制御装置200は、複数のデバイスをスキャンチェーンに接続する際に、アクセス対象でないデバイスをBYPASS136でバイパスすることにより、スキャン動作によるアクセスを高速に実行できる。

[0033] データレジスタ138は、ユーザ定義のレジスタである。以下、データレジスタ138をユーザレジスタ138あるいはUR (User Register) 136とも称する。UR136は、例えば、集積回路100の内部にスキャン動作でアクセスする際に使用される。

[0034] データレジスタ制御回路140は、例えば、信号SHIFTDR等の制御信号をTAPコントローラ110から受け、命令コード等を示す制御信号を命令レジスタ120から受ける。そして、データレジスタ制御回路140は、TAPコントローラ110および命令レジスタ120から受けた制御信号に基づいて、スキャン動作を実行するデータレジスタ132-138にスキャンクロックを供給するとともに、セクタ142を制御する。

[0035] 例えば、UR138がスキャン動作を実行する場合、データレジスタ制御

回路１４０は、スキャンクロックURACK、URBCK（以下、信号URACK、URBCKとも称する）をUR１３８に供給する。また、データレジスタ制御回路１４０は、UR１３８の出力信号（以下、スキャンアウト信号とも称する）がセクタ１５０に伝達されるように、セクタ１４２を制御する。

[0036] セクタ１４２は、データレジスタ制御回路１４０により制御され、各データレジスタ１３２－１３８のスキャンアウト信号のいずれかを選択する。例えば、セクタ１４２は、UR１３８がスキャン動作を実行する場合、UR１３８のスキャンアウト信号を選択し、選択したスキャンアウト信号をセクタ１５０に出力する。なお、セクタ１４２の状態として、各データレジスタ１３２－１３８の出力信号のいずれも選択していない状態が存在してもよい。

[0037] セクタ制御回路１６０は、例えば、信号SHIFTDR等の制御信号をTAPコントローラ１１０から受け、命令コード等を示す制御信号を命令レジスタ１２０から受ける。そして、セクタ制御回路１６０は、TAPコントローラ１１０および命令レジスタ１２０から受けた制御信号に基づいて、セクタ１５０を制御する。

[0038] 例えば、セクタ制御回路１６０は、IEEE１１４９．１に規定された動作を実現するための選択制御に加えて、所定の条件を満たしたときにサイクルでフリップフロップ１７０の出力信号LBDを選択するようにセクタ１５０を制御する。所定の条件は、例えば、IR１２０からの制御信号がループバック付きURスキャンイン命令を示し（例えば、IR＝１１０１）、TAPコントローラ１１０からの制御信号SHIFTDRが前のサイクルでアサートされているときである。

[0039] セクタ１５０は、例えば、セクタ制御回路１６０により制御され、IR１２０、DR１３０（より詳細には、セクタ１４２）およびフリップフロップ１７０のそれぞれの出力信号（スキャンアウト信号）のいずれかをデータTDOとして選択する。そして、セクタ１５０は、データTDO（選

択したスキャンアウト信号)を端子TDOを介して集積回路100の外部に出力する。

[0040] 例えば、セクタ150は、IR120からの制御信号がURスキャンイン命令を示し(IR=1100)、TAPコントローラ110からの制御信号SHIFTDRがアサートされているとき、DR130の出力信号を選択する。また、例えば、セクタ150は、IR120からの制御信号がループバック付きURスキャンイン命令を示し(IR=1101)、TAPコントローラ110からの制御信号SHIFTDRがアサートされているとき、次のサイクルで、信号LBD0を選択する。信号LBD0は、フリップフロップ170の出力信号であり、データTDIの折り返しデータである。

[0041] なお、セクタ150の状態として、IR120、DR130およびフリップフロップ170のそれぞれの出力信号のいずれも選択していない状態が存在してもよい。

[0042] ループバック制御回路180は、例えば、信号SHIFTDR等の制御信号をTAPコントローラ110から受け、命令コード等を示す制御信号を命令レジスタ120から受ける。そして、ループバック制御回路180は、TAPコントローラ110および命令レジスタ120から受けた制御信号に基づいて、フリップフロップ170のスキャンシフトを制御する。

[0043] 例えば、ループバック制御回路180は、ループバック付きURスキャンイン命令がセットされ、制御信号SHIFTDRがアサートされたとき、次のサイクルで、フリップフロップ170にスキャンクロックを供給する。これにより、フリップフロップ170のスキャンシフトが制御される。

[0044] フリップフロップ170は、スキャンインデータを折り返しデータとして、テスト用のクロックに同期して出力するフリップフロップの一例である。フリップフロップ170は、例えば、1ビット長のスキャンシフトレジスタである。例えば、フリップフロップ170は、スキャンクロック(例えば、信号URACK、URBCKと同一または同様のクロック)に同期して動作するD型フリップフロップ回路である。フリップフロップ170は、データ

T D I を端子 T D I を介してテスト制御装置 2 0 0 から順次受け、受けたデータ T D I を信号 L B D O としてセクタ 1 5 0 に順次出力する。

[0045] このように、集積回路 1 0 0 内に設けられたフリップフロップ 1 7 0 は、データ T D I の折り返しデータ（データ T D O）として、信号 L B D O をセクタ 1 5 0、端子 T D O 等を介してテスト制御装置 2 0 0 に出力する。

[0046] システム制御装置 3 0 0 は、例えば、制御バスにより、テスト制御装置 2 0 0 に接続されている。例えば、システム制御装置 3 0 0 は、制御バスおよびテスト制御装置 2 0 0 を介して、集積回路 1 0 0 内のレジスタ（例えば、I R 1 2 0、D R 1 3 0 等）へのリード／ライト要求やデータ転送を実行する。

[0047] テスト制御装置 2 0 0 は、スキャンインデータを第 1 信号線（例えば、信号線 T D I）を介して集積回路 1 0 0 に供給し、スキャンアウトデータを集積回路 1 0 0 から第 2 信号線（例えば、信号線 T D O）を介して受けるテスト制御部の一例である。例えば、テスト制御装置 2 0 0 は、システム制御装置 3 0 0 からの命令に応じて、集積回路 1 0 0 内のテスト回路を制御する。テスト制御装置 2 0 0 は、信号制御回路 2 1 0 および判定回路 2 2 0 を有している。

[0048] 信号制御回路 2 1 0 は、スキャンインデータが集積回路で折り返されるように集積回路を制御し、スキャンインデータを第 1 信号線を介して集積回路に供給する信号制御部の一例である。例えば、信号制御回路 2 1 0 は、スキャンインデータ T D I が集積回路 1 0 0 で折り返されるように、信号 T C K、T M S、T R S T、T D I を用いて集積回路 1 0 0 を制御する。

[0049] 例えば、信号制御回路 2 1 0 は、システム制御装置 3 0 0 からの要求に応じて、信号 T C K、T M S、T R S T、T D I を信号線 T C K、T M S、T R S T、T D I を介して集積回路 1 0 0 に出力する。また、信号制御回路 2 1 0 は、信号 T D O（スキャンアウトデータ T D O）を集積回路 1 0 0 から信号線 T D O を介して受ける。

[0050] さらに、信号制御回路 2 1 0 は、信号 T D I（スキャンインデータ T D I

）および遅延有効信号DENを判定回路220に出力し、不一致信号ESIGを判定回路220から受ける。なお、信号制御回路210は、例えば、ループバック付きURスキャンイン命令がIR120にセットされている場合、UR138へのスキャンインデータTDIを出力している間、遅延有効信号DENをアサートする。

[0051] 判定回路220は、スキャンインデータとスキャンインデータの折り返しデータとを比較して、折り返しデータが正しいか否かを判定する判定部の一例である。例えば、判定回路220は、スキャンインデータTDIおよび遅延有効信号DENを信号制御回路210から受け、スキャンインデータTDIの折り返しデータとしてデータTDOを集積回路100から信号線TDOを介して受ける。そして、判定回路220は、スキャンインデータTDIと折り返しデータTDOとを比較して、折り返しデータTDOが正しいか否かを判定する。

[0052] 例えば、判定回路220は、遅延有効信号DENに基づく判定期間において、スキャンインデータTDIと折り返しデータTDOとが一致していないとき（折り返しデータTDOが異常な場合）、不一致信号ESIGをアサートする。すなわち、不一致信号ESIGは、スキャンインデータTDIと折り返しデータTDOとが一致している場合（折り返しデータTDOが正しい場合）、ネゲートされる。

[0053] 例えば、テスト制御装置200は、スキャンインデータTDIと折り返しデータTDOとが不一致の場合、端子TCK、TMS、TRST、TDI、TDO、信号線TCK、TMS、TRST、TDI、TDO等のテスト用インターフェースに異常があると判定する。なお、スキャンインデータTDIの折り返しデータTDOは、例えば、UR138にスキャンインデータTDIが書き込まれている期間に、判定回路220に到達する。

[0054] すなわち、判定回路220は、スキャンインデータTDIが集積回路200内のデータレジスタに書き込まれる期間に折り返しデータTDOを受け、折り返しデータTDOが正しいか否かを判定する。このため、判定回路22

0は、UR138に書き込まれた値（スキャンインデータTDIの値）が読み出される前に、スキャンインデータTDIの折り返しデータTDOが正しいか否かを判定できる。したがって、テスト制御装置200は、テスト用インターフェースのエラー検出のための端子をTAP（端子TCK、TMS、TRST、TDI、TDO）から追加することなく、テスト用インターフェースのエラー検出の時間を短縮できる。

[0055] このように、集積回路100のテスト回路20は、テスト制御装置200、TAPコントローラ110、IR120、DR130、セクタ150、セクタ制御回路160、フリップフロップ170およびループバック制御回路180を有している。なお、テスト回路20は、集積回路100内のテスト回路を除いて定義されてもよい。すなわち、テスト制御装置200もテスト回路20の一態様である。

[0056] また、集積回路100のテスト回路20および情報処理装置10の構成は、この例に限定されない。例えば、システム制御装置300は、テスト制御装置200内に設けられてもよい。あるいは、システム制御装置300は、情報処理装置10の外部に設けられてもよい。

[0057] また、例えば、信号伝送の時間的制約を満足する場合、フリップフロップ170およびループバック制御回路180は、省かれてもよい。この場合、セクタ150は、例えば、信号LBDOの代わりに、信号TDIを端子TDIから受ける。あるいは、セクタ142、150は、フリップフロップ170等が省かれた場合、BYPASS136の出力信号を、スキャンインデータTDIの折り返しデータTDOとしてテスト制御装置200に出力してもよい。

[0058] また、例えば、セクタ制御回路160は、集積回路100内の命令レジスタ120以外のレジスタにセットされた値に基づいて、スキャンインデータTDIの折り返しデータTDO（例えば、信号LBDO）を端子TDOに出力するか否かを判定してもよい。あるいは、セクタ制御回路160は、集積回路100に供給される入力信号に基づいて、スキャンインデータTDI

１の折り返しデータＴＤＯ（例えば、信号ＬＢＤＯ）を端子ＴＤＯに出力するか否かを判定してもよい。

[0059] 図２は、図１に示した判定回路２２０の一例を示している。判定回路２２０は、例えば、遅延回路２２２および一致判定回路２２４を有している。

[0060] 遅延回路２２２は、信号制御回路２１０から受けたスキャンインデータＴＤＩを、テスト用のクロック（テストクロックＴＣＫ）に同期して所定のサイクル数分遅延させて出力するタイミング調整部の一例である。例えば、遅延回路２２２は、テストクロックＴＣＫ、スキャンインデータＴＤＩおよび遅延有効信号ＤＥＮを信号制御回路２１０から受け、スキャンインデータＴＤＩおよび遅延有効信号ＤＥＮを遅延させる。そして、遅延回路２２２は、信号ＴＤＩ、ＤＥＮを遅延させた信号ＤＥＮｄｄ、ＴＤＩｄｄを一致判定回路２２４に出力する。

[0061] 信号ＴＤＩ、ＤＥＮの遅延量は、例えば、テスト制御装置２００から出力されたスキャンインデータＴＤＩがフリップフロップ１７０、セクタ１５０等を介してテスト制御装置２００に到達するまでの時間に対応する遅延量である。例えば、遅延回路２２２は、フリップフロップＤＦＦ１、ＤＦＦ２、ＤＦＦ３、ＤＦＦ４を有している。フリップフロップＤＦＦ１－ＤＦＦ４は、例えば、テストクロックＴＣＫに同期して動作するＤ型フリップフロップ回路である。

[0062] フリップフロップＤＦＦ１の入力端子Ｄは遅延有効信号ＤＥＮを受け、フリップフロップＤＦＦ１の出力端子ＱはフリップフロップＤＦＦ２の入力端子Ｄに接続されている。すなわち、フリップフロップＤＦＦ１は、遅延有効信号ＤＥＮを遅延させた信号ＤＥＮｄを、フリップフロップＤＦＦ２の入力端子Ｄに出力する。フリップフロップＤＦＦ２の出力端子Ｑは、一致判定回路２２４の論理積回路ＡＮＤ１の入力に接続されている。すなわち、フリップフロップＤＦＦ２は、信号ＤＥＮｄを遅延させた信号ＤＥＮｄｄを、論理積回路ＡＮＤ１に出力する。

[0063] フリップフロップＤＦＦ３の入力端子ＤはスキャンインデータＴＤＩを受

け、フリップフロップDFF 3の出力端子QはフリップフロップDFF 4の入力端子Dに接続されている。すなわち、フリップフロップDFF 3は、スキャンインデータTDIを遅延させた信号TDI dを、フリップフロップDFF 4の入力端子Dに出力する。フリップフロップDFF 4の出力端子Qは、一致判定回路224の排他的論理和回路EXOR 1の入力に接続されている。すなわち、フリップフロップDFF 4は、信号TDI dを遅延させた信号TDI d dを、排他的論理和回路EXOR 1に出力する。

[0064] 一致判定回路224は、スキャンインデータTDIと折り返しデータTDOとを比較する比較部の一例である。例えば、一致判定回路224は、スキャンインデータTDIの折り返しデータTDOを集積回路100から信号線TDO等を介して受け、テストクロックTCKを信号制御回路210から受ける。さらに、一致判定回路224は、遅延有効信号DENをフリップフロップ2段分遅延させた信号DEN d dと、スキャンインデータTDIをフリップフロップ2段分遅延させた信号TDI d dとを、遅延回路222から受ける。

[0065] そして、一致判定回路224は、遅延回路222から受けた信号DEN d d（タイミング調整後の遅延有効信号DEN）がアサートされている期間、タイミング調整後のスキャンインデータTDIと折り返しデータTDOとを比較する。例えば、一致判定回路224は、タイミング調整後のスキャンインデータTDIと折り返しデータTDOとが不一致の場合、不一致信号ESIGをアサートする。この場合、テスト制御装置200は、テスト用インターフェースのエラーと判定する。また、一致判定回路224は、タイミング調整後のスキャンインデータTDIと折り返しデータTDOとが一致している場合、不一致信号ESIGをネゲートする。

[0066] 例えば、一致判定回路224は、フリップフロップDFF 5、排他的論理和回路EXOR 1および論理積回路AND 1を有している。フリップフロップDFF 5は、例えば、テストクロックTCKに同期して動作するD型フリップフロップ回路である。フリップフロップDFF 5の入力端子Dは折り返

しデータTDOを受け、フリップフロップDFF5の出力端子Qは排他的論理和回路EXOR1の入力に接続されている。すなわち、フリップフロップDFF5は、折り返しデータTDOを遅延させた信号TDOdを、排他的論理和回路EXOR1に出力する。

[0067] 排他的論理和回路EXOR1は、信号TDIdと信号TDOdとの排他的論理和を演算し、演算結果を論理積回路AND1に出力する。例えば、排他的論理和回路EXOR1は、信号TDIdと信号TDOdとが一致している場合、論理値”0”の信号を論理積回路AND1に出力し、信号TDIdと信号TDOdとが不一致の場合、論理値”1”の信号を論理積回路AND1に出力する。

[0068] 論理積回路AND1は、排他的論理和回路EXOR1の演算結果（信号TDIdと信号TDOdとの排他的論理和）と信号DENdとの論理積を演算し、演算結果を不一致信号ESIGとして信号制御回路210に出力する。例えば、論理積回路AND1は、信号DENdがネゲートされている場合、あるいは、信号TDIdと信号TDOdとが一致している場合、不一致信号ESIGをネゲートする。また、例えば、論理積回路AND1は、信号DENdがアサートされ、かつ、信号TDIdと信号TDOdとが不一致の場合、不一致信号ESIGをアサートする。

[0069] なお、判定回路220の構成は、この例に限定されない。例えば、図1に示したフリップフロップ170が省かれた場合、フリップフロップDFF1、DFF2の一方およびフリップフロップDFF3、DFF4の一方は、省かれてもよい。この場合、一致判定回路224は、遅延有効信号DENをフリップフロップ1段分遅延させた信号（信号DENd）と、スキャンインデータTDIをフリップフロップ1段分遅延させた信号（信号TDId）とを、遅延回路222から受ける。

[0070] 図3は、図1に示したTAPコントローラ110の状態遷移の一例を示している。図3では、テストクロックTCKの立ち上がり時のテストモードセレクトTMSの状態を、単に、テストモードセレクトTMSの状態と称して

説明する。

- [0071] Test Logic Reset 状態 ST1 は、テスト論理は使用不可で、システム論理の通常動作が使用可能な状態である。例えば、信号 TRST がアサートされることにより、TAP コントローラ 110 の状態は、状態 ST1 に戻る。また、テストモードセレクト TMS の状態が論理値 "0" の場合、TAP コントローラ 110 の状態は、Run Test Idle 状態 ST2 に遷移する。なお、テストモードセレクト TMS の状態が論理値 "1" の場合、TAP コントローラ 110 の状態は、状態 ST1 に維持される。
- [0072] Run Test Idle 状態 ST2 は、内蔵テストの実行状態またはスキャン動作中（スキャンオペレーション間）の中間状態である。テストモードセレクト TMS の状態が論理値 "0" の場合、TAP コントローラ 110 の状態は、状態 ST2 に維持される。テストモードセレクト TMS の状態が論理値 "1" の場合、TAP コントローラ 110 の状態は、Select DR Scan 状態 ST3 に遷移する。
- [0073] Select DR Scan 状態 ST3 では、データレジスタ 130 のスキャンシーケンスが選択される。テストモードセレクト TMS の状態が論理値 "0" の場合、TAP コントローラ 110 の状態は、Capture DR 状態 ST5 に遷移する。テストモードセレクト TMS の状態が論理値 "1" の場合、TAP コントローラ 110 の状態は、Select IR Scan 状態 ST4 に遷移する。
- [0074] Select IR Scan 状態 ST4 では、命令レジスタ 120 のスキャンシーケンスが選択される。テストモードセレクト TMS の状態が論理値 "0" の場合、TAP コントローラ 110 の状態は、Capture IR 状態 ST11 に遷移する。テストモードセレクト TMS の状態が論理値 "1" の場合、TAP コントローラ 110 の状態は、Test Logic Reset 状態 ST1 に遷移する。
- [0075] Capture DR 状態 ST5 では、データレジスタ 130 のシフトレ

ジスタに集積回路100の内部状態がセットされる。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、Shift DR状態ST6に遷移する。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、Exit DR状態ST7に遷移する。

[0076] Shift DR状態ST6では、端子TDIと端子TDOとの間にデータレジスタ130が接続される。そして、データレジスタ130は、テストクロックTCKの立ち上がりに同期して、データを1ビットずつ端子TDOへシフトする。このように、データレジスタ130のスキャンシフトが実行される。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、状態ST6に維持される。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、Exit DR状態ST7に遷移する。

[0077] Exit DR状態ST7では、スキャンを終了する。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、Pause DR状態ST8に遷移する。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、Update DR状態ST10に遷移する。

[0078] Pause DR状態ST8では、端子TDIと端子TDOとの間のシリアルパスにおけるスキャンシフト動作を休止する。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、状態ST8に維持される。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、Exit2 DR状態ST9に遷移する。

[0079] Exit2 DR状態ST9では、スキャンを終了する。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、Shift DR状態ST6に遷移する。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、Up

`data` DR状態ST10に遷移する。

[0080] `Update` DR状態ST10では、データレジスタ130（例えば、データレジスタ132、134、136、138のいずれか）の値が集積回路100の内部に伝達される。なお、例えば、BS132が選択されている場合は、BS132の値が集積回路100の端子にセットされる。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、`Run Test Idle`状態ST2に遷移する。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、`Select DR Scan`状態ST3に遷移する。

[0081] `Capture` IR状態ST11では、命令レジスタ120のシフトレジスタにデバイス（例えば、集積回路100）で定義された固定パターンがセットされる。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、`Shift IR`状態ST12に遷移する。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、`Exit IR`状態ST13に遷移する。

[0082] `Shift IR`状態ST12では、端子TDIと端子TDOとの間に命令レジスタ120のシフトレジスタが接続される。そして、命令レジスタ120のシフトレジスタは、テストクロックTCKの立ち上がり同期して、データを1ビットずつ端子TDOへシフトする。このように、命令レジスタ120のシフトレジスタのスキャンシフトが実行される。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、状態ST12に維持される。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、`Exit IR`状態ST13に遷移する。

[0083] `Exit IR`状態ST13では、スキャンを終了する。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、`Pause IR`状態ST14に遷移する。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、U

p d a t a I R状態ST16に遷移する。

[0084] P a u s e I R状態ST14では、端子TDIと端子TDOとの間のシリアルパスにおけるスキャンシフト動作を休止する。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、状態ST14に維持される。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、E x i t 2 I R状態ST15に遷移する。

[0085] E x i t 2 I R状態ST15では、スキャンを終了する。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、S h i f t I R状態ST12に遷移する。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、U p d a t a I R状態ST16に遷移する。

[0086] U p d a t a I R状態ST16では、命令レジスタ120のシフトレジスタの値が命令レジスタ120のフリップフロップに保持される。すなわち、命令レジスタ120のシフトレジスタにスキャンインされたデータが命令レジスタ120のフリップフロップにラッチされる。命令レジスタ120のフリップフロップの値は、集積回路100の内部に伝達される。テストモードセレクトTMSの状態が論理値”0”の場合、TAPコントローラ110の状態は、R u n T e s t I d l e状態ST2に遷移する。テストモードセレクトTMSの状態が論理値”1”の場合、TAPコントローラ110の状態は、S e l e c t D R S c a n状態ST3に遷移する。

[0087] 例えば、テスト制御装置200は、TAPコントローラ110の状態をS h i f t I R状態ST12、S h i f t D R状態ST6等に遷移させて、命令レジスタ120やデータレジスタ130にアクセスする。命令レジスタ120およびデータレジスタ130に対するアクセス手順の一例を下記に示す。

[0088] 先ず、テスト制御装置200は、信号TCK、TMS、TRST等を制御して、TAPコントローラ110の状態を、状態ST1、ST2、ST3、

ST4、ST11を経て状態ST12に遷移させる。そして、状態ST12において、テスト制御装置200は、命令レジスタ120にセットする値を、集積回路100の端子TDIにテストクロックTCKに同期して出力する。なお、命令レジスタ120の値は、セクタ150を介して集積回路100の端子TDOに出力される。

[0089] そして、テスト制御装置200は、TAPコントローラ110の状態を、状態ST12から状態ST13を経て状態ST16に遷移させる。これにより、命令レジスタ120にセットされた命令コードが、命令レジスタ120からデータレジスタ制御回路140等に出力される。

[0090] 次に、テスト制御装置200は、TAPコントローラ110の状態を、状態ST16から状態ST2を経て、あるいは、状態ST16から直接、状態ST3に遷移させる。これにより、TAPコントローラ110の状態は、IRリード／ライトシーケンス（状態ST4、ST11－ST13、ST16等）からDRリード／ライトシーケンス（状態ST3、ST5－ST7、ST10等）に遷移する。

[0091] リード／ライトの対象となるデータレジスタ130は、例えば、IRリード／ライトシーケンスでセットされた命令レジスタ120の値（命令コード）に基づいて選択される。テスト制御装置200は、TAPコントローラ110の状態を、状態ST3から状態ST5を経て状態ST6に遷移させる。

[0092] そして、状態ST6において、テスト制御装置200は、データレジスタ130にセットする値を、集積回路100の端子TDIにテストクロックTCKに同期して出力する。なお、セクタ142、150により選択されたデータレジスタ130（データレジスタ132－138のいずれか）の値は、集積回路100の端子TDOに出力される。その後、テスト制御装置200は、TAPコントローラ110の状態を、状態ST6から状態ST7、ST10を経て状態ST2に遷移させる。このように、テスト制御装置200は、信号TCK、TMS、TRST、TDI、TDOを用いて、命令レジスタ120およびデータレジスタ130にアクセスできる。

- [0093] 図4は、図1に示したテスト回路20の動作の一例を示している。すなわち、図4は、集積回路100のテスト方法の一形態を示している。図4の動作は、ハードウェアのみで実現されてもよく、ハードウェアをソフトウェアにより制御することにより実現されてもよい。図4では、テスト回路20のうちのテスト制御装置200の動作を中心に説明する。
- [0094] ステップS100では、テスト制御装置200の信号制御回路210は、ループバック付きURスキャンイン命令を命令レジスタ120にセットする。例えば、テスト制御装置200は、図3で説明したIRリード／ライトシーケンスにおいて、ループバック付きURスキャンイン命令を示す命令コード（例えば、1101）を、命令レジスタ120にセットする。その後、テスト制御装置200は、TAPコントローラ110の状態をDRリード／ライトシーケンスに遷移させる。このように、信号制御回路210は、スキャンインデータTDIが集積回路100で折り返されるように集積回路100を制御する。
- [0095] ステップS200では、テスト制御装置200の信号制御回路210は、スキャンインデータTDIを集積回路100に順次供給する。これにより、スキャンインデータTDIがUR138に順次書き込まれるとともに、スキャンインデータTDIの折り返しデータLBD0がフリップフロップ170から順次出力される。
- [0096] ステップS300では、テスト制御装置200は、スキャンインデータTDIの折り返しデータLBD0をスキャンアウトデータTDOとして、集積回路100から順次取得する。例えば、テスト制御装置200は、集積回路100内のフリップフロップ170の出力信号LBD0を、集積回路100から順次受ける。
- [0097] ステップS400では、テスト制御装置200の判定回路220は、ステップS200で集積回路100に供給したスキャンインデータTDIと、ステップS300で取得した折り返しデータTDOとを比較する。例えば、判定回路220は、スキャンインデータTDIおよび折り返しデータTDOの

比較タイミングを折り返しデータTDOの遅延に合わせて調整し、タイミング調整後のスキャンインデータTDIとタイミング調整後の折り返しデータTDOとを比較する。

- [0098] ステップS500では、テスト制御装置200の判定回路220は、スキャンインデータTDIと折り返しデータTDOとが一致しているか否かを判定する。スキャンインデータTDIと折り返しデータTDOとが一致しているとき（ステップS500のYes）、テスト制御装置200の動作は、ステップS600に移る。一方、スキャンインデータTDIと折り返しデータTDOとが一致していないとき（ステップS500のNo）、テスト制御装置200の動作は、ステップS700に移る。
- [0099] ステップS600では、テスト制御装置200の判定回路220は、不一致信号ESIGをネゲートする。この場合、テスト制御装置200は、テスト用インターフェースに異常がないと判定する。
- [0100] ステップS700では、テスト制御装置200の判定回路220は、不一致信号ESIGをアサートする。この場合、テスト制御装置200は、テスト用インターフェースに異常があると判定する。すなわち、テスト制御装置200は、テスト用インターフェースのエラーを検出する。
- [0101] このように、テスト制御装置200、UR138に書き込まれた値（スキャンインデータTDIの値）が読み出される前に、スキャンインデータTDIの折り返しデータTDOが正しいか否かを判定できる。したがって、テスト制御装置200は、テスト用インターフェースのエラー検出の時間を短縮できる。なお、テスト回路20の動作は、この例に限定されない。
- [0102] 図5は、図1に示した各信号のタイムチャートの一例を示している。図5の期間T3-T10は、IRライトシーケンス（IR120へのスキャンイン）に対応する。図5のIR（SHIFT）は、IR120のシフトレジスタの値を示し、IR（FF）は、IR120のフリップフロップの値（IR120にセットされた命令コード）を示している。
- [0103] 例えば、IR120のシフトレジスタのうち、データTDIを受けるレジ

スタの値は、I R (S H I F T) の一番左側の値に対応し、データT D Oを出力するレジスタの値は、I R (S H I F T) の一番右側の値に対応している。図5では、I R 1 2 0のシフトレジスタのビット長を4ビットとして説明する。なお、I R 1 2 0のシフトレジスタのビット長は、4ビットに限定されない。また、図のS e l e c t D Rは、S e l e c t D R S c a n状態S T 3を示し、S e l e c t I Rは、S e l e c t I R S c a n状態S T 4を示している。

[0104] 期間T 0 - T 1では、T A Pコントローラ1 1 0の状態は、R u n T e s t I d l e状態S T 2である。T A Pコントローラ1 1 0の状態は、図3に示したように、テストクロックT C Kの立ち上がり時のテストモードセレクトT M Sの状態に応じて、遷移する。例えば、T A Pコントローラ1 1 0は、R u n T e s t I d l e状態S T 2で、テストクロックT C Kの立ち上がり時のテストモードセレクトT M Sが論理値” 1 ”であることを検出した場合、S e l e c t D R S c a n状態S T 3に遷移する（期間T 2）。

[0105] 期間T 2 - T 4では、テストモードセレクトT M Sの制御により、T A Pコントローラ1 1 0の状態は、S e l e c t D R S c a n状態S T 3からS e l e c t I R S c a n状態S T 4を経て、C a p t u r e I R状態S T 1 1に遷移する。C a p t u r e I R状態S T 1 1（期間T 4）では、I R 1 2 0のシフトレジスタに所定の固定値（図5の例では、0 0 0 1）がセットされる。

[0106] 例えば、期間T 4では、T A Pコントローラ1 1 0は、信号C A P T U R E I Rとして、1ショットのパルスをテストクロックT C Kの立ち下がりに同期してI R 1 2 0に出力する。これにより、所定の固定” 0 0 0 1 ”が、I R 1 2 0のシフトレジスタに信号C A P T U R E I Rの立ち上がりに同期してセットされる。その後、T A Pコントローラ1 1 0の状態は、テストクロックT C Kの立ち上がり時のテストモードセレクトT M Sが論理値” 0 ”であるため、C a p t u r e I R状態S T 1 1からS h i f t I R状態

ST12に遷移する（期間T5）

期間T5－T8では、TAPコントローラ110の状態は、Shift IR状態ST12に維持される。そして、期間T9において、TAPコントローラ110の状態は、テストクロックTCKの立ち上がり時のテストモードセレクトTMSが論理値”1”であるため、Shift IR状態ST12からExit IR状態ST13に遷移する。例えば、Shift IR状態ST12で、IR120のシフトレジスタのスキャンシフトが実行され、Exit IR状態ST13で、IR120のシフトレジスタのスキャンシフトが終了する。

[0107] 例えば、TAPコントローラ110は、スキャンクロックIRACKをテストクロックTCKの立ち上がり同期してIR120に出力し、スキャンクロックIRBCKをテストクロックTCKの立ち下がり同期してIR120に出力する。スキャンクロックIRACK、IRBCKは、例えば、Shift IR状態ST12に遷移した次のサイクル（期間T6）からExit IR状態ST13のサイクル（期間T9）まで、IR120に供給される。

[0108] IR120の各シフトレジスタは、例えば、保持している値（クロックIRACKの立ち上がり時に入力端子で受けていた値）を、クロックIRBCKの立ち上がり同期して次段に出力する。なお、IR120のシフトレジスタのうちの最終段のレジスタは、保持している値を、クロックIRBCKの立ち上がり同期してセクタ150に出力する。

[0109] 図5の例では、データTDIとして、ループバック付きURスキャンイン命令を示す命令コード”1101”のシリアルデータ”1011”がテストクロックTCKに同期して端子TDIに供給される。これにより、期間T9までに、ループバック付きURスキャンイン命令を示す命令コード”1011”がIR120のシフトレジスタにセットされる。

[0110] また、期間T5の途中から期間T9の途中まで、セクタ150は、IR120の出力信号を端子TDOに出力するデータTDOとして選択している

。このため、期間T5－T9の各期間では、IR（SHIFT）の一番右側の値がデータTDOとして出力される。

[0111] 期間T9では、TAPコントローラ110の状態がExit IR状態ST13であるため、IR120のシフトレジスタへのスキャンインが終了する。また、TAPコントローラ110の状態は、テストクロックTCKの立ち上がり時のテストモードセレクトTMSが論理値”1”であるため、Exit IR状態ST13からUpdate IR状態ST16に遷移する（期間T10）。

[0112] 期間T10では、TAPコントローラ110の状態がUpdate IR状態ST16であるため、IR120のシフトレジスタの値がIR120のフリップフロップに保持される。例えば、期間T10では、TAPコントローラ110は、信号UPDATE IRとして、1ショットのパルスをテストクロックTCKの立ち下がりに同期してIR120に出力する。

[0113] これにより、IR120のシフトレジスタの値”1101”が、IR120のフリップフロップに信号UPDATE IRの立ち上がりに同期してセットされる。すなわち、ループバック付きURスキャンイン命令がIR120にセットされる。

[0114] このように、IRライトシーケンスでは、IR120のシフトレジスタにスキャンインされたデータがIR120のフリップフロップにラッチされる。IR120のフリップフロップの値は、集積回路100の内部に伝達される。

[0115] 図6は、図1に示した各信号のタイムチャートの別の例を示している。図6の期間T11－T18は、図5に示したIRライトシーケンス（図5の期間T3－T10）の後に実行されるDRライトシーケンス（UR138へのスキャンイン）に対応する。したがって、図6では、ループバック付きURスキャンイン命令に基づく動作が実行される。図6のIR（FF）、Select DRの意味は、図5と同一または同様である。また、図6のURは、UR138の値を示している。

- [0116] 例えば、UR 138の各レジスタのうち、データTDIを受けるレジスタの値は、URの一番左側の値に対応し、データTDOを出力するレジスタの値は、URの一番右側の値に対応している。図6では、UR 138を4ビットのシフトレジスタとして説明する。なお、UR 138（シフトレジスタ）のビット長は、4ビットに限定されない。
- [0117] 期間T10では、TAPコントローラ110の状態は、Updata I R状態ST16である。また、IR120には、ループバック付きURスキャンイン命令を示す命令コード”1101”がセットされている。TAPコントローラ110の状態は、図3に示したように、テストクロックTCKの立ち上がり時のテストモードセレクトTMSの状態に応じて、遷移する。例えば、TAPコントローラ110は、Updata I R状態ST16で、テストクロックTCKの立ち上がり時のテストモードセレクトTMSが論理値”1”であることを検出した場合、Select DR Scan状態ST3に遷移する（期間T11）。
- [0118] 期間T11ーT13では、テストモードセレクトTMSの制御により、TAPコントローラ110の状態は、Select DR Scan状態ST3からCapture DR状態ST5を経て、Shift DR状態ST6に遷移する。Shift DR状態ST6では、信号SHIFTDRがアサートされる。例えば、TAPコントローラ110は、Shift DR状態ST6の間、信号SHIFTDRをアサートする。
- [0119] 期間T13ーT16では、TAPコントローラ110の状態は、Shift DR状態ST6に維持される。そして、期間T17において、TAPコントローラ110の状態は、テストクロックTCKの立ち上がり時のテストモードセレクトTMSが論理値”1”であるため、Shift DR状態ST6からExit DR状態ST7に遷移する。例えば、Shift DR状態ST6で、UR 138のスキャンシフトが実行され、Exit DR状態ST7で、UR 138のスキャンシフトが終了する。
- [0120] 例えば、データレジスタ制御回路140およびループバック制御回路18

0は、TAPコントローラ110から受ける信号SHIFTDRとIR120の値に基づいて、UR138およびフリップフロップ170のスクランシフト動作をそれぞれ制御する。先ず、UR138のスクランシフト動作について説明する。

[0121] データレジスタ制御回路140は、例えば、信号SHIFTDRがアサートされた次のサイクル（期間T14）から信号SHIFTDRがネゲートされるサイクル（期間T17）まで、スクランクロックURACK、URBCKをUR138に供給する。例えば、データレジスタ制御回路140は、スクランクロックURACKをテストクロックTCKの立ち上がり同期してUR138に出力し、スクランクロックURBCKをテストクロックTCKの立ち下がり同期してUR138に出力する。

[0122] UR138の各レジスタは、例えば、保持している値（クロックURACKの立ち上がり時に入力端子で受けていた値）を、クロックURBCKの立ち上がり同期して次段に出力する。なお、UR138のうちの最終段のレジスタは、保持している値を、クロックURBCKの立ち上がり同期してセクタ142に出力する。

[0123] 図6の例では、データTDIとして、シリアルデータ”1001”がテストクロックTCKに同期して端子TDIに供給される。これにより、期間T17までに、スクランインデータ”1001”がUR138にセットされる。また、セクタ142は、データレジスタ制御回路140の制御に基づいて、UR138の出力信号をセクタ150に出力する信号として選択する。

[0124] 次に、フリップフロップ170のスクランシフト動作について説明する。ループバック制御回路180は、ループバック付きURスクランイン命令を示す命令コード”1101”がIR120にセットされているため、スクランクロックURACK、URBCKと同一または同様なスクランクロックをフリップフロップ170に供給する。図6では、フリップフロップ170に供給されるスクランクロックも、スクランクロックURACK、URBCK

と称して説明する。

[0125] 例えば、ループバック制御回路180は、スキャンクロックURACKをテストクロックTCKの立ち上がりに同期してフリップフロップ170に出力する。また、ループバック制御回路180は、スキャンクロックURBCKをテストクロックTCKの立ち下がりに同期してフリップフロップ170に出力する。フリップフロップ170は、例えば、クロックURACKの立ち上がり時に入力端子で受けていたデータTDIの値を、信号LBDOとして、クロックURBCKの立ち上がりに同期して出力する。

[0126] セレクタ制御回路160は、TAPコントローラ110から受ける信号SHIFTDRとIR120の値に基づいて、セレクタ150を制御する。例えば、セレクタ制御回路160は、IR120の値がループバック付きURスキャンイン命令を示す命令コード”1101”であるため、フリップフロップ170の出力信号LBDOを選択するように、セレクタ150を制御する。

[0127] これにより、例えば、セレクタ150は、信号SHIFTDRがアサートされた次のサイクル（期間T14）のテストクロックTCKの立ち下がりに同期して、フリップフロップ170の出力信号LBDOをデータTDOとして、端子TDOに出力する。そして、セレクタ150は、信号SHIFTDRがネゲートされた次のサイクル（期間T18）のテストクロックTCKの立ち下がりまで、フリップフロップ170の出力信号LBDOをデータTDOとして、端子TDOに出力し続ける。

[0128] この結果、期間T14の途中から期間T18の途中まで、データTDIの折り返しデータLBDOがデータTDOとして集積回路100からテスト制御装置200に出力される。なお、ループバック付きURスキャンイン命令では、セレクタ150がフリップフロップ170の出力信号LBDOを選択しているため、UR138の値は端子TDOに出力されない。

[0129] テスト制御装置200の信号制御回路220は、スキャンインデータ”1001”をデータTDIとして出力している間（期間T13の途中から期間

T 1 7 の途中まで)、遅延有効信号DENをアサートする。

[0130] 遅延回路222は、遅延有効信号DENおよびデータTDIを、テストクロックTCKに同期して2サイクル分遅延させる(図6の信号DENdd、TDId)。例えば、遅延回路222は、フリップフロップDFF1、DFF2を用いて遅延有効信号DENを遅延させ、フリップフロップDFF3、DFF4を用いてデータTDIを遅延させる。

[0131] また、例えば、一致判定回路224は、データTDOをテストクロックTCKに同期して1サイクル分遅延させる(図6の信号TDOd)。例えば、一致判定回路224は、フリップフロップDFF5を用いて遅延有効信号DENを遅延させる。そして、一致判定回路224は、遅延有効信号DENを遅延させた信号DENddがアサートされているとき、信号TDIdの値と信号TDOdの値とを比較する(期間T15-T18)。図6の例では、期間T15-T18の各期間で、信号TDIdの値と信号TDOdの値とが一致しているため、不一致信号ESIGは、ネゲートされている。なお、信号TDIdの値と信号TDOdの値とが不一致の場合、不一致信号ESIGは、アサートされる。

[0132] 例えば、テスト制御装置200は、信号TDIdの値と信号TDOdの値との不一致を検出することにより、テスト用インターフェースである端子TDI、TDO、信号線TDI、TDO等に故障が生じていることを検出できる。なお、例えば、信号線TCK、TMS、TRSTに故障が生じている場合では、テスト制御装置200へのループバックが正常に実行されないため、信号線TCK、TMS、TRSTの故障も、信号TDIdの値と信号TDOdの値との不一致として検出される。

[0133] このように、テスト制御装置200は、例えば、DRライトシーケンス(スキャンイン)のみで、テスト用インターフェースのエラーを検出できる。したがって、この実施形態では、テスト用インターフェースのエラーを検出するための手順を簡略化できる。また、この実施形態では、テスト用インターフェースのエラーの検出にかかる処理時間を短縮できる。

- [0134] 図7は、図1に示した各信号のタイムチャートの別の例を示している。図7の期間T31-T38は、DRライトシーケンス（UR138へのスキャンイン）に対応する。なお、図7の例では、DRライトシーケンスの前に実行されるIRライトシーケンスにより、URスキャンイン命令がIR120にセットされている（IR=1100）。URスキャンイン命令をIR120にセットするIRライトシーケンスは、データTDIとして与えられるシリアルデータ“0011”（命令コード“1100”）を除いて、図5に示したIRライトシーケンスと同一または同様である。例えば、図5では、命令コード“1101”のシリアルデータ“1011”がデータTDIとして与えられる。
- [0135] 図7のIR（FF）、UR、Select DRの意味は、図6と同一または同様である。図6で説明した動作と同一または同様な動作については、詳細な説明を省略する。例えば、期間T30-T40は、図6の期間T10-T20に対応している。
- [0136] 期間T30では、TAPコントローラ110の状態は、Update IR状態ST16である。また、IR120には、URスキャンイン命令を示す命令コード“1100”がセットされている。そして、UR138は、データ“1001”（例えば、図6のDRライトシーケンスによりUR138にセットされたスキャンインデータ）を保持している。
- [0137] 期間T33-T36では、例えば、データレジスタ制御回路140およびループバック制御回路180は、TAPコントローラ110から受ける信号SHIFTDRとIR120の値に基づいて、UR138およびフリップフロップ170のスキャンシフト動作をそれぞれ制御する。なお、ループバック制御回路180は、URスキャンイン命令を示す命令コード“1100”がIR120にセットされているため、フリップフロップ170のスキャンシフト動作を実行しない。したがって、UR138のスキャンシフト動作について、図6の動作と異なる動作を中心に説明する。
- [0138] データレジスタ制御回路140は、例えば、信号SHIFTDRがアサー

トされた次のサイクル（期間T34）から信号SHIFTDRがネゲートされるサイクル（期間T37）まで、スキャンクロックURACK、URBCKをUR138に供給する。UR138の各レジスタは、例えば、保持している値（クロックURACKの立ち上がり時に入力端子で受けていた値）を、クロックURBCKの立ち上がり同期して次段に出力する。なお、UR138のうちの最終段のレジスタは、保持している値を、クロックURBCKの立ち上がり同期してセクタ142に出力する。

[0139] 図7の例では、データTDIとして、シリアルデータ”0110”がテストクロックTCKに同期して端子TDIに供給される。これにより、期間T37までに、スキャンインデータ”0110”がUR138にセットされる。また、セクタ142は、データレジスタ制御回路140の制御に基づいて、UR138の出力信号（UR138の最終段のレジスタの値）をセクタ150に出力する信号として選択する。

[0140] セクタ制御回路160は、例えば、IR120の値がURスキャンイン命令を示す命令コード”1100”であるため、DR130の出力信号（セクタ142で選択されたUR138の出力信号）を選択するように、セクタ150を制御する。

[0141] これにより、例えば、セクタ150は、信号SHIFTDRがアサートされたサイクル（期間T33）のテストクロックTCKの立ち下がり同期して、UR138の最終段のレジスタの値（URの一番右側の値）をデータTDOとして、端子TDOに出力する。そして、セクタ150は、信号SHIFTDRがネゲートされたサイクル（期間T37）のテストクロックTCKの立ち下がりまで、UR138の最終段のレジスタの値（URの一番右側の値）をデータTDOとして、端子TDOに出力し続ける。

[0142] この結果、データTDOとして、図7のDRライトシーケンスが実行される前にUR138に保持されていたデータ”1001”が、集積回路100からテスト制御装置200に出力される（期間T33-T37）。なお、URスキャンイン命令では、セクタ150がDR130の出力信号を選択し

ているため、フリップフロップ170の出力信号LBDOは端子TDOに出力されない。

[0143] テスト制御装置200の信号制御回路220は、URスキャンイン命令が実行されるため、遅延有効信号DENをアサートしない。すなわち、遅延有効信号DENは、ネゲートされている。このため、一致判定回路224は、信号TDIdの値と信号TDOdの値との比較を実行しない。したがって、URスキャンイン命令では、不一致信号ESIGは、ネゲートされている。

[0144] 以上、図1から図7に示した実施形態の集積回路のテスト回路、情報処理装置および集積回路のテスト方法では、例えば、テスト制御装置200は、スキャンインデータTDIを信号線TDIを介して集積回路100に供給する。そして、テスト制御装置200は、スキャンインデータTDIの折り返しデータをスキャンアウトデータTDOとして集積回路100から信号線TDOを介して受ける。また、テスト制御装置200の判定回路222は、スキャンインデータTDIと折り返しデータTDOとを比較して、折り返しデータTDOが正しいか否かを判定する。

[0145] これにより、テスト制御装置200は、テスト用インターフェースのエラーを検出できる。例えば、テスト制御装置200は、折り返しデータTDOが正しくないと判定回路222で判定された場合、テスト用インターフェースに故障が生じていると判定する。この実施形態では、スキャンインデータTDIの折り返しデータTDOが正しいか否かを判定しているため、スキャンインおよびスキャンアウトのうちのスキャンインのみで、テスト用インターフェースのエラーを検出できる。

[0146] この結果、この実施形態では、テスト用インターフェースのエラーを検出するための手順を簡略化でき、テスト用インターフェースのエラーの検出にかかる処理時間を短縮できる。すなわち、この実施形態では、テスト用インターフェースのエラー検出の時間を短縮できる。

[0147] 以上の詳細な説明により、実施形態の特徴点および利点は明らかになるで

あろう。これは、特許請求の範囲がその精神および権利範囲を逸脱しない範囲で前述のような実施形態の特徴点および利点にまで及ぶことを意図するものである。また、当該技術分野において通常の知識を有する者であれば、あらゆる改良および変更に容易に想到できるはずである。したがって、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物および均等物に拠ることも可能である。

請求の範囲

[請求項1]

集積回路のテスト回路であって、

スキャンインデータを第1信号線を介して前記集積回路に供給し、
スキャンアウトデータを前記集積回路から第2信号線を介して受ける
テスト制御部を備え、

前記テスト制御部は、

前記スキャンインデータが前記集積回路で折り返されるように前記
集積回路を制御し、前記スキャンインデータを前記第1信号線を介し
て前記集積回路に供給する信号制御部と、

前記集積回路に供給する前記スキャンインデータを前記信号制御部
から受け、前記スキャンインデータの折り返しデータを前記集積回路
から前記第2信号線を介して受け、前記スキャンインデータと前記折
り返しデータとを比較して、前記折り返しデータが正しいか否かを判
定する判定部と

を備えていることを特徴とするテスト回路。

[請求項2]

請求項1に記載のテスト回路において、

前記集積回路内に設けられ、前記スキャンインデータを受け、前記
折り返しデータとして前記スキャンインデータをテスト用のクロック
に同期して前記判定部に出力するフリップフロップを有し、

前記信号制御部は、前記テスト用のクロックを前記集積回路に供給
する

ことを特徴とする集積回路のテスト回路。

[請求項3]

請求項2に記載の集積回路のテスト回路において、

前記判定部は、

前記信号制御部から受けた前記スキャンインデータを、前記テスト
用のクロックに同期して所定のサイクル数分遅延させて出力するタイ
ミング調整部と、

前記所定のサイクル数分遅延させられた前記スキャンインデータを

前記タイミング調整部から受け、前記折り返しデータを前記集積回路から前記第2信号線を介して受け、前記スキャンインデータと前記折り返しデータとを比較する比較部と

を備えていることを特徴とする集積回路のテスト回路。

[請求項4] 請求項1ないし請求項3のいずれか1項に記載の集積回路のテスト回路において、

前記判定部は、前記スキャンインデータが前記集積回路内のデータレジスタに書き込まれる期間に前記折り返しデータを受け、前記折り返しデータが正しいか否かを判定する

ことを特徴とする集積回路のテスト回路。

[請求項5] 集積回路と、前記集積回路をテストするテスト回路とを備え、

前記テスト回路は、スキャンインデータを第1信号線を介して前記集積回路に供給し、スキャンアウトデータを前記集積回路から第2信号線を介して受けるテスト制御部を有し、

前記テスト制御部は、

前記スキャンインデータが前記集積回路で折り返されるように前記集積回路を制御し、前記スキャンインデータを前記第1信号線を介して前記集積回路に供給する信号制御部と、

前記集積回路に供給する前記スキャンインデータを前記信号制御部から受け、前記スキャンインデータの折り返しデータを前記集積回路から前記第2信号線を介して受け、前記スキャンインデータと前記折り返しデータとを比較して、前記折り返しデータが正しいか否かを判定する判定部と

を備えていることを特徴とする情報処理装置。

[請求項6] 請求項5に記載の情報処理装置において、

前記集積回路は、前記スキャンインデータを受け、前記折り返しデータとして前記スキャンインデータをテスト用のクロックに同期して前記判定部に出力するフリップフロップを有し、

前記信号制御部は、前記テスト用のクロックを前記集積回路に供給する

ことを特徴とする情報処理装置。

[請求項7] 請求項6に記載の情報処理装置において、
前記判定部は、

前記信号制御部から受けた前記スキャンインデータを、前記テスト用のクロックに同期して所定のサイクル数分遅延させて出力するタイミング調整部と、

前記所定のサイクル数分遅延させられた前記スキャンインデータを前記タイミング調整部から受け、前記折り返しデータを前記集積回路から前記第2信号線を介して受け、前記スキャンインデータと前記折り返しデータとを比較する比較部と

を備えていることを特徴とする情報処理装置。

[請求項8] 請求項5ないし請求項7のいずれか1項に記載の情報処理装置において、

前記判定部は、前記スキャンインデータが前記集積回路内のデータレジスタに書き込まれる期間に前記折り返しデータを受け、前記折り返しデータが正しいか否かを判定する

ことを特徴とする情報処理装置。

[請求項9] 集積回路のテスト方法であって、

スキャンインデータが前記集積回路で折り返されるように前記集積回路を制御し、

前記スキャンインデータをテスト制御部から前記第1信号線を介して前記集積回路に転送し、

前記スキャンインデータの折り返しデータを前記集積回路から第2信号線を介して前記テスト制御部に転送し、

前記テスト制御部で保持している前記スキャンインデータと前記テスト制御部に転送された前記折り返しデータとを比較して、前記折り返し

返しデータが正しいか否かを判定する

ことを特徴とする集積回路のテスト方法。

[請求項10]

請求項9に記載の集積回路のテスト方法において、

テスト用のクロックを前記テスト制御部から前記集積回路に転送し、

前記スキャンインデータを前記テスト制御部から前記第1信号線を介して前記集積回路内のフリップフロップに転送し、

前記スキャンインデータを受けた前記フリップフロップの出力信号を前記折り返しデータとして、前記集積回路から前記テスト制御部に前記テスト用のクロックに同期して転送する

ことを特徴とする集積回路のテスト方法。

[請求項11]

請求項10に記載の集積回路のテスト方法において、

前記テスト制御部に保持している前記スキャンインデータを、前記テスト用のクロックに同期して所定のサイクル数分遅延させ、

前記集積回路から前記第2信号線を介して前記テスト制御部に転送された前記折り返しデータと、前記所定のサイクル数分遅延させられた前記スキャンインデータとを比較する

ことを特徴とする集積回路のテスト方法。

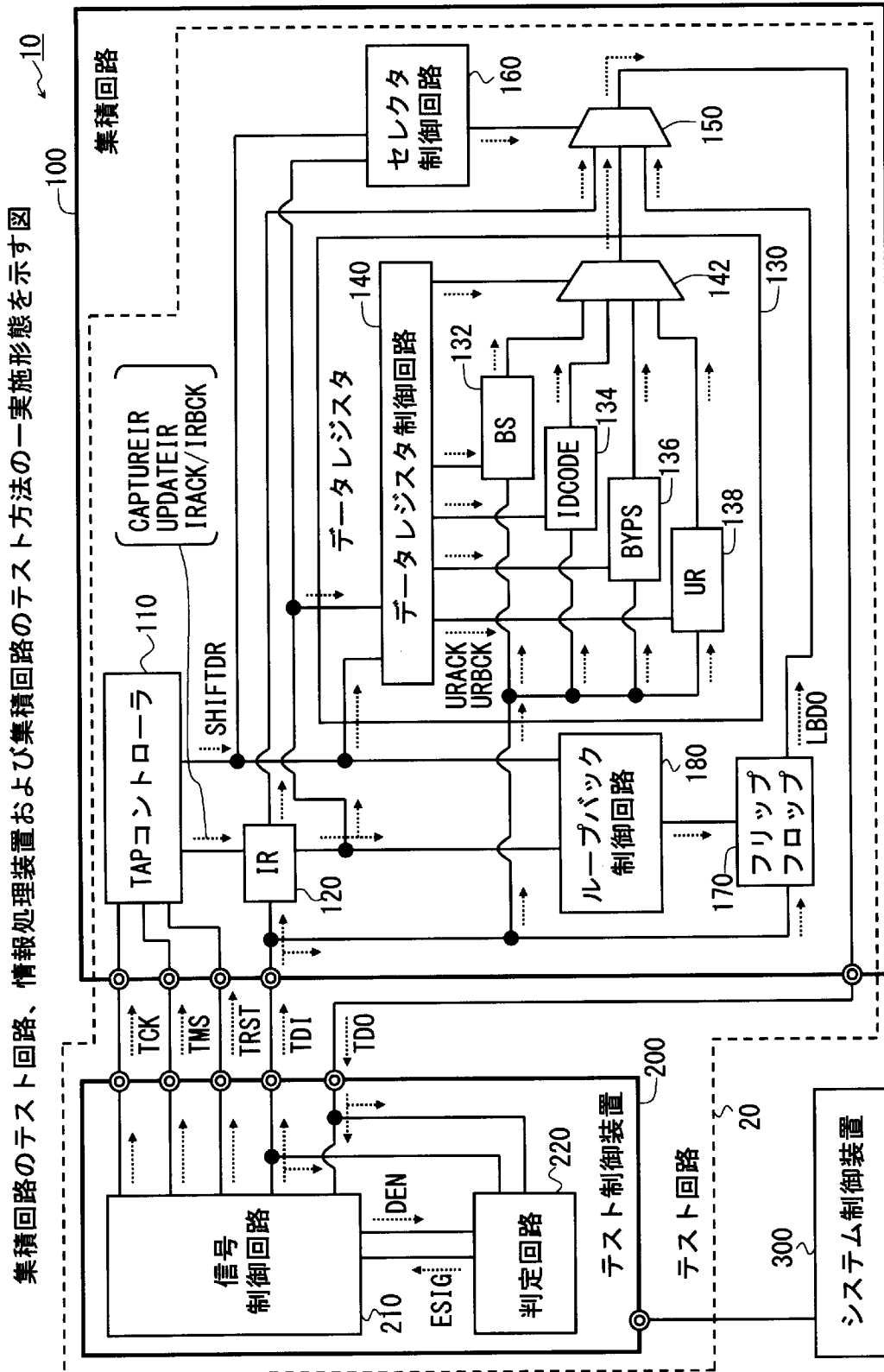
[請求項12]

請求項9ないし請求項11のいずれか1項に記載の集積回路のテスト方法において、

前記スキャンインデータが前記集積回路内のデータレジスタに書き込まれる期間に前記折り返しデータを前記集積回路から前記第2信号線を介して前記テスト制御部に転送し、前記折り返しデータが正しいか否かを判定する

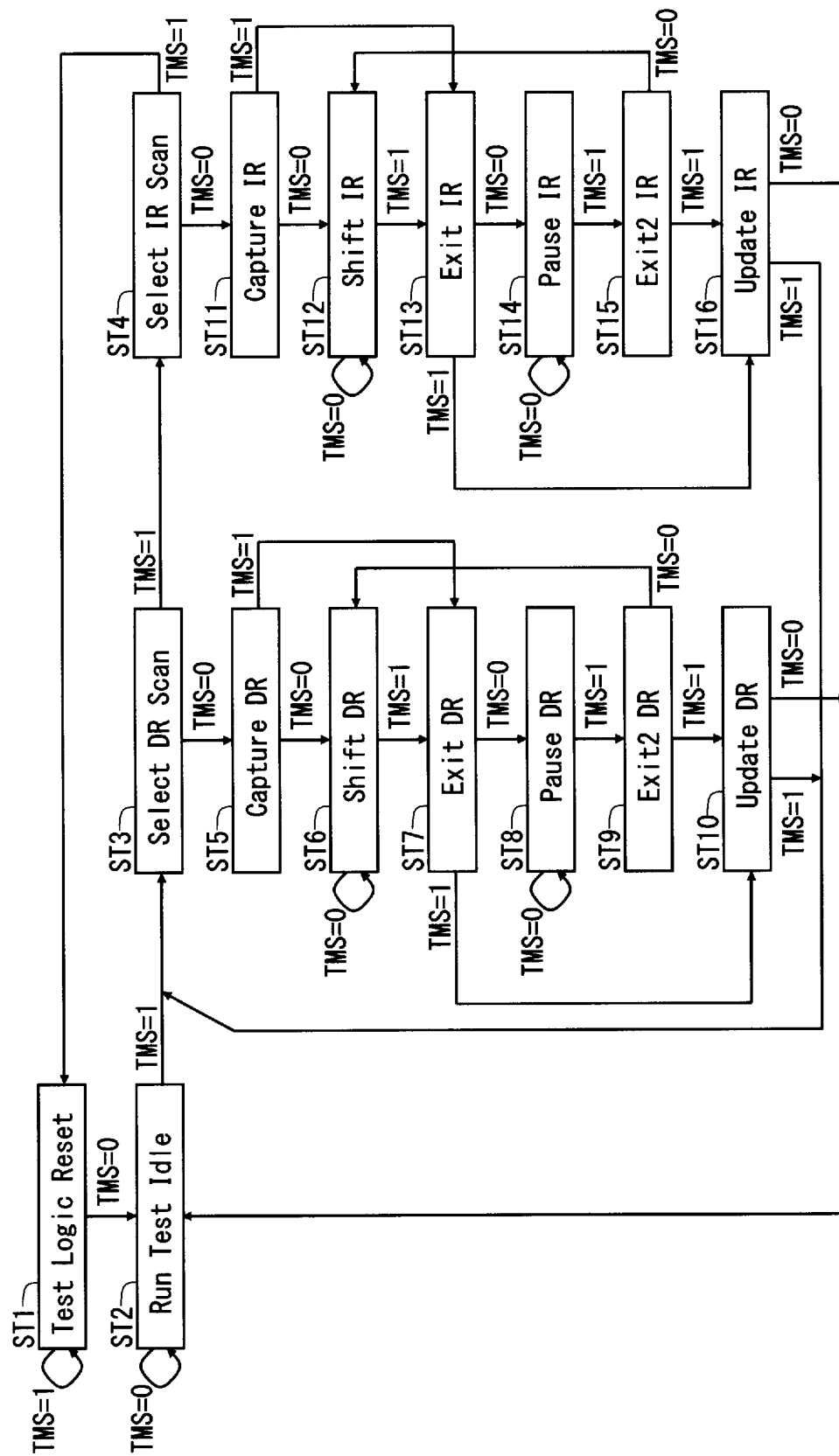
ことを特徴とする集積回路のテスト方法。

[図1]



[図3]

図 1 に示した JAP コントローラの状態遷移の一例を示す図



[図4]

図1に示したテスト回路の動作の一例を示す図

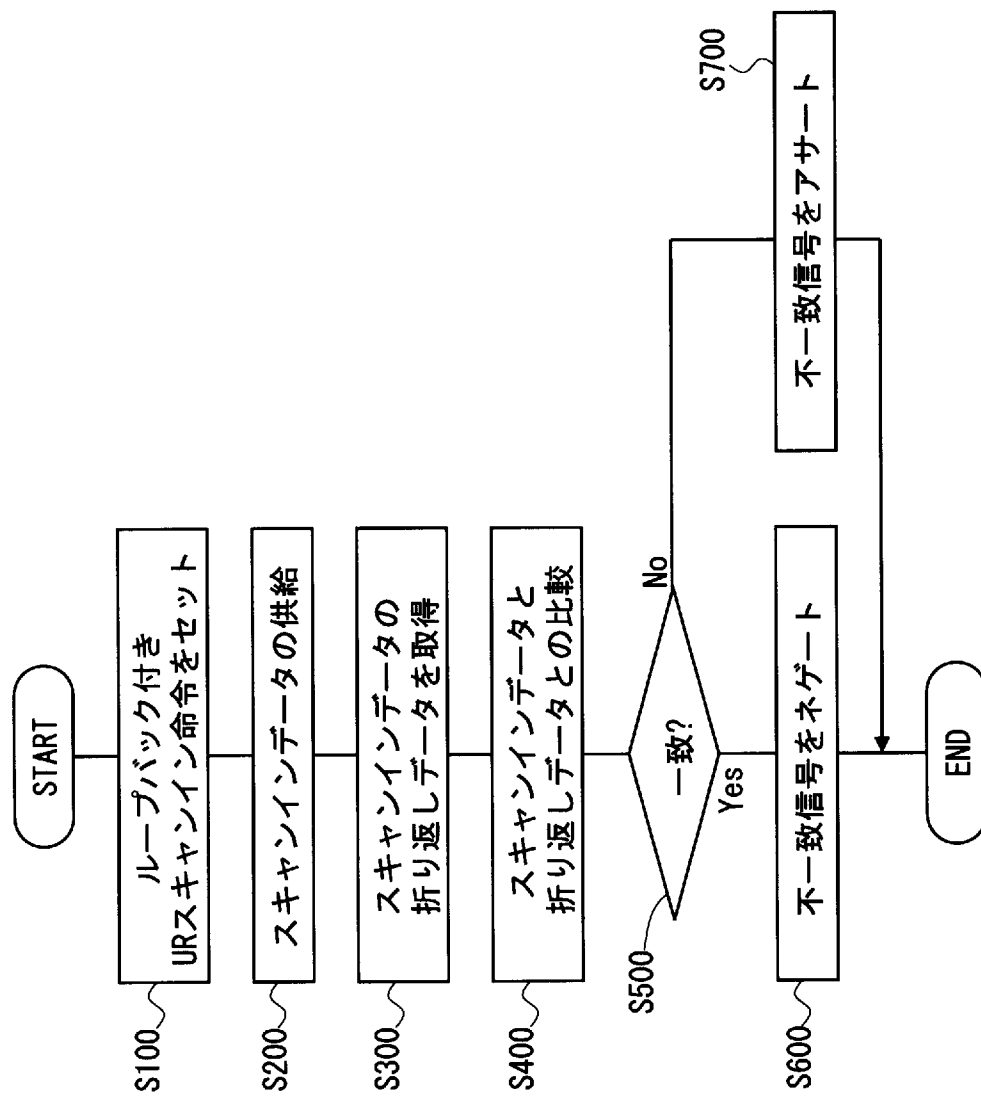
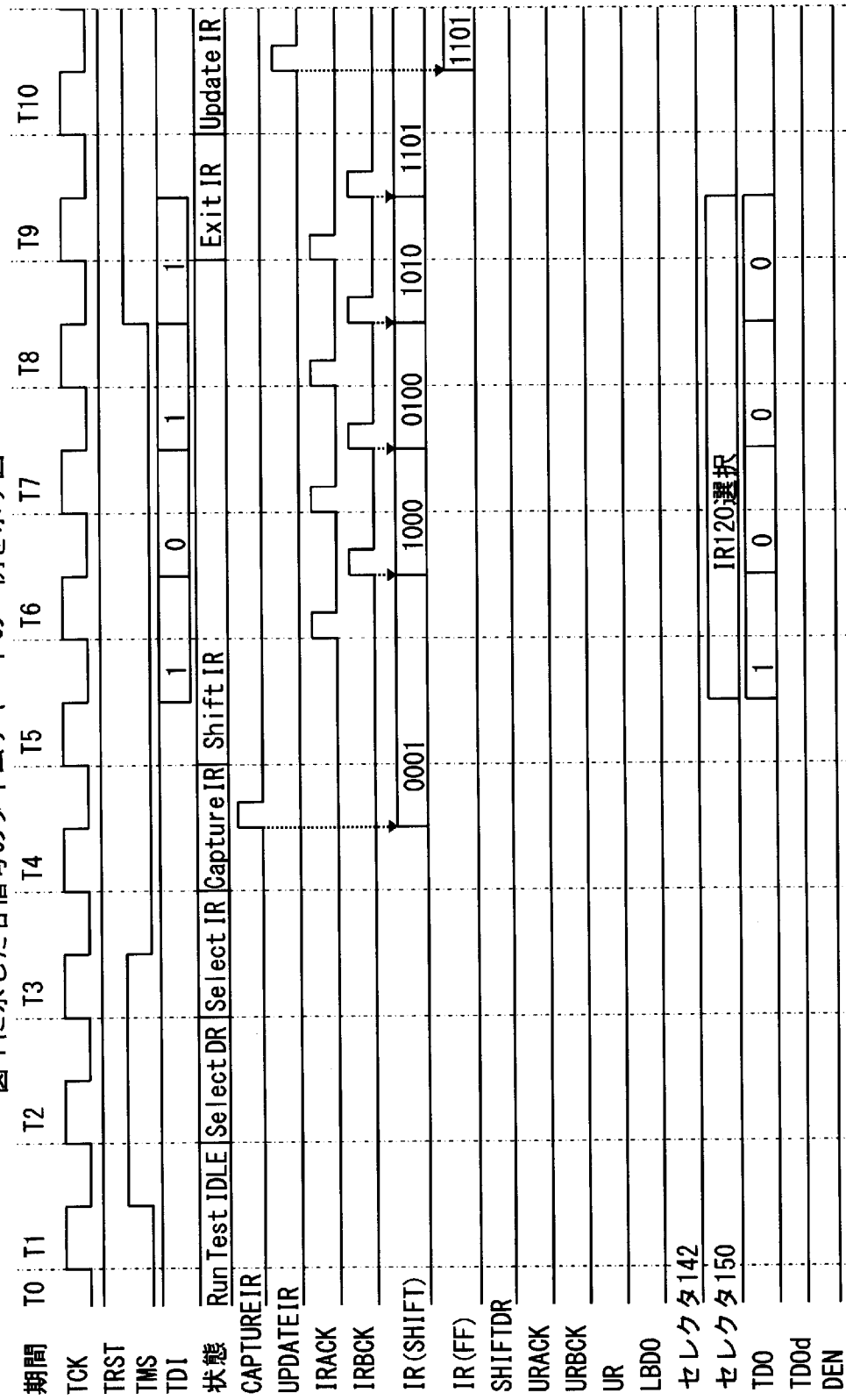
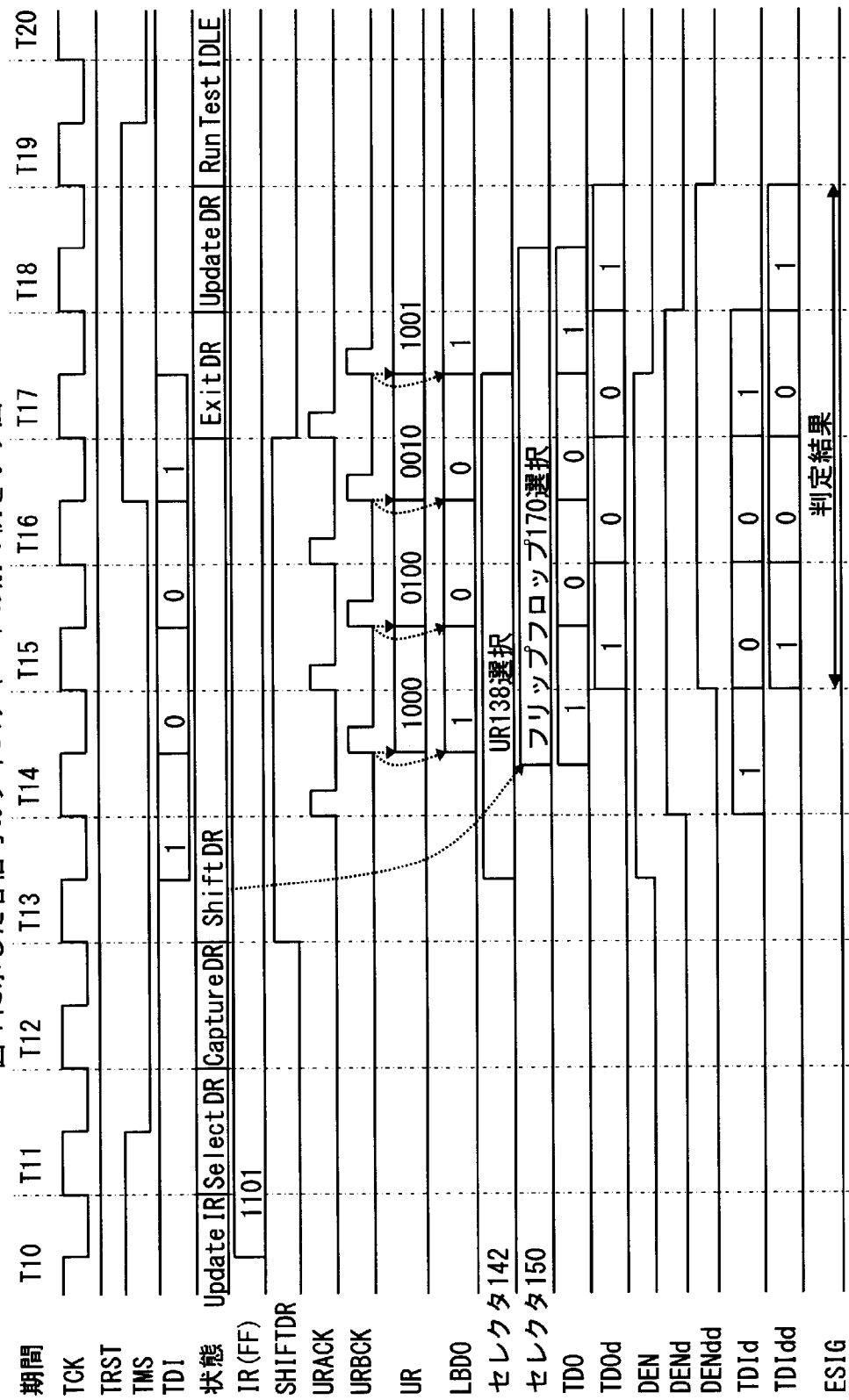


図1に示した各信号のタイムチャートの一例を示す図



[図6]

図1に示した各信号のタイムチャートの別の例を示す図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003410

A. CLASSIFICATION OF SUBJECT MATTER

G06F11/22(2006.01) i, G01R31/28(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F11/22-11/26, G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-233202 A (Seiko Epson Corp.), 19 August 2004 (19.08.2004), paragraphs [0040] to [0051], [0063] to [0068], [0077] to [0079], [0090] to [0102]; fig. 2 to 3, 7(A), 7(B), 11, 13 & US 2004/0268193 A1 & CN 1519575 A	1, 2, 4-6, 8-10, 12 3, 7, 11
Y	JP 08-062298 A (NEC Corp.), 08 March 1996 (08.03.1996), paragraphs [0053] to [0060]; fig. 4 & US 5701306 A & EP 698849 A1 & KR 10-0190214 B1	3, 7, 11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 October, 2014 (27.10.14)

Date of mailing of the international search report
04 November, 2014 (04.11.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G06F11/22(2006.01)i, G01R31/28(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G06F11/22-11/26, G01R31/28		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-233202 A（セイコーエプソン株式会社）2004.08.19, 段落[0040]-[0051], [0063]-[0068], [0077]-[0079], [0090]-[0102], 図2-図3, 図7(A), 図7(B), 図11, 図13	1, 2, 4-6, 8-10, 12
Y	& US 2004/0268193 A1 & CN 1519575 A	3, 7, 11
Y	JP 08-062298 A（日本電気株式会社）1996.03.08 段落[0053]-[0060], 図4 & US 5701306 A & EP 698849 A1 & KR 10-0190214 B1	3, 7, 11
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 27. 10. 2014	国際調査報告の発送日 04. 11. 2014	
国際調査機関の名称及びあて先 日本国特許庁（I S A/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） ▲高▼橋 正▲徳▼ 電話番号 03-3581-1101 内線 3544	5B 3781